(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 21/027

(11) 공개번호 특2002-0002573
(43) 공개일자 2002년01월10일

(21) 출원번호 10-2000-0036783
(22) 출원일자 2000년06월30일

(71) 출원인 주식회사 하이닉스반도체
박종섭
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 조성윤
서울특별시송파구풍납2동279-22
김동석
서울특별시송파구가락동가락대림아파트2-901

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체소자의 미세패턴 형성방법

요약

본 발명은 피식각층상에 하부 감광막과, 저온산화막 및 상부 감광막을 차례로 형성하는 단계, 상기 상부 감광막을 포토리소그래피를 통해 소정패턴으로 패터닝하여 포토리소그래피에서 가능한 최소 선폭의 감광막패턴을 형성하는 단계, 상기 상부 감광막패턴의 양측에 제1폴리머를 생성하는 단계, 감광막 식각공정을 진행하여 노출된 하부 감광막 및 상부 감광막을 식각하는 단계, 폴리머 생성공정을 실시하여 상기 제1폴리머의 내측면에 제2폴리머를 형성하여 미세패턴을 형성하는 단계, 하부 감광막의 나머지 부분을 식각하여 하부감광막과 제1 및 제2폴리머로 이루어진 아주 미세한 패턴을 형성하는 단계, 상기 미세패턴을 마스크로 이용하여 그 하부의 상기 피식각층을 선택적으로 식각하여 피식각층 패턴을 얻는 단계를 포함하는 반도체소자의 미세패턴 형성방법을 제공함으로써 0.1㎛ 이하의 미세선폭의 형성을 가능하게 한다.

대표도

도 1f

색인어

미세선폭, TLR, 폴리머

명세서

도면의 간단한 설명

도 1a 내지 1g는 본 발명에 의한 반도체소자의 미세패턴 형성방법을 도시한 공정순서도.

* 도면의 주요부분에 대한 부호의 설명

1 : 피식각층2 : 하부 감광막

3 : 저온산화막4 : 상부 감광막

5 : 제1폴리머6 : 제2폴리머

10 : 미세패턴100 : 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 제조방법에 관한 것으로, 특히 반도체소자의 0.1㎛이하의 미세선폭 형성방법에 관한 것이다.

반도체소자의 미세선폭에 대한 연구가 활발히 진행되고 있다. 그러나 실제로 포토리소그래피공정에서 미세패턴 형성시 광원의 파장, 장비, 수율, 감광막 등의 한계로 인해 미세패턴 형성기술이 한계에 도달하고 있다. 특히 0.1㎛ 이하의 미세선폭은 거의 불가능한 상황에 접어들었다고 할 수 있어 이에 대한 대안이 시급한 실정이다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 종래기술의 문제점을 해결하기 위하여 안출된 것으로서, TLR(Tri-level resist)과 폴리머생성을 이용하여 0.1㎛ 이하의 미세패턴을 형성하는 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 피식각층상에 하부 감광막과, 저온산화막 및 상부 감광막을 차례로 형성하는 단계, 상기 상부 감광막을 포토리소그래피를 통해 소정패턴으로 패터닝하여 포토리소그래피에서 가능한 최소 선폭의 감광막패턴을 형성하는 단계, 상기 상부 감광막패턴의 양측에 제1폴리머를 생성하는 단계, 감광막 식각공정을 진행하여 노출된 하부 감광막 및 상부 감광막을 식각하는 단계, 폴리머 생성공정을 실시하여 상기 제1폴리머의 내측면에 제2폴리머를 형성하여 미세패턴을 형성하는 단계, 하부 감광막의 나머지 부분을 식각하여 하부감광막과 제1 및 제2폴리머로 이루어진 아주 미세한 패턴을 형성하는 단계, 상기 미세패턴을 마스크로 이용하여 그 하부의 상기 피식각층을 선택적으로 식각하여 피식각층 패턴을 얻는 단계를 포함하는 반도체소자의 미세패턴 형성방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 1a 내지 도 1g를 참조하여 본 발명에 의한 반도체소자의 미세선폭 형성방법을 다음에 설명한다.

먼저, 도 1a에 나타낸 바와 같이 기판(100)상에 식각하고자 하는 피식각층(1)을 형성하고, 이위에 하부 감광막(2)을 도포하고 충분히 하드베이킹한 후, 그 상부에 저온산화막(3)을 얇게 형성한 다음, 이위에 상부 감광막(4)을 형성하고 이 상부감광막(4)을 소정패턴으로 패터닝하여 0.12㎛ 정도의 선폭을 갖는 감광막패턴을 형성한다. 현재까지는 포토리소그래피공정에서 0.12㎛까지는 형성이 가능하다.

다음에 도 1b에 도시한 바와 같이 HBr을 이용하여 제1폴리머(5)를 생성한다. 이때 상부 감광막패턴(4)의 양측 부위는 제1폴리머(5)가 증착되면서 그 하부의 저온산화막(3)의 식각이 진행되고, 이 저온산화막의 식각이 완료되면 도 1c에 나타낸 바와 같이 저온산화막(3) 하부의 하부감광막(2)을 식각한다. 이때, 노출된 하부 감광막(2) 부분이 식각됨과 동시에 상부 감광막 패턴(4)이 식각된다. 이 식각공정은 상부감광막(4)이 식각되고 그 하부의 저온산화막(3)이 노출되는 시점까지 $O_2/SO_2/He$ 가스를 이용하여 진행한다. 상기 가스는 감광막 식각시 비등방성 특성이 높으므로 O_2 가스로만 식각할 경우 발생되는 등방성 특성을 감소시킨다.

상기 식각이 완료되면, 패턴 외측은 하부 감광막(2)이 부분식각된 상태가 되고, 패턴 내측은 제1폴리머(5)의 측벽에 상부 감광막가 약간 존재하고 밑부분은 저온산화막(3)이 존재하는 상태가 된다. 이 상태에서 다시 HBr을 이용하여 폴리머 생성을 실시하면, 도 1d에 도시한 바와 같이 제2폴리머(6)가 상기 제1폴리머(5)의 내측면에 형성된다. 이와 같이 형성된 제2폴리머(6)와 상기 제1폴리머(5)가 합쳐지면서 아주 미세한 패턴이 형성되게 된다.

이후에 $O_2/SO_2/He$ 가스를 이용하여 나머지 하부감광막(2)을 식각하면 도 1e에 나타낸 바와 같이 하부감광막(2)과 제1 및 제2폴리머(5,6)로 이루어진 아주 미세한 패턴(10)이 형성되게 된다. 이때, 패턴 내부의 상부감광막과 외부의 하부감광막의 차이로 인해 피식각층(1)의 부분적인 손실은 있을 것이나, 감광막 식각은 선택비가 매우 높아서 큰 영향은 없을 것으로 본다.

이어서 도 1f에 나타낸 바와 같이 상기 미세패턴(10)을 마스크로 이용하여 그 하부의 피식각층(1)을 식각한 후, 도 1g에 나타낸 바와 같이 상기 미세패턴을 제거함으로써 피식각층(1) 패턴을 얻는다. 이때, 폴리머는 BOE에 의한 습식식각과 기타 습식공정으로 제거하고, 하부감광막은 O_2 플라즈마, H_2SO_4, O_3 애셔(asher) 및 건식, 습공정에 의해 제거한다.

상기한 기술은 폴리머 생성 정도나 저온산화막의 두께 정도에 따라 패턴의 너비 조정이 가능하여 미세선폭 형성에 상당히 기여할 수 있다.

상기 폴리머 생성 및 감광막 식각은 MERIE를 이용하여 진행하는 것이 바람직하다.

이렇듯 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

본 발명은 TLR과 폴리머 생성물을 이용하여 0.1㎛ 이하의 미세패턴을 형성함으로써 포토리소그래피의 한계를 극복할 수 있으며, 생산하는 반도체소자도 웨이퍼당 칩의 개수를 증대시킬 수 있어 경제적으로 이윤 증대에 기여할 수 있다.

(57) 청구의 범위

청구항 1.

피식각층상에 하부 감광막과, 저온산화막 및 상부 감광막을 차례로 형성하는 단계,

상기 상부 감광막을 포토리소그래피를 통해 소정패턴으로 패터닝하여 포토리소그래피에서 가능한 최소 선폭의 감광막패턴을 형성하는 단계,

상기 상부 감광막패턴의 양측에 제1폴리머를 생성하는 단계,

감광막 식각공정을 진행하여 노출된 하부 감광막 및 상부 감광막을 식각하는 단계,

폴리머 생성공정을 실시하여 상기 제1폴리머의 내측면에 제2폴리머를 형성하여 미세패턴을 형성하는 단계,

하부 감광막의 나머지 부분을 식각하여 하부감광막과 제1 및 제2폴리머로 이루어진 아주 미세한 패턴을 형성하는 단계, 및

상기 미세패턴을 마스크로 이용하여 그 하부의 상기 피식각층을 선택적으로 식각하여 피식각층 패턴을 얻는 단계

를 포함하는 반도체소자의 미세패턴 형성방법.

청구항 2.

제1항에 있어서,

상기 감광막 패턴은 실질적인 0.12㎛의 선폭으로 형성하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 3.

제1항에 있어서,

상기 제1 및 제2폴리머의 생성 및 감광막 식각은 MERIE 타입의 장비에서 진행하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 4.

제1항에 있어서,

상기 제1 및 제2폴리머는 HBr을 이용하여 생성하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 5.

제1항에 있어서,

상기 감광막은 $O_2/SO_2/He$ 가스를 사용하여 식각하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 6.

제1항에 있어서,

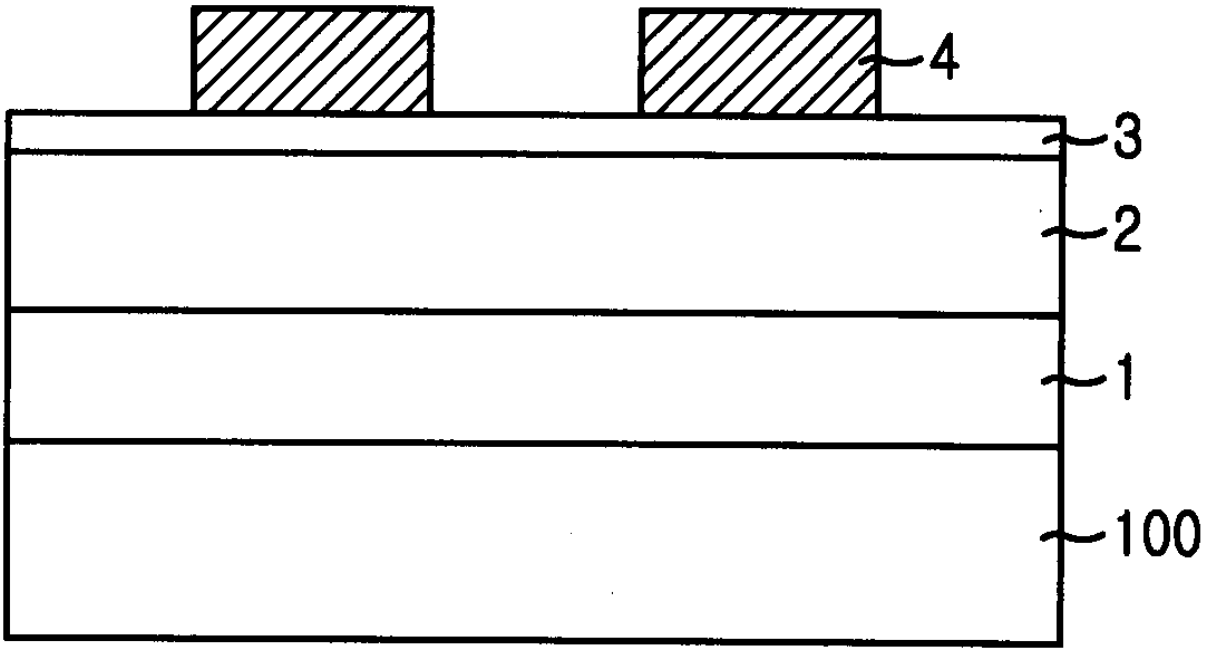
상기 감광막 식각공정은 상기 저온산화막이 노출될 때까지 수행하는 것을 특징으로 하는 반도체소자 제조방법.

청구항 7.

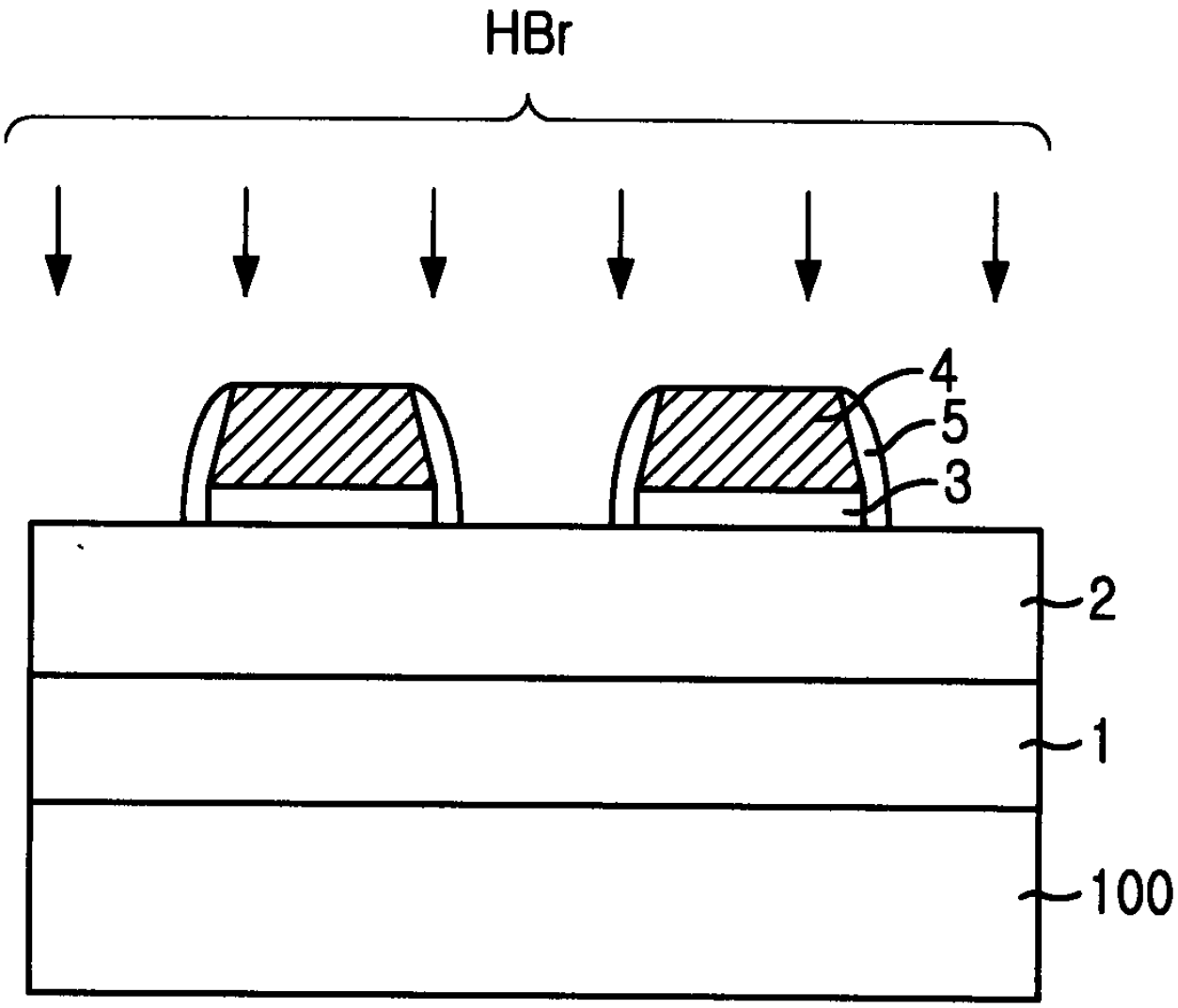
제1항에 있어서,

상기 미세패턴은 폴리머 생성 정도나 저온산화막의 두께에 따라 그 너비를 조정하는 것을 특징으로 하는 반도체소자 제조방법.

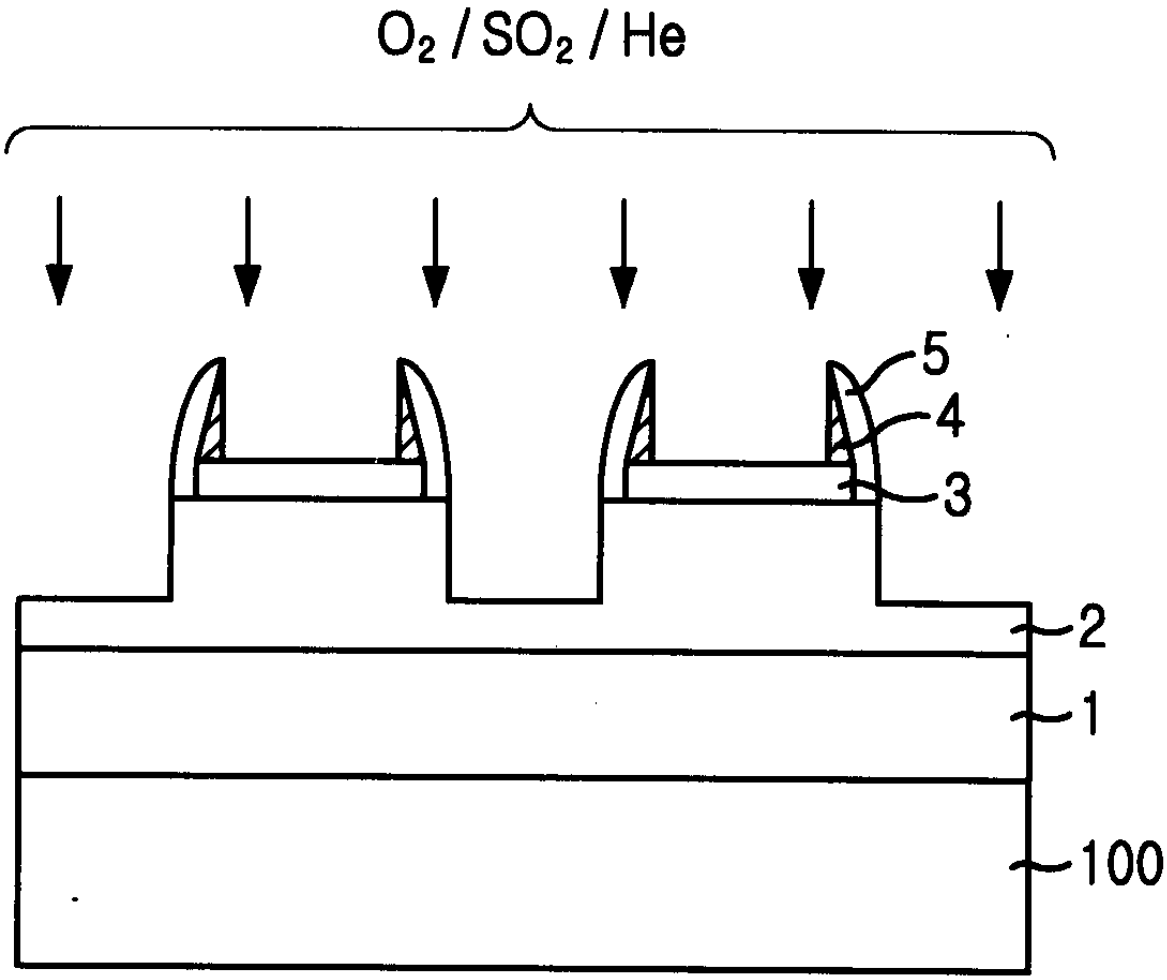
도면 1a



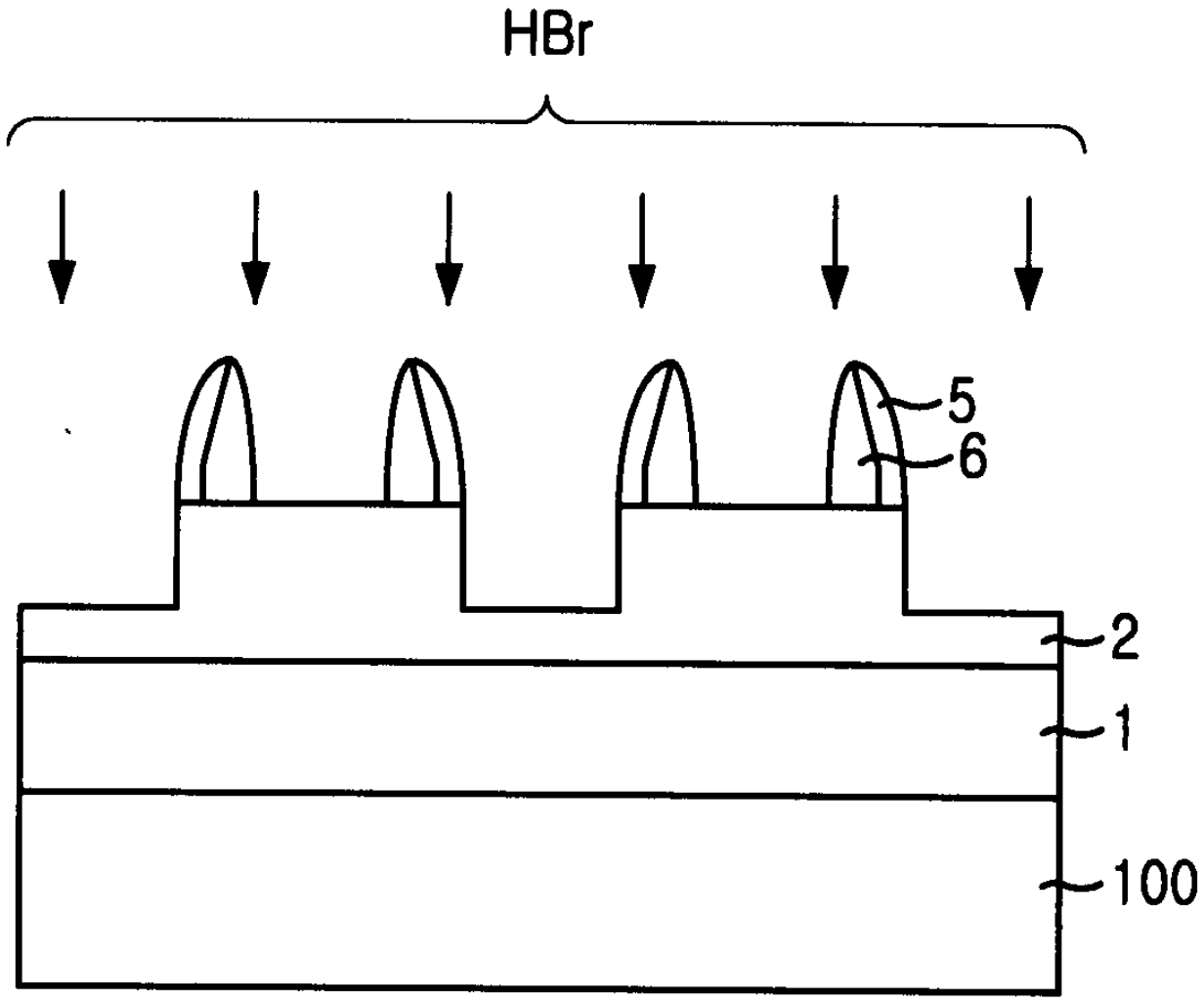
도면 1b



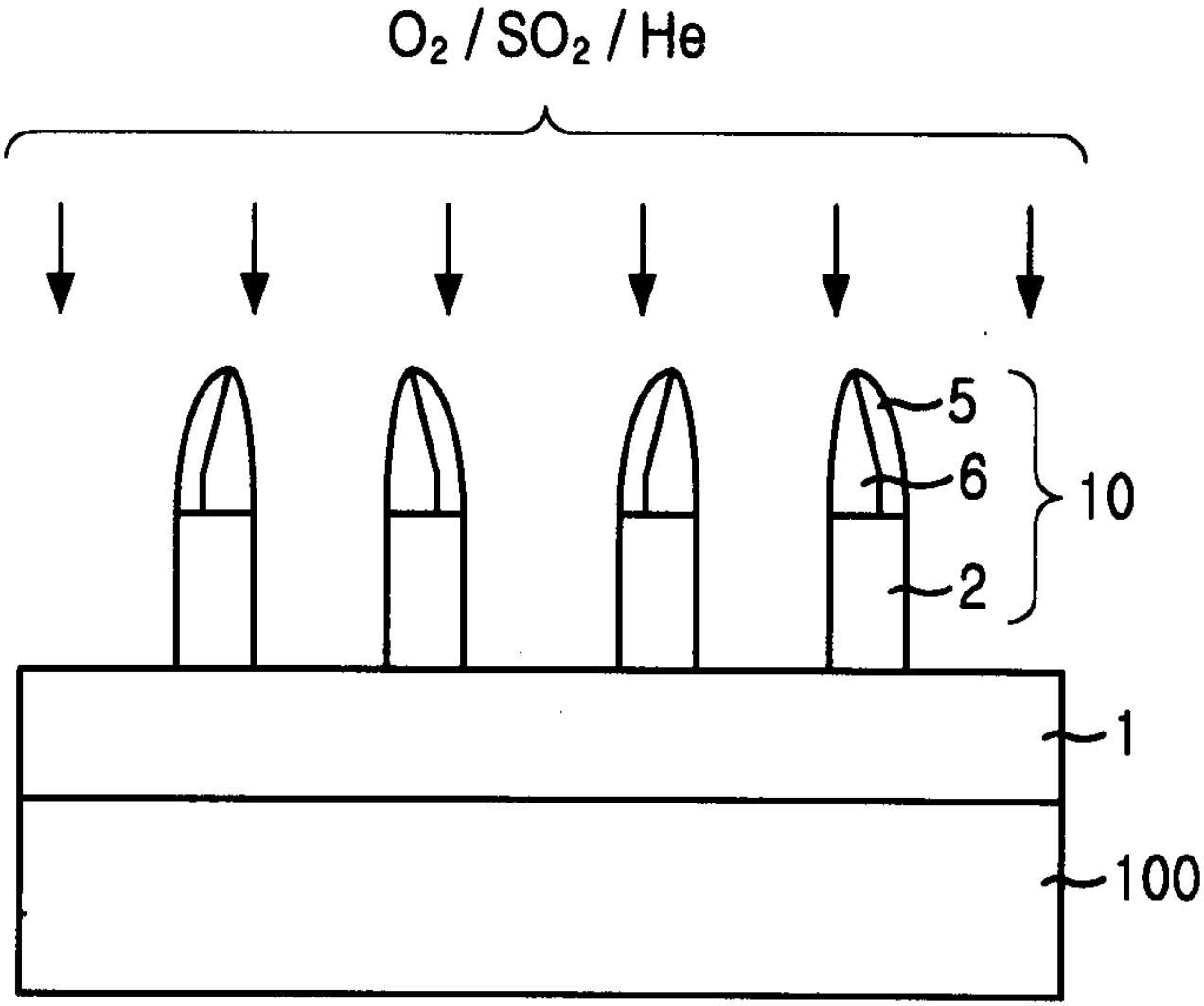
도면 1c



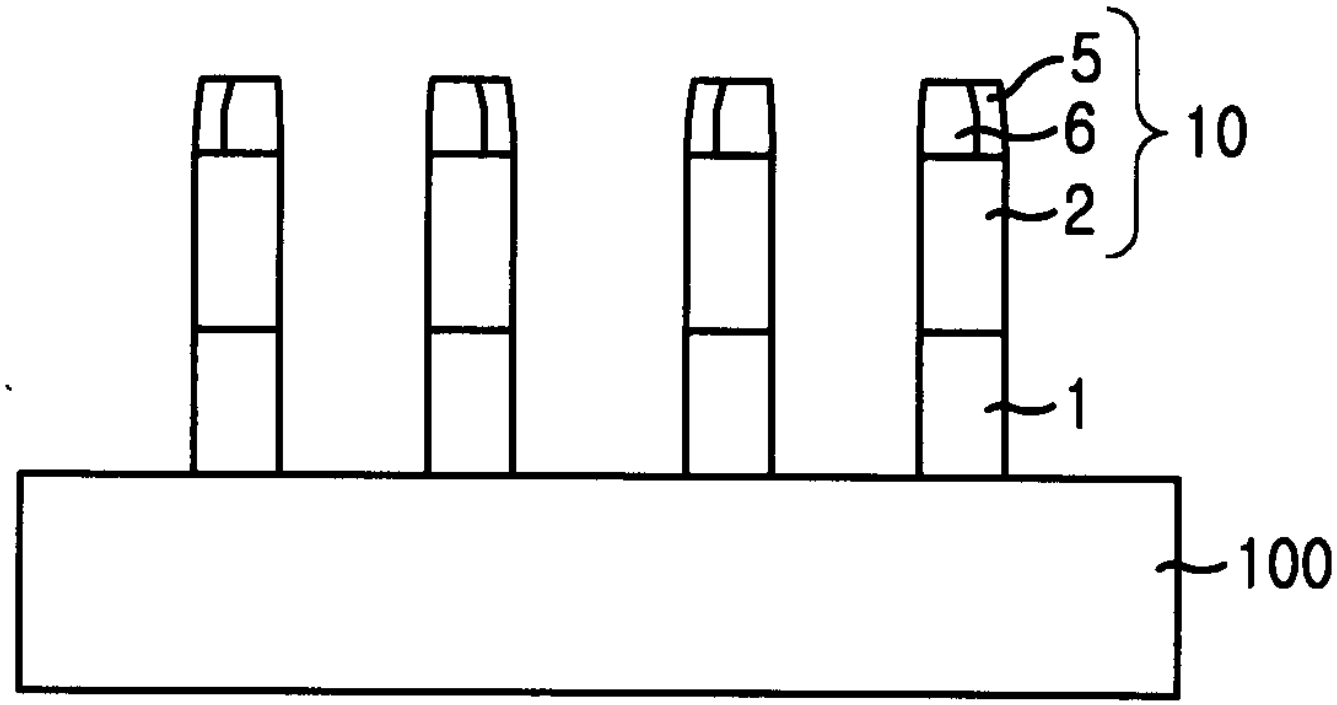
도면 1d



도면 1e



도면 1f



도면 1g

