[19]中华人民共和国专利局

[51]Int.Cl[6]
H01L 29/772

[12] 发明专利申请公开说明书

[21] 申请号 96108193.7

[43]公开日 1997 年 1 月 29 日

[11] 公开号 CN 1141509A

[22]申请日 96.7.2

[30]优先权

[32]95.7.7 [33]US[31]499,624

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 韦达·伊尔德勒姆

米切尔·H·卡内施洛

迪安·道

[74]专利代理机构 中国国际贸易促进委员会专利商标事务所

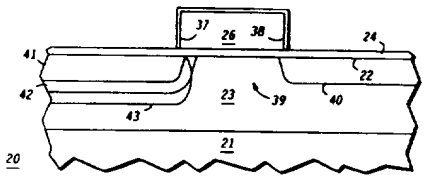
代理人 陆立英

权利要求书 2 页 说明书 8 页 附图页数 4 页

[54]发明名称 阈值电压稳定的场效应晶体管及其制造方法

[57]摘要

低电压场效应晶体管结构（20）其阈值电压容许源注入区(41)的位置发生改变的工艺变化。源区(41)附近形成第一和第二晕圈区(33、36),在后续热处理之后在邻近源区(41)的沟道区(23)形成导电类型与源区(41)相反的恒定掺杂分布轮廓。实施例只在源区(41)附近形成得到单向器件也可在源区(41)和漏区(40)附近形成掺杂分布轮廓以得到双向器件。另一实施例在源区(41)形成第二注入区以减小结漏和电容。



权 利 要 求 书

1. 一种具有稳定的阈值电压的场效应晶体管(20),其特征是:

一个第一导电类型半导体材料并带有一个表面(22)的衬底区(21);

一个形成在衬底区(21)中并邻接于沟道区(39)的第二导电类型的源区(29);

一个排列在衬底区(21)中的第一注入区(33),使第一注入区(33)在表面(22)处与源区(29)连接,且在衬底区(21)的表面(22)之下伸入沟道区(39),此第一注入区(33)具有第一导电类型的第一浓度;以及

一个排列在源区(29)和第一注入区(33)之间的、在表面(22)处伸过第一注入区(33)且进入沟道区(39)的第二注入区(36),其中的第一注入区(33)和第二注入区(36)在与源区(29)的交点处形成一个恒定掺杂分布轮廓区,第二注入区(36)具有第一导电类型的第二浓度。

2. 权利要求 1 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第一浓度约为 1×10^{17} 原子/cm^3—1×10^{18} 原子/cm^3。

3. 权利要求 1 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第二浓度约为 1×10^{17} 原子/cm^3—1×10^{18} 原子/cm^3。

4. 权利要求 1 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,排列在源区(29)和第二注入区(36)之间的第三注入区(52),此第三注入区(52)是第二导电类型的。

5. 权利要求 4 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第三注入区(52)的表面浓度约为 1×10^{20} 原子/cm^3。

6. 权利要求 1 的具有稳定的阈值电压的场效应晶体管(20),其特征在于:

一个制作在衬底区中的第二导电类型的漏区(31);

一个排列在漏区之下且延伸到漏区(31)的沟道侧中的第四注入

区(54),此第四注入区(54)具有第一导电类型的第四浓度;以及

一个排列在漏区(31)和第四注入区(54)之间且伸入漏区(31)的沟道侧的第五注入区(56),其中的第四和第五注入区(54、56)在同漏区相交处形成一个恒定掺杂的第二掺杂分布轮廓区,此第五注入区(56)具有第一导电类型的第五浓度。

7. 权利要求 6 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第四浓度约为 1×10^{17}原子/cm^3—1×10^{18}原子/cm^3。

8. 权利要求 6 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第五浓度约为 1×10^{17}原子/cm^3—1×10^{18}原子/cm^3。

9. 权利要求 6 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,一个排列在漏区(31)和第五注入区(56)之间的第六注入区(53),此第六注入区(53)是第二导电类型的。

10. 权利要求 9 的具有稳定的阈值电压的场效应晶体管(20),其特征在于,第六注入区(53)的表面浓度约为 1×10^{20}原子/cm^3。

说　明　书

阈值电压稳定的场效应晶体管及其制造方法

本发明涉及到场效应晶体管，具体涉及低阈值电压和提高穿通电阻的短沟道长度场效应晶体管。

在包括个人通信(例如寻呼机、蜂窝电话等)和便携式计算机的低电压功率应用中，场效应晶体管(FET)器件已越来越重要。由于低功耗是这些应用的主要要求，及 FET 器件都是设计成在小于 3.5V 的电源电压下工作。但诸如阈值电压、亚阈值漏电流、源漏寄生电容和源漏穿通之类的半导体器件参数通常限制了低功率半导体器件的性能。

当源和漏的耗尽区汇合时，通常发生源到漏的穿通。当这种情况出现时，栅区就不能控制沟道区中的载流子。器件基本上就成为一个短路电路并被认为是无法控制的。克服这一问题的一个先前已知的方法是用沟道注入剂来增加均匀沟道掺杂以防止穿通。但因这种方法会损失器件性能，故这种方法对于低电压和低功率应用来说是不可取的。为了得到有效的低功率应用，器件的阈值电压应低于 0.6V。

一个可替代的方法是保持较低的沟道掺杂浓度并在源和漏二侧上以双向方式设置高掺杂区。这些区域常称为晕圈或穿通阻挡。该方法防止了穿通同时又保持了较低的阈值电压(例如约 0.3V)。但该方法具有电容较高且驱动能力降低(即跨导降低了)的缺点，这反过来又导致较低的开关速度。

当每个器件参数对低功率应用进行优化时，在评估低功率器件结构时有二个方面必须加以考虑。第一方面涉及到决定器件性能并评估全部器件参数之间相互作用的器件物理学。例如，现有技术中提供了几种可用来设定半导体器件阈值电压的方法。在用来设定阈

值电压时，每种方法都有其优点，但还应基于对亚阈值漏电流、穿通电压之类的所有器件参数的影响来评定该种方法。

在评估低功率器件结构时必须考虑第二个方面，它决定所提出器件的制造可行性。再者，先前已知的设定阈值电压的任何一种方法足以在研究环境下制造一定数量的器件。在大批量需要仔细考虑成本的生产设施中制造千百万只器件时，这些已知的方法就可能是没有效益的。用来制造低功率/低电压器件的方法必须能容许诸如沟道长度、沟道深度或栅氧化物厚度之类的器件参数的正常工艺变更。所提出的方法应足以承受这些参数的正常变更并生产出在所需性能条件下工作的器件。

据此，具有一种具有低的可控制的阈值电压的、抗穿通并且表现良好开关特性的 FET 器件，是有益的。用常规技术来提供这种 FET 器件，使其在现有结构中的集成得以简化，这是更为有利的。

图 1 示出设定阈值电压的已知方法的掺杂分布轮廓；

图 2 示出采用本发明一个实施例的器件的掺杂分布轮廓；

图 3—8 是根据本发明的 FET 结构在各个制造阶段中的放大剖面图；

图 9 是根据本发明的 FET 结构第二实施例的放大剖面图；以及

图 10 是根据本发明的 FET 结构第三实施例的放大剖面图。

在设计低功率应用的器件结构和相应的制造工艺时，有几个问题必须加以考虑。首先，考虑与器件性能和各个器件参数相互作用有关的问题。对于低功率应用，有几个参数是关键的，例如阈值电压、亚阈值漏电流、源漏寄生电容和源到漏穿通电压。为了低电压工件，这些参数的每一个都应优化。

在设计低功率晶体管时，一个更为重要的问题是其制造可行性。例如，现有许多设定 FET 阈值电压的已知的方法。它们中的每一个对设定少量样品器件的阈值电压来说可能都是有效的，但在大批量生产中就可能无效。要做到可以制造，此技术就必须足以容许所出现的正常工艺变化。在低功率晶体管中，更敏感的工艺参数是栅氧化物厚度、注入区的横向和纵向扩散、栅多晶厚度和掺杂以及沟道长

度。

本发明提供了半导体器件的实施例，这种器件不仅对低功率/低电压应用进行了优化，而且还对大批量生产进行了优化。对于低功率应用，一个更关键的器件参数是阈值电压。随着器件尺寸的进一步减小，阈值电压变得依赖于晶体管源/漏和沟道区周围的掺杂分布轮廓。沟道长度和注入区外扩散的稍许变化将极大地影响掺杂分布轮廓从而导致阈值电压的变化。本发明提供了不仅设定阈值电压，而且在正常工艺变化范围内能提供稳定的阈值电压的实施例。

阈值电压定被确为在连接源区和漏区的沟道区中形成载流子导电区时所要求的栅端电压。为了使阈值电压设定到可预定的数值，在本技术领域中通常是用与源区导电类型相反的掺杂剂均匀地注入沟道区。但额外掺杂剂原子在沟道区中存在会降低沟道中载流子的迁移率，这就会降低晶体管的性能，使其对于低功率/低电压应用来说不可取。若不采用均匀沟道掺杂来设定阈值电压，则沟道区的一个关键因素是源区终止而沟道区开始处的面积。这一过渡区中的掺杂分布轮廓和浓度可在决定亚微米器件阈值电压偏离的过程中起关键性作用。

本发明借助于在源注入附近形成一个相反导电类型的掺杂分布轮廓，提供了一种低功率/低电压晶体管，能够容许源注入区中的变化。此掺杂分布轮廓在栅结构下方与源区交界面附近故意做成具有恒定的掺杂浓度。鉴此，源区边界位置的任何变化所得到的器件仍然具有可预定的和恒定的源掺杂到沟道掺杂过渡。

图 1 示出了已知的设定阈值电压方法的典型掺杂分布轮廓并用来显示对工艺变更的敏感性。Y 轴是掺杂分布轮廓的对数，单位为每立厘米掺杂剂原子数。X 轴是横向距离，从 X 轴原点处栅边缘(靠近源)开始并向右伸入沟道区。借助于描出向右延伸进入沟道区的源区 10 的以及阈值设定区 11 的浓度，可预计源区 10 中的变化对阈值电压的影响。在决定低功率器件制造可行性的过程中，源区 10 与阈值设定区 11 的交点 12 是关键的。由于正常工艺变化，源区 10 可能进一步伸入沟道区。这一变化结果是源区 10 同阈值设定区 11

之间的交点 12 在图 1 中进一步右移。因此，这二个区过渡处的掺杂浓度会更高。这二个区交点 12 的变化就是引起器件阈值电压标准偏离高的原因。

在本发明中，形成了一个恒定的掺杂分布轮廓，使源区位置的任何变化都导致相同浓度分布轮廓的过渡区。这一恒定的掺杂分布轮廓是用形成在源区附近的多个注入区来实现的。在后续的热处理之后，多个注入区的掺杂剂将重叠以形成一个在沟道区中源边缘即交点 12 处基本恒定的掺杂分布轮廓。

图 2 示出了采用本发明一个实施例的晶体管的掺杂分布轮廓。在此例中，二个导电类型与源区相反的晕圈注入被用来形成恒定的横向掺杂分布轮廓。与第一晕圈注入浓度 15 和第二晕圈注入浓度 14 一起绘出源注入浓度 13。在后续的热处理之后，第一晕圈注入浓度 15 和第二晕圈注入浓度 14 在靠近源区的过渡点 18 处形成一个平坦的掺杂分布轮廓。源注入浓度 13 和平坦掺杂分布轮廓 17 的交点 18，使源注入 13 的浓度和横向位置可以变化但仍能提供恒定的可预见的过滤浓度 18。

现在提供本发明制造 P 沟道结构的方法。本领域技术人员理解，这不是一种限制，借助于将 P 型区转换成 n 型区和将 n 型区转换成 P 型区而得到 n 沟结构。前面本发明讨论了在源区附近形成一个恒定掺杂分布轮廓。这通常称之为单向(unilateral)器件。应该承认，在靠近漏区的沟道区中也可形成恒定掺杂分布轮廓。处在漏与沟道交界面处的第二掺杂分布轮廓有可能改善器件的穿通电阻，但也可能增加沟道中的掺杂浓度，这会降低载流子的迁移率和器件的开关速度。在源区和漏区周围都有掺杂分布轮廓的器件称为双向器件。本发明的另一实施例提供了这种器件。

图 3 示出了部分完成了的根据本发明的 FET 结构 20 的局部放大部面图。结构 20 包含一个第一导电类型的带有主表面 22 的半导体材料本体即衬底区 21。n 型导电类型的杂质阱 23 从主表面 22 伸入到半导体衬底 21 中。制作杂质阱 23 的方法在本技术领域中是众所周知的。作为例子，衬底 21 是一个电阻率范围为～6Ωcm-～

22Ωcm 的 P 型衬底。杂质阱 23 的表面杂质浓度通常约为 2.0×10^{16} 原子/cm^3，而伸入衬底 21 的深度约为 2—3μm。

在主表面 22 上制作一个栅介电层 24。栅介电层 24 最好包含厚度范围为～50A—～250A 的氧化硅。在部分栅介电层 24 上制作一个栅层 26。栅层 26 通常包含一个多晶硅层之类的多晶半导体层，而且作为例子，栅层 26 的厚度约为 3000A。栅层 26 同主表面 22 和栅电极 26 之间的栅介电层 24 一起，构成一个栅结构 27。栅结构 27 有一个代表器件源侧的第一边缘 37 和一个代表器件漏侧的第二边缘 38。栅结构 27 被制作成提供沟道长度为～0.25μm—～30μm 的器件。在后续热处理过程中，在栅结构 27 上制作一个氧化层 28。

图 4 示出了进一步加工之后部分完成的 FET 结构 20 的局部放大剖面图。在器件 20 的源侧上制作了一个源侧扩展区、掺杂区、晕圈区、穿通阻挡或单向扩展区 33。图 4 示出了结构 20，它带有一个形成在主表面 22 和部分栅结构 27 上以暴露源区的第一掩蔽层 32。第一掩蔽层 32 是例如一个厚度的(例如 1.0μm)光抗蚀剂层、一个介电层等。在制作掩蔽层 32 之后，用向主表面 22 中最好以 0 度角(即衬底 21 垂直于离子束)离子注入诸如砷或磷的 n 型掺杂剂的方法来制作 n 型晕圈区 33。大约 5.0×10^{12} 原子/cm^2—1.0×10^{14} 原子/cm^2 的磷剂量和～30Kev－90Kev 的注入能量适合于提供峰值浓度为 1.0×10^{17} 原子/cm^2—1.0×10^{18} 原子/cm^2 的 n 型注入区 33。在将低压单向场效应晶体管 20 暴露于提高了的温度下以便将掺杂剂驱入沟道区之前，可清除掩蔽层 32。例如，将衬底 21 加热到～950℃—～1100℃停留～15—～60 分钟。

图 5 示出了制造后期的低功率场效应晶体管 20。具体地说，图示出了结构 20，它带有一个制作在主表面 22 和部分栅结构 27 上以暴露源侧 37 的第二掩蔽层 34。掩蔽层 34 是例如一个厚的(例如 1.0μm)光抗蚀剂层、一个介电层之类。在制作掩蔽层 34 之后，在第一晕圈区 33 之下制作第二晕圈区 36。用向主表面 22 最好以 0 度角(即衬底 21 垂直于离子束)离子注入诸如砷或磷的 n 型掺杂剂的方法来制作第二注入区 36。大约 5.0×10^{12} 原子/cm^2—1.0×14^{12} 原子

/cm^2 的磷剂量和～30Kev－150Kev 的注入能量适合于提供峰值浓度为 1.0×10^{17} 原子/cm^2—1.0×10^{18} 原子/cm^2 的 n 型注入区 36。可执行第二退火步骤以获得所需的掺杂分布轮廓深度并激活注入的掺杂剂。

图 6 示出了进一步加工之后的部分完成的 FET 结构 20 的局部放大剖面图。在栅结构 27 附近制作了一个第二导电类型的源区 29 和漏区 31。源区 29 和漏区 31 是用向主表面 22 最好以 0 度角(即衬底 21 垂直于离子束)注入诸如硼或 BF_2 的 P 型掺杂剂的方法来制作的。大约 1.0×10^{13} 原子/cm^2—5.0×10^{15} 原子/cm^2 的注入剂量和≤50Kev 的注入能量是合适的。图 4、5 和 6 所示的工艺步骤也可以按其它的顺序进行。

图 7 示出了进一步加工之后的部分完成的 FET 结构 20 的局部放大剖面图。然后将 FET 结构 20 暴露于快速热退火(RTA)系统中的高温下。例如,衬底 21 被加热到～1000℃—～1100℃停留～15—～60 秒钟。累积的热处理将把图 6 的源区 29、漏区 31、第一晕圈区 33 和第二晕圈区 36 驱入衬底 21 并激活被注入的掺杂剂。图 7 示出了这一热处理之后这些注入区的相对位置。图 6 的源区 29 和漏区 31 将分别变成图 7 中的源区 41 和漏区 40,并具有进入沟道区 39 的第一横向距离和低于主表面的第一纵向距离。图 6 的第一晕圈区 33 将变成图 7 中的第一晕圈区 42,并具有进入沟道区 39 的第二横向距离和低于主表面的第二纵向距离。图 6 的第二晕区 36 将变成图 7 中的第二晕圈区 43,并具有进入沟道区 39 的第三横向距离和低于主表面的第三纵向距离。

源区 41 和漏区 40 通常伸入杂质阱 23 一个约为 0.2μm—约 0.3μm 的结深度,并具有约为 1.0×10^{20} 原子/cm^3 的表面掺杂剂浓度。第一注入区 42 通常具有～1.0×10^{17} 原子/cm^3—～1.0×10^{18} 原子/cm^3 的第一峰值浓度,并在栅结构 27 之下伸入沟道区 0.05μm—0.25μm,且在主表面 22 下的深度为～0.3μm—0.6μm。第二注入区 43 通常具有～1.0×10^{17} 原子/cm^3—～1.0×10^{18} 原子/cm^3 的第二峰值浓度,并在栅结构 27 之下伸入沟道区 0.05μm—0.20μm,且在主

表面22下的深度为～0.3μm—0.6μm。利用上述工艺，第一注入区42在表面22处将比第二注入区43更深地伸入沟道区39。由于第二注入区43具有峰值浓度比第一注入区42更低于表面22，故二个注入区将重叠并形成一个靠近源区41的平坦掺杂分布轮廓。

图8示出了接近制造结束的结构20。利用本技术领域熟知的技术，沿氧化层28制作介电隔板46，使栅层26的侧面变整齐。隔板46包含例如氮化硅之类。制作电极以提供对源区41、漏区40和栅层26的接触。例如，用熟知的技术在源区41、漏区40和栅层26中制作硅化物44。也可能在图7所示退火步骤之前制作介电隔板46。

在结构20上，亦即在源区41、漏区40和栅层26上，制作一个隔离层47。然后在隔离层47中制作多个窗口(未示出)以暴露源区41、漏区40和栅层26中的部分硅化物44。用熟知的技术制作源和漏电极48和51以及栅电极49以分别连接源区41、漏区40中和栅层26上的硅化物44。

图9示出了根据本发明的FET结构第二实施例的放大剖面图。结构20包含一个第二源区52和一个第二漏区53，它们是用向主表面22最好以0度角(亦即衬度21垂直于离子束)离子注入诸如硼或BF_2之类的P型掺杂剂而制作的。大约1.0×10^{14}原子/cm^2—～5.0×10^{15}原子/cm^2的注入剂量和≤60Kev的注入能量适合于制作第三掺杂区。第二源区52和漏区53通常伸入杂质阱23一个～0.2μm—～0.4μm的结深度，且表面浓度约为1.0×10^{20}原子/cm^3。图9所示的附加源区52和漏区53可减小FET 20的源漏电容。

图10示出了根据本发明的FET结构第三实施例的放大剖面图。在前面的讨论中，借助于限制晕圈区42和43只在源区52周围形成而制作了单向器件。本领域技术人员清楚，在漏区53周围制作晕圈区54和56也是可能的，因而也可制作图10所示的双向器件。晕圈区54和56通常分别在制作晕圈区42和43的相同工序中制作，并具有相似的掺杂分布和浓度。

至此应承认，本发明提供了一种FET结构及其制造方法，此方

法更能容许生产环境中所遇到的正常工艺变化。源与沟道区之间过渡区中的掺杂浓度对控制阈值电压来说是关键的。借助于在邻接于源区的沟道区中形成一个恒定掺杂分布，器件可容许源注入区中的偏移，而仍然具有基本 上相同的阈值电压。本发明还提供了制作第二源和漏注入以进一步降低结漏和结电容的实施例。

说　明　书　附　图

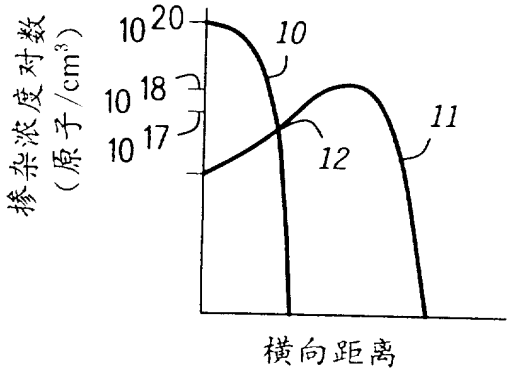


图 1　现有技术

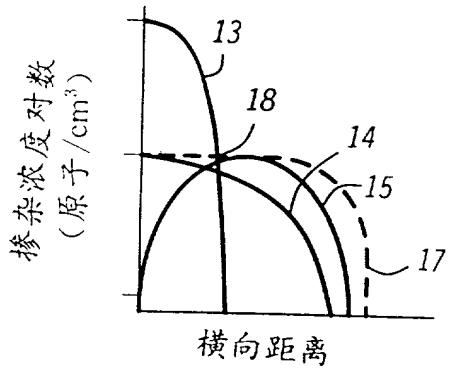


图 2

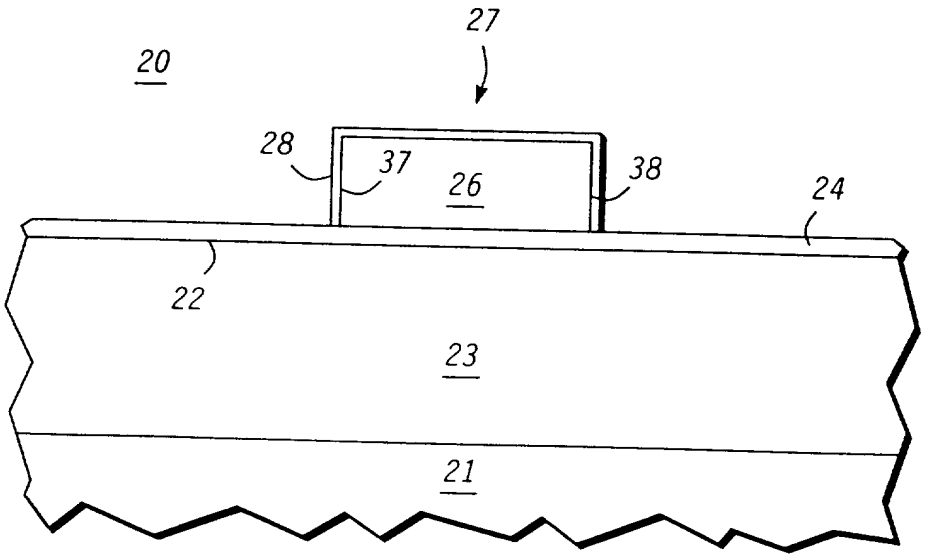


图 3

图 4

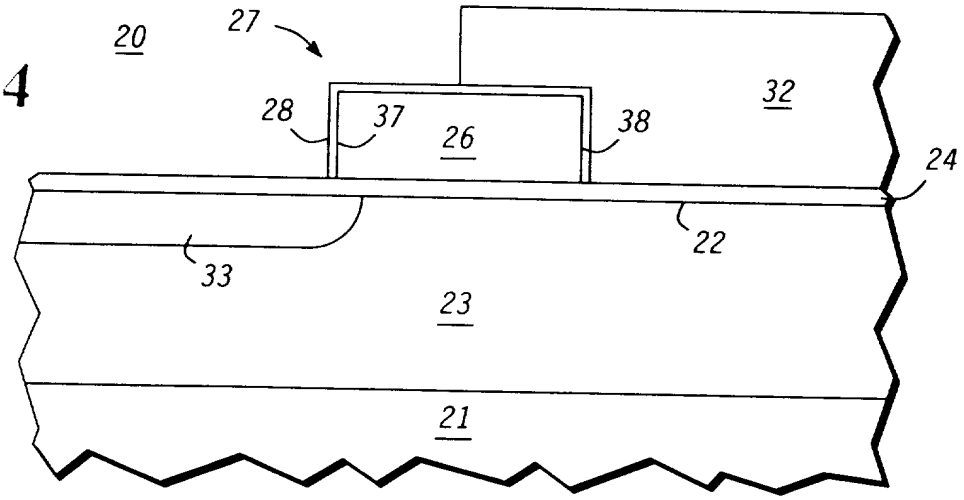

20
27
28
37
26
38
32
24
22
33
23
21

图 5

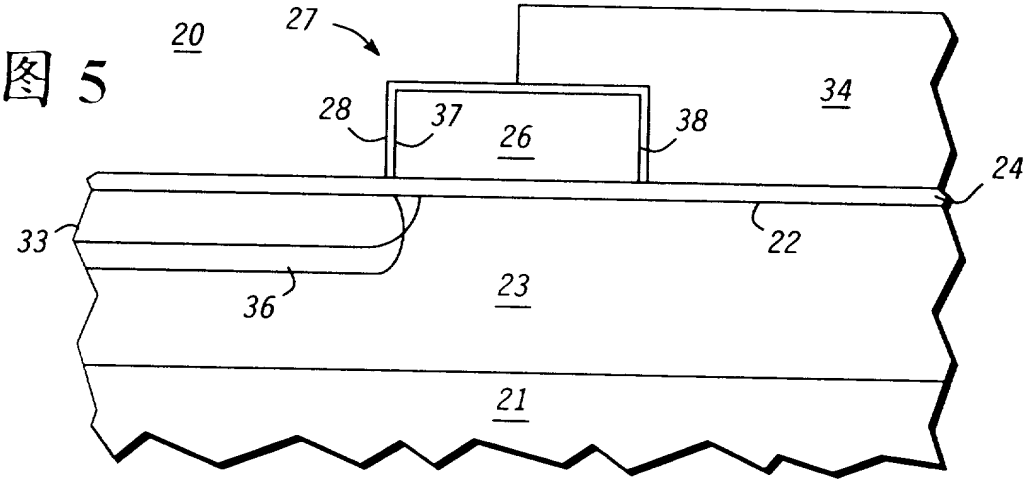
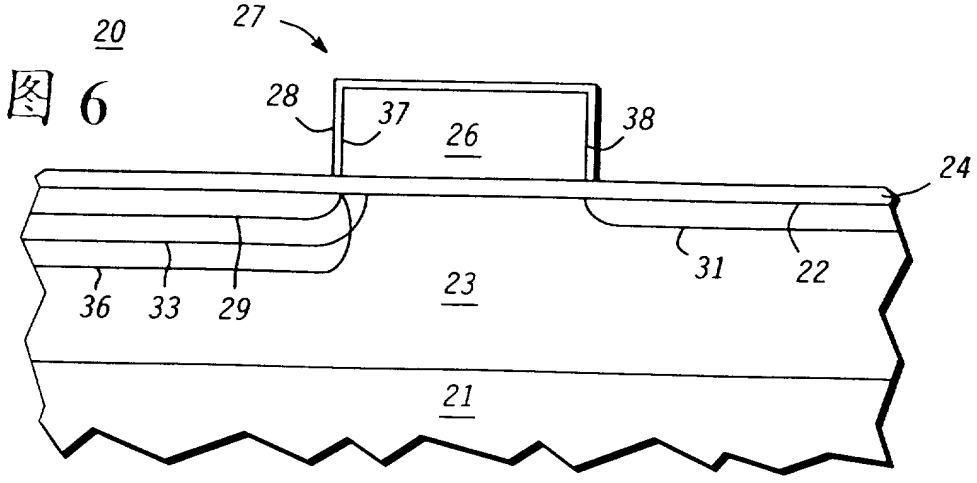

20
27
28
37
26
38
34
24
33
22
36
23
21

图 6


20
27
28
37
26
38
24
31
22
36
33
29
23
21

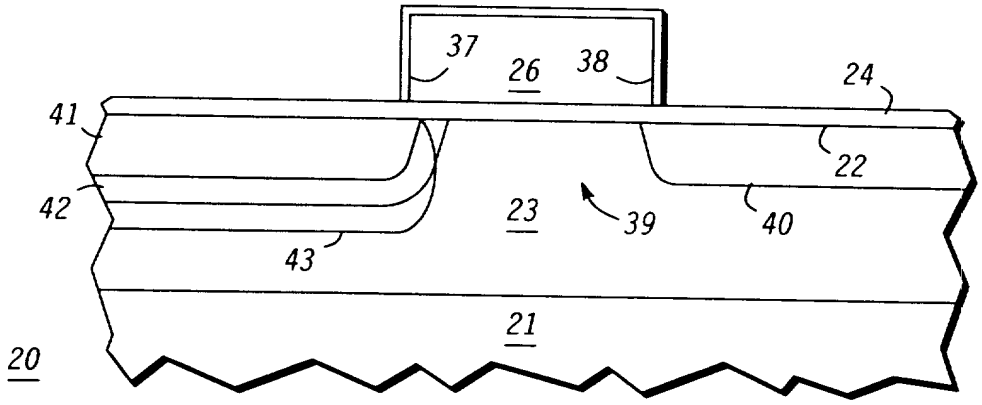

37
26
38
24
41
22
42
23
39
40
43
21
20

图 7

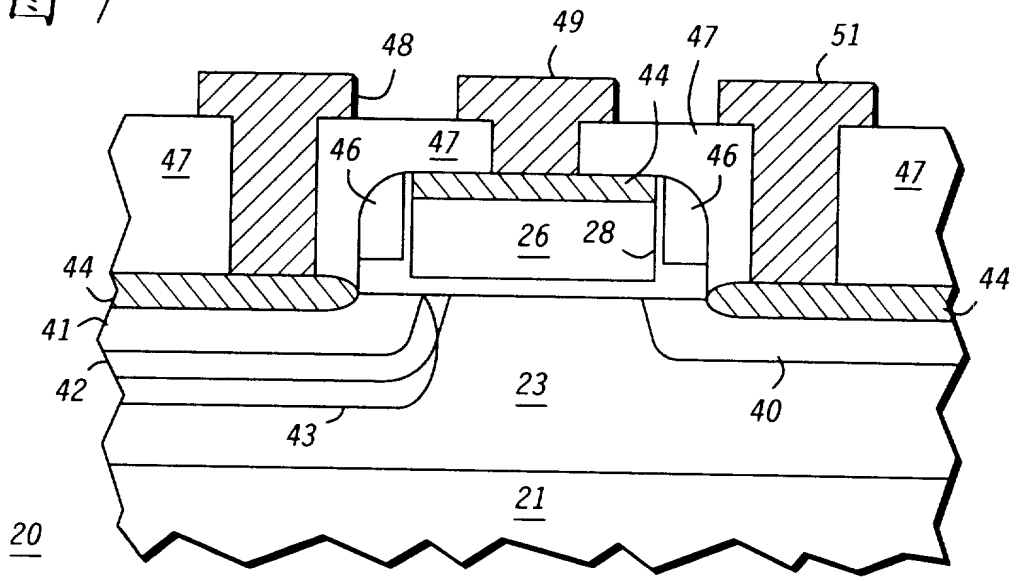

48
49
47
51
44
47
46
47
46
47
26
28
44
44
41
42
23
40
43
21
20

图 8

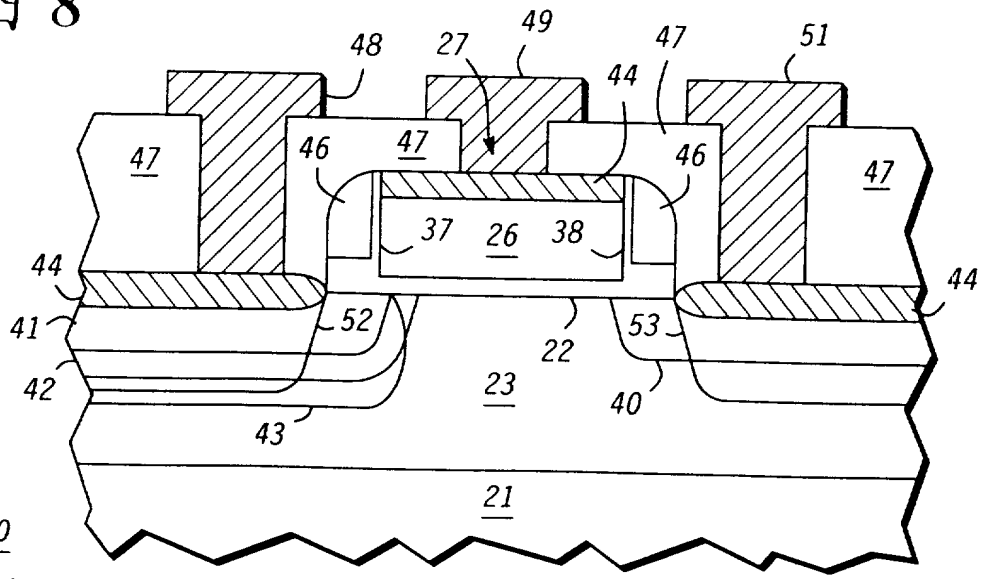

48
27
49
47
51
44
47
46
47
46
47
37
26
38
44
44
41
52
53
22
42
23
40
43
21
20

图 9

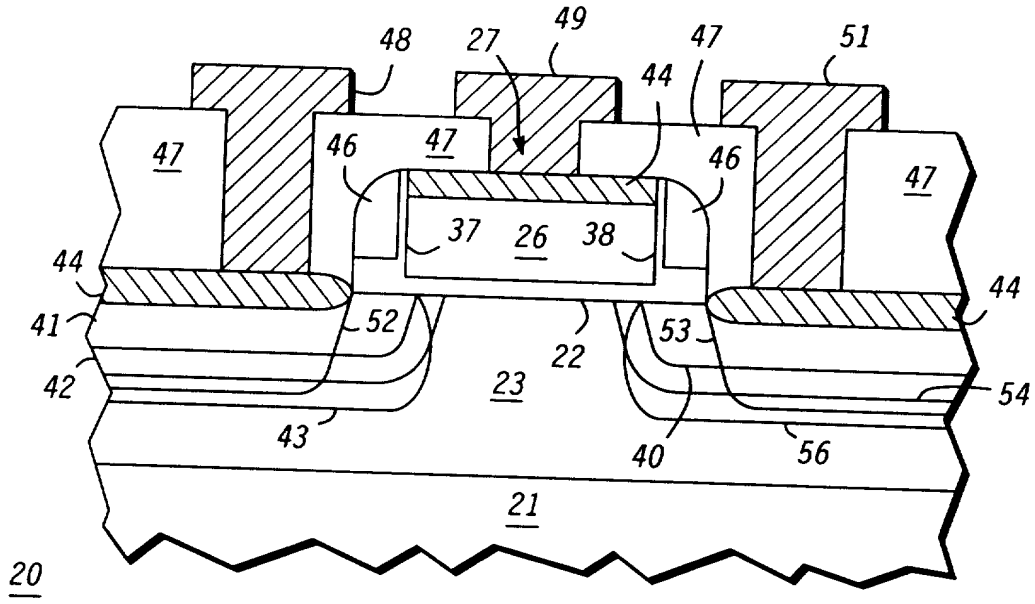

48
27
49
47
51
44
47
46
47
46
47
37
26
38
44
44
41
52
53
22
42
23
54
43
40
56
21
20

图 10