(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 2 月 2 日 (02.02.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/005352 A1

(51) 国际专利分类号:
G06F 13/18 (2006.01) *G06F 13/30* (2006.01)

(21) 国际申请号: PCT/CN2022/092813

(22) 国际申请日: 2022 年 5 月 13 日 (13.05.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110875105.1 2021年7月30日 (30.07.2021) CN

(71) 申请人: 上海商汤智能科技有限公司 (SHANGHAI SENSETIME INTELLIGENT TECHNOLOGY CO., LTD.) [CN/CN]; 中国上海市徐汇区桂平路 391 号 3 号楼 1605A 室, Shanghai 200233 (CN)。

(72) 发明人: 张启荣 (ZHANG, Qirong); 中国上海市徐汇区桂平路 391 号 3 号楼 1605A 室, Shanghai 200233 (CN)。 王文强 (WANG, Wenqiang); 中国上海市徐汇区桂平路 391 号 3 号楼 1605A 室, Shanghai 200233 (CN)。 徐宁仪 (XU, Ningyi); 中国上海市徐汇区桂平路 391 号 3 号楼 1605A室, Shanghai 200233 (CN)。

(74) 代理人: 北京博思佳知识产权代理有限公司 (BEIJING BESTIPR INTELLECTUAL PROPERTY LAW CORPORATION); 中国北京市海淀区上地三街 9 号嘉华大厦 B 座 409, Beijing 100085 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** DATA PROCESSING APPARATUS AND METHOD, COMPUTER DEVICE, AND STORAGE MEDIUM

(54) **发明名称:** 数据处理的装置、方法、计算机设备和存储介质

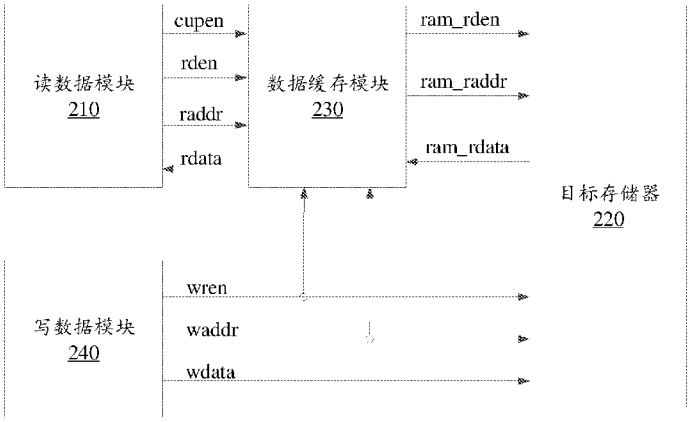

图 2

210 Data reading module
220 Target memory
230 Data cache module
240 Data writing module

(57) **Abstract:** The present disclosure provides a data processing apparatus and method, a computer device, and a storage medium. The apparatus comprises: a data reading component, a data cache component, and a data storage component; the data reading component is communicatively connected to the data cache component, and the data cache component is communicatively connected to the data storage component; the data reading component is used for determining a data reading request for the data storage component, the data reading request comprising reading address information corresponding to target data to be read; and on the basis of the reading address information, determining the storage state of the target data in a preset data cache component, and in response to the storage state indicating that valid target data is stored in the data cache component, acquiring the target data from the data cache component. The embodiments of the present disclosure can reduce memory access power consumption and prevent resource wasting.

WO 2023/005352 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

— 关于申请人有权要求在先申请的优先权(细则4.17(iii))

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本公开提供了一种数据处理装置、方法、计算机设备和存储介质，其中，该装置包括：读数据部件、数据缓存部件和数据存储部件；读数据部件与数据缓存部件通信连接，数据缓存部件与数据存储部件通信连接；读数据部件，用于确定针对数据存储部件的读数据请求，读数据请求中包括待读取的目标数据对应的读地址信息；以及，基于读地址信息，确定目标数据在预先设置的数据缓存部件中的存储状态，并响应于存储状态指示数据缓存部件中存储有有效的目标数据，从数据缓存部件中获取目标数据。本公开实施例能够降低访存功耗，避免资源的浪费。

数据处理的装置、方法、计算机设备和存储介质

交叉引用声明

本申请要求于2021年07月30日提交中国专利局的申请号为202110875105.1的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[01]本公开涉及集成电路技术领域，具体而言，涉及一种数据处理的装置、方法、计算机设备和计算机可读存储介质。

背景技术

[02]随着人工智能（Artificial Intelligence，AI）技术的发展，AI芯片的应用越来越广泛。不断迭代的AI算法及应用场景，对AI芯片PPA（性能Performace，功耗Power，面积Area）的要求也越来越高。在端侧特别是便携设备中，在一定的性能下，对功耗的控制尤为重要。

[03]在利用AI芯片进行数据处理的过程中，读数据模块需要按地址信息对随机存取存储器（Random Access Memory，RAM）进行访问，以获取存储在RAM中该地址信息对应的存储空间的数据。随着读数据模块的增加以及访问次数的增加，将产生大量的访存功耗，造成了资源的浪费。

发明内容

[04]本公开实施例至少提供一种数据处理装置、方法、计算机设备和计算机可读存储介质，以降低访存功耗。

[05]第一方面，本公开实施例提供了一种数据处理装置，包括：读数据部件、数据缓存部件和数据存储部件；所述读数据部件与所述数据缓存部件通信连接，所述数据缓存部件与所述数据存储部件通信连接；所述读数据部件，用于确定针对所述数据存储部件的读数据请求，所述读数据请求中包括待读取的目标数据对应的读地址信息；以及，基于所述读地址信息，确定所述目标数据在预先设置的数据缓存部件中的存储状态，并响应于所述存储状态指示所述数据缓存部件中存储有有效的目标数据，从所述数据缓存部件中获取所述目标数据。

[06]基于读地址信息对应的目标数据在预先设置的数据缓存部件中的存储状态，能够确定出数据缓存部件中是否存储有有效的目标数据。由于访问数据缓存部件的功耗低于访问数据存储部件（例如，RAM）的功耗，所以在确定数据缓存部件中存储有有效的目标数据的情况下，可以直接从数据缓存部件获取目标数据，而不需要从数据存储部件中获取目标数据，因此，降低了获取目标数据的访存功耗。另外，针对需要连续多次或短时间内重复对同一RAM地址信息对应的存储空间进行访问的情况，利用数据缓存部件存储目标数据，每次都可以直接在数据缓存部件中获取目标数据，不需要每次都从数据存储部件中获取目标数据，进而，大大降低了访存功耗。

[07]在一种可能的实施方式中，所述读数据部件，还用于响应于所述存储状态指示所述数据缓存部件中不存在有效的目标数据，基于所述读数据请求和所述读地址信息，从所述数据存储部件中获取所述目标数据。

[08]在一种可能的实施方式中，所述数据处理装置还包括写数据部件，所述写数据部件

与所述数据缓存部件以及所述数据存储部件通信连接；所述写数据部件，用于确定针对所述数据存储部件的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；以及，在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效；并基于所述第一写数据请求，将所述第一数据存储在所述数据存储部件中的第一写地址信息对应的位置处。

[09]在一种可能的实施方式中，所述第一写数据请求中还包括第一写缓存信息；所述写数据部件，用于：在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据无需缓存在所述数据缓存部件中的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效；在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据需要缓存在所述数据缓存部件中的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据更新为所述第一数据。

[10]在一种可能的实施方式中，所述数据处理装置还包括写数据部件，所述写数据部件与所述数据缓存部件以及所述数据存储部件通信连接；所述写数据部件，用于确定针对数据存储部件的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；在基于所述第二写地址信息，确定所述数据缓存部件中存储有有效的所述第二写地址信息对应的数据的情况下，将所述第二写地址信息对应的数据更新为所述第二数据；基于所述第二写数据请求，将所述第二数据存储在所述数据存储部件中的第二写地址信息对应的位置处。

[11]在一种可能的实施方式中，所述数据处理装置还包括优先级确定部件，所述优先级确定部件与所述数据缓存部件以及所述数据存储部件通信连接；数据访问部件，用于在确定出针对数据存储部件的多个数据访问请求的情况下，针对所述数据访问请求中的每个读数据请求，基于该读数据请求对应的读地址信息，确定该读数据请求对应的目标数据在对应的数据缓存部件中的存储状态；所述数据访问部件包括读数据部件和/或写数据部件；基于所述存储状态，从所述读数据请求中筛选符合预设条件的目标读数据请求；所述预设条件包括与读数据请求对应的数据缓存部件中不存在有效的目标数据；在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定部件确定每个目标访问请求的访问优先级；所述目标访问请求的数量根据所述目标读数据请求的数量和/或所述多个数据访问请求中的写数据请求的数量确定；基于每个目标访问请求的访问优先级，依次对所述数据存储部件进行访问。

[12]在一种可能的实施方式中，所述数据缓存部件包括与每个数据访问部件分别对应的多个缓存子部件。

[13]在一种可能的实施方式中，所述数据访问部件，用于利用预先设置的优先级确定部件，将具有相同读地址信息的目标读数据请求设置为同一访问优先级。

[14]在一种可能的实施方式中，所述读数据请求包括附加写缓存信息；所述读数据部件，还用于在从所述数据存储部件中获取所述目标数据之后，在确定所述附加写缓存信息指示所述目标数据需要缓存在所述数据缓存部件中的情况下，基于所述数据缓存部件对应的最新待写地址，存储所述目标数据；将所述目标数据在所述数据缓存部件中的存储状态设置为有效。

[15]第二方面，本公开实施例提供了一种数据处理方法，包括：确定针对目标存储器的读数据请求，所述读数据请求中包括待读取的目标数据对应的读地址信息；基于所述读地址信息，确定所述目标数据在预先设置的数据缓存模块中的存储状态；响应于所述存

储状态指示所述数据缓存模块中存储有有效的目标数据，从所述数据缓存模块中获取所述目标数据。

[16]在一种可能的实施方式中，所述方法还包括：响应于所述存储状态指示所述数据缓存模块中不存在有效的目标数据，基于所述读数据请求和所述读地址信息，从所述目标存储器中获取所述目标数据。

[17]在一种可能的实施方式中，所述方法还包括：确定针对目标存储器的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据的存储状态更新为无效；基于所述第一写数据请求，将所述第一数据存储在所述目标存储器中的第一写地址信息对应的位置处。

[18]在一种可能的实施方式中，所述第一写数据请求中还包括第一写缓存信息；所述方法还包括：在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据无需缓存在所述数据缓存模块中的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据的存储状态更新为无效；在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据需要缓存在所述数据缓存模块中的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据更新为所述第一数据。

[19]在一种可能的实施方式中，所述方法还包括：确定针对目标存储器的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；在基于所述第二写地址信息，确定所述数据缓存模块中存储有有效的所述第二写地址信息对应的数据的情况下，将所述第二写地址信息对应的数据更新为所述第二数据；基于所述第二写数据请求，将所述第二数据存储在所述目标存储器中的第二写地址信息对应的位置处。

[20]在一种可能的实施方式中，所述方法还包括：在确定出针对目标存储器的多个数据访问请求的情况下，针对所述数据访问请求中的每个读数据请求，基于该读数据请求对应的读地址信息，确定该读数据请求对应的目标数据在对应的数据缓存模块中的存储状态；基于所述存储状态，从所述读数据请求中筛选符合预设条件的目标读数据请求；所述预设条件包括与读数据请求对应的数据缓存模块中不存在有效的目标数据；在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定模块确定每个目标访问请求的访问优先级；所述目标访问请求的数量根据所述目标读数据请求的数量和/或所述多个数据访问请求中的写数据请求的数量确定；基于每个目标访问请求的访问优先级，依次对所述目标存储器进行访问。

[21]在一种可能的实施方式中，所述数据缓存模块包括与每个数据访问模块分别对应的多个缓存子模块；所述数据访问模块包括读数据模块和写数据模块。

[22]在一种可能的实施方式中，所述利用预先设置的优先级确定模块确定每个目标访问请求的访问优先级，包括：利用预先设置的优先级确定模块，将具有相同读地址信息的目标读数据请求设置为同一访问优先级。

[23]在一种可能的实施方式中，所述读数据请求包括附加写缓存信息；在从所述目标存储器中获取所述目标数据之后，还包括：在确定所述附加写缓存信息指示所述目标数据需要缓存在所述数据缓存模块中的情况下，基于所述数据缓存模块对应的最新待写地址，存储所述目标数据；将所述目标数据在所述数据缓存模块中的存储状态设置为有效。

[24] 第三方面，本公开可选实现方式还提供一种计算机设备，包括上述第一方面，或第一方面中任一种可能的实施方式中的装置。

[25] 第四方面，本公开可选实现方式还提供一种计算机可读存储介质，该计算机可读存储介质上存储有计算机程序，该计算机程序被运行时执行上述第二方面，或第二方面中任一种可能的实施方式中的步骤。

[26] 关于上述数据处理方法、装置、计算机设备、及计算机可读存储介质的效果描述参见第一方面中的数据处理装置的说明，这里不再赘述。

[27] 为使本公开的上述目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附附图，作详细说明如下。

附图说明

[28] 为了更清楚地说明本公开实施例的技术方案，下面将对实施例中所需要使用的附图作简单地介绍。这些附图示出了符合本公开的实施例，并与说明书一起用于说明本公开的技术方案。应当理解，以下附图仅示出了本公开的某些实施例，因此不应被看作是对范围的限定，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他相关的附图。

[29] 图 1 示出了本公开实施例所提供的一种数据处理方法的流程图；

[30] 图 2 示出了本公开实施例所提供的一种读数据模块访问数据缓存模块的示意图；

[31] 图 3 示出了本公开实施例所提供的一种数据写入的方法的流程图；

[32] 图 4 示出了本公开实施例所提供的一种对确定的多个数据访问请求进行处理的方法的流程图；

[33] 图 5 示出了本公开实施例所提供的一种多个读数据模块相互独立地访问数据缓存模块中的地址信息对应的目标数据的示意图；

[34] 图 6 示出了本公开实施例所提供的一种多个读数据模块相互交叉地访问数据缓存模块中的地址信息对应的目标数据的示意图；

[35] 图 7 示出了本公开实施例所提供的一种数据处理装置的示意图；

[36] 图 8 示出了本公开实施例所提供的一种计算机设备结构示意图。

具体实施方式

[37] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中附图，对本公开实施例中的技术方案进行清楚、完整地描述。所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。通常在此处描述和示出的本公开实施例的组件可以以各种不同的配置来布置和设计。因此，以下对本公开的实施例的详细描述无意限制要求保护的本公开的范围。基于本公开的实施例，本领域技术人员在没有做出创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[38] 另外，本公开实施例中的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的术语在适当情况下可以互换，以便这里描述的实施例能够以除了在这里图示或描述的内容以外的顺序实施。

[39] 在本文中提及的“多个或者若干个”是指两个或两个以上。“和/或”表示关联对象

可以存在三种关系，例如，A 和/或 B 可以表示单独存在 A、同时存在 A 和 B、单独存在 B 这三种情况。字符“/”一般表示前后关联对象是一种“或”的关系。

[40]经研究发现，随着人工智能（Artificial Intelligence，AI）技术的发展，AI 芯片的应用越来越广泛。不断迭代的 AI 算法及应用场景，对 AI 芯片 PPA（性能 Performance，功耗 Power，面积 Area）的要求也越来越高。在端侧特别是便携设备中，在一定的性能下，对功耗的控制尤为重要。在利用 AI 芯片进行数据处理的过程中，读数据模块需要按地址信息对 RAM 进行访问，以获取存储在 RAM 中该地址信息对应的存储空间的数据。随着读数据模块的增加以及访问次数的增加，将产生大量的访存功耗。

[41]基于上述研究，本公开提供了一种数据处理装置、方法、计算机设备和计算机可读存储介质，基于读地址信息对应的待读取的目标数据在预先设置的数据缓存模块中的存储状态，能够确定出数据缓存模块中是否存储有有效的目标数据。由于访问数据缓存模块的功耗低于访问目标存储器（例如，RAM）的功耗，所以在确定数据缓存模块中存储有有效的目标数据的情况下，可以直接从数据缓存模块获取目标数据，不需要从目标存储器中获取目标数据，从而降低了获取目标数据的访存功耗。另外，针对需要连续多次或短时间内重复对同一 RAM 地址信息对应的存储空间进行访问的情况，利用数据缓存模块存储目标数据，每次都可以直接在数据缓存模块中获取目标数据，不需要每次都从目标存储器中获取目标数据，进而，大大降低了访存功耗。

[42]以上均是发明人在经过实践并仔细研究后得出的结果，因此，上述问题的发现过程以及下文中本公开针对上述问题所提出的解决方案，都应该是发明人在本公开过程中对本公开做出的贡献。

[43]应注意到：相似的标号和字母在下面的附图中表示类似项，因此，一旦某一项在一个附图中被定义，则在随后的附图中不需要对其进行进一步定义和解释。

[44]为便于对本实施例进行理解，首先对本公开实施例所公开的一种数据处理方法进行详细介绍。本公开实施例所提供的数据处理方法的执行主体一般为具有一定计算能力的计算机设备。在一些可能的实现方式中，该数据处理方法可以通过处理器调用存储器中存储的计算机可读指令的方式来实现。

[45]下面以执行主体为计算机设备为例，对本公开实施例提供的数据处理方法加以说明。

[46]如图 1 所示，为本公开实施例提供的一种数据处理方法的流程图，该方法可以包括以下步骤 S101 至 S103。

[47]S101：确定针对目标存储器的读数据请求，该读数据请求中包括待读取的目标数据对应的读地址信息。

[48]这里，目标存储器可以为芯片（后面均以 AI 芯片为例，其他类型芯片也可以适用本公开提供的方案，这里不再赘述）中的 RAM，RAM 中的不同地址信息处可以用于存储不同的数据，也可以用于写入新的数据。

[49]读数据请求可以为获取目标存储器中的数据的请求，读地址信息可以表示目标存储器中的某个地址或地址范围，目标数据可以为存储在目标存储器中的该读地址信息对应的位置处的数据。

[50]具体实施时，针对目标存储器的读数据请求，可以是任一存在访问需求的读数据模块基于所需要获取的目标数据对应的读地址信息确定的。或者，用户端在需要获取读地址信息对应的目标数据的情况下，基于读地址信息生成读数据请求，并将该读数据请求发送给 AI 芯片中的读数据模块，以使得读数据模块可以根据接收到的该读数据请求确定针对该读地址信息的读数据请求。关于读数据请求是如何确定的，这里不进行限定。

[51]S102：基于读地址信息，确定目标数据在预先设置的数据缓存模块中的存储状态。

[52]这里，预先设置的数据缓存模块可以是一级缓存，例如，可以是一个寄存器 Register，或者，可以是一个高速缓冲存储器 Cache，具体的，可以用 L0 Cache 表示。数据缓存模块用于缓存地址信息及其对应的数据。具体实施时，数据缓存模块可以设置有限的存储空间，用于存储有限个地址信息及地址信息对应的数据。数据缓存模块的存储空间的设置可以根据应用的场景进行设定。并且，数据缓存模块中存储的数据可以根据不同的读数据模块的访存需求，以及当前发起读数据请求的读数据模块要获取的目标数据进行更新。

[53]另外，在利用 AI 芯片进行数据处理的过程中，可能存在频繁访问目标存储器且访问的地址信息包括多个的情况。若每次访问的地址信息均不相同，则由于数据缓存模块的存储空间有限且存储的数据可以更新，数据缓存模块中缓存的数据及对应的地址信息将无法每次都与读数据请求对应的目标数据相匹配。因此，本公开实施实例所提供的方法可以适用于特定时间内需要对同一 RAM 地址信息对应的存储空间进行重复访问的情况，这样，可以保证存储在数据缓存模块中的有效的数据能够与读数据请求对应的目标数据相匹配，从而，降低了读数据模块访存目标数据时的访存功耗。

[54]数据的存储状态用于表征在预先设置的数据缓存模块中是否存储有有效的读地址信息及其对应的数据。具体实施时，数据的存储状态可以包括：表示数据缓存模块中存在有效的读地址信息及其对应的数据的 valid 状态，表示数据缓存模块中存在读地址信息及其对应的数据但读地址信息对应的数据却无效的 invalid 状态，以及，表示数据缓存模块中不存在读地址信息及其对应的数据的状态。

[55]读数据模块可以包括多个，每个读数据模块可以发起针对 RAM 中的不同地址信息的读数据请求。

[56]一个读数据模块可以对应设置一个数据缓存模块，不同的读数据模块对应设置有不同的数据缓存模块。如图 2 所示，为本公开实施例所提供的一种读数据模块访问数据缓存模块的示意图。其中，

读数据模块 210（可表示为 Rd_mdl）用于发起读数据请求；

cupen 为表征附加写缓存信息的标识，用于指示是否需要将从目标存储器 220 中读取的目标数据写入数据缓存模块 210 中；

rden 表示读数据模块 210 的读使能，

raddr 表示读数据请求中包含的地址信息，本文中也可称为读地址信息；

rdata 表示读取到的目标数据，可以为从数据缓存模块 230 中读取的数据，也可以为从目标存储器 220 中读取的数据；

数据缓存模块 230 用于缓存数据，可表示为 L0 Cache，也可以表示为 Register，即根据预先设置的数据缓存模块的类型不同，可以用不同的符号表示，但 L0 Cache/Register 均可用于表示数据缓存模块 230；

ram_rden 表示对目标存储器的读使能，

ram_raddr 表示读数据请求中包含的对应于目标存储器 220 中的读地址信息，

ram_rdata 表示从目标存储器 220 中获取的目标数据，

目标存储器 220，可具体为 RAM，

数据处理装置中的写数据模块 240 可表示为 Wr_mdl，

wren 表示写数据模块 240 的写使能，

waddr 表示写数据请求中包含的地址信息，本文中也可称为写地址信息；

wdata 表示待写的数据。

[57]具体实施时，当任一存在访问需求的读数据模块 210 确定读数据请求之后，先经过使能 rden 使该读数据模块 210 具有读取数据的能力，然后可以确定读数据请求中包含的读地址信息 raddr 对应的目标数据在数据缓存模块 230 中的存储状态。在存储状态指示数据缓存模块 230 中存储有有效的目标数据 rdata 的情况下，直接从数据缓存模块 230 中获取目标数据 rdata。

[58]在存储状态指示数据缓存模块 230 中未存储有有效的目标数据的情况下，可以经过使能 ram_rden 使该读数据模块 210 具有从目标存储器 220 中读取数据的能力，然后可以将读数据请求中包含的读地址信息 raddr 作为目标存储器 220 中的读地址信息 ram_raddr，从目标存储器 220 中读取读地址信息 ram_raddr 对应的位置处的目标数据 ram_rdata，从而，读数据模块 210 可以从目标存储器 220 中获取目标数据 ram_rdata。

[59]针对写数据模块 240，当任一存在写数据需求的写数据模块 240 确定写数据请求之后，可以经过使能 wren 使该写数据模块 240 具有将数据 wdata 写入目标存储器 220 的能力，之后，可以将数据 wdata 写入目标存储器 220 中该写数据请求包含的地址信息 waddr 对应的存储空间处。并且，在经过使能 wren 之后，写数据模块 240 也具有将数据 wdata 写入数据缓存模块 230 的能力，例如可以直接将数据 wdata 和对应的地址信息 waddr 写入数据缓存模块 230 中。

[60]针对 S102，数据缓存模块中存储的地址信息、地址信息对应的数据、以及地址信息对应的数据的存储状态之间存在映射关系。读数据模块在获取读地址信息之后，还可以确定数据缓存模块中存储的各个地址信息，进而可以确定数据存储模块中是否存在读地址信息；如果是，则可以根据映射关系，确定读地址信息对应的数据的存储状态；如果否，则可以直接确定存储状态为表示数据缓存模块中不存在读地址信息对应的目标数据。

[61]进一步地，也可以多个读数据模块对应设置同一个数据缓存模块。具体实施时，可以根据读数据模块要访问的存储空间的地址信息进行设置，也可以基于用户的需求进行设置，这里不进行限定。例如，在多个读数据模块中的每个读数据模块可以相互独立地访问 RAM 中的数据的情况下，可以为每个读数据模块都设置一个对应的数据缓存模块；在多个读数据模块中的每个读数据模块存在相互交叉地访问 RAM 中的数据的情况下，可以为多个读数据模块对应设置同一个数据缓存模块。其中，相互交叉访问是指多个读数据模块可以间隔特定的时间和/或一定的访问次数对 RAM 中对应同一个地址信息的存储空间进行访问，以获取该地址信息对应的数据。

[62]本步骤中，读数据模块在确定读数据请求之后，可以基于读数据请求中包含的读地址信息，确定与该读数据请求对应的数据缓存模块中该读地址信息对应的目标数据的存储状态。

[63] S103：响应于存储状态指示数据缓存模块中存储有有效的目标数据，从数据缓存模块中获取目标数据。

[64] 这里，在基于存储状态确定数据缓存模块中存储有有效的目标数据的情况下，也即，确定数据缓存模块中的目标数据的存储状态为 valid 的情况下，读数据模块可以直接从数据缓存模块中获取读地址信息对应的目标数据。

[65] 之后，读数据模块可以基于获取的目标数据进行数据处理，也可以将获取的目标数据发送给用户端，以使用户端获取到目标数据并基于该目标数据进行数据处理。

[66] 这样，基于待读取的读地址信息对应的目标数据在预先设置的数据缓存模块中的存储状态，能够确定出数据缓存模块中是否存储有有效的目标数据。由于访问数据缓存模块的功耗低于访问目标存储器（例如，RAM）的功耗，所以在确定数据缓存模块中存储有有效的目标数据的情况下，可以直接从数据缓存模块获取目标数据，不需要从目标存储器中获取目标数据，从而，降低了获取目标数据的访存功耗。另外，针对需要连续多次（例如，短时间内重复地）对同一 RAM 地址信息对应的存储空间进行访问的情况，利用数据缓存模块存储该 RAM 地址信息对应的数据，使得每次都可以直接在数据缓存模块中获取该 RAM 地址信息对应的数据，不需要每次都从目标存储器中获取该 RAM 地址信息对应的数据，进而，大大降低了访存功耗，有效避免了资源的浪费。

[67] 在另一种实施例中，在基于存储状态确定数据缓存模块中不存在有效的目标数据的情况下，例如，确定数据缓存模块中不存在读地址信息及其对应的目标数据，或者，确定数据缓存模块中读地址信息对应的目标数据的存储状态为 invalid 状态的情况下，可以直接基于读数据请求及其包含的读地址信息，对目标存储器进行访问，从目标存储器中直接读取出读地址信息对应的目标数据，从而获取到读数据请求对应的数据。

[68] 这样，即使在确定数据缓存模块中不存在有效的目标数据的情况下，也可以通过直接访问目标存储器的方式，获取存储在目标存储器中的目标数据，保证了每个读数据请求都可以得到有效的响应，从而获取到需要的目标数据。

[69] 在一种实施例中，针对目标存储器的操作请求还可以包括由图 2 中的写数据模块 240 确定的写数据请求，写数据模块 240 可以基于写数据请求，实现对目标存储器的数据写入。具体实施时，可以按照如图 3 所示的步骤，对目标存储器进行数据写入。如图 3 所示，为本公开实施例所提供的一种数据写入的方法的流程图，该方法可以包括以下步骤 S301 至 S303。

[70] S301：确定针对目标存储器的第一写数据请求。

[71] 其中，第一写数据请求中包括待写的第一数据和第一数据对应的第一写地址信息，其中，第一写地址信息表示目标存储器中的数据存储地址，具体的，可以表示 RAM 中的数据存储地址。

[72] 具体实施时，当存在向目标存储器中写入数据的需求时，写数据模块 240 可以基于需要写入的第一数据以及表示第一数据需要写入的存储空间的第一写地址信息，确定针对目标存储器的第一写数据请求。

[73] S302：在基于第一写地址信息，确定数据缓存模块中存储有有效的第一写地址信息对应的数据的情况下，将数据缓存模块中第一写地址信息对应的数据的存储状态更新为无效。

[74] 这里，在确定第一写数据请求之后，写数据模块可以基于第一写地址信息，确定数据缓存模块中是否缓存有第一写地址信息及其对应的数据。如果是，则可以将数据缓存模块中的第一写地址信息对应的数据的存储状态更新为无效。具体实施时，可以将上述数据的存储状态更新为 invalid 状态。由于需要在目标存储器的第一写地址信息处写入新的数据，因此，目标存储器的第一写地址信息对应的位置处的数据将改变，并使得存储在数据缓存模块中的第一写地址信息对应的数据已经不准确。这样，通过将数据缓存模块中该数据的存储状态更新为无效，可以防止在获取到新的包括第一写地址信息的读数据请求时，将数据缓存模块中的未更新的数据进行反馈，从而有效提高了反馈的数据的准确性。

[75] S303：基于第一写数据请求，将第一数据存储在目标存储器中的第一写地址信息对应的位置处。

[76] 本步骤中，在确定第一写数据请求之后，可以直接基于第一写数据请求包含的第一写地址信息，对目标存储器进行访问，将第一数据写在目标存储器的第一写地址信息对应的位置处。

[77] 其中，如果目标存储器中第一写地址信息对应的位置处存在先前存储的数据，可以利用第一数据对先前存储的数据进行更新，例如将第一写地址信息对应的位置处的数据更新为第一数据。或者，如果目标存储器中第一写地址信息对应的位置处不存在数据，则可以直接将第一数据存储在第一写地址信息对应的位置处。

[78] 在具体实施时，S303 和 S302 可以同步执行，也可以异步执行。同步执行和异步执行均可以用于将数据缓存模块中的第一写地址信息对应的数据的存储状态更新为无效但不更新数据缓存模块中的该数据。例如，异步执行可以用于先更新数据缓存模块中的第一写地址信息对应的数据的存储状态，再将第一数据写入目标存储器中第一写地址信息对应的位置处。

[79] 在一种实施例中，第一写数据请求中还可包括第一写缓存信息。其中，第一写缓存信息用于指示是否需要利用第一写数据请求对应的第一数据更新存储在数据缓存模块中的第一写地址信息对应的数据。

[80] 针对 S302，可以在基于第一写地址信息，确定数据缓存模块中存储有有效的第一写地址信息对应的数据的情况下，基于第一写缓存信息，确定是否需要利用第一数据对数据缓存模块中的第一写地址信息对应的数据进行更新，也即确定是否需要将第一数据缓存在数据缓存模块中；如果否，则可以将数据缓存模块中第一写地址信息对应的数据的存储状态更新为无效；如果是，则可以直接将第一数据写在数据缓存模块中作为第一写地址信息对应的数据，且不需要更新数据缓存模块中第一写地址信息对应的数据的存储状态，也即将数据缓存模块中第一写地址信息对应的数据的存储状态保持为有效。

[81] 在另一种实施例中，在针对目标存储器的请求包括缺省要同步更新数据缓存模块的写数据请求的情况下，还可以按照以下步骤实现对目标存储器的数据写入。

[82] 步骤一、确定针对目标存储器的第二写数据请求。

[83] 其中，第二写数据请求中包括待写的第二数据和第二数据对应的第二写地址信息。

[84] 步骤二、在基于第二写地址信息，确定数据缓存模块中存储有有效的第二写地址信息对应的数据的情况下，将数据缓存模块中第二写地址信息对应的数据更新为第二数据。

[85] 本步骤中，在基于第二写地址信息，确定数据缓存模块中存储有有效的第二写地址信息对应的数据的情况下，可以将数据缓存模块中该第二写地址信息对应的数据更新为第二数据。这样，在获取到新的包括第二写地址信息的读数据请求时，可以直接从数据缓存模块中获取到已经更新的第二数据，而不需要访问目标存储器，从而，降低了访存功耗。

[86] 此外，在基于第二写地址信息，确定数据缓存模块中未存储第二写地址信息对应的数据的情况下，尽管第二写数据请求对应的缺省操作需同步更新对应的数据缓存模块，也没有必要将该第二写地址信息对应的数据写入数据缓存模块中。类似地，在基于第二写地址信息，确定数据缓存模块中存储的第二写地址信息对应的数据的存储状态为无效的情况下，尽管第二写数据请求对应的缺省操作需同步更新对应的数据缓存模块，也没有必要将该第二写地址信息对应的数据写入数据缓存模块中。

[87] 步骤三、基于第二写数据请求，将第二数据存储在目标存储器中的第二写地址信息对应的位置处。

[88] 关于步骤三的具体实施步骤，可以参照 S303，这里不再赘述。

[89] 第一写缓存信息是用于指示是否需要将写数据请求中的数据缓存在数据缓存模块中的信息。

[90] 在一种实施例中，本公开实施例所提供的数据处理方法还包括对同步获取的多个数据访问请求进行处理的步骤，这里，数据访问请求可以为数据访问模块（包括至少一个读数据模块和至少一个写数据模块）发起的，并且包括读数据请求和写数据请求。其中，读数据请求为读数据模块发起的，写数据请求为写数据模块发起的。如图 4 所示，为本公开实施例所提供的一种对多个数据访问请求进行处理的方法的流程图，该方法可以包括以下步骤 S401 至 S404。

[91] S401：在确定出针对目标存储器的多个数据访问请求的情况下，针对数据访问请求中的每个读数据请求，基于该读数据请求对应的读地址信息，确定该读数据请求对应的目标数据在对应的数据缓存模块中的存储状态。

[92] 这里，在利用 AI 芯片进行数据处理的过程中，可能存在多个数据访问模块（包括读数据模块和写数据模块）同时确定出并发起访问目标存储器的数据访问请求的情况，而目标存储器在同一时刻只能满足对一个地址信息对应的数据进行读取或写入的需求。

[93] 数据访问请求可以包括读数据请求和写数据请求。其中，针对写数据请求而言，其目的是将待写的数据写入目标存储器，因此，只需要确定写数据请求的数量以用于后续的仲裁即可，不需要确定写数据请求对应的写地址信息及其对应的数据在数据缓存模块中的存储状态。而针对读数据请求而言，在数据缓存模块中存储有有效的相应数据的情况下，可直接从数据缓存模块中获取数据，不需要再访问目标存储器。因此，在确定出针对目标存储器的多个读数据请求的情况下，需要先对其进行筛选，选取需要访问目标存储器的目标读数据请求。

[94] 具体实施时，针对每个读数据请求，基于该读数据请求中的读地址信息，确定该读数据请求对应的目标数据在对应的数据缓存模块中的存储状态。

[95] 这里，如果获取到的多个数据访问请求中的每个读数据请求对应的读数据模块可以相互独立地访问目标存储器的不同地址区间中的数据，则数据缓存模块可以包括多个缓存子模块。其中，每个缓存子模块对应于一个读数据模块，缓存子模块的具体设置可如图 5 所示。如图 5 所示，为本公开实施例所提供的一种多个读数据模块 510-0~510-n 相互独立访问数据缓存模块 530-0~530-n 中的地址信息对应的目标数据的示意图。在图 5 中，不同的读数据模块 510-0~510-n 可表示为 Rd_mdl0~Rd_mdln，并可统称为读数据模块 510，图 5 仅示出了读数据模块 510-0、读数据模块 510-1 和读数据模块 510-n，其余的读数据模块未示出。预先设置的与读数据模块 510-0 对应的缓存子模块 530-0，可以用于缓存读数据模块 510-0 确定的读数据请求中的读地址信息对应的数据；预先设置的与读数据模块 510-1 对应的缓存子模块 530-1，可以用于缓存读数据模块 510-1 确定的读数据请求中的读地址信息对应的数据；预先设置的与读数据模块 510-n 对应的缓存子模块 530-n，可以用于缓存读数据模块 510-n 确定的读数据请求中的读地址信息对应的数据；与其他读数据模块 510-i 对应的缓存子模块 530-i 未示出，i 为大于 1 小于 n 的整数。缓存子模块 530-0~530-n 可统称为缓存子模块 530。并且，图 5 中的写数据模块 540 可以对应于每个缓存子模块 530，每个缓存子模块 530 对应的 wren/addr 表示写数据模块 540 写使能以及对该缓存子模块 530 要写入的数据所对应的地址信息 addr。

[96] 在写数据模块包括多个的情况下，每个写数据模块也可以分别对应于一个缓存子模块。例如，一个读数据模块、一个写数据模块和一个缓存子模块可构成一个模块组，该模块组中的读数据模块和写数据模块均对应于该模块组中的缓存子模块，负责目标存

储器中的特定范围的地址信息对应的数据的读写。

[97] 在另一种实施例中，如果确定出的多个数据访问请求中的每个读数据请求对应的读数据模块相互交叉访问目标存储器的地址信息，则可以只设置一个数据缓存模块与多个读数据模块对应。具体实施时，数据缓存模块的设置可以参考图 6。如图 6 所示，为本公开实施例所提供的一种多个读数据模块 510-0~510-n 相互交叉访问数据缓存模块 630 中的地址信息对应的目标数据的示意图。其中，一个数据缓存模块 630（可表示为 L0）与多个读数据模块 510-0~510-n（可表示为 Rd_mdl0~Rd_mdln）以及写数据模块 540 通信连接。

[98] 结合图 5 和图 6 所示，可以基于多个读数据模块 510-0~510-n 访问目标存储器 520 的方式（相互独立访问或相互交叉访问），从每个读数据请求对应的数据缓存模块 630 或缓存子模块 530-0~530-n 中确定对应的目标数据的存储状态。

[99] S402：基于存储状态，从读数据请求中筛选符合预设条件的目标读数据请求。

[100] 其中，预设条件包括与读数据请求对应的数据缓存模块中不存在有效的该读数据请求对应的目标数据。这里，针对每个读数据请求，可以基于该读数据请求对应的目标数据在对应的数据缓存模块（或数据缓存子模块中）的存储状态，确定在数据缓存模块（或数据缓存子模块中）是否存储有效的目标数据；如果是，则可以将数据缓存模块中存储的有效的目标数据反馈给该读数据请求对应的读数据模块，也即由数据缓存模块响应该读数据请求，且下文可称为“该读数据请求命中（hit）数据缓存模块”；如果否，则将该读数据请求作为目标读数据请求发送给目标存储器进行处理，也即由目标存储器来响应该读数据请求，且下文可称为“该读数据请求未命中（miss）数据缓存模块”。这里，可以根据确定的存储状态对获取的多个读数据请求进行筛选，筛选出确定出符合预设条件的目标读数据请求。

[101] 也即，从多个读数据请求中筛选出对应的数据缓存模块中（或缓存子模块中）不存在有效的目标数据的目标读数据请求。

[102] S403：在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定模块确定每个目标访问请求的访问优先级。

[103] 其中，目标访问请求包括所述目标读数据请求和所述多个数据访问请求中的写数据请求；目标访问请求的数量根据所述目标读数据请求的数量和所述多个数据访问请求中的写数据请求的数量确定。

[104] 这里，预先设置的优先级确定模块用于确定每个目标访问请求的访问优先级。具体实施时，优先级确定模块可以是仲裁器（Arbiter）。

[105] 在筛选出目标读数据请求之后，可以先确定目标读数据请求的数量，并确定多个数据访问请求中的写数据请求的数量，将目标读数据请求的数量和写数据请求的数量之和作为目标访问请求的数量。然后，可确定该数量是否大于预设数量。其中，预设数量可以是 1。由上述实施例的介绍可知，目标存储器在同一时刻只能满足对一个地址信息对应的数据进行读取或写入的需求。因此，如果针对目标存储器的目标访问请求的数量大于 1，则无法实现同步对两个目标访问请求进行处理。因此，需要对多个目标访问请求进行分开处理，包括确定每个目标访问请求的访问优先级。可以利用预设数量确定是否需要确定目标访问请求的访问优先级。

[106] 这里，如果多个数据访问请求中不存在读数据请求，则可以将目标读数据请求的数量默认设置为 0。

[107] 另外，在确定目标读数据请求的数量的过程中，还可以基于每个目标读数据请求

中的读地址信息，确定存在相同的读地址信息的目标读数据请求。然后，可以基于具有相同的读地址信息的目标读数据请求的数量和读地址信息不同的目标访问请求的数量，确定最终的目标读数据请求的数量。具体实施时，无论具有相同的读地址信息的目标读数据请求的数量为多少，在确定目标读数据请求的数量的过程中，将该数量作为 1 进行计算。这是因为，具有相同的读地址信息的多个目标读数据请求所需要获取的目标数据是相同的，在响应于所述多个目标读数据请求中的一个目标读数据请求获取到存储在目标存储器中的对应的目标数据之后，可以将该目标数据发送给所述多个目标读数据请求分别对应的读数据模块，从而，上述多个读数据模块可以同步获取到所需要的目标数据。因此，在确定目标访问请求的数量的过程中，可以将具有相同的读地址信息的目标读数据请求的数量作为 1 进行计算。

[108] 进一步的，在确定目标访问请求的数量大于预设数量的情况下，可以利用预先设置的优先级确定模块（即仲裁器）进行仲裁，以确定每个目标访问请求的访问优先级，进而，可以基于确定访问优先级对应的访问顺序，依次对每个目标访问请求进行响应。

[109] 关于确定每个目标访问请求的访问优先级，可以包括但不限于以下方式：一、可以利用仲裁器根据每个目标访问请求对应的数据访问模块的功能确定每个目标访问请求的访问优先级；二、可以利用仲裁器根据每个目标访问请求中的目标读数据请求对应的读地址信息的位置，以及写数据请求对应的写地址信息，确定每个目标访问请求的访问优先级；三、可以利用仲裁器根据每个目标访问请求中携带的用于表征重要程度的标识，确定每个目标访问请求的访问优先级；四、访问优先级为预先设定的。

[110] 在一种实例方式中，优先级确定模块可以将具有相同读地址信息的多个目标访问请求的优先级设置为同一优先级。

[111] 在图 5 和图 6 中，ram_rdif0~ram_rdifn 可以表示请求针对数据访问模块（包括读数据模块 510-1~510-n 和写数据模块 540）发出的访问请求进行仲裁的仲裁请求信号。例如，ram_rdif0 表示请求对来自读数据模块 510-0 的访问目标存储器 520 的目标访问请求（具体为读数据请求）进行仲裁的仲裁请求信号，ram_rdif1 表示请求对来自读数据模块 510-1 的访问目标存储器 520 的读数据请求进行仲裁的仲裁请求信号，ram_rdifn 表示请求对来自读数据模块 510-n 的访问目标存储器 520 的目标访问请求（具体为读数据请求）进行仲裁的仲裁请求信号。类似地，关于请求对来自其他读数据模块 510 的访问目标存储器 520 的目标访问请求（具体为读数据请求）进行仲裁的仲裁请求信号，图 5 和图 6 中未一一示出，但均可用 ram_rdif 表示。如图 5 和图 6 所示，仲裁请求信号 ram_rdif0~ram_rdifn 均被输入预先设置的优先级确定模块（例如仲裁器）550。

[112] 其中，如图 5 所示，在每个目标访问请求对应的数据访问模块相互独立地访问目标存储器的不同区间的情况下，每个读数据模块 510-0~510-n 对应一个独立的数据缓存子模块 530-0~530-n，且读数据模块 510-0~510-n 可以同时向对应的数据缓存子模块 530-0~530-n 发出读数据请求。对于来自读数据模块 510-0~510-n 的读数据请求，若对应的数据缓存子模块 530-0~530-n 无法直接响应该读数据请求（例如，对应的数据缓存子模块 530-0~530-n 未存储有该读数据请求对应的目标数据、或者所存储的对应的目标数据的存储状态为无效），则该读数据请求将被转换为仲裁请求信号并发送至例如仲裁器的优先级确定模块 550。这样，550 可以根据获取的仲裁请求信号，确定每个仲裁请求信号对应的目标访问请求（包括所述未被数据缓存子模块 530-0~530-n 直接响应的读数据请求）的访问优先级。

[113] 此外，如图 6 所示，在多个读数据模块 510-0~510-n 相互交叉地访问目标存储器 520，且各个读数据模块 510-0~510-n 访问的目标存储器地址相同或短时间内相同，则读数据模块 510-0~510-n 可以共用一个数据缓存模块 630。并且，由于数据缓存模块 630

由寄存器或高速缓冲存储器搭建而成，数据缓存模块 630 理论上可以同时响应多个读数据请求。然而，对于来自读数据模块 510-0~510-n 的读数据请求，若数据缓存模块 630 无法直接响应该读数据请求（例如，数据缓存模块 630 未存储有该读数据请求对应的目标数据、或者所存储的对应的目标数据的存储状态为无效），则该读数据请求将被转换为对应的仲裁请求信号，并向优先级确定模块 550 发出所述仲裁请求信号。之后，优先级确定模块 550 可以根据获取的仲裁请求信号，确定每个仲裁请求信号对应的目标访问请求（包括所述未被数据缓存模块 630 直接响应的读数据请求）的访问优先级。

[114] 具体实施时，作为仲裁器的优先级确定模块 550 在同时接收到多个仲裁请求信号之后，即根据接收到的仲裁请求信号，确定每个请求仲裁信号对应的目标访问请求的访问优先级；然后，根据确定的访问优先级，依次将目标存储器 520 的数据访问接口连接至每个目标访问请求对应的数据访问模块 510-0~510-n 和 540；之后，各个数据访问模块 510-0~510-n 和 540 可以基于连接的数据访问接口，对目标存储器 520 进行数据读取或数据写入。

[115] 另外，如果在确定获取到的每个仲裁请求信号对应的目标访问请求的访问优先级的过程中，优先级确定模块 550 接收到新的仲裁请求信号，则可以按照新获取的仲裁请求信号的产生时间，将新获取的仲裁请求信号存储至预设的仲裁队列中；当优先级确定模块 550 完成当前次仲裁时，根据产生时间的先后顺序，从仲裁队列中获取新的仲裁请求信号进行新一次的仲裁。

[116] 以图 5 所示的多个读数据模块 510-0~510-n 为例，对例如仲裁器的优先级确定模块 550 的仲裁过程进行说明。在确定出多个读数据模块 510-0~510-n 发出针对目标存储器 520 的多个读数据请求，且多个读数据请求对应的目标数据在各个缓存子模块 530-0~530-n 中的存储状态均指示非有效的情况下，多个读数据模块 510-0~510-n 发出的读数据请求可以经由对应的缓存子模块 530-0~530-n 转换为仲裁请求信号，并且缓存子模块 530-0~530-n 向仲裁器 550 发送仲裁请求信号。其中，读数据模块 510-0 产生的读数据请求经由仲裁请求信号 ram_rdif0 向仲裁器请求仲裁，读数据模块 510-1 产生的读数据请求经由仲裁请求信号 ram_rdif1 向仲裁器请求仲裁，读数据模块 510-n 产生的读数据请求经由仲裁请求信号 ram_rdifn 向仲裁器请求仲裁，关于对读数据模块 510-2~510-n-1 产生的读数据请求发起仲裁的过程与此类似并不再赘述。这样，仲裁器 550 可以接收到多个仲裁请求信号 ram_rdif0~ram_rdifn，进而，仲裁器 550 对每个仲裁请求信号对应的读数据请求进行仲裁，确定每个读数据请求的访问优先级。之后，各个读数据请求可以根据确定的访问优先级，依次从目标存储器 520 中获取目标数据。

[117] S404：基于每个目标访问请求的访问优先级，依次对目标存储器进行访问。

[118] 这里，针对目标访问请求中的每个目标读数据请求，优先级确定模块可以按照确定的每个目标读数据请求的访问优先级，依次建立每个目标读数据请求对应的读数据模块和目标存储器的数据访问接口之间的连接，进而，各个读数据模块可以基于其对应的目标读数据请求的读地址信息，利用数据访问接口对目标存储器进行访问，从而，实现依次从目标存储器中获取每个目标读数据请求对应的目标数据。

[119] 并且，如果存在具有相同访问优先级的多个目标读数据请求，在响应该访问优先级对应的多个目标读数据请求时，可以随机响应于该访问优先级对应的多个目标读数据请求中的任一个目标读数据请求，建立该目标读数据请求对应的读数据模块与目标数据访问接口之间的连接，进而，该读数据模块可以基于该目标读数据请求对应的读地址信息，利用数据访问接口对目标存储器进行访问，获取到目标存储器的中该读地址信息对应的位置处的目标数据。

[120] 针对目标访问请求中的每个写数据请求，可以基于确定的每个写数据请求的访问

优先级，依次建立每个写数据请求对应的写数据模块与数据访问接口之间的连接，以使各个写数据模块利用数据访问接口，将写数据请求对应的待写数据写入目标存储器。

[121] 在一种实施例中，如果同步获取到针对目标存储器的访问请求包括读数据请求和写数据请求，则可以先利用仲裁器确定写数据请求对应的访问优先级，然后依次将写数据请求对应的待写数据写入目标存储器中，再基于确定的读数据请求的访问优先级，依次从目标存储器中获取读数据请求对应的目标数据。或者，可以直接利用仲裁器确定出每个读数据请求和每个写数据请求的整体的访问优先级，基于确定的该访问优先级，完成从目标存储器中读取目标数据和将待写数据写入目标存储器的操作。

[122] 在一种实施方式中，读数据请求中还可以包括附加写缓存信息，其中，附加写缓存信息用于指示是否需要将从目标存储器中获取的目标数据缓存在数据缓存模块中。示例性的，附加写缓存信息可以利用图 2、图 5 和图 6 中的 cupen 标识。例如，当 cupen 置为 1 时，表示可以将获取的目标数据缓存到数据缓存模块 230、530-0~530-n、630 中；当 cupen 置为 0 时表示不需要将获取的目标数据缓存到数据缓存模块 230、530-0~530-n、630 中。cupen 标识对应的数值可以由该标识对应的读数据模块 210、510-0~510-n 根据其对应的访存需求进行确定。

[123] 具体实施时，在从目标存储器中获取目标数据之后，还可以基于该目标数据对应的读数据请求中的附加写缓存信息，确定是否需要将该目标数据缓存到数据缓存模块中。如果需要将该目标数据缓存到数据缓存模块中，则可以进一步确定数据缓存模块中是否存储有该目标数据对应的读地址信息对应的数据。如果确定数据缓存模块中存储有该目标数据对应的读地址信息对应的数据，则可以将已存储的该读地址信息对应的数据更新为该目标数据，以完成对数据缓存模块中该读地址信息对应的数据的更新，并将该目标数据在数据缓存模块中的存储状态设置为有效，例如，设置为 valid 状态。

[124] 或者，在确定数据缓存模块中未存储有该目标数据对应的读地址信息对应的数据的情况下，确定数据缓存模块的存储空间是否已经使用完毕；如果数据缓存模块的存储空间尚未使用完毕，则可以从数据缓存模块的剩余空间对应的缓存地址中，选取最低空闲地址，将读地址信息及其对应的目标数据缓存在该最低空闲地址中，并将该目标数据在数据缓存模块中的存储状态设置为有效。

[125] 如果数据缓存模块的存储空间已经使用完毕，说明数据缓存模块中不存在可使用的存储空间，则可以确定数据缓存模块对应的最新待写地址，按最新待写地址进行读地址信息及其对应的目标数据的存储，并将该目标数据在数据缓存模块中的存储状态设置为有效。其中，最新待写地址用于表征数据缓存模块当前次可以用于存储地址信息及地址信息对应的数据的地址。例如，最新待写地址可以是按照地址递增的方式，将数据缓存模块上一次用于存储地址信息及地址信息对应的数据的地址进行地址递增后确定的。并且，在数据缓存模块中进行数据和地址信息的存储时，如果用于存储地址信息及对应的数据的地址已经为数据缓存模块中的最高地址，则下一次用于存储的地址将回环到数据缓存模块中的最低地址，这样可以保证每次确定的最新待写地址对应存储的数据和地址信息的存储时间最久。相应地，通过在数据缓存模块的存储空间已经使用完毕的情况下按最新待写地址进行地址信息及其对应的目标数据的存储，相当于利用当前次获取的目标数据替换数据缓存模块中存储时间最久的数据，从而有效保证了数据缓存模块中存储的有效数据的时效性。

[126] 上述利用附加写缓存信息，将获取的目标数据缓存在数据缓存模块中所涉及的各判断步骤，可以同步执行。

[127] 另外，本公开实施例化提供了一种与数据处理方法相对应的数据处理装置，包括：读数据部件、数据缓存部件和数据存储部件；所述读数据部件与所述数据缓存部件通信

连接，所述数据缓存部件与所述数据存储部件通信连接；所述读数据部件，用于确定针对所述数据存储部件的读数据请求，所述读数据请求中包括目标数据对应的读地址信息；以及，基于所述读地址信息，确定所述目标数据在预先设置的数据缓存部件中的存储状态，并响应于所述存储状态指示所述数据缓存部件中存储有有效的目标数据，从所述数据缓存部件中获取所述目标数据。

[128] 在一种实施例中，所述读数据部件，还用于响应于所述存储状态指示所述数据缓存部件中不存在有效的目标数据，基于所述读数据请求和所述读地址信息，从所述数据存储部件中获取所述目标数据。

[129] 在一种实施例中，所述数据处理装置还包括写数据部件，所述写数据部件与所述数据缓存部件以及所述数据存储部件通信连接；所述写数据部件，用于确定针对所述数据存储部件的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；以及，在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效；并基于所述第一写数据请求，将所述第一数据存储在所述数据存储部件中的第一写地址信息对应的位置处。

[130] 在一种实施例中，所述第一写数据请求中还包括第一写缓存信息；所述写数据部件，用于：在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据无需缓存在所述数据缓存部件中的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效；在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据需要缓存在所述数据缓存部件中的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据更新为所述第一数据。

[131] 在一种实施例中，所述数据处理装置还包括写数据部件，所述写数据部件与所述数据缓存部件以及所述数据存储部件通信连接；所述写数据部件，用于确定针对数据存储部件的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；在基于所述第二写地址信息，确定所述数据缓存部件中存储有有效的所述第二写地址信息对应的数据的情况下，将所述第二写地址信息对应的数据更新为所述第二数据；基于所述第二写数据请求，将所述第二数据存储在所述数据存储部件中的第二写地址信息对应的位置处。

[132] 在一种实施例中，所述数据处理装置还包括优先级确定部件，所述优先级确定部件与所述数据缓存部件以及所述数据存储部件通信连接；所述数据访问部件，用于在确定出针对数据存储部件的多个数据访问请求的情况下，针对所述数据访问请求中的每个读数据请求，基于该读数据请求对应的读地址信息，确定该读数据请求对应的待读取的目标数据在对应的数据缓存部件中的存储状态；所述数据访问部件包括读数据部件和/或写数据部件；基于所述存储状态，从所述读数据请求中筛选符合预设条件的目标读数据请求；所述预设条件包括与读数据请求对应的数据缓存部件中不存在有效的目标数据；在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定部件确定每个目标访问请求的访问优先级；所述目标访问请求的数量根据所述目标读数据请求的数量和/或所述多个数据访问请求中的写数据请求的数量确定；基于每个目标访问请求的访问优先级，依次对所述数据存储部件进行访问。

[133] 在一种实施例中，所述数据缓存部件包括与每个数据访问部件分别对应的多个缓存子部件。

[134] 在一种实施例中，所述数据访问部件，用于利用预先设置的优先级确定部件，将

具有相同读地址信息的目标读数据请求设置为同一访问优先级。

[135] 在一种实施例中，所述读数据请求包括附加写缓存信息；所述读数据部件，还用于在从所述数据存储部件中获取所述目标数据之后，在确定所述附加写缓存信息指示所述目标数据需要缓存在所述数据缓存部件中的情况下，基于所述数据缓存部件对应的最新待写地址，存储所述目标数据；将所述目标数据在所述数据缓存部件中的存储状态设置为有效。

[136] 这里，读数据部件的功能与上述实施例中的读数据模块的功能相同，数据存储部件与上述实施例中的目标存储器的功能相同，数据缓存部件与上述实施例中的数据缓存模块相同，写数据部件的功能与上述实施例中的写数据模块相同，优先级确定部件的功能与上述实施例中的优先级确定模块相同，数据访问部件的功能与上述实施例中的数据访问模块相同，关于上述数据处理装置中的各部件以及上述各实施例的具体介绍，可以参照本公开实施例所提供的数据处理方法对应的各实施例的介绍，这里不再赘述。

[137] 本领域技术人员可以理解，在具体实施方式的上述方法中，各步骤的撰写顺序并不意味着严格的执行顺序而对实施过程构成任何限定，各步骤的具体执行顺序应当以其功能和可能的内在逻辑确定。

[138] 基于同一发明构思，本公开实施例中还提供了与数据处理方法对应的数据处理装置，由于本公开实施例中的装置解决问题的原理与本公开实施例上述数据处理方法相似，因此装置的实施可以参见方法的实施，重复之处不再赘述。

[139] 如图 7 所示，为本公开实施例提供的一种数据处理装置的示意图，该装置包括：

[140] 第一确定模块 701，用于确定针对目标存储器的读数据请求，所述读数据请求中包括待读取的目标数据对应的读地址信息；

[141] 第二确定模块 702，用于基于所述读地址信息，确定所述目标数据在预先设置的数据缓存模块中的存储状态；

[142] 获取模块 703，用于响应于所述存储状态指示所述数据缓存模块中存储有有效的目标数据，从所述数据缓存模块中获取所述目标数据。

[143] 在一种可能的实施方式中，所述获取模块 703，还用于响应于所述存储状态指示所述数据缓存模块中不存在有效的目标数据，基于所述读数据请求和所述读地址信息，从所述目标存储器中获取所述目标数据。

[144] 在一种可能的实施方式中，所述装置还包括第一更新模块 704；所述第一确定模块 701，还用于确定针对目标存储器的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；所述第一更新模块 704，用于在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据的存储状态更新为无效；基于所述第一写数据请求，将所述第一数据存储在所述目标存储器中的第一写地址信息对应的位置处。

[145] 在一种可能的实施方式中，所述第一写数据请求中还包括第一写缓存信息；所述第一更新模块 704，用于：在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据无需缓存在所述数据缓存模块中的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据的存储状态更新为无效；在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据需要缓存在所述数据缓存模块中的情况下，将所述数据缓存模块中所述第一写

地址信息对应的数据更新为所述第一数据。

[146] 在一种可能的实施方式中，所述装置还包括第二更新模块 705；所述第一确定模块 701，还用于确定针对目标存储器的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；所述第二更新模块 705，用于在基于所述第二写地址信息，确定所述数据缓存模块中存储有有效的所述第二写地址信息对应的数据的情况下，将所述第二写地址信息对应的数据更新为所述第二数据；基于所述第二写数据请求，将所述第二数据存储在所述目标存储器中的第二写地址信息对应的位置处。

[147] 在一种可能的实施方式中，所述装置还包括第三确定模块 706；所述第二确定模块 702，用于在确定出针对目标存储器的多个数据访问请求的情况下，针对所述数据访问请求中的每个读数据请求，基于该读数据请求对应的读地址信息，确定该读数据请求对应的目标数据在对应的数据缓存模块中的存储状态；所述第三确定模块 706，用于基于所述存储状态，从所述读数据请求中筛选符合预设条件的目标读数据请求；所述预设条件包括与读数据请求对应的数据缓存模块中不存在有效的目标数据；在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定模块确定每个目标访问请求的访问优先级；所述目标访问请求的数量根据所述目标读数据请求的数量和/或所述多个数据访问请求中的写数据请求的数量确定；基于每个目标访问请求的访问优先级，依次对所述目标存储器进行访问。

[148] 在一种可能的实施方式中，所述数据缓存模块包括与每个数据访问模块分别对应的多个缓存子模块；所述数据访问模块包括读数据模块和写数据模块。

[149] 在一种可能的实施方式中，所述第三确定模块 706，用于利用预先设置的优先级确定模块，将具有相同读地址信息的目标读数据请求设置为同一访问优先级。

[150] 在一种可能的实施方式中，所述读数据请求包括附加写缓存信息；所述装置还包括：第三更新模块 707，用于在所述获取模块 703 从所述目标存储器中获取所述目标数据之后，在确定所述附加写缓存信息指示所述目标数据需要缓存在所述数据缓存模块中的情况下，基于所述数据缓存模块对应的最新待写地址，存储所述目标数据；将所述目标数据在所述数据缓存模块中的存储状态设置为有效。

[151] 本公开实施例提供的数据处理装置可以包括芯片、AI 芯片等。

[152] 关于装置中的各模块的处理流程、以及各模块之间的交互流程的描述可以参照上述方法实施例中的相关说明，这里不再详述。

[153] 本公开实施例还提供了一种计算机设备，可以包括本公开实施例提供的数据处理装置。如图 8 所示，为本公开实施例提供的一种计算机设备结构示意图，包括处理器 81 和存储器 82；所述存储器 82 存储有处理器 81 可执行的机器可读指令，处理器 81 用于执行存储器 82 中存储的机器可读指令，所述机器可读指令被处理器 81 执行时，处理器 81 执行下述步骤：S101：确定针对目标存储器的读数据请求，读数据请求中包括待读取的目标数据对应的读地址信息；S102：基于读地址信息，确定目标数据在预先设置的数据缓存模块中的存储状态；以及 S103：响应于存储状态指示数据缓存模块中存储有有效的目标数据，从数据缓存模块中获取目标数据。

[154] 上述存储器 82 包括内存 821 和外部存储器 822；这里的内存 821 也称内存储器，用于暂时存放处理器 81 中的运算数据，以及与硬盘等外部存储器 822 交换的数据，处理器 81 通过内存 821 与外部存储器 822 进行数据交换。

[155] 上述指令的具体执行过程可以参考本公开实施例中所述的数据处理方法的步骤，

此处不再赘述。

[156] 本公开实施例还提供一种计算机可读存储介质，该计算机可读存储介质上存储有计算机程序，该计算机程序被处理器运行时执行上述方法实施例中所述的数据处理方法的步骤。其中，该存储介质可以是易失性或非易失的计算机可读取存储介质。

[157] 本公开实施例所提供的数据处理方法的计算机程序产品，包括存储了程序代码的计算机可读存储介质，所述程序代码包括的指令可用于执行上述方法实施例中所述的数据处理方法的步骤，具体可参见上述方法实施例，在此不再赘述。

[158] 该计算机程序产品可以具体通过硬件、软件或其结合的方式实现。在一个可选实施例中，所述计算机程序产品具体体现为计算机存储介质，在另一个可选实施例中，计算机程序产品具体体现为软件产品，例如软件开发包（Software Development Kit，SDK）等等。

[159] 所属领域的技术人员可以清楚地了解到，为描述的方便和简洁，上述描述的装置的具体工作过程，可以参考前述方法实施例中的对应过程，在此不再赘述。在本公开所提供的几个实施例中，应该理解到，所揭露的装置和方法，可以通过其它的方式实现。以上所描述的装置实施例仅仅是示意性的，例如，所述单元的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式，又例如，多个单元或组件可以结合，或一些特征可以忽略，或不执行。另一点，所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些通信接口，装置或单元的间接耦合或通信连接，可以是电性，机械或其它的形式。

[160] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的，作为单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本实施例方案的目的。

[161] 另外，在本公开各个实施例中的各功能单元可以集成在一个处理单元中，也可以是各个单元单独物理存在，也可以两个或两个以上单元集成在一个单元中。

[162] 所述功能如果以软件功能单元的形式实现并作为独立的产品销售或使用时，可以存储在一个处理器可执行的非易失的计算机可读取存储介质中。基于这样的理解，本公开的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行本公开各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read-Only Memory，ROM）、目标存储器（Random Access Memory，RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

[163] 最后应说明的是：以上所述实施例，仅为本公开的具体实施方式，用以说明本公开的技术方案，而非对其限制，本公开的保护范围并不局限于此，尽管参照前述实施例对本公开进行了详细的说明，本领域的普通技术人员应当理解：任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，其依然可以对前述实施例所记载的技术方案进行修改或可轻易想到变化，或者对其中部分技术特征进行等同替换；而这些修改、变化或者替换，并不使相应技术方案的本质脱离本公开实施例技术方案的精神和范围，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应所述以权利要求的保护范围为准。

权利要求书

1、一种数据处理装置，其特征在于，包括：

数据存储部件；

数据缓存部件，所述数据缓存部件与所述数据存储部件通信连接；

数据访问部件，所述数据访问部件包括至少一个读数据部件，

其中，每个所述读数据部件，用于

确定针对所述数据存储部件的读数据请求，所述读数据请求中包括待读取的目标数据对应的读地址信息；

基于所述读地址信息，确定所述目标数据在预先设置的所述数据缓存部件中的存储状态；并

响应于所述存储状态指示所述数据缓存部件中存储有有效的所述目标数据，从所述数据缓存部件中获取所述目标数据。

2、根据权利要求 1 所述的数据处理装置，其特征在于，所述读数据部件，还用于：

响应于所述存储状态指示所述数据缓存部件中不存在有效的所述目标数据，基于所述读数据请求和所述读地址信息，从所述数据存储部件中获取所述目标数据。

3、根据权利要求 1 或 2 所述的数据处理装置，其特征在于，所述数据访问部件还包括至少一个写数据部件，所述至少一个写数据部件包括至少一个第一写数据部件，每个所述第一写数据部件与所述数据缓存部件以及所述数据存储部件通信连接，用于：

确定针对所述数据存储部件的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；

在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效；并

基于所述第一写数据请求，将所述第一数据存储在所述数据存储部件中的所述第一写地址信息对应的位置处。

4、根据权利要求 3 所述的数据处理装置，其特征在于，在所述第一写数据请求中还包括第一写缓存信息的情况下，所述第一写数据部件还用于：

在基于所述第一写地址信息，确定所述数据缓存部件中存储有有效的所述第一写地址信息对应的数据、并且所述第一写缓存信息指示所述第一数据无需缓存在所述数据缓存部件中的情况下，将所述数据缓存部件中所述第一写地址信息对应的数据的存储状态更新为无效。

5、根据权利要求 1 或 2 所述的数据处理装置，其特征在于，所述数据访问部件还包括至少一个写数据部件，所述至少一个写数据部件包括至少一个第二写数据部件，每个所述第二写数据部件与所述数据缓存部件以及所述数据存储部件通信连接，用于：

确定针对所述数据存储部件的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；

在基于所述第二写地址信息，确定所述数据缓存部件中存储有有效的所述第二写地址信息对应的数据的情况下，将所述数据缓存部件中所述第二写地址信息对应的数据更新为所述第二数据；

基于所述第二写数据请求，将所述第二数据存储在所述数据存储部件中的所述第二写地址信息对应的位置处。

6、根据权利要求 5 所述的数据处理装置，其特征在于，所述第二写数据请求中还包括第二写缓存信息；

所述写数据部件，用于在基于所述第二写地址信息，确定所述数据缓存部件中存储有有效的所述第二写地址信息对应的数据、并且所述第二写缓存信息指示所述第二数据需要缓存在所述数据缓存部件中的情况下，将所述第二写地址信息对应的数据更新为所

述第二数据。

7、根据权利要求 1 至 6 任一所述的数据处理装置，其特征在于，所述数据处理装置还包括优先级确定部件，

所述优先级确定部件与所述数据缓存部件以及所述数据存储部件通信连接，用于：在所述数据访问部件确定出针对所述数据存储部件的多个数据访问请求，并且所述多个数据访问请求中的目标访问请求的数量大于预设数量的情况下，确定每个目标访问请求的访问优先级，其中，所述目标访问请求包括写数据请求和目标读数据请求，所述数据缓存部件中未存储有效的所述目标读数据请求对应的目标数据；

所述数据访问部件，用于：基于每个所述目标访问请求的访问优先级，依次对所述数据存储部件进行访问。

8、根据权利要求 7 所述的数据处理装置，其特征在于，所述数据缓存部件包括多个缓存子部件，

每个所述缓存子部件对应所述数据访问部件中的至少一个读数据部件和/或至少一个写数据部件。

9、根据权利要求 7 或 8 所述的数据处理装置，其特征在于，所述优先级确定部件，用于：

将具有相同读地址信息的多个所述目标读数据请求设置为同一访问优先级。

10、根据权利要求 2 至 9 任一项所述的数据处理装置，其特征在于，所述读数据部件还用于：

在从所述数据存储部件中获取所述目标数据之后，在所述读数据请求包括附加写缓存信息的情况下，基于所述数据缓存部件对应的最新待写地址存储所述目标数据在所述数据缓存部件中，其中，所述附加写缓存信息用于指示所述目标数据需要缓存在所述数据缓存部件中；

将所述目标数据在所述数据缓存部件中的存储状态设置为有效。

11、一种数据处理方法，包括：

确定针对目标存储器的读数据请求，所述读数据请求中包括待读取的目标数据对应的读地址信息；

基于所述读地址信息，确定所述目标数据在预先设置的数据缓存模块中的存储状态；

响应于所述存储状态指示所述数据缓存模块中存储有有效的所述目标数据，从所述数据缓存模块中获取所述目标数据。

12、根据权利要求 11 所述的方法，还包括：

响应于所述存储状态指示所述数据缓存模块中不存在有效的所述目标数据，基于所述读数据请求和所述读地址信息，从所述目标存储器中获取所述目标数据。

13、根据权利要求 11 或 12 所述的方法，还包括：

确定针对所述目标存储器的第一写数据请求，所述第一写数据请求中包括待写的第一数据和所述第一数据对应的第一写地址信息；

在基于所述第一写地址信息，确定所述数据缓存模块中存储有有效的所述第一写地址信息对应的数据的情况下，将所述数据缓存模块中所述第一写地址信息对应的数据的存储状态更新为无效；

基于所述第一写数据请求，将所述第一数据存储在所述目标存储器中的所述第一写地址信息对应的位置处。

14、根据权利要求 11 或 12 所述的方法，还包括：

确定针对所述目标存储器的第二写数据请求，所述第二写数据请求中包括待写的第二数据和所述第二数据对应的第二写地址信息；

在基于所述第二写地址信息，确定所述数据缓存模块中存储有有效的所述第二写地址信息对应的数据的情况下，将所述数据缓存模块中所述第二写地址信息对应的数据更

新为所述第二数据；

基于所述第二写数据请求，将所述第二数据存储在所述目标存储器中的所述第二写地址信息对应的位置处。

15、一种计算机设备，其特征在于，包括：如权利要求 1 至 10 任意一项所述的数据处理装置。

16、一种计算机可读存储介质，其特征在于，所述计算机可读存储介质上存储有计算机程序，所述计算机程序被计算机设备运行时，所述计算机设备执行如权利要求 11 至 14 任意一项所述的数据处理方法的步骤。

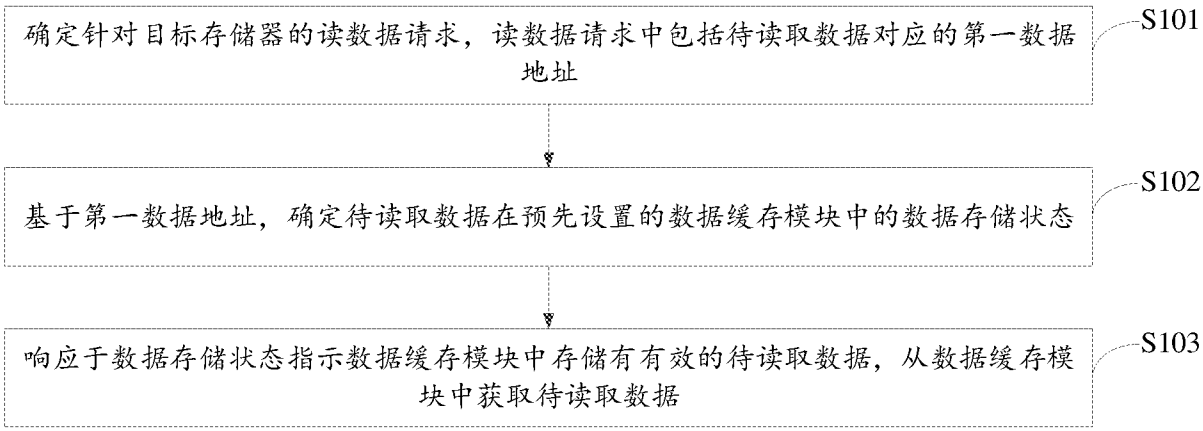
确定针对目标存储器的读数据请求，读数据请求中包括待读取数据对应的第一数据地址
S101
基于第一数据地址，确定待读取数据在预先设置的数据缓存模块中的数据存储状态
S102
响应于数据存储状态指示数据缓存模块中存储有有效的待读取数据，从数据缓存模块中获取待读取数据
S103

图 1

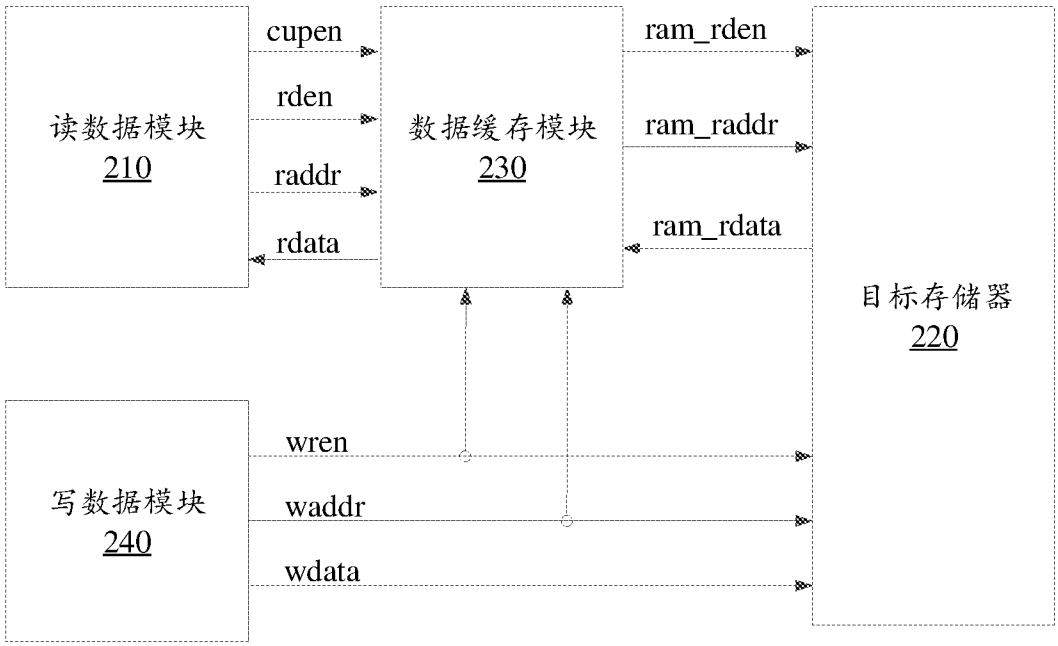
读数据模块
210
cupen
rden
raddr
rdata
数据缓存模块
230
ram_rden
ram_raddr
ram_rdata
目标存储器
220
写数据模块
240
wren
waddr
wdata

图 2

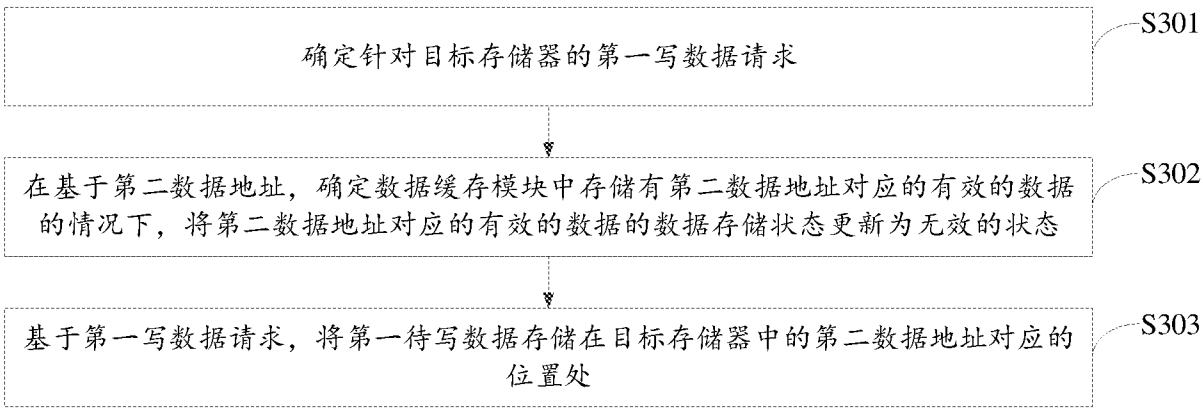
确定针对目标存储器的第一写数据请求
S301
在基于第二数据地址，确定数据缓存模块中存储有第二数据地址对应的有效的数据的情况下，将第二数据地址对应的有效的数据的数据存储状态更新为无效的状态
S302
基于第一写数据请求，将第一待写数据存储在目标存储器中的第二数据地址对应的位置处
S303

图 3

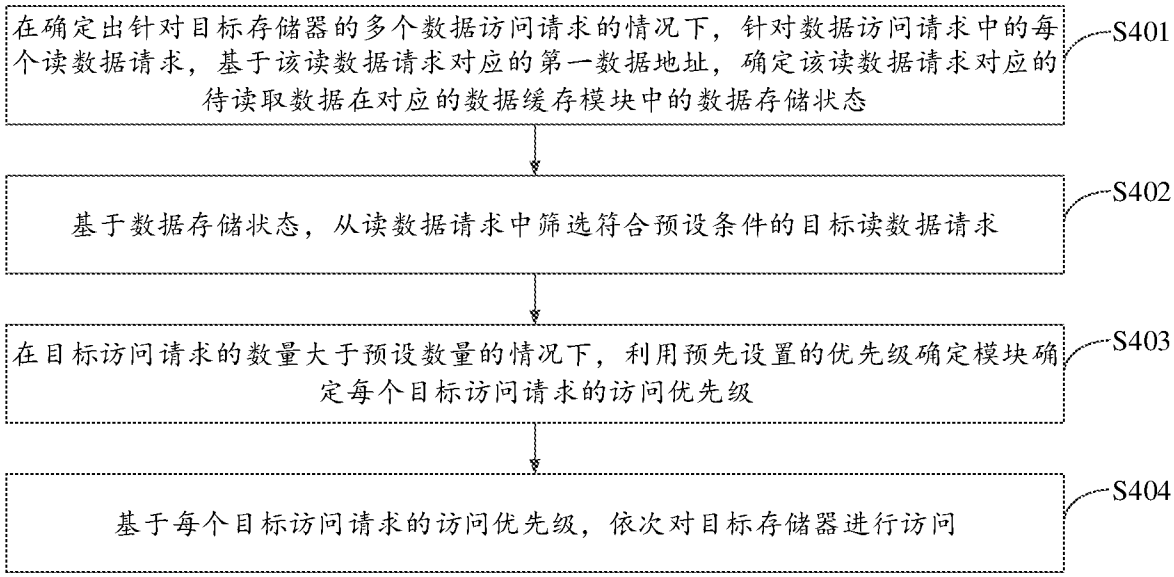
在确定出针对目标存储器的多个数据访问请求的情况下，针对数据访问请求中的每个读数据请求，基于该读数据请求对应的第一数据地址，确定该读数据请求对应的待读取数据在对应的数据缓存模块中的数据存储状态
S401
基于数据存储状态，从读数据请求中筛选符合预设条件的目标读数据请求
S402
在目标访问请求的数量大于预设数量的情况下，利用预先设置的优先级确定模块确定每个目标访问请求的访问优先级
S403
基于每个目标访问请求的访问优先级，依次对目标存储器进行访问
S404

图 4

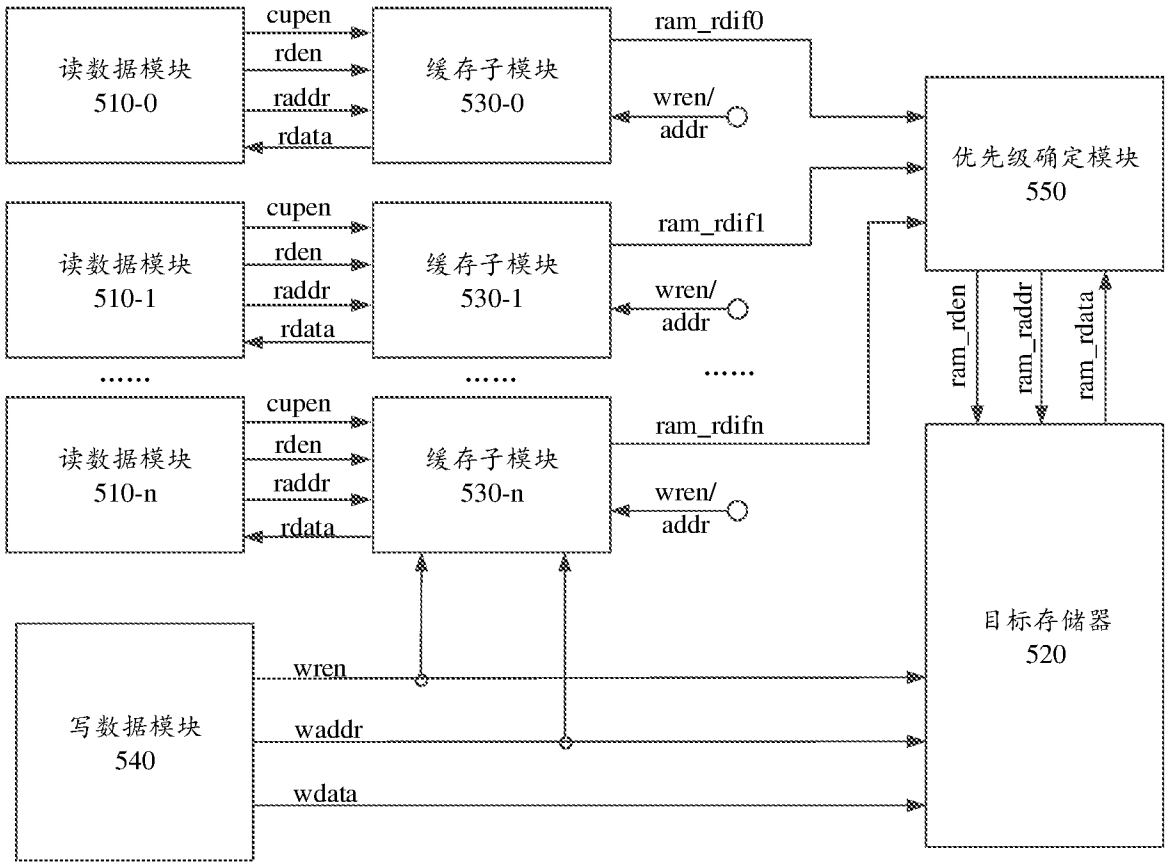
读数据模块
510-0
cupen
rden
raddr
rdata
缓存子模块
530-0
ram_rdif0
wren/
addr
读数据模块
510-1
缓存子模块
530-1
ram_rdif1
读数据模块
510-n
缓存子模块
530-n
ram_rdifn
优先级确定模块
550
ram_rden
ram_raddr
ram_rdata
目标存储器
520
写数据模块
540
wren
waddr
wdata

图 5

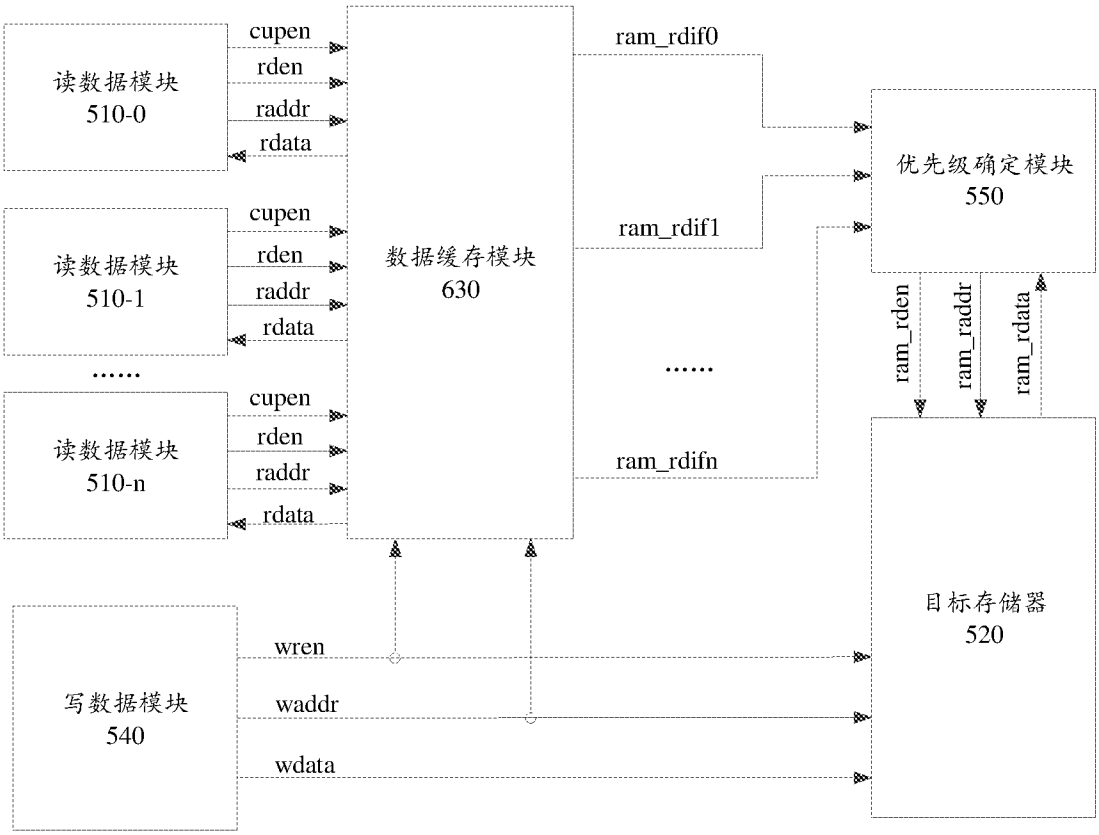
读数据模块
510-0
读数据模块
510-1
读数据模块
510-n
cupen
rden
raddr
rdata
数据缓存模块
630
ram_rdif0
ram_rdif1
ram_rdifn
优先级确定模块
550
ram_rden
ram_raddr
ram_rdata
目标存储器
520
写数据模块
540
wren
waddr
wdata

图 6

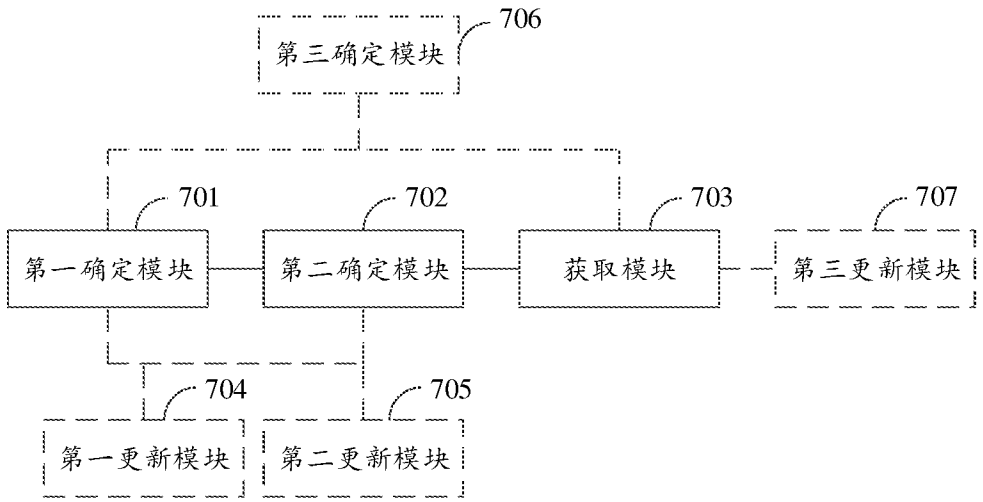
706
第三确定模块
701
702
703
707
第一确定模块
第二确定模块
获取模块
第三更新模块
704
705
第一更新模块
第二更新模块

图 7

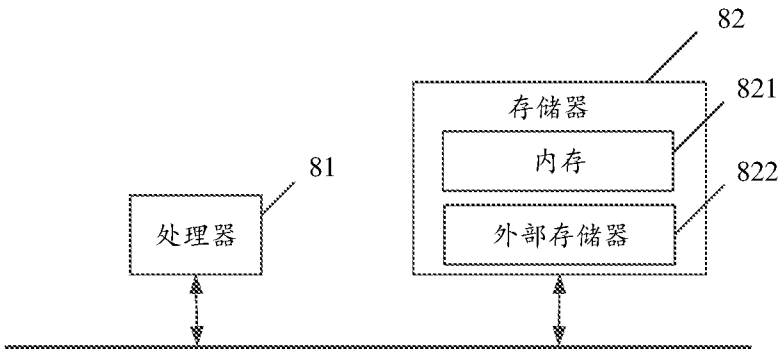
82
821
存储器
内存
822
外部存储器
81
处理器

图 8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/092813

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/18(2006.01)i; G06F 13/30(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; CNKI; VEN; USTXT; WOTXT; EPTXT; IEEE; 百度, BAIDU; 读秀, DUXIU: 商汤, 阵量, 缓存, 读, 写, 有效, 无效, 脏, 地址, 数据, 更新, 刷新, cache, buffer, read, write, valid, invalid, dirty, address, data, update, refresh

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 113515474 A (SHANGHAI ZHENLIANG INTELLIGENT TECHNOLOGY CO., LTD.) 19 October 2021 (2021-10-19) claims 1-15, and description, paragraphs [0077]-[0233], and figures 1-8	1-16
X	CN 107506139 A (SHANGHAI JIAO TONG UNIVERSITY) 22 December 2017 (2017-12-22) description, paragraphs [0037]-[0203], and figures 1-6	1-16
X	CN 110275841 A (SHANGHAI SUIYUAN INTELLIGENT TECHNOLOGY CO., LTD. et al.) 24 September 2019 (2019-09-24) description, paragraphs [0028]-[0128], and figures 1-5	1-16
A	CN 109426623 A (SANECHIPS TECHNOLOGY CO., LTD.) 05 March 2019 (2019-03-05) entire document	1-16
A	CN 108459826 A (MACROSAN TECHNOLOGIES CO., LTD.) 28 August 2018 (2018-08-28) entire document	1-16
A	US 2011167223 A1 (PANASONIC CORP.) 07 July 2011 (2011-07-07) entire document	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
19 July 2022	**29 July 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/092813

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 113515474 A	19 October 2021	None	
CN 107506139 A	22 December 2017	CN 107506139 B	08 September 2020
CN 110275841 A	24 September 2019	CN 110275841 B	04 September 2020
CN 109426623 A	05 March 2019	None	
CN 108459826 A	28 August 2018	CN 108459826 B	29 December 2020
US 2011167223 A1	07 July 2011	CN 102160041 A	17 August 2011
		WO 2010032433 A1	25 March 2010
		TW 201015579 A	16 April 2010
		JP WO2010032433 A1	02 February 2012

国际检索报告

国际申请号
PCT/CN2022/092813

A. 主题的分类

G06F 13/18(2006.01)i; G06F 13/30(2006.01)n

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS;CNTXT;CNKI;VEN;USTXT;WOTXT;EPTXT;IEEE;百度;读秀：商汤，阵量，缓存，读，写，有效，无效，脏，地址，数据，更新，刷新，cache，buffer，read，write，valid，invalid，dirty，address，data，update，refresh

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 113515474 A (上海阵量智能科技有限公司) 2021年10月19日 (2021-10-19) 权利要求第1-15项，说明书第[0077]-[0233]段，附图1-8	1-16
X	CN 107506139 A (上海交通大学) 2017年12月22日 (2017-12-22) 说明书第[0037]-[0203]段，附图1-6	1-16
X	CN 110275841 A (上海燧原智能科技有限公司 等) 2019年9月24日 (2019-09-24) 说明书第[0028]-[0128]段，附图1-5	1-16
A	CN 109426623 A (深圳市中兴微电子技术有限公司) 2019年3月5日 (2019-03-05) 全文	1-16
A	CN 108459826 A (杭州宏杉科技股份有限公司) 2018年8月28日 (2018-08-28) 全文	1-16
A	US 2011167223 A1 (PANASONIC CORP) 2011年7月7日 (2011-07-07) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年7月19日	2022年7月29日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 王丽娜 电话号码 （86-512）88995937

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/092813

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113515474	A	2021年10月19日	无			
CN	107506139	A	2017年12月22日	CN	107506139	B	2020年9月8日
CN	110275841	A	2019年9月24日	CN	110275841	B	2020年9月4日
CN	109426623	A	2019年3月5日	无			
CN	108459826	A	2018年8月28日	CN	108459826	B	2020年12月29日
US	2011167223	A1	2011年7月7日	CN	102160041	A	2011年8月17日
				WO	2010032433	A1	2010年3月25日
				TW	201015579	A	2010年4月16日
				JP	WO2010032433	A1	2012年2月2日