(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0097793
(43) 공개일자 2010년09월06일

(51) Int. Cl.
H01L 29/78 (2006.01)
(21) 출원번호 10-2009-0016618
(22) 출원일자 2009년02월27일
심사청구일자 2009년02월27일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이재성
서울특별시 마포구 신공덕동 삼성1차아파트 109-2002
윤종원
서울특별시 성북구 안암동3가 80번지 버디버디빌딩 A동 502호
윤대근
서울특별시 성북구 안암동1가 94번지
(74) 대리인
전종학

전체 청구항 수 : 총 9 항

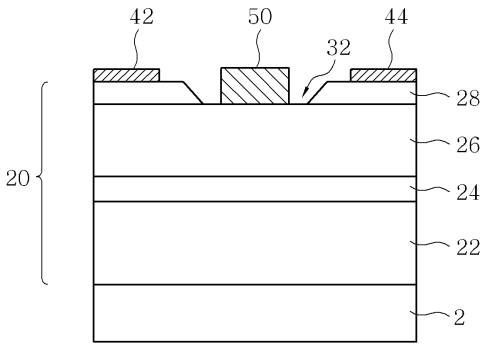
(54) Ⅲ-Ⅴ화합물반도체를 이용한 전계효과트랜지스터 및 이의 제조방법

(57) 요 약

본 발명은 Ⅲ-Ⅴ화합물반도체 이종접합구조 상의 게이트 리세스를 필요로 하는 HEMT 등의 FET에 관한 것으로, 특히 게이트 리세스를 위한 별도의 식각 공정을 생략 또는 간소화할 수 있어 공정단축에 따른 수율 증가는 물론 게이트 리세스의 재현성을 확보하고 소자의 신뢰성을 향상시킬 수 있는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 및 이의 제조방법에 관한 것이다.

구체적으로 본 발명은 기판; Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 상기 기판 위에 차례로 적층된 버퍼층, 채널층, 하이밴드갭층, Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 게이트 리세스를 형성하도록 상기 하이밴드갭층 위에 적층된 캡층을 포함하는 Ⅲ-Ⅴ 화합물반도체의 이종접합구조; 상기 캡층에 오믹 접촉된 소스 및 드레인영역; 및 상기 게이트 리세스에 쇼트키 접합된 금속게이트를 포함하는 Ⅲ-Ⅴ화합물반도체를 이용한 FET 및 이의 제조방법을 제공한다.

대 표 도 - 도1



이 발명을 지원한 국가연구개발사업
과제고유번호 M103KC01000408K030100440
부처명 한국과학재단
연구관리전문기관
연구사업명 21C뉴프론티어연구개발사업
연구과제명 III-V/Ge on Si 디지털 소자 및 IC개발(서울대학교 협동-3차년도)
기여율
주관기관 서울대학교
연구기간 2008년 04월 01일 ~ 2009년 03월 31일

특허청구의 범위

청구항 1

기판;

Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 상기 기판 위에 차례로 적층된 버퍼층, 채널층, 하이밴드갭층, Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 게이트 리세스를 제공하도록 상기 하이밴드갭층 위에 적층된 캡층을 포함하는 Ⅲ-Ⅴ 화합물반도체의 이종접합구조;

상기 캡층에 오믹 접촉된 소스 및 드레인영역; 및

상기 게이트 리세스에 쇼트키 접합된 금속게이트를 포함하는 Ⅲ-Ⅴ화합물반도체를 이용한 FET.

청구항 2

청구항 1에 있어서,

상기 하이밴드갭층은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 Ⅲ-Ⅴ 화합물반도체를 이용한 FET.

청구항 3

청구항 1에 있어서,

Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 상기 하이밴드갭층과 상기 캡층 사이로 개재된 식각방지층을 더 포함하는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET.

청구항 4

청구항 1 내지 3 중 어느 하나의 선택된 항에 있어서,

상기 Ⅲ-Ⅴ 화합물반도체 물질은 AlGaAs, GaAs, InGaAs, InAs, GaSb를 포함하는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET.

청구항 5

(a) 기판 위에 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 버퍼층, 채널층, 하이밴드갭층을 차례로 적층하는 단계;

(b) 상기 하이밴드갭층 위에 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 캡층을 적층하는 단계;

(c) 상기 캡층 위에 서로 이격된 소스 및 드레인영역을 오믹접촉하는 단계;

(d) 상기 소스 및 드레인영역과 캡층을 덮도록 포토레지스트를 도포하고 마스크를 이용해서 선택적으로 노광하는 단계;

(e) TMAH를 포함하는 현상액으로 상기 포토레지스트를 현상하여 상기 소스 및 드레인영역 사이를 노출시키는 포토레지스트패턴을 형성하는 동시에 상기 포토레지스트패턴에 의해 노출된 상기 소스 및 드레인영역 사이의 캡층을 제거하여 게이트 리세스를 형성하는 단계;

(f) 상기 포토레지스트패턴을 제거하는 단계; 및

(g) 상기 게이트리세스에 금속게이트를 쇼트키 접합하는 단계를 포함하는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 제조방법.

청구항 6

청구항 5에 있어서,

상기 (e) 단계의 상기 현상액은, 전체 중량 기준 97~99 중량%의 물과 전체 중량 기준 1~3중량%의 TMAH로 이루어진 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 제조방법.

청구항 7

청구항 5에 있어서,

상기 (a) 단계의 상기 하이밴드갭층은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 제조방법.

청구항 8

청구항 5에 있어서,

상기 (a) 단계 이후 상기 (b) 단계 이전, 상기 하이밴드갭층 위에 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 식각정지층을 적층하는 단계를 더 포함하는 Ⅲ-Ⅴ화합물반도체를 이용한 FET 제조방법.

청구항 9

청구항 5 내지 8 중 어느 하나의 선택된 항에 있어서,

상기 Ⅲ-Ⅴ족 화합물반도체 물질은 AlGaAs, GaAs, InGaAs, InAs, GaSb를 포함하는 Ⅲ-Ⅴ족 화합물반도체를 이용한 FET 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 Ⅲ-Ⅴ화합물반도체를 이용한 FET(Field Effect Transistor) 및 이의 제조방법에 관한 것이다. 보다 구체적으로 본 발명은 Ⅲ-Ⅴ화합물반도체의 이종접합구조(heterojunction structer) 상의 게이트 리세스(gate recess)를 필요로 하는 HEMT(High Electron Mobility Transistor) 등의 FET에 관한 것으로, 특히 게이트 리세스를 위한 별도의 식각 공정을 생략 또는 간소화할 수 있어 공정단축에 따른 수율 증가는 물론 게이트 리세스의 재현성을 확보하고 소자의 신뢰성을 향상시킬 수 있는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 및 이의 제조방법에 관한 것이다.

배 경 기 술

[0002] 근래의 본격적인 정보화시대에 부응해서 대용량 정보처리를 위한 반도체 분야의 비약적인 발전이 뒤따랐고, 여기에 발맞추어 CMOS(Complementary Metal Oxide Semiconductor deVice)의 고집적화, 고속동작화 노력이 계속되고 있다.

[0003] 특히, 요사이 들어 각종 전자장치의 소형화, 경량화, 박막화 추세가 이어지면서 CMOS의 크기축소(scaling down) 및 성능향상이 현안으로 떠올랐는데, 과거로부터 널리 사용되던 Si 기반 CMOS의 크기축소는 FET(Field Effect Transistor)의 유효채널길이(effectiVe channel length)를 감소시켜 펀치쓰루(Puntch Through)와 단채널 효과(Short Channel Effect)를 유발하고 게이트 절연막의 두께감소로 인한 터널링 효과(tunneling effect)를 지수함수적으로 증가시킨다.

[0004] 이에 따라 CMOS의 크기축소 및 성능향상을 위한 새로운 방안으로서 Si 대비 고전자 이동도(High Electron Mobility)와 포화이동속도(Saturateddrift Velocity)가 높은 Ⅲ-Ⅴ 화합물반도체를 이용한 FET이 주목받고 있

고, 이 중에서도 특히 변도도핑(modulation doping)에 의한 고전자이동도 트랜지스터(High Electron Mobility Transistor : 이하, HEMT라 한다.)가 관심을 끌고 있다.

[0005] 일반적인 HEMT는 기판 위에 차례로 적층된 버퍼층(buffer layer), 채널층(channel layer), 하이밴드갭층(high band gap layer), 캡층(cap layer)을 포함하는 Ⅲ-Ⅴ 화합물반도체 이종접합구조를 필수구성요소로 하며, 캡층 위에는 소스(source) 및 드레인(drain)영역이 오믹(ohmic) 접촉되고 소스 및 드레인영역 사이로는 게이트 리세스(gate recess)가 구비되어 금속게이트(metal gate)와 하이밴드갭층이 쇼트키 접합된다.

[0006] 그리고 HEMT의 제조를 위해서는 통상적으로 반 절연성 기판(substrate, 일례로 GaAs 등) 상에 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 버퍼층(일례로 진성 GaAs), 채널층(일례로 진성 AlGaAs 또는 InGaAs/AlGaAs), 하이밴드갭층(일례로 도핑된 AlGaAs), 캡층(일례로 도핑된 GaAs)을 차례로 선택적 결정성장(selectiVe)시켜 Ⅲ-Ⅴ 화합물반도체의 이종접합구조를 완성한 후, 금속 증착(deposition)에 이은 포토리소그라피(photo-lithography)과 식각(etching) 그리고 어닐링(annealing)을 통해 소스 및 드레인영역을 구현한다. 이어서 별도의 포토리소그라피와 게이트 리세스 식각으로 소스 및 드레인영역 사이의 캡층 일부를 제거하여 게이트 리세스를 확보한 후, 추가의 금속 증착에 이은 포토리소그라피와 식각을 통해 금속게이트를 구현한다.

[0007] 이에 따라 Ⅲ-Ⅴ 화합물반도체를 이용한 FET, 특히 HEMT 등에서는 금속게이트와 반도체 간 쇼트키 접합을 위한 게이트 리세스 식각을 필수적으로 요구하지만 해당 공정은 매우 중요하면서도 까다로운 특징을 보인다.

[0008] 즉, 게이트 리세스 식각은 완성된 HEMT의 신뢰도를 좌우하는 중요한 공정으로서 1-2nm 정도의 작은 오차라 할지라도 소자의 특성을 크게 변화시킨다. 이에 따라 현재로서는 하이밴드갭층과 캡층 사이의 식각률(etch rate)에 따른 선택적 식각방법을 주로 사용한다.

[0009] 하지만, 캡층의 두께는 통상 수 nm 이하의 작은 범위이므로 온도, 시간, 스트링(string) 등 여러 가지 식각조건에 따라 재현성(reproducibility)이 크게 떨어지는 한편, 반응성 이온 식각을 사용한 건식식각(ReactiVe Ion Etching: RIE)의 경우에는 별도의 장비 동원에 따른 시간 및 비용의 소모가 큰 동시에 이온충돌에 따른 박막손상 가능성이 높고, 습식식각의 경우에는 캡층의 측면 손상을 야기하여 소자의 특성을 저하시키는 경우가 빈번하다.

[0010] 따라서 재현성과 신뢰성이 높은 HEMT 등의 Ⅲ-Ⅴ 화합물반도체를 이용한 FET을 구현하기 위해서는 무엇보다도 개선된 게이트 리세스 식각 방법이 절실히 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0011] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 게이트 리세스를 위한 별도의 식각 공정을 생략 또는 간소화하여 공정단축에 따른 수율 증가는 물론 재현성 확보와 소자 신뢰성을 향상시킬 수 있는 구체적인 방도를 제시하는데 그 목적이 있다.

과제 해결수단

[0012] 상기와 같은 목적을 달성하기 위하여 본 발명은, 기판; Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 상기 기판 위에 차례로 적층된 버퍼층, 채널층, 하이밴드갭층, Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 게이트 리세스를 제공하도록 상기 하이밴드갭층 위에 적층된 캡층을 포함하는 Ⅲ-Ⅴ 화합물반도체의 이종접합구조; 상기 캡층에 오믹 접촉된 소스 및 드레인영역; 및 상기 게이트 리세스에 쇼트키 접합된 금속게이트를 포함하는 Ⅲ-Ⅴ화합물반도체를 이용한 FET 소자를 제공한다.

[0013] 이때, 상기 하이밴드갭층은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 것을 특징으로 하고, Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 상기 하이밴드갭층과 상기 캡층 사이로 개재된 식각방지층을 더 포함하는 것을 특징으로 하며, 상기 Ⅲ-Ⅴ 화합물반도체 물질은 AlGaAs, GaAs, InGaAs, InAs, GaSb를 포함하는 것을 특징으로 한다.

[0014] 아울러 본 발명은 (a) 기판 위에 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 버퍼층, 채널층, 하이밴드갭층을 차례로

적층하는 단계; (b) 상기 하이밴드갭층 위에 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 캡층을 적층하여 Ⅲ-Ⅴ 화합물반도체의 이종접합구조를 구현하는 단계; (c) 상기 캡층 위에 서로 이격된 소스 및 드레인영역을 오믹접촉하는 단계; (d) 상기 소스 및 드레인영역과 캡층을 덮도록 포토레지스트를 도포하고 마스크를 이용해서 선택적으로 노광하는 단계; (e) TMAH를 포함하는 현상액으로 상기 포토레지스트를 현상하여 상기 소스 및 드레인영역 사이를 노출시키는 포토레지스트패턴을 형성하는 동시에 상기 포토레지스트패턴에 의해 노출된 상기 소스 및 드레인영역 사이의 캡층을 제거하여 게이트 리세스를 형성하는 단계; (f) 상기 포토레지스트패턴을 제거하는 단계; 및 (g) 상기 게이트리세스에 금속게이트를 쇼트키 접합하는 단계를 포함하는 Ⅲ-Ⅴ 화합물반도체를 이용한 FET 소자 제조방법을 제공한다.

[0015] 이때, 상기 (e) 단계의 상기 현상액은 전체 중량 기준 97~99 중량%의 물과 전체 중량 기준 1~3중량%의 TMAH로 이루어진 것을 특징으로 하고, 상기 (a) 단계의 상기 하이밴드갭층은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 것을 특징으로 하며, 상기 (a) 단계 이후 상기 (b) 단계 이전, 상기 하이밴드갭층 위에 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 식각정지층을 적층하는 단계를 더 포함하는 것을 특징으로 하고, 상기 Ⅲ-Ⅴ족 화합물반도체 물질은 AlGaAs, GaAs, InGaAs, InAs, GaSb를 포함하는 것을 특징으로 한다.

효 과

[0016] 본 발명은 Ⅲ-Ⅴ화합물반도체 이종접합구조 상의 게이트 리세스를 필요로 하는 HEMT 등의 FET에 있어서, 게이트 리세스를 위한 별도의 식각 공정을 생략 또는 간소화할 수 있는 장점이 있다.

[0017] 즉, 본 발명은 Ⅲ-Ⅴ 화합물반도체 이종접합구조의 캡층으로 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체를 사용하는 한편, 상기 캡층 상의 포토레지스트패턴을 위한 현상액으로 TMAH 수용액을 사용한다.

[0018] 그 결과 별도의 게이트 리세스 식각과정 없이 포토레지스트의 현상 중에 게이트리세스를 구현할 수 있는바, 공정단축에 따른 수율 증가는 물론 게이트 리세스의 재현성을 확보하고 소자의 신뢰성을 향상시킬 수 있는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0019] 이하, 도면을 참조해서 본 발명을 상세하게 살펴본다.

[0020] 첨부된 도 1은 본 발명에 따른 Ⅲ-Ⅴ 화합물반도체를 이용한 FET의 일례인 HEMT의 단면 모식도이다. (이하, 본 발명에 따른 HEMT라 한다.)

[0021] 보이는 것처럼, 본 발명에 따른 HEMT는 기판(2) 상에 차례로 적층된 버퍼층(22), 채널층(24), 하이밴드갭층(26), 캡층(28)을 포함하는 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)와, Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 캡층(28)에 오믹접촉된 소스 및 드레인영역(42,44) 그리고 소스 및 드레인영역(42,44) 사이의 게이트 리세스(32)를 통해 하이밴드갭층(28)과 쇼트키 접합된 금속게이트(50)를 포함한다.

[0022] 각각을 자세히 살펴보면 다음과 같다.

[0023] 먼저, 기판(2)과 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 버퍼층(22), 채널층(24)은 일반적인 기술사상을 바탕으로 할 수 있다.

[0024] 즉, 기판(2)은 임의로 GaAs 등의 반절연성 물질로 이루어질 수 있고, 버퍼층(22)은 진성 GaAs 등의 Ⅲ-Ⅴ 화합물반도체 물질로 이루어질 수 있으며, 채널층(24)은 진성 AlGaAs 등의 Ⅲ-Ⅴ 화합물반도체 물질로 이루어질 수 있다. 참고로, 필요하다면 채널층(24)은 대역불연속을 위한 InGaAs와 AlGaAs 등의 이중 적층에 의한 슈도모르픽(pseudomorphic) 구조를 나타내는 것도 가능하며, 기판(2), Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 버퍼층(22), 채널층(24)은 공지된 모든 재질이 사용될 수 있다.

[0025] 다음으로 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 하이밴드갭층(26)은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어지고, 캡층(28)은 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진다. 그리고 하이밴드갭층(26)과 캡층(28)에는 각각 고농도 불순물이 도핑된다.

[0026] 즉, 본 발명에 따른 HEMT에 있어서 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 하이밴드갭층(26)은 고농도 도핑된

AlGaAs 등 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 제한되고, 캡층(28)은 GaSb 등 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 제한되는 것을 특징으로 한다. 이는 후술하는 게이트 리세스 식각의 생략 또는 간소화를 위한 것으로서 해당 부분에서 상세히 살펴본다.

[0027] 그리고 캡층(28)에는 서로 이격된 소스 및 드레인영역(42,44)이 오믹 접촉되고, 소스 및 드레인영역(42,44) 사이의 캡층(28)으로부터는 하이밴드갭층(26)을 일부 노출시키는 게이트 리세스(32)가 마련되어 해당 위치에서 금속게이트(50)와 하이밴드갭층(28)이 쇼트키 접합된다.

[0028] 한편, 첨부된 도 2는 본 발명의 변형예에 따른 HEMT의 단면모식도이다.

[0029] 앞서 도 1에서 살펴본 구성요소와 동일역할을 하는 동일부분에 대해서는 동일부호를 부여하였으므로 편의상 도 1과의 차이점만을 살펴보면, 본 발명의 변형예에 따른 HEMT는 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)의 하이밴드갭층(26)과 캡층(28) 사이로 5~30nm 두께를 나타내는 별도의 식각방지층(etch stop layer : 30)이 개재된다.

[0030] 이때, 식각방지층(30)은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질, 일례로 InAs 등으로 제한되는 대신 하이밴드갭층(26)을 이루는 물질은 별도의 제한이 없다.

[0031] 즉, 본 발명은 Ⅲ-Ⅴ화합물반도체의 이종접합구조(20) 상의 게이트 리세스(32)를 필요로 하는 HEMT 등의 FET를 대상으로 하되, 특징적인 내용은 게이트 리세스(32)가 형성된 캡층(28)으로 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질을 사용하고, 그 하지층은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질을 사용한다.

[0032] 이로써 게이트 리세스(32)를 위한 별도의 식각 공정을 간소화한다.

[0033] 첨부된 도 3 내지 도 8은 각각 본 발명에 따른 Ⅲ-Ⅴ 화합물반도체를 이용한 FET의 공정단면도로서, 편의상 도 1에서 살펴본 HEMT에 대해 나타내었다. 도 1 및 도 2를 함께 참조한다.

[0034] 먼저, 도 3에 도시된 것처럼 기판(2)을 준비한 후 선택적 결정성장을 통해 Ⅲ-Ⅴ 화합물반도체 이종접합구조(20)를 위한 버퍼층(22), 채널층(24), 하이밴드갭층(26), 캡층(28)을 구현한다.

[0035] 이때, 선택적 결정성장은 공지 기술사상이 적용될 수 있고, 기판(2)은 임의로 GaAs와 같은 반절연성 물질로, 버퍼층(22)은 진성 GaAs와 같은 Ⅲ-Ⅴ 화합물반도체 물질로, 채널층(24)은 진성 AlGaAs와 같은 Ⅲ-Ⅴ 화합물반도체 물질로 각각 이루어질 수 있다. 그리고 하이밴드갭층(26)은 AlGaAs와 같이 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 고농도로 도핑(n^+)되고, 캡층(28)은 GaSb와 같이 Sb를 포함한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어져 고농도 도핑(n^+)된다.

[0036] 참고로, 필요하다면 하이밴드갭층(28)과 캡층(28) 사이로 InAs와 같이 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 5~30nm 두께의 식각방지층(26)을 개재하는 것도 가능하며, 이 경우 하이밴드갭층(26)은 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 제한된 필요가 없음은 이미 도 2를 참조해서 살펴보았다.

[0037] 다음으로, 도 4에 도시된 것처럼 Ⅲ-Ⅴ 반도체화합물 이종접합구조(20)의 캡층(28)에 서로 이격된 소스 및 드레인영역(42,44)을 구현한다.

[0038] 이때, 소스 및 드레인영역(42,44)은 금속박막의 증착, 포토리소그라피 또는 리프트 오프(lift-off), 식각에 의한 패터닝(patterning), 어닐링의 순서로 구현되는데, 여기서 포토리소그라피란 목적하는 박막, 즉 금속층 위로 감광성 물질인 포토레지스트(photoresist)를 도포한 후 마스크(mask)로 노광(Exposure)하고 현상액으로 현상(deVelopment)하여 하지의 금속층을 선택적으로 노출시키는 포토레지스트패턴(photoresist pattern)을 얻는 과정을 총칭한다.

[0039] 그 결과 후속의 식각을 진행하면 캡층(28) 위에서 서로 이격된 소스 및 드레인영역(42,44)을 얻을 수 있고, 잔류 포토레지스트패턴을 제거한 후 어닐링을 진행하면 소스 및 드레인영역(42,44)이 완성된다.

[0040] 다음으로, 도 5에 도시된 것처럼 소스 및 드레인영역(42,44)과 그 사이로 노출된 캡층(28)을 덮도록 포토레지스트를 도포한다.

[0041] 이때, 포토레지스트는 빛을 받은 부분이 현상액에 의해 제거되는 포지티브 타입(positiVe)과 빛을 받지 않은 부분이 현상액에 의해 제거되는 네거티브(negatiVe) 타입으로 구분되지만 편의상 네거티브 타입이라 한다.

[0042] 다음으로, 도 6에 도시된 것처럼 소스 및 드레인영역(42,44)과 캡층(28)을 덮는 포토레지스트막(60)에 마스크(70)를 대면 배치한 후 노광한다.

[0043] 이때, 마스크(70)는 빛을 차단하는 차단부(72)와 빛을 투과시키는 투과부(74)를 포함하며, 노광은 마스크(70)와 포토레지스트막(60)을 직접 접촉시키는 접촉방식(contact type), 마스크(70)와 포토레지스트막(60)을 일정 정도 이격시키는 근접방식(proximity type) 내지는 프로젝션 타입(projection type), 축소투영노광의 스탭 앤 리피트 방식(step and repeat type) 또는 스탭 앤 스캔 방식(step and scan type)이 가능하다.

[0044] 다음으로, 도 7에 도시된 바와 같이 소정의 현상액으로 현상한다.

[0045] 이때, 본 발명은 현상액으로 TMAH(Tetra Methyl Ammonium Hydroxide) 수용액을 사용하며, TMAH 수용액은 바람직하게는 전체 중량 기준 97~99 중량%의 물과 전체 중량 기준 1~3중량%의 TMAH이 혼합된 형태를 나타낸다. 여기서 TMAH란 AZ300 등의 유기계열현상액에 함유되는 물질로서, 본 출원인의 실험과 연구를 통해 Sb를 포함하는 Ⅲ-Ⅴ 화합물반도체를 식각하는 특징이 있음을 알아내었다.

[0046] 그 결과 TMAH 수용액으로 포토레지스트막(도 6의 60 참조)을 현상하면 소스 및 드레인영역(42,44) 사이에 해당되는 일부가 제거된 포토레지스트패턴(62)이 얻어지는 동시에 포토레지스트패턴(62)에 의해 노출된 하지의 캡층(28) 일부가 함께 제거되어 게이트 리세스(62)가 얻어진다. 참고로, 본 출원인의 실험과 연구에 따르면 TMAH 수용액은 Sb를 포함하는 Ⅲ-Ⅴ 화합물반도체에 대해서만 선택적인 식각특성을 보이는 바, 캡층(28)과 달리 Sb를 제외한 Ⅲ-Ⅴ 화합물반도체 물질로 이루어진 하이밴드갭층(26)(또는 도 2의 식각방지층(30))에는 별다른 손상을 주지 않는다.

[0047] 하지만, 캡층(28)이 TMAH 수용액에 지나치게 장시간 노출되면 불필요한 측면손상 등이 발생할 수 있으므로 실온의 딥핑(dipping) 방식을 전제로 수 nm 범위의 캡층(28)에 대해 식각 시간은 20~30초가 적절하다.

[0048] 다음으로, 도 8에 도시된 바와 같이 잔류의 포토레지스트패턴(도 7의 62 참조)을 제거하고, 게이트 리세스(32)에 금속게이트(50)를 형성하면 도 1에서 살펴본 본 발명에 따른 HEMT가 완성된다.

[0049] 이때, 금속게이트(50)를 위해서는 Ti, Au, Al 중 선택된 금속박막의 증착, 포토리소그라피, 식각에 의한 패터닝, 잔류 포토레지스트의 제거 등의 과정이 진행될 수 있다.

[0050] 한편, 이상의 설명은 본 발명의 일례에 지나지 않는 것으로, 본 발명의 기술적 사상은 여기에 한정되지는 않는다. 즉, 본 발명은 Ⅲ-Ⅴ화합물반도체의 이종접합구조(20) 상의 게이트 리세스(32)를 필요로 하는 HEMT 등의 FET를 대상으로 하며, 게이트 리세스(32)를 위한 별도의 식각 공정을 생략 또는 간소화하기 위해 캡층(28)으로는 Sb를 포함하는 Ⅲ-Ⅴ 화합물반도체를 사용하고, 캡층(28) 위의 포토레지스트패턴을 위한 현상액으로는 TMAH 수용액을 사용한다.

[0051] 그 결과 본 발명의 적용범위와 구체적인 내용 등에서는 여러 가지 변형이 있을 수 있지만 이들 변형이 본 발명의 기술적 사상 내에 있다면 본 발명의 권리범위 내에 속한다 해야 할 것인바, 본 발명의 권리범위는 이하의 특허청구범위에 분명하게 명시되어 있다.

도면의 간단한 설명

[0052] 도 1은 본 발명에 따른 Ⅲ-Ⅴ화합물반도체를 이용한 FET의 일례를 나타낸 단면 모식도.

[0053] 도 2는 본 발명에 따른 Ⅲ-Ⅴ화합물반도체를 이용한 FET의 변형예를 나타낸 단면 모식도.

[0054] 도 3 내지 도 8은 각각 본 발명에 따른 Ⅲ-Ⅴ화합물반도체를 이용한 FET의 일례에 대한 제조공정 단면도.

[0055] <도면의 주요 부분에 대한 부호의 설명>

[0056] 2 : 기판 20 : Ⅲ-Ⅴ 화합물반도체 이종접합구조

[0057] 22 : 버퍼층 24 : 채널층

[0058] 26 : 하이밴드갭층 28 : 캡층

[0059] 30 : 식각방지층 32 : 게이트 리세스

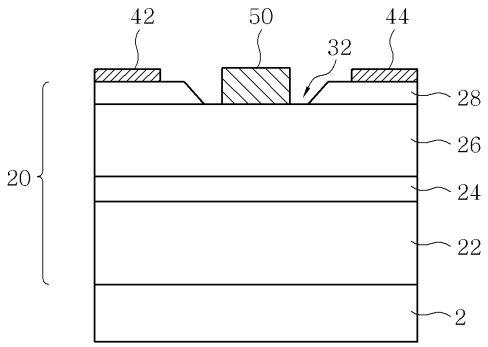
[0060] 42,44 : 소스 및 드레인영역 50 : 금속게이트

[0061] 60 : 포토레지스트막 62 : 포토레지스트패턴

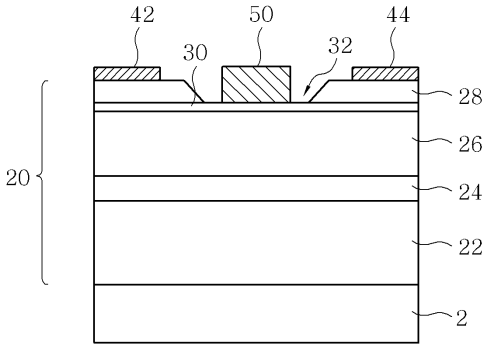
[0062] 70 : 마스크

도면

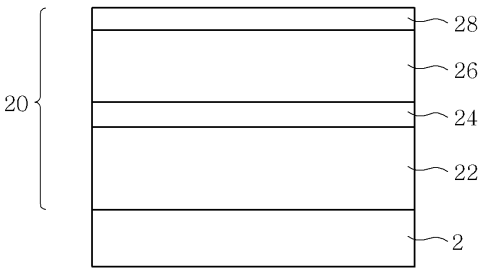
도면1



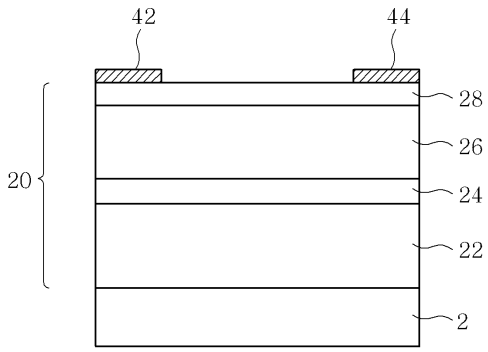
도면2



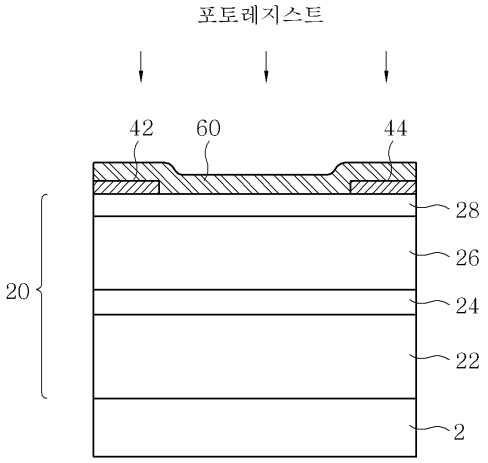
도면3



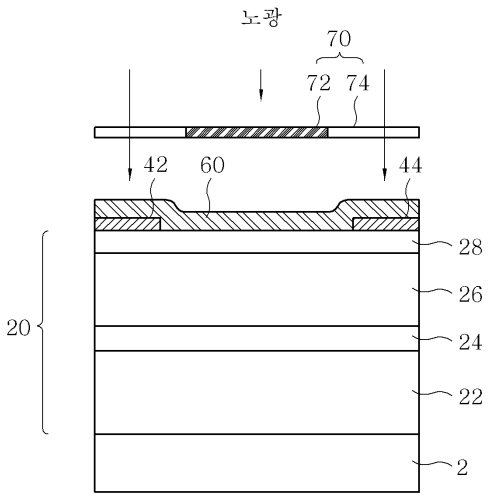
도면4



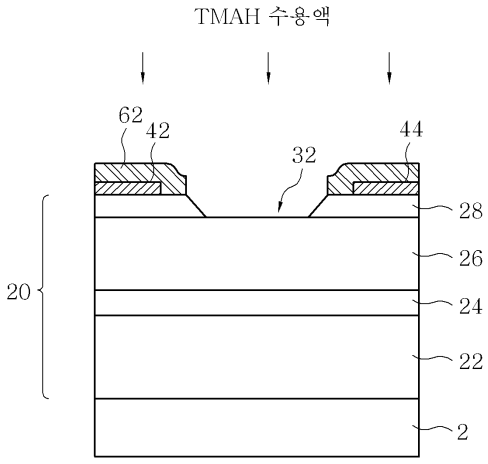
도면5



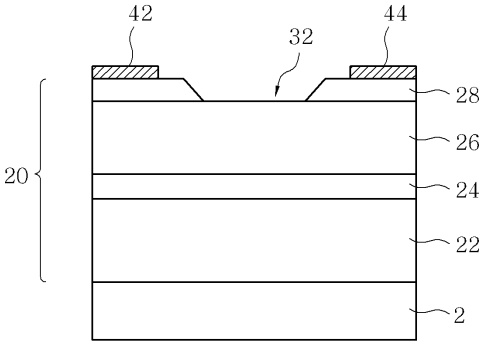
도면6


노광
70
72
74
42
60
44
28
26
20
24
22
2

도면7


TMAH 수용액
62
42
44
32
28
26
20
24
22
2

도면8


42
44
32
28
26
20
24
22
2