



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년04월22일  
(11) 등록번호 10-1388328  
(24) 등록일자 2014년04월16일

- (51) 국제특허분류(Int. Cl.)  
H01L 23/34 (2006.01)
- (21) 출원번호 10-2008-7024213  
(22) 출원일자(국제) 2007년03월12일  
심사청구일자 2012년03월12일  
(85) 번역문제출일자 2008년10월02일  
(65) 공개번호 10-2009-0004908  
(43) 공개일자 2009년01월12일  
(86) 국제출원번호 PCT/US2007/063777  
(87) 국제공개번호 WO 2007/117819  
국제공개일자 2007년10월18일
- (30) 우선권주장  
11/398,944 2006년04월06일 미국(US)
- (56) 선행기술조사문헌  
JP2002093847 A\*  
KR1019990069643 A\*  
US20030006055 A1\*  
\*는 심사관에 의하여 인용된 문헌
- (73) 특허권자  
프리스케일 세미컨덕터, 인크.  
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄  
캐논 드라이브 웨스트 6501
- (72) 발명자  
바우어, 로버트  
독일 85737 이스마닝 그레들스트라췌 1 에이  
쿨백, 안톤  
독일 바이에른 85244 로무스 펀드마이르베그 4
- (74) 대리인  
백만기, 양영준

전체 청구항 수 : 총 9 항

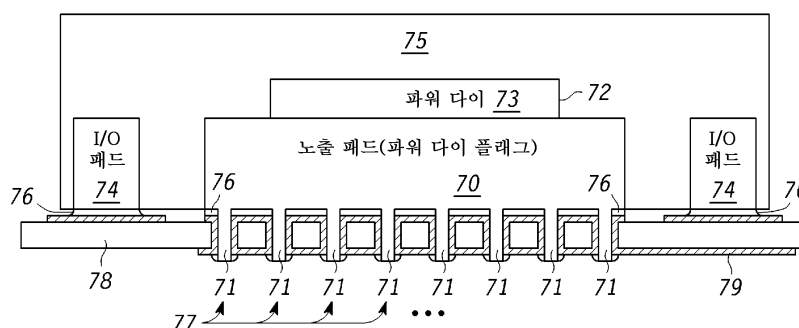
심사관 : 이명진

(54) 발명의 명칭 통합 THT 히트 스프레더 핀을 구비한 리드 프레임 기반 오버-몰딩 반도체 패키지 및 그 제조 방법

(57) 요약

PCB(78)에 형성된 하나 이상의 비아(77)에 삽입되도록 구성된 다수의 통합 THT 히트 스프레더 핀(71)을 갖는 노출 패드 또는 파워 다이 플러그(70)를 구비한 리드 프레임 기반 오버 몰딩 반도체 패키지(7)를 제조하는 방법 및 장치가 제공된다. 스루홀 기술 히트 스프레더 핀(71)은 노출 패드(52)의 통합부로서 형성될 수 있으며, 또는, 노출 패드(62)에 납땜으로 연결될 수 있다.

대표도 - 도7



## 특허청구의 범위

### 청구항 1

집적 회로 다이를 패드 상에 장착함으로써 반도체 패키지를 제조하는 방법으로서,  
적어도 제1 스루홀 기술(THT: through hole technology) 히트 스프레더 구조물(heat spreader structure)을,  
상기 패드의 제1 표면을 통해 돌출하도록 형성하는 단계와,  
상기 제1 표면과 반대쪽인 상기 패드의 제2 표면에 집적 회로 다이를 부착하는(affixing) 단계와,  
상기 제1 표면과 상기 제1 THT 히트 스프레더 구조물이 노출된 상태로, 상기 집적 회로 다리와 패드를 콤파운드(compound) 내에 인케이싱(encasing)하는 단계  
를 포함하는 반도체 패키지 제조 방법.

### 청구항 2

제1항에 있어서,  
상기 제1 THT 히트 스프레더 구조물을 인쇄 회로 기판(printed circuit board)에 부착하는 단계를 더 포함하는  
반도체 패키지 제조 방법.

### 청구항 3

제2항에 있어서,  
상기 제1 THT 히트 스프레더 구조물을 부착하는 단계는 상기 인쇄 회로 기판 내에 형성된 비아(via)를 통해 상  
기 제1 THT 히트 스프레더 구조물을 삽입하는 단계를 포함하는 반도체 패키지 제조 방법.

### 청구항 4

제1항에 있어서,  
상기 적어도 제1 THT 히트 스프레더 구조물을 형성하는 단계는 상기 패드의 일체 부분(integral part)으로서 제  
1 히트 스프레더 핀을 형성하는 단계를 포함하는 반도체 패키지 제조 방법.

### 청구항 5

제4항에 있어서,  
상기 패드의 일체 부분으로서 제1 히트 스프레더 핀을 형성하는 단계는 리드 프레임의 에칭(etching), 밀링  
(milling), 펀칭(punching) 또는 머시닝(machining)을 포함하는 반도체 패키지 제조 방법.

### 청구항 6

제1항에 있어서,  
상기 적어도 제1 THT 히트 스프레더 구조물을 형성하는 단계는 상기 패드에 복수의 히트 스프레더 핀들을 일체  
로(integrally) 형성하는 단계를 포함하는 반도체 패키지 제조 방법.

### 청구항 7

제1항에 있어서,  
상기 적어도 제1 THT 히트 스프레더 구조물을 형성하는 단계는,  
상기 제1 표면에 형성된 적어도 하나의 장착홀(mounting hole)을 갖는 패드를 형성하는 단계와,  
적어도 하나의 제1 히트 스프레더 핀을 형성하는 단계와,  
상기 제1 히트 스프레더 핀이 상기 패드로부터 돌출하도록 상기 패드의 상기 장착홀 내에 상기 제1 히트 스프레  
더 핀을 부착하는 단계

를 포함하는 반도체 패키지 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 장착홀 내에 제1 히트 스프레더 핀을 부착하는 단계는 상기 제1 히트 스프레더 핀을 프레스 피팅(press fitting), 콜드 웰딩(cold welding) 또는 삽입하는 단계를 포함하는 반도체 패키지 제조 방법.

#### 청구항 9

제1항에 있어서,

상기 제1 THT 히트 스프레더 구조물은 구리를 포함하는 반도체 패키지 제조 방법.

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

### 명세서

### 기술분야

본 발명은 리드 프레임 기반 반도체 패키지(lead frame based semiconductor packages)와 그 제조 방법에 관한

[0001]

것이다. 일 양상에서, 본 발명은 패키지 내 뿐만 아니라 패키지 및 PCB(printed circuit board) 또는 임의의 다른 기판 물질의 완전한 어셈블리 내의 향상된 전기 및 열 경로를 갖는 노출 패드를 구비한 리드 프레임 기반 오버-몰딩 반도체 패키지에 관한 것이다.

## 배경 기술

[0002] 노출 패드(즉, PQFN, QFN, HSOP, SOIC, QFP, TQFP, MO-188 등)를 구비한 반도체 패키지는 패키지 내에 열 경로를 제공하여, 열을 집적 회로 다이로부터 PCB로 전도한다. PCB 어셈블리 후에, 목적(intended) 열 경로 내의 최고 열 저항값은 PCB를 통해 PCB 후면(backside)으로 인도하는 PCB의 열 비아에 의해 유도된다. 여기서, 대형 구리면이 히트 싱크로서 작용한다. 또한, 열 경로의 열 저항값은 솔더 보이딩(solder-voiding)과 같은 통상의 어셈블리 이슈(issue)에 의해 증가될 수 있다. 미국 특허 출원 공개 번호 제2005/0110137호에 도시된 바와 같이, 종래의 열 분산 방식은 PCB의 열 비아에 의해 발생하는 고 열 저항값의 이슈를 다루지 않는다.

[0003] 따라서, 목적 열 경로 내에서 열 저항값을 감소하는 반도체 패키지 장치 및 공정이 필요하다. 또한, 다이 부착 패드로부터 외부의 패키지까지의 열 경로를 감소시키는 패키지 디바이스 및 방법이 필요하다. 또한, 패키지 공정 중에 통상의 어셈블리 이슈와 관련된 공정 및 성능 한계를 피하는 디바이스 패키지가 필요하다. 또한, 상술된 바와 같은 본 기술 분야의 문제점들을 극복하는 향상된 반도체 공정 및 디바이스들이 필요하다. 종래의 공정 및 기술의 다른 한계점 및 단점들은 도면 및 이하의 상세한 설명과 함께 본 발명의 나머지를 리뷰한 후에 당업자에게 명백해질 것이다.

## 실시예

[0015] 감소된 저항을 갖는 다이렉트 전기 및 열 경로로서 노출 패드 상에 하나 이상의 THT 히트 스프레더 핀(들)을 구비한 리드 프레임 기반 오버-몰딩 반도체 패키지를 사용해서 반도체 디바이스를 패키징화하는 방법 및 장치가 기술된다. 노출 다이 패드에 히트 스프레더 핀(들)을 일체로 형성하거나 부착함으로써, 다이렉트 쇼트 전기 및 열 경로가 다이 부착 패드로부터 외부의 패키지까지 제공된다. THT 히트 스프레더 핀들은 리드 프레임 제조 공정으로 제조될 수 있으며, 또는 실제 패키지 제조 공정에 앞서 미리 형성될 수도 있다.

[0016] 본 발명의 다양한 실시예들이 첨부된 도면들을 참조해서 이제 상세히 기술될 것이다. 다양한 세부 사항들은 이하의 설명에 기재되어 있지만, 본 발명은 특정한 세부 사항 없이 구현될 수도 있으며, 다수의 구현-특정 결정들이 본 명세서에 기술된 발명에 대해 이루어져서, 한 구현에서 다른 구현으로 변하게 될 공정 기술 또는 설계 관련 제안 사항에 상응한 디바이스 설계자의 특정 목표들을 달성할 수 있음을 알 것이다. 이러한 개발 노력이 복잡적이며 시간 소모적이지만, 본 발명의 이점을 갖는 본 기술 분야에 숙련된 자들을 위해 착수하는 루틴이다. 예를 들어, 선택된 양상들은, 본 발명을 제한하거나 불명료하게 하는 것을 방지하기 위해 모든 특징 또는 기하학을 포함하지 않고 간단한 단면 도면을 참조해서 기술된다. 또한, 상세한 설명에 걸쳐, 특정한 일례의 패키지 구조들은 에칭, 밀링(milling), 펀칭(punching), 머시닝(machining)을 위한, 또는 적합한 치수 및 크기의 구조를 형성하기 위한 임의의 회망 제조 기술을 사용해서 형성될 수도 있는 것으로 기술됨을 주지하자. 세부 사항들은 공지된 것으로 본 발명을 제조하거나 사용하는 방법에 대해 당업자에게 설명할 필요가 없다.

[0017] 도 1은 통합 THT 히트 스프레더 핀(12)을 갖는 노출 패드 또는 리드 프레임(10)의 일례의 본체 구조의 하부 사선도이다. 리드 프레임(10)은 기본적으로 패키지의 기판 또는 "백본(back bone)" 캐리어이다. 리드 프레임(10)은, 항상 그런 것은 아니지만, 통상 금속성이고 도전성이다. 리드 프레임(10)은 반도체 칩을 캐리(carry)하는 다이 플래그를 포함한다. 선택된 실시예들에 따라, 노출 패드(10)의 표면은 하나 이상의 스루홀 기술 히트 스프레더(들)(12)를 포함한다. 도 2가 패키지의 표면으로부터 돌출한 싱글 원통형 핀 구조(12)를 도시하지만, 핀 구조가 노출 패드의 표면으로부터 충분히 돌출되어서 PCB 비아와의 물리적인 맞물림(engagement) 및 접촉을 허용하는 한(후술됨), 핀 구조(12)로 다른 형태들이 사용될 수도 있음을 알 것이다. 어떠한 형태가 사용되든 간에, 스루홀 히트 스프레더 핀(12)은 노출 패드(10)의 통합부(integral part)로서 형성되어서, 노출 패드(10)와 한 파트(one part)로 제조될 수 있다. 예를 들어, 패드 및 THT 핀은 리드 프레임 제조 공정 중에 에칭, 밀링, 펀칭 또는 다른 머시닝 프로시저들을 사용해서 일체로 제조될 수 있다. 대안으로, THT 핀(12)은 패드(10)로부터 개별적으로 제조될 수 있으며, 이어서, 프레스 피트(press fit), 콜드 웰딩(cold welding) 또는 다른 적합한 연결 기술로 리드 프레임 본체 또는 패드(10)를 제조한 후, 예를 들어, 리드 프레임 구조에 THT 핀(12)을 추가 또는 삽입함으로써, 노출 패드에 부착되거나 연결될 수 있다. THT 핀(12)이 생산되는 방법은 본 명세서에 기술된 본 발명의 다양한 실시예들을 위한 임의의 적합한 타입일 수 있다.

[0018] 이제 도 2를 참조하면, 싱글 THT 핀 본체 구조(22)를 갖는 일례의 PQFN(power quad flat pack no-lead) 패키징

어셈블리(2)의 하부도가 도시되어 있다. 본 패키지는 다수의 리드 프레임 컴포넌트들 또는 다른 디바이스들 및 커넥터들(26)을 구비한 것으로 도시되어 있다. 또한, 다른 실시예들 및 도면들에서 상술된 바와 같이 노출 패드(20)의 표면으로부터 돌출된 하나의 통합 THT 히트 스프레더 핀(22)을 특징으로 하는 노출 패드(20)를 구비한 패키지가 도시되어 있다.

[0019] 도 3을 참조하면, 복수의 통합 THT 히트 스프레더 핀들(32, 34)을 갖는 노출 패드 또는 리드 프레임(30)의 다른 일례의 본체 구조(3)의 하부 사선도가 도시되어 있다. 도시된 바와 같이, THT 핀들은 규칙적인 그리드 패턴을 정의하는 행(예를 들어, 핀 행(34)) 및 열(예를 들어, 핀 열(32))로 배열된다. 도 3은 그리드 패턴을 형성하는 3행 6열의 THT 핀들을 도시하지만, 다른 패턴들이 사용될 수도 있음을 알 것이다. 다시 말해서, THT 핀들(32, 34)의 패턴 또는 그리드는 노출 패드(30)에 의해 일체로 형성될 수 있으며, 또는, 핀들(32, 34)을 패드(30)에 삽입 또는 부착함으로써 형성될 수 있다.

[0020] 도 4는 다수의 THT 핀들(42, 48)을 갖는 본체 구조의 일례의 PQFN 패키지의 하부도이다. 본 패키지는 다수의 리드 프레임 컴포넌트들 또는 다른 디바이스들 및 커넥터들(46)을 구비한 것으로 도시되어 있다. 또한, 다른 실시예들 및 도면들에서 상술된 바와 같이 노출 패드(40)의 표면으로부터 돌출된 복수의 통합 THT 히트 스프레더 핀(42, 48)을 특징으로 하는 노출 패드(40)를 구비한 패키지가 도시되어 있다.

[0021] 도 5는 본 발명의 다양한 실시예들에 따른 멀티-핀 본체 구조(5)의 측면도이다. 멀티-핀 본체 구조(5)에서, 하나 이상의 THT 히트 스프레더 핀들(52)이 리드 프레임 제조 중에 노출 패드(50)의 통합부로서 제조된다. 도시된 바와 같이, 각각의 통합 형성 핀(52)은 패드(50)로부터 수직으로 돌출하거나 확장하지만, 예를 들어, 핀들이 비표준(non-standard) 구성을 갖는 PCB 비아에 삽입될 때, 다른 돌출 각도들이 사용될 수 있다. 따라서, THT 핀들(52)을 위한 다른 형태들이 동일한 장점들 및 상기 발명을 제공한다. 본 발명의 다양한 다른 실시예들에 따라, 도 6은 멀티-핀 본체 구조(6)의 측면도를 도시한다. 멀티-핀 본체 구조(6)에서, THT 히트 스프레더 핀들(62)은 개별적으로 제조되고 노출 패드(60)에 삽입된다. 예를 들어, 패드(60)의 리드 프레임 제조 중에, 하나 이상의 장착홀(64)들이 노출 패드(60)에 형성된다. 따라서, THT 히트 스프레더 핀(62)은 핀들(62)과 패드(60)를 납땜 연결하는 임의의 희망 부착 또는 연결 기술을 사용해서 장착홀(64)에 삽입된다.

[0022] 도 7은 PCB(78)에 어셈블된 다수의 통합 THT 히트 스프레더 핀들(71)을 갖는 노출 패드 또는 파워 다이 플러그(70)를 구비한 PQFN 리드 프레임 패키지(7)의 단면도이다. 도시되지는 않았지만, 핀들(71)은 상술된 바와 같이 행들 및 열들로 형성될 수 있다. 본 패키지(7)는 하나 이상의 입출력(I/O) 패드(74), 집적 회로(73)(예를 들어, 파워 다이), 리드 프레임(70)과, 파워 다이(73)를 리드 프레임(70)에 연결하는 다이 부착 물질(72)(예를 들어, 솔더, 도전성 에폭시 또는 임의의 다른 응용 가능 접착물)을 포함한다. 상기 요소들은, 패드들(70, 74)의 하부와 THT 히트 스프레더 핀들(71)(파워 다이 플러그(70)로 일체로 형성되거나 고정되게 부착됨)의 하부를 노출된 상태로 남겨두고, 도시된 바와 같이, 통상 파워 다이(73), I/O 패드(74) 및 파워 다이 플러그(70)를 인 케이스하도록 응용되는 임의의 다른 적합한 물질 또는 에폭시 콤파운드의 형태인 몰드 콤파운드(75)에 인케이스된다. 몰드 콤파운드 인캡슐레이티드 패키지는 PCB(78)와 배치된 임의의 디바이스 사이에 솔더 조인트(76)를 인가하고, 이어서, PCB(78)에 형성된 비아 개구(77)에 THT 히트 스프레더 핀(71)을 삽입함으로써 PCB(78)에 부착될 수 있다. 도시된 바와 같이, PCB(78)는 PCB(78)의 상면 및 하면 뿐만 아니라 PCB 비아(77)의 표면에 소정의 두께(예를 들어, 대략 0.35 미크론의 구리)로 형성된 PCB 도체층(79)을 포함한다. 각각의 비아(77)는 THT 핀(71)의 폭(예를 들어, 대략 0.4mm 핀 직경) 보다 넓은 소정의 폭(예를 들어, 대략 0.5mm 직경)을 갖는다. THT 핀 길이(예를 들어, 대략 1.5mm)는, 핀(71)이 비아(77)를 통해 도체층(79)에 접촉하고 비아(77)를 통해 완전히 연장하도록 선택될 수 있다. 물론, 핀 구성 및 패키지 타입에 따라, 다른 두께, 폭 및 길이 치수들이 사용될 수 있음을 알 것이다.

[0023] 도 7에 도시된 실시예에서, 다이 플러그의 상면은, 집적 회로 다이로부터 발생된 열을 THT 히트 스프레더 핀(71)에 직접 전달하여서, 열을 PCB 비아(77) 및 구리면(79)에 직접 전달하도록 집적 회로 다이와 접촉되게 배치된다. 이러한 방법으로, 스루홀 히트 스프레더 핀(71)은 최첨단 어셈블리 기술에 비해 열 성능을 (예를 들어, 적어도 인수 3까지) 증가시킴으로써 온보드(on-board) 성능을 증가시키는 어셈블리 후에 내장된 최적화된 열 경로를 구비한 패키지를 PCB(78)에 제공한다. 또한, 패키지 온보드 성능을 제한할 수도 있는 가장 잠재적인 보드 부착-관련 이슈가 제거된다. 또한, 히트 스프레더 핀(71)은 PCB 어셈블리 중에 셀프-얼라인먼트(self-alignment) 이점을 제공한다. 히트 스프레더 핀(71)이 다이(73)와 PCB 구리면(79) 간의 열 경로의 열 저항을 감소시키기 때문에, 리드 프레임(70)은 파워 다이(73)를 PCB(78)에 부착하는 파워 애플리케이션에서 사용될 수 있다.



- [0024] 도 8은 본 발명의 다양한 실시예에 따른 패키지를 제조하기 위한 일련의 공정(80)을 도시한 플로우차트이다. 예비적인 단계로서, 하나 이상의 히트 스프레더 핀들이 에칭, 밀링, 펀칭, 머시닝에 의해 또는 패드의 통합부로서 THT 핀들을 형성함으로써 리드 프레임의 노출 패드에서 형성된다(81). 에칭된 리드 프레임을 구비한 패키지의 경우, 리드 프레임을 제조하는데 사용되는 에칭 공정이 전체 공정에 대해 추가 단계 없이 노출 패드의 표면 상에 THT 핀을 패터닝하는데 사용될 수 있기 때문에, 히트 스프레더 핀은 쉽게 제조될 수 있다. 대안으로, 히트 스프레더 핀은 개별적으로 형성될 수 있으며, 리드 프레임을 제조함으로써 부착되어, 장착홀을 포함할 수 있으며(82), 이어서, 부착, 연결, 프레스 피팅, 콜드 웰딩에 의해, 또는 핀을 리드 프레임에 결합함으로써, 개별적으로 형성된 THT 핀들을 리드 프레임에 부착할 수 있다(83).
- [0025] 리드 프레임에 연결되는 다양한 컴포넌트들이 후에 리드 프레임의 상면에 부착될 수 있다. 상기 컴포넌트는 통상 임의의 각도로 몰드 인캡슐레이트되는(mold encapsulated) 패키지의 파트를 형성하는 컴포넌트이다. 컴포넌트의 정확한 속성은 디바이스와, 최종 패키지의 최종 사용에 좌우된다(84). 그 후, 몰드 콤파운드는 패키지의 다양한 컴포넌트들에 인가된다(85). 본 공정은, 몰드 프레스링 또는 다른 몰드 콤파운드 애플리케이션 방법들을 포함해서 상이한 다양한 방법들로 실행될 수 있다. 패키지는 그 후 필요 용도에 적합하게 완성된다. 이는 포함되는 연결, 리드 추가 등을 위한 특정 영역들로부터 몰드 콤파운드의 일부를 제거하는 것을 포함할 수 있다(86). 패키지는 그 후 솔더링 공정(87)을 사용해서 PCB 또는 다른 디바이스에 부착된다. THT 히트 스프레더 핀의 존재로, 패키지는 PCB 비아들로 정렬된다.
- [0026] 패키지의 제조 공정은 반도체 패키지를 제조하는 환경과 공통인 다른 단계들을 포함할 수 있다. 도 9는 본 발명의 다양한 실시예들에 따른 패키지를 위해 사용될 수도 있는 일련의 일련의 제조 공정들을 도시하지만, 다수의 다른 변형들이 있음을 알 것이다. 도 9에 도시된 바와 같이, 싱글 리드 프레임 또는 리드 프레임 집합(즉, 매트릭스)(90/92)은 노출 패드 상에 형성된 하나 이상의 THT 히트 스프레더 핀들(93)로 제조 및 패터닝된다(150). 웨이퍼를 장착한 후에, 하나 이상의 상이한 실리콘 웨이퍼들이 쏘잉(sawing) 또는 다른 적합한 수단에 의해 싱글 반도체 패키지 다이들로 분할되고 검열된다(152).
- [0027] 다이 솔더 페이스트(paste) 또는 임의의 다른 적합한 다이 부착 물질(94)이 도포된 후에(154), 반도체 다이(95)는 다이 부착 물질(94)에 놓여진 후 큐어(cured) 및 리플로우(reflowed)된다. 디플럭스(de-flux) 및 DI-워터(DI-Water) 린스 단계가 그 후 실행될 수 있다(156). 필요한 경우, 에폭시 또는 임의의 다른 적합한 다이 부착 물질이 도포되고(158), 추가 반도체 다이가 다이 부착 물질에 놓여지고 및/또는 다이 부착 큐어가 실행된다(160). 테이프(96)가 리드 프레임에 부착되어서(162), 서포트 패널을 제공하고, 와이어 본드(99)가 인가되며(164), 비주얼 체크가 수행된다(166).
- [0028] 몰드 콤파운드(100)가 인가되고(168), 테이프(96)가 제거되어(170), 서포트 패널을 분리한다. 포스트 몰드 큐어(172) 및 레이저 마킹(174) 단계들이 수행되고, 이어서, 클리닝 단계(176)가 수행된다. 그 후, 패키지는 개별 소자들로 분할되고(178), 검열된다(180).
- [0029] 일 양상에서, 노출 패드의 노출된 제1 표면 상에 하나 이상의 히트 스프레더 구조들을 포함하는 노출 패드 상에 집적 회로를 장착함으로써 반도체 패키지를 제조하는 방법이 제공된다. 히트 스프레더 구조는 구리와 같은 임의의 히트 도전성 물질로부터 형성될 수 있으며, 리드 프레임의 에칭, 밀링, 펀칭 또는 머시닝과 같은 임의의 회망 기술을 사용해서 노출 패드의 통합부로서 형성될 수 있다. 대안으로, 노출된 제1 표면에 형성된 적어도 하나의 장착홀을 갖는 노출 패드를 형성하고, 하나 이상의 히트 스프레더 핀들을 형성한 후, 노출 패드의 장착홀 내로 히트 스프레더 핀들을 첨부해서, 제1 히트 스프레더 핀이 노출 패드로부터 돌출되도록 함으로써, 히트 스프레더 구조가 노출 패드로부터 개별적으로 형성될 수 있다. 본 방법에서, 집적 회로 다이는 노출된 제1 표면과 반대쪽인 노출 패드의 표면에 첨부되고, 그 후, 집적 회로 다이 및 노출 패드는 콤파운드로 인케이스되며, 노출된 제1 표면과 제1 히트 스프레더 구조는 노출된 상태로 남겨진다. 다음으로, 제1 히트 스프레더 구조는, PCB에 형성된 비아를 통해 히트 스프레더 구조를 삽입함으로써 PCB에 부착된다.
- [0030] 다른 양상에서, 노출 패드를 구비한 리드 프레임 기반 오버 몰딩 반도체 패키지가 제공된다. 노출 패드는 PCB에 형성된 비아로 삽입되도록 구성된 하나 이상의 스루홀 기술 히트 스프레더 핀들을 포함한다. 여기서, 히트 스프레더 핀들은 노출 패드의 통합부로서 형성될 수 있으며, 또는, 노출 패드로의 고정 부착을 위해 노출 패드로부터 개별적으로 형성될 수 있다. 이러한 방법으로, 히트 스프레더 핀들은 PQFN, QFN, HSOP, SOIC, QFP, TQFP 또는 MO-188 패키지들을 포함하지만, 이로만 제한되지 않는 임의의 회망 반도체 패키지의 파트로서 형성될 수 있다. 선택된 실시예에서, 노출 패드 및 히트 스프레더 핀은 구리로 형성될 수 있지만, 전기적으로 또한 열적으로 도전성인 임의의 물질이 사용될 수도 있다.

[0031] 또 다른 양상에서, 몰드 구조에서 적어도 부분적으로 인캡슐레이트된 다이를 포함하는 PQFN(power quad flat pack no-lead) 패키지 어셈블리 구조와 같은 전자 디바이스가 기술된다. 또한, 다이에 결합된 다이 부착 패드는 몰드 구조로부터 노출된 제1 표면을 포함하며, 하나 이상의 (일체로 또는 개별적으로 형성된) 제1 스루홀 기술 히트 스프레더 핀들은 제1 표면으로부터 돌출된다. 예를 들어, 몰드 구조가 제1 하부 표면을 갖는 경우, 다이 부착 패드의 히트 스프레더 핀 및 제1 표면은 몰드 구조의 제1 표면으로부터 노출되도록 몰드 구조 내에 배치된다. 히트 싱크가 다이 부착 패드의 히트 스프레더 핀과 열 전달하게 배치될 때, 다이로부터의 열은 핀에 열 결합되어, 히트 싱크에 전달될 수 있다.

[0032] 본 명세서에 기술된 일례의 실시예들이 다양한 리드 프레임 기반 반도체 패키지 구조 및 그 제조 방법에 관련해서 기술되었지만, 본 발명은 광범위한 공정 및/또는 디바이스들에 응용될 수 있는 본 발명의 양상들을 도시하는 일례의 실시예들로만 제한되지는 않는다. 따라서, 상술된 특정 실시예들은 단지 예시적인 것이며, 본 발명을 제한하는 것이 아니다. 본 발명은 본 발명의 이점을 갖는 본 기술 분야에 숙련된 자들에게 명백한 상이하지만 동등한 방식으로 변형 및 실현될 수 있다. 예를 들어, 도 7은 패키지의 다양한 소자들 간의 연결 세부 사항을 모두 도시하지 않지만, 리드, 비아, 본드 및 다른 연결 수단이 임의의 전기적 연결을 달성하는데 사용될 수 있다. 유사하게, 다양한 컴포넌트들을 전기적으로 분리시키는데 다른 절연 물질들이 사용될 수 있다. 또한, 디바이스, 패드, 다이 등의 임의의 조합이 회로 패키지를 위해 요구되는 대로 사용될 수 있다. 따라서, 상술된 설명은 기술된 특정 형태로만 본 발명을 제한하지 않으며, 반대로, 첨부된 청구항들에 의해 정의된 본 발명의 원리 및 범위 내에 포함될 수 있는 대안들, 변경들 및 등가물을 커버하여서, 본 기술 분야에 숙련된 자들은, 그들이 본 발명의 원리 및 범위 내에서 다양한 변경들, 치환들 및 변형들을 가장 광범위한 형태로 달성할 수 있음을 안다.

[0033] 이점, 다른 장점 및 문제 해결책이 특정 실시예들과 관련해서 상술되었다. 예를 들어, 기술된 리드 프레임 기반 반도체 패키지 구조는 PCB의 열 비아들로 열 도전성 또는 스프레딩 핀 구조를 삽입함으로써 PCB를 통한 PCB 후면(히트 싱크로서 작용하는 대형 구리면을 특징으로 함)으로의 목적 열 경로 내의 열 저항값들을 감소시켜서 패키지 내의 최적 열 경로를 제공한다. 또한, 패키지 온보드 성능을 제한할 수도 있는 전형적인 어셈블리 이슈(즉, 솔더 보이딩(solder voiding))은 제거될 수 있으며, 히트 스프레더 핀은 패키지 및 PCB가 PCB 어셈블리 중에 셀프-얼라인(self-aligned)되게 한다. 그러나, 이점, 장점, 문제 해결책, 및 임의의 이점, 장점 또는 해결책이 발생하게 하거나 더욱 표명되게 할 수 있는 임의의 요소가 임의의 청구항들 또는 모든 청구항들의 중요하거나 필요하거나 본질적인 특징 또는 요소로서 간주되지는 않는다. 본 명세서에 사용된 용어 "포함하다(comprised)", "포함(comprising)", 또는 임의의 다른 변형물은 배타적이지 않은 포함(non-exclusive inclusion)을 커버하여서, 요소 리스트를 포함하는 공정, 방법, 아티클(article) 또는 장치는 상기 요소들만을 포함하지 않으며, 상기 공정, 방법, 아티클 또는 장치에 명백하게 열거되거나 속하지 않은 다른 요소들을 포함할 수 있다.

### 도면의 간단한 설명

[0004] 이하의 상세한 설명을 이하의 도면들과 함께 고려할 때, 본 발명과, 본 발명의 다수의 목적들, 특징들 및 장점들이 이해될 수 있다.

[0005] 도 1은 통합 THT 히트 스프레더 핀을 갖는 노출 패드의 일례의 본체 구조의 하부 사선도이다.

[0006] 도 2는 싱글 THT 핀 본체 구조를 갖는 일례의 패키지 어셈블리의 하부도이다.

[0007] 도 3은 복수의 통합 THT 히트 스프레더 핀들을 갖는 노출 패드의 다른 일례의 본체 구조의 하부 사선도이다.

[0008] 도 4는 다수의 THT 핀들을 갖는 본체 구조의 일례의 패키지 어셈블리의 하부도이다.

[0009] 도 5는 본 발명의 다양한 실시예들에 따른 멀티-핀 본체 구조의 측면도이다.

[0010] 도 6은 본 발명의 다른 다양한 실시예들에 따른 멀티-핀 본체 구조의 측면도이다.

[0011] 도 7은 다수의 통합 THT 히트 스프레더 핀들을 갖는 노출 패드를 구비한 패키지가 PCB에 장착된 경우의 단면도이다.

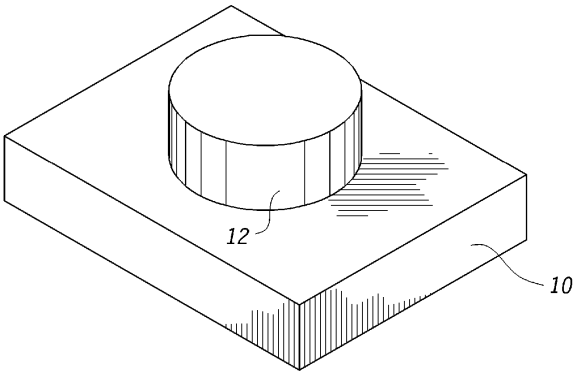
[0012] 도 8은 본 발명의 다양한 실시예들에 따른 패키지의 제조 공정을 도시한 도면이다.

[0013] 도 9는 본 발명의 다양한 실시예들에 따른 패키지를 위해 사용될 수도 있는 다양한 제조 공정을 도시한 도면이다.

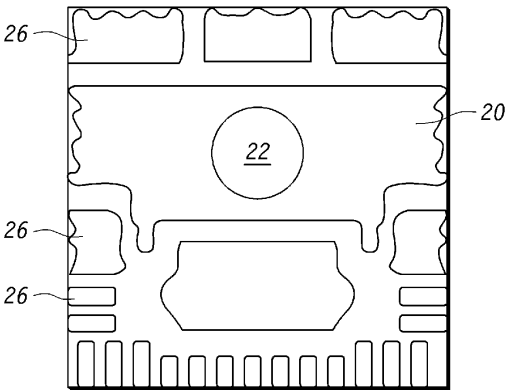
[0014] 설명의 단순성과 명료성을 위해, 도면에 도시된 요소들은 반드시 비율적으로 그려지지 않았음을 알 것이다. 예를 들어, 일부 요소들의 치수는 명료성 및 이해력을 증진 및 향상시키기 위해 다른 요소들에 비해 과장되게 그려져 있다. 또한, 적합하다고 생각된 경우, 대응 요소 또는 유사 요소를 나타내기 위해 참조 부호들이 도면들 중에 반복되었다.

도면

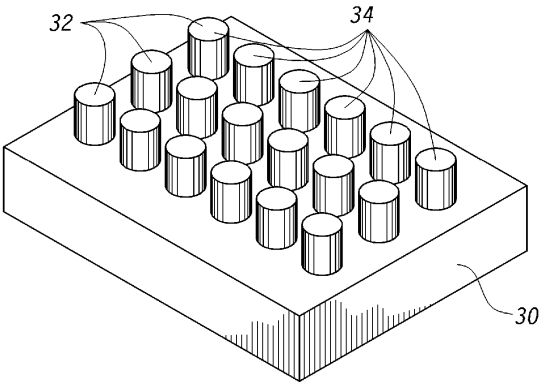
도면1



도면2

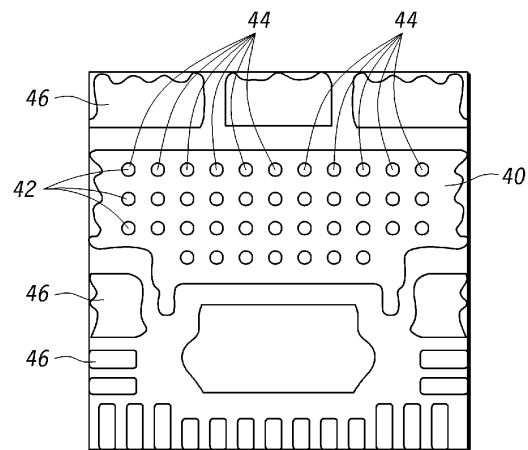


도면3

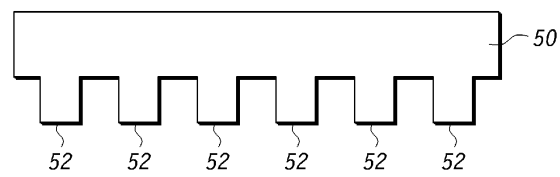




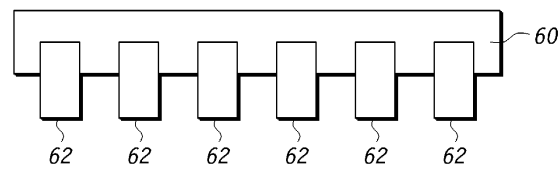
도면4



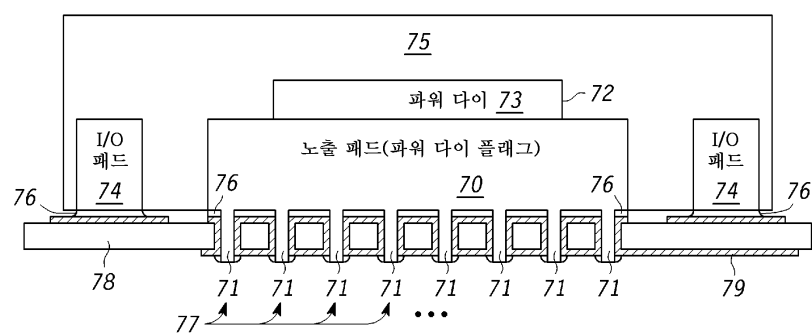
도면5



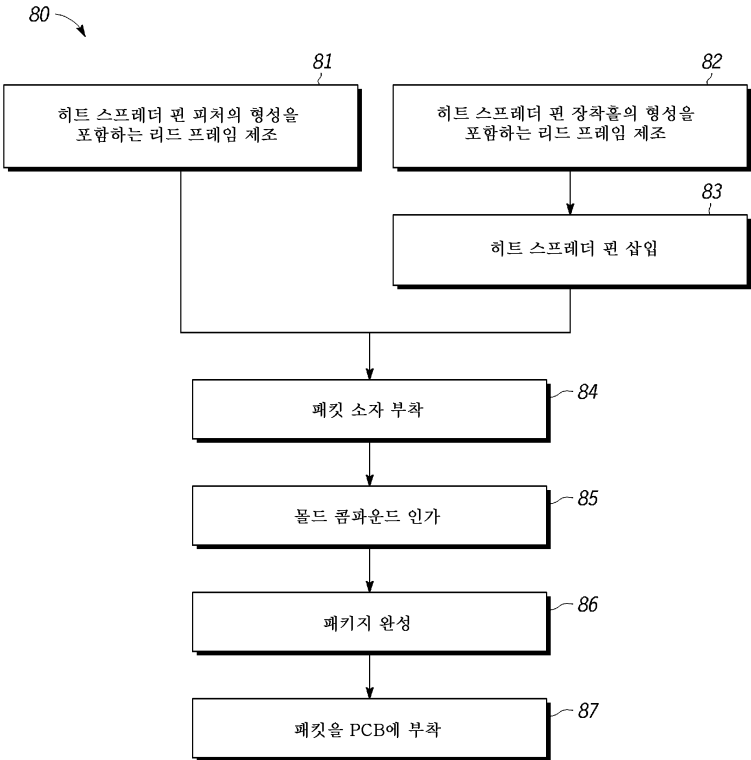
도면6



도면7



도면8



도면9

