

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-18222

(P2007-18222A)

(43) 公開日 平成19年1月25日(2007.1.25)

(51) Int. Cl.

G06F 12/06 (2006.01)

F I

G06F 12/06 525A

テーマコード(参考)

5B060

審査請求 未請求 請求項の数 8 O L (全 22 頁)

(21) 出願番号 特願2005-198625 (P2005-198625)  
 (22) 出願日 平成17年7月7日(2005.7.7)

(71) 出願人 000005821  
 松下電器産業株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100077931  
 弁理士 前田 弘  
 (74) 代理人 100094134  
 弁理士 小山 廣毅  
 (74) 代理人 100110939  
 弁理士 竹内 宏  
 (74) 代理人 100110940  
 弁理士 嶋田 高久  
 (74) 代理人 100113262  
 弁理士 竹内 祐二  
 (74) 代理人 100115059  
 弁理士 今江 克実

最終頁に続く

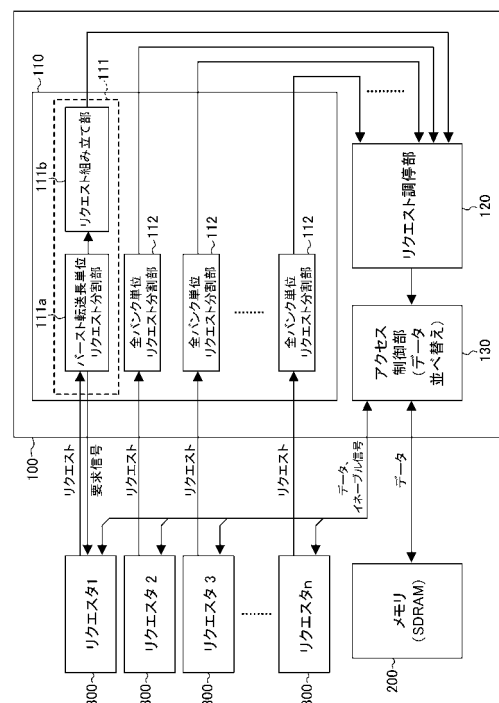
(54) 【発明の名称】 メモリアクセス制御回路

(57) 【要約】 (修正有)

【課題】 複数のメモリバンクに格納された連続的なデータに対し、データ処理装置が効率的にアクセスを行うことができるようにする。

【解決手段】 データ処理装置からの同期型メモリに対する第1のデータ転送要求が、バースト転送長単位リクエスト分割部111aによって、データ転送量が一度にバースト転送されるデータ量で、一度に転送されるデータが単一のメモリバンク内のデータである複数のデータ転送要求に分割される。分割されたデータ転送要求は、リクエスト組み立て部111bによって、各メモリバンクに対するデータ転送要求が1つずつ組み合わせられる。組み合わせるデータ転送要求が不足した場合には、第2のデータ転送要求が受理、分割され、再度、各メモリバンクに対するデータ転送要求が1つずつ組み合わせられたデータ転送要求に組み立てられて、複数の新たなデータ転送要求として出力される。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

データ処理装置によるメモリに対するアクセスを制御するメモリアクセス制御回路であって、

前記メモリは、独立して動作させることが可能な複数個のメモリバンクを有し、クロック信号に同期してデータをバースト転送することが可能な同期型メモリであり、

前記メモリに対する第 1 のデータ転送要求を前記データ処理装置から受け付けるとともに、受け付けた第 1 のデータ転送要求を、データ転送量が一度にバースト転送されるデータ量で、一度に転送されるデータが単一のメモリバンク内のデータである複数のデータ転送要求に分割するバースト転送長単位転送要求分割部と、

前記バースト転送長単位転送要求分割部が分割した複数のデータ転送要求を、各メモリバンクに対するデータ転送要求が 1 つずつ組み合わせられたデータ転送要求に組み立てて、複数の新たなデータ転送要求を生成する転送要求組み立て部と、

前記新たなデータ転送要求に基づいて、前記メモリと前記データ処理装置との間のデータ転送を制御するデータ転送制御部とを備え、

前記転送要求組み立て部は、データ転送要求を組み合わせる際に、何れかのメモリバンクに対するデータ転送要求が不足している場合には、前記バースト転送長単位転送要求分割部に、前記データ処理装置から第 2 のデータ転送要求または複数のデータ転送要求の受け付け、および前記分割処理をさせるとともに、分割されたデータ転送要求を組み合わせ、不足したメモリバンクに対するデータ転送要求を生成するように構成されていることを特徴とするメモリアクセス制御回路。

## 【請求項 2】

請求項 1 のメモリアクセス制御回路であって、

前記転送要求組み立て部は、分割された、第 1 のデータ転送要求、第 2 のデータ転送要求、または複数のデータ転送要求を組み合わせる際に、何れかのメモリバンクに対するデータ転送要求が不足している場合かつ同一のメモリバンクに対するデータ転送要求が複数ある場合には、不足したデータ転送要求を生成して組み合わせるように構成されていることを特徴とするメモリアクセス制御回路。

## 【請求項 3】

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、

前記バースト転送長単位転送要求分割部、および転送要求組み立て部は、少なくともそれぞれ 2 つ以上設けられ、

さらに、各転送要求組み立て部が生成したデータ転送要求の実行順序を決定する実行順序決定部を備え、

前記データ転送制御部は、前記実行順序決定部が決定した順序でデータ転送を制御するように構成されていることを特徴とするメモリアクセス制御回路。

## 【請求項 4】

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部によってデータ転送要求が受け付けられるデータ処理装置とは互いに異なるデータ処理装置から前記メモリに対するデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリが有するメモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

前記転送要求組み立て部が生成したデータ転送要求、および前記全メモリバンク単位転送要求分割部が生成したデータ転送要求の実行順序を決定する実行順序決定部とを備え、

前記データ転送制御部は、前記実行順序決定部が決定した順序でデータ転送を制御するように構成されていることを特徴とするメモリアクセス制御回路。

## 【請求項 5】

10

20

30

40

50

請求項 3 および請求項 4 のうちの何れか 1 項のメモリアクセス制御回路であって、

前記実行順序決定部は、データ処理装置から与えられた回数情報が示す回数だけ連続して、当該データ処理装置のデータ転送要求が実行されるように実行順序を決定するように構成されていることを特徴とするメモリアクセス制御回路。

【請求項 6】

請求項 3 および請求項 4 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

10

データ転送が終了していないデータ転送要求がいくつあるかを示す転送状況情報が入力され、前記転送状況情報が示すデータ転送待ちのデータ転送要求の数が所定数よりも少ない場合には、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求を実行順序決定部へ出力し、データ転送待ちのデータ転送要求の数が所定数よりも多い場合には、前記転送要求組み立て部が生成したデータ転送要求を実行順序決定部へ出力する選択部とを備え、

前記実行順序決定部は、入力されたデータ転送要求の実行順序を決定する一方、前記転送状況情報を出力するように構成されていることを特徴とするメモリアクセス制御回路。

【請求項 7】

20

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

前記データ処理装置がデータ転送要求を出力してからどれくらいの転送要求時間内にデータ転送が開始されるべきかを示す転送要求時間情報が前記データ処理装置から入力され、前記転送要求時間情報が示す転送要求時間が所定の時間よりも短い場合には、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求を実行順序決定部へ出力し、前記転送要求時間が所定の時間よりも長い場合には、前記転送要求組み立て部が生成したデータ転送要求を実行順序決定部へ出力する選択部と、

30

を備えたことを特徴とするメモリアクセス制御回路。

【請求項 8】

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

40

前記データ処理装置が出力する選択情報に基づいて、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求、および前記転送要求組み立て部が生成したデータ転送要求の何れか一方を選択的に出力する選択部と、

を備えたことを特徴とするメモリアクセス制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ処理装置による同期型メモリに対するアクセス動作を制御するメモリアクセス制御回路に関するものである。

50

## 【背景技術】

## 【0002】

近年、半導体プロセス技術の進化により、大規模システム回路が広く開発されている。大規模システム回路では、複数のデータ処理装置が1つのシステム内に設けられる場合があり、このような大規模システム回路（データ処理システム）では、それぞれのデータ処理装置が1つのメモリを共通に使用するユニファイドメモリアクセスシステムが採用されることが多い。ユニファイドメモリアクセスシステムでは、通常、複数のデータ処理装置から1つのメモリに対して発行されたデータ転送要求を調停するためにメモリアクセス制御回路が設けられている。ユニファイドメモリアクセスシステムに用いられたメモリアクセス制御回路としては、データ転送長を固定長に限定し、複数のデータ処理装置（リクエスト）からのデータ転送の要求（リクエスト）を固定長のデータ転送要求に分割し、分割された要求毎に調停を行うようにしたものがある（例えば特許文献1を参照）。

10

## 【0003】

また、上記のようなユニファイドメモリアクセスシステムでは、メモリにSDRAM（Synchronous DRAM）が用いられることが多い。SDRAMは、外部から供給されるカラムアドレスがプリセットされるカラムアドレスカウンタを備え、このカウンタを内部でインクリメントすることによって、連続的なデータアクセスが容易にできるという特徴がある。このようなアクセスは、バーストアクセスと呼ばれる。

## 【0004】

また、SDRAMは、バーストアクセス中に別のカラムアドレスを入力すれば、ロウアドレスは同じで、カラムアドレスが別のデータにアクセスすることもできる。

20

## 【0005】

ただし、連続的にアクセスしている際に、ロウアドレスを変更すれば、カラムアドレス系の動作時間に加え、例えばプリチャージに要する時間等のロウアドレス系の動作時間がさらに必要になり、データが外部に読み出されるまでに、少なからず余計な時間がかかってしまうことになる。

## 【0006】

アクセスに余計な時間がかかるのを避けるため、SDRAMは、独立して動作させることが可能な複数個のメモリブロック（以下、メモリバンク、または単にバンクと言う。）を備えている。一般的にはSDRAMには、バンクA、バンクB、バンクC、バンクDといった複数のメモリバンクがあり、このメモリバンクが順繰りにアクセスされることで効率的なデータ転送が可能になる。

30

## 【0007】

図13は、SDRAMのバンクA～Dが順繰りにアクセスされるときアクセスタイミングを例示している。同図は、4ワード毎にバンクを切換え、CL（カスレーテンシー：カラムアドレスが確定してから読み出しデータが確定するまでのメモリサイクル数）が3サイクルの例である。

## 【0008】

例えば、このアクセスタイミングで動作するSDRAMは、まず、アクティブコマンド（Act）によりバンクAが選択されて、ロウアドレス0（Row0）が与えられ、その後、リードコマンド（Read）が入力されて、カラムアドレス0（Col0）が指定されることによって、バンクAから4ワードのデータA00～A03が順次読み出される。続いて、バンクBを指定するアクティブコマンド、およびリードコマンドが入力されて、バンクBから4ワードのデータが読み出される。バンクC、およびバンクDについても同様に順次アクセスが行われ、それぞれのバンクから4ワードのデータが読み出される。

40

## 【0009】

バンクBに対するアクティブコマンド（Act）の入力、ロウアドレスの指定、およびリードコマンド（Read）によるカラムアドレスの指定は、バンクAのアクセス途中で発行することができる。したがって、何れかのバンクのアクセスしている途中で、次にアクセスするバンクに予めコマンドを発行して、バンクA～Dを順次アクセスすることによ

50

り、無駄なアクセス時間を無くして、効率よくメモリをアクセスすることができる。また、図13に示した例では、バンクA、およびバンクBのRow1にアクセスするために、バンクA、およびバンクBに対して、プリチャージコマンド(Pre)を入力している。

【0010】

したがって、SDRAMによって構成されたユニファイドメモリアクセスシステムにおいて、例えば音声データや画像データのように連続性のあるデータがSDRAMに格納された場合には、効率のよいデータの転送を行うことが可能になる。例えば図14は、SDRAMのバンク構成を利用して、画像データのように連続したデータが格納された例を示している。この例では、画像の1ライン分に相当する連続したデータが4ワード毎にバンクA～Dに格納されている。すなわち、データ0からデータ3までがバンクAに、続くデータ4からデータ7までがバンクBに、データ8からデータ11までがバンクCに、データ12からデータ15までがバンクDに、それぞれ格納されている。続く1ライン分のデータも同様に、それぞれ4ワード毎にバンクA～Dに格納されている。

10

【0011】

このように格納されたデータは、メモリアクセス制御回路に制御されて、例えば読み出し開始位置が0、転送サイズが32ワードであれば、図14に示すように、バンクA～Dがそれぞれ1回ずつアクセスされることによって画像の1ライン分に相当するデータが効率よく転送される。

【0012】

また、MPEG(Moving Picture Expert Group)等の画像圧縮技術では、例えば縦16画素、横16画素の単位で処理する。MPEGの規格上、圧縮、伸張の際は、前記単位で画像データを扱う。例えば、NTSC画像の1フレームは、図15のように横720画素、縦480画素からなる。これを縦、横ともに16画素ずつに分割する。1分割の単位をマクロブロックと呼ぶ(以下、MBと略す)。NTSC画像は、横45MB、縦30MB、全部で1350MBに分割される。

20

【0013】

この場合のメモリマップが、1MB毎にバンクアドレスが増加する場合、例えば、図16のMB1、MB2、MB46、MB47がそれぞれ、バンクA、バンクB、バンクB、バンクCとする。

【0014】

しかし、上記のメモリアクセス制御回路では、バンクの途中からデータを読み取る場合や、バースト長より短い転送を複数回行う場合には、データ転送の無駄を生じてしまう場合がある。例えば、図16の4MBにまたがった横16画素、縦16画素の転送を行う場合、横方向ごとに1回ずつメモリアクセスが生じ、アクセスを行わないバンクがあるため、転送効率の悪化に繋がる。

30

【0015】

このように、ユニファイドメモリアクセスシステムにおける上記メモリアクセス制御回路では、転送の効率が転送サイズ、転送開始アドレス、データの構造が2次元データか、1次元データか、によって左右される。

【0016】

このような転送効率の悪化に対しては、SDRAMからデータを読み出す順序を変更することによって、メモリアクセスが必ず一定のバンクから始まり、一定のバンクで終了するようにして、無駄なアクセスをさせないようにしたメモリアクセス制御回路がある(例えば特許文献2を参照)。

40

【特許文献1】特開2004-46371号公報(第2図)

【特許文献2】特開2000-251470号公報(第1図)

【発明の開示】

【発明が解決しようとする課題】

【0017】

しかし、上記のデータの読み出す順序を変更するメモリアクセス制御回路は、途中から

50

アクセスされるバンクに対しては、読み出し開始の位置に応じて、同一バンク内で、別のコラムアドレスのデータを組み合わせることによってバースト転送のサイズ分のデータ転送が行われるようにしていたので、データ転送（バースト転送）の途中でコラムアドレスを入力し直さなければならなかった。バースト転送の途中でコラムアドレスが変更されると、一つのバンクに対するアクセスが終了し、次のバンクにアクセスした際に、無効期間（データが出力されない期間）を生じてしまい、データ転送の効率が悪化してしまうという問題を有していた。

**【0018】**

例えば図17は、SDRAMのバンクA～Dが順次アクセスされる際に、バンクAへのアクセス中に、ロウアドレスは変更されずに、コラムアドレスのみが変更されてSDRAMにアクセスされる場合のタイミングを示している。この例では、バンクAのRow1、Col0からのバーストアクセス中に、同じバンク、同じロウアドレスで、コラムアドレスのみがCol6に変更されて、アクセスされている。この場合、バーストアクセス中に別のコラムアドレスが入力されるので、アクティブコマンド（Act）、リード（Read）、およびライトコマンドの入力ができなくなり、バンクAの出力データとバンクBの出力データとの間に無効期間を生じている。

10

**【0019】**

本発明は、前記の問題に着目してなされたものであり、複数のメモリバンクに格納された連続的なデータに対し、データ処理装置が効率的にアクセスを行うことができるメモリアクセス制御回路を提供することを課題とする。

20

**【課題を解決するための手段】****【0020】**

前記の課題を解決するため、請求項1の発明は、

データ処理装置によるメモリに対するアクセスを制御するメモリアクセス制御回路であって、

前記メモリは、独立して動作させることが可能な複数個のメモリバンクを有し、クロック信号に同期してデータをバースト転送することが可能な同期型メモリであり、

前記メモリに対する第1のデータ転送要求を前記データ処理装置から受け付けるとともに、受け付けた第1のデータ転送要求を、データ転送量が一度にバースト転送されるデータ量で、一度に転送されるデータが単一のメモリバンク内のデータである複数のデータ転送要求に分割するバースト転送長単位転送要求分割部と、

30

前記バースト転送長単位転送要求分割部が分割した複数のデータ転送要求を、各メモリバンクに対するデータ転送要求が1つずつ組み合わせられたデータ転送要求に組み立てて、複数の新たなデータ転送要求を生成する転送要求組み立て部と、

前記新たなデータ転送要求に基づいて、前記メモリと前記データ処理装置との間のデータ転送を制御するデータ転送制御部とを備え、

前記転送要求組み立て部は、データ転送要求を組み合わせる際に、何れかのメモリバンクに対するデータ転送要求が不足している場合には、前記バースト転送長単位転送要求分割部に、前記データ処理装置から第2のデータ転送要求または複数のデータ転送要求の受け付け、および前記分割処理をさせるとともに、分割されたデータ転送要求を組み合わせ

40

**【0021】**

また、請求項2の発明は、

請求項1のメモリアクセス制御回路であって、

前記転送要求組み立て部は、分割された、第1のデータ転送要求、第2のデータ転送要求、または複数のデータ転送要求を組み合わせる際に、何れかのメモリバンクに対するデータ転送要求が不足している場合かつ同一のメモリバンクに対するデータ転送要求が複数ある場合には、不足したデータ転送要求を生成して組み合わせるように構成されていることを特徴とする。

50

## 【0022】

また、請求項3の発明は、

請求項1および請求項2のうちの何れか1項のメモリアクセス制御回路であって、前記バースト転送長単位転送要求分割部、および転送要求組み立て部は、少なくともそれぞれ2つ以上設けられ、

さらに、各転送要求組み立て部が生成したデータ転送要求の実行順序を決定する実行順序決定部を備え、

前記データ転送制御部は、前記実行順序決定部が決定した順序でデータ転送を制御するように構成されていることを特徴とする。

## 【0023】

これらにより、複数のメモリバンクに格納された2次元データに対し、データ処理装置が効率的にアクセスを行うことが可能になる。

## 【0024】

また、各アクセス要求が複数のバンクに跨らないように、メモリに対するアクセス要求を分割し、所定のメモリバンクから順にメモリにアクセスされるように、分割したアクセス要求を並べ替えるので、無効期間(データが出力されない期間)を生じさせないようにできる。

## 【0025】

また、請求項4の発明は、

請求項1および請求項2のうちの何れか1項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部によってデータ転送要求が受け付けられるデータ処理装置とは互いに異なるデータ処理装置から前記メモリに対するデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリが有するメモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

前記転送要求組み立て部が生成したデータ転送要求、および前記全メモリバンク単位転送要求分割部が生成したデータ転送要求の実行順序を決定する実行順序決定部とを備え、

前記データ転送制御部は、前記実行順序決定部が決定した順序でデータ転送を制御するように構成されていることを特徴とする。

## 【0026】

これにより、例えば、複数のメモリバンクに格納された2次元データに対し、バンクの途中からデータを読み取るような処理を行うデータ処理装置は、バースト転送長単位転送要求分割部に接続し、常に一定のバンクからデータを読み取るような処理を行うデータ処理装置は、全メモリバンク単位転送要求分割部に接続すれば、それぞれのデータ処理装置に適した方法でデータ転送が行われる。

## 【0027】

また、請求項5の発明は、

請求項3および請求項4のうちの何れか1項のメモリアクセス制御回路であって、前記実行順序決定部は、データ処理装置から与えられた回数情報が示す回数だけ連続して、当該データ処理装置のデータ転送要求が実行されるように実行順序を決定するように構成されていることを特徴とする。

## 【0028】

これにより、データ処理装置に一度に転送されるデータサイズを制御することができるので、例えば大量のデータを必要とするデータ処理装置に対しては、一度の処理で転送されるデータサイズの増大を図ることができ、処理速度の向上やデータ転送の効率化を図ることが可能になる。

## 【0029】

また、請求項6の発明は、

10

20

30

40

50

請求項 3 および請求項 4 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

データ転送が終了していないデータ転送要求がいくつあるかを示す転送状況情報が入力され、前記転送状況情報が示すデータ転送待ちのデータ転送要求の数が所定数よりも少ない場合には、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求を実行順序決定部に出力し、データ転送待ちのデータ転送要求の数が所定数よりも多い場合には、前記転送要求組み立て部が生成したデータ転送要求を実行順序決定部に出力する選択部とを備え、

10

前記実行順序決定部は、入力されたデータ転送要求の実行順序を決定する一方、前記転送状況情報を出力するように構成されていることを特徴とする。

#### 【0030】

また、請求項 7 の発明は、

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

20

前記データ処理装置がデータ転送要求を出力してからどれくらいの転送要求時間内にデータ転送が開始されるべきかを示す転送要求時間情報が前記データ処理装置から入力され、前記転送要求時間情報が示す転送要求時間が所定の時間よりも短い場合には、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求を実行順序決定部に出力し、前記転送要求時間が所定の時間よりも長い場合には、前記転送要求組み立て部が生成したデータ転送要求を実行順序決定部に出力する選択部と、

を備えたことを特徴とする。

#### 【0031】

また、請求項 8 の発明は、

請求項 1 および請求項 2 のうちの何れか 1 項のメモリアクセス制御回路であって、さらに、

前記バースト転送長単位転送要求分割部と同じデータ転送要求を受け付けるとともに、受け付けたデータ転送要求を、データ転送量が、一度にバースト転送されるデータ量と前記メモリバンクの数との乗算値であるデータ転送要求に分割して複数の新たなデータ転送要求を生成する全メモリバンク単位転送要求分割部と、

前記データ処理装置が出力する選択情報に基づいて、前記全メモリバンク単位転送要求分割部が生成したデータ転送要求、および前記転送要求組み立て部が生成したデータ転送要求の何れか一方を選択的に出力する選択部と、

40

を備えたことを特徴とする。

#### 【0032】

これらにより、データ転送待ちをしているアクセス要求の数や、データ処理装置から与えられた転送要求時間や、データ処理装置の制御に応じて、データ転送要求を分割する方法が選択されるので、処理速度の向上やデータ転送の効率化を図ることが可能になる。

#### 【発明の効果】

#### 【0033】

本発明によれば、複数のメモリバンクに格納された 2 次元データに対し、データ処理装置が効率的にアクセスを行うことが可能になる。

#### 【発明を実施するための最良の形態】

50



## 【0034】

以下、本発明の実施形態について図面を参照しながら説明する。

## 【0035】

## 《発明の実施形態1》

## (データ処理システムの構成)

図1は、本発明の実施形態1に係るメモリアクセス制御回路100(MAC)が用いられたデータ処理システムの構成を示すブロック図である。このデータ処理システムは、同図に示すように、メモリアクセス制御回路100、メモリ200、および複数のリクエスタ300(データ処理装置)を備えて構成され、各リクエスタ300は、バス400を介してメモリアクセス制御回路100と接続されている。そして、各リクエスタ300が処理するデータは、メモリ200に格納されてアクセスされるようになっている。すなわち、このデータ処理システムでは、1つのメモリ200の格納領域を複数のリクエスタ300で共有する、いわゆるユニファイドメモリアクセスシステムが構成されている。

10

## 【0036】

メモリアクセス制御回路100は、各リクエスタ300のメモリ200に対するアクセス管理(何れのリクエスタに対してメモリ200と入出力を行うかの管理)、およびメモリ200のマッピングの管理(メモリ200の何れのアドレスからデータを入出力するかの管理)を行うハードウェアである。具体的には、メモリアクセス制御回路100は、ある1つのリクエスタ300からアクセス要求(リクエスト)を受け付けると、そのアクセス要求と他のリクエスタ300からのアクセス要求との調停を図り、そのアクセス要求の実行タイミングを決定し、そのリクエストに対する実行タイミングとなった時に、対応する1つのリクエスタ300に対してイネーブル信号ENを発行するようになっている。

20

## 【0037】

メモリ200は、所定のクロック信号に同期してデータ転送を行うメモリ装置であり、メモリアクセス制御回路100を介して、各リクエスタ300からアクセスされるようになっている。

## 【0038】

また、メモリ200は、独立して動作させることが可能な複数個のメモリブロック(以下、メモリバンク、または単にバンクと言う。)を備えて構成されている。以下の説明では、メモリ200が4つのメモリバンク(バンクA、バンクB、バンクC、およびバンクD)を備えている例を説明する。

30

## 【0039】

また、メモリ200は、外部から供給されるカラムアドレスがプリセットされるカラムアドレスカウンタを備え、このカウンタをメモリ200がインクリメントすることによって、連続的なデータアクセス(バーストアクセス)が行われるようになっている。バーストアクセスが行われる際には、1つのメモリバンクに対しては、一度に一定のサイズ(バースト転送長)のデータ転送が行われる。

## 【0040】

このようなメモリ200の例としては、例えばシンクロナスDRAM(Synchronous DRAM)がある。

40

## 【0041】

リクエスタ300は、例えば、CPU(Central Processing Unit)やDSP(Digital Signal Processor)等のデータ処理装置である。リクエスタ300は、メモリ200にアクセスする場合、すなわち、メモリ200に対して、データの書き込み、またはデータの読み出しを行う場合には、メモリアクセス制御回路100に対してリクエストを発行し、メモリアクセス制御回路100から前記イネーブル信号ENが発行されている間、メモリアクセス制御回路100を介してメモリ200との間でデータの転送(データの書き込みのための転送、またはデータ読み出しのための転送)を行うようになっている。

## 【0042】

50

なお、1回のリクエストにともなうデータ転送サイズは、リクエスト300によって異なっている。例えば、あるリクエストは、1回のリクエストによって128ワード（ここでは、1ワードは32ビット長のデータとする。）のデータ転送を要求し、また、あるリクエストは、1回のリクエストによって32ワードのデータ転送を要求する。

【0043】

また、同一のリクエスト300から要求されるデータ転送のサイズは、一定でなくてもよい。

【0044】

（メモリアクセス制御回路100の構成）

上記メモリアクセス制御回路100の構成についてさらに詳しく説明する。

10

【0045】

メモリアクセス制御回路100は、図2に示すように、リクエスト分割部110、リクエスト調停部120、およびアクセス制御部130を備えて構成されている。

【0046】

リクエスト分割部110は、リクエスト分割ブロック111と複数の全バンク単位リクエスト分割部112とを備えて構成されている。各リクエスト300は、リクエスト分割ブロック111、および全バンク単位リクエスト分割部112の何れかと1対1に対応して接続されている。

【0047】

リクエスト分割ブロック111は、バースト転送長単位リクエスト分割部111aとリクエスト組み立て部111bとを備えて構成されている。

20

【0048】

バースト転送長単位リクエスト分割部111aは、接続されたリクエスト300のメモリ200に対するアクセス要求（リクエスト）をバースト転送長単位のアクセス要求に分割して新たなアクセス要求を生成するようになっている。例えば、バースト転送長が4ワードの場合に、リクエスト300からのアクセス要求が80ワードの転送の要求であれば、新たな20個のアクセス要求が生成される。ただし、一度に転送されるデータが単一のメモリバンク内のデータとなるように、すなわち生成されたそれぞれのアクセス要求が複数のバンクに跨るアクセスにないように、リクエスト300のアクセス要求の分割が行われるようになっている。

30

【0049】

リクエスト組み立て部111bは、バースト転送長単位リクエスト分割部111aによって分割された複数のアクセス要求を並べ替え、各メモリバンクに対するアクセス要求を1つずつ組み合わせて1つのアクセス要求に組み立てた複数の新たなアクセス要求を生成するようになっている。この組み合わせは、組み立てられたアクセス要求が所定のメモリバンクから順に、全メモリバンク（バンクA～D）に対し、バーストアクセスが行われるようにされる。

【0050】

また、リクエスト組み立て部111bは、アクセス要求を組み合わせる際に、何れかのメモリバンクに対するアクセス要求が不足している場合には、リクエスト300に対して、次のリクエストの要求信号を出力し、リクエストがあった場合は、バースト転送長単位リクエスト分割部111aで分割された後、前述同様にリクエスト組み立て部111bでアクセス要求を組み合わせる。

40

【0051】

なお、この場合、同じバンクの要求が重なった場合は、その時点での全バンクの転送をもって、アクセス要求を出力する。なお、何れかのメモリバンクに対するアクセス要求が不足している場合には、不足したアクセス要求を生成して組み合わせるようになっている。

【0052】

バースト転送長単位リクエスト分割部111aとリクエスト組み立て部111bとが上

50

記のように構成されることによって、リクエスト組み立て部 1 1 1 b から出力されるアクセス要求は、バースト転送長が 4 ワードで、バンク数が 4 の場合には、1 6 ワード単位のアクセス要求になる。

【 0 0 5 3 】

なお、何れのメモリバンクからアクセスが開始されるようにアクセス要求を組み立てるかは、データの格納方法によって決めればよい。例えばメモリ 2 0 0 に画像の 1 ライン分に相当する連続データの 1 6 ワード分が、図 3 に示すように、4 ワード単位でバンク A、B、C、D の順に格納されている場合には、バンク A からアクセスされるように並べ替えを行う。

【 0 0 5 4 】

全バンク単位リクエスト分割部 1 1 2 は、接続されたリクエスト 3 0 0 のメモリ 2 0 0 に対するアクセス要求を、全メモリバンクに対しバーストアクセスした場合のデータ転送サイズに分割するようになっている。分割された各アクセス要求における開始バンクは特に規定はなく、各メモリバンクがそれぞれ 1 つずつ転送されるようになっていけばよい。転送時のバンクの順番は全アクセスにおいて一定の順番である。

【 0 0 5 5 】

例えばバースト転送長が 4 ワードで、メモリバンクが 4 つある場合には、全バンク単位リクエスト分割部 1 1 2 が各リクエスト 3 0 0 から受け付けたアクセス要求の転送開始位置が 0 または 1 6 N ( N は 0 または正の整数 ) で、データ転送のサイズが 1 6 m + n ワード ( m は、0 または正の整数、n は、0 以上 1 5 以下の整数 ) であったとすれば、図 4 に示すように、全バンク単位リクエスト分割部 1 1 2 は、アクセス要求を 1 6 ワード ( 4 ワード × 4 = 1 6 ) ごとのアクセス要求に分割して、それぞれ 1 6 ワード分のデータを転送する ( m + 1 ) 個の新たなアクセス要求 ( n が 0 の場合には、m 個のアクセス要求 ) を生成する。

【 0 0 5 6 】

リクエスト調停部 1 2 0 は、リクエスト組み立て部 1 1 1 b、および各全バンク単位リクエスト分割部 1 1 2 によって生成された複数のアクセス要求 ( 何れも 1 6 ワードの転送要求 ) を所定の調停方式に従って並べ替えるようになっている。リクエスト調停部 1 2 0 の調停方式は特に限定されない。

【 0 0 5 7 】

アクセス制御部 1 3 0 は、リクエスト調停部 1 2 0 の調停の結果に応じて、アクセス要求をした各リクエスト 3 0 0 とメモリ 2 0 0 との間のデータ転送の制御を行うようになっている。詳しくは、データを転送するリクエスト 3 0 0 にイネーブル信号を出力し、メモリ 2 0 0 との間のデータ転送を行う。データ転送は、メモリ 2 0 0 に対しては、リクエスト組み立て部 1 1 1 b、または全バンク単位リクエスト分割部 1 1 2 で生成されたアクセス要求の順番でデータ転送を行うが、各リクエスト 3 0 0 に対しては、その順番でなくてもかまわない。S D R A M アクセス用に並べ替えはアクセス制御部で行ってもかまわないし、リクエストへの転送アドレスでもって、制御してもかまわない。

【 0 0 5 8 】

( メモリアクセス制御回路 1 0 0 の動作 )

上記のように構成されたメモリアクセス制御回路 1 0 0 の動作をメモリ 2 0 0 に N T S C 画像データの 1 フレーム分が、図 5 に示すように、1 6 画素単位でバンク A、B、C、D の順に格納されている場合を例に説明する。この場合、1 ワードで 4 画素分のデータが読み書きできる場合を示す。1 画素のデータは 1 バイト ( 8 ビット ) で表されるとする。なお、画像データは N T S C の場合を例にしている。また、今回のメモリマップ構成は図 5 に示すように横方向に 7 2 0 画素の有効データが続き、さらに 3 2 画素分 ( 2 M B 分 ) の未使用領域を含めるとする。この場合、1 ライン目のアドレスは、左端から 0、1、2、...、1 5 とバンク A に対する領域から始まり、続いて、バンク B、バンク C、バンク D と 1 6 画素ずつバンクが切り替わっていく。なお、2 ライン目の左端のアドレスは、7 5 2 となり、バンク D、A、B、C となる。以下、同様に最下段の 4 8 0 ライン目まで続く

10

20

30

40

50

。

【0059】

まず、図6に示すようにMB1の12ライン目、横12画素目から横16画素、縦16画素のデータ転送する場合、リクエスタ300からのリクエストとしては、(1)で示す1ライン分のデータ転送要求が来る。この場合、リクエスト分割部111aでは、バンク毎に分割を行い、バンクC、バンクDのリクエストになる。次にリクエスト組み立て部111bで組み立てを行うが、メモリバンクA、Bに対するリクエストが不足するため、リクエスタ1に対して、リクエスト要求信号を出力し、次のラインに相当する要求(2)をリクエスト分割部111aが受理し、バンクB、Cに分割する。そして、リクエスト組み立て部111bは、バンクB、C、Dのリクエストが貯まり、バンクCが重複するためにバンクB、C、Dのリクエスト1として、リクエスト調停部120に出力する。

10

【0060】

以下、バンクCのみが残り、他のバンクA、B、Dのリクエストが不足するため、リクエスタ1にリクエスト要求信号を出力し、次のラインに相当する要求(3)をリクエスト分割部111aが受理し、バンクA、Bに分割する。そして、リクエスト組み立て部111bは、バンクDのリクエストが不足するために、リクエスタ1にリクエスト要求信号を出力し、次のラインに相当する要求(4)をリクエスト分割部111aが受理し、バンクD、Aに分割する。そして、リクエスト組み立て部111bは、バンクA、B、C、Dのリクエストが貯まり、バンクAが重複するためにバンクA、B、C、Dのリクエスト2として、リクエスト調停部120に出力する。

20

【0061】

以下、同様に16ライン分の転送要求をバンク毎に分割、組み立てを行い、リクエスタ1~9としてDMA(Direct Memory Access)が実行される。

【0062】

よって、16ライン分のDMA転送に対して、本来は16回のDMAが必要であったが、この場合は9回のDMAで完了する。

【0063】

上記のように、本実施形態によれば、複数のメモリバンクに格納された2次元データに対し、複数のデータ処理装置が効率的にアクセスすることが可能になる。

【0064】

また、各アクセス要求が複数のバンクに跨らないように、メモリに対するアクセス要求を分割し、所定のメモリバンクから順にメモリにアクセスされるように、複数回のリクエストに対し、分割したアクセス要求を並べ替えるので、無効期間(データが出力されない期間)を生じさせないようにできる。

30

【0065】

《発明の実施形態1の変形例》

なお、実施形態1では、1つのリクエスタ300に対してのみ、リクエスト分割ブロック111が設けられている例を説明したが、例えば図7に示すように複数のリクエスタ300に対して、リクエスト分割ブロック111を設けるようにメモリアクセス制御回路100を構成してもよい。

40

【0066】

なお、以下の実施形態や変形例において前記実施形態1等と同様の機能を有する構成要素については、同一の符号を付して説明を省略する。

【0067】

また、リクエスタ300をリクエスト分割部110、および全バンク単位リクエスト分割部112の何れに接続するかは、リクエストの特性に応じて定めればよい。

【0068】

《発明の実施形態1の他の変形例》

また、実施形態1の装置において、リクエスタ300から入力された転送回数情報に応じて、複数のアクセス要求をまとめて処理(データ転送)するようにしてもよい。

50

## 【0069】

発明の実施形態1の他の変形例に係るメモリアクセス制御回路500は、図8に示すようにリクエスト分割部110に代えてリクエスト分割部510を備え、リクエスト調停部120に代えてリクエスト調停部520を備えて構成されている点がメモリアクセス制御回路100と異なっている。

## 【0070】

リクエスト分割部510は、リクエスト分割部110にリクエスト分割ブロック511が追加されている点がリクエスト分割部110と異なっている。

## 【0071】

リクエスト分割ブロック511は、バースト転送長単位リクエスト分割部111aとリクエスト組み立て部111bとを備え、リクエスタ300から入力された転送回数情報をリクエスト調停部120に出力するようになっている。

## 【0072】

リクエスト調停部520は、リクエスト分割ブロック111から出力されたアクセス要求が、前記転送回数情報に応じた回数ずつまとめてアクセス制御部130で処理されるように実行順序を調停するようになっている。

## 【0073】

このように構成されたメモリアクセス制御回路では、例えばリクエスタ300から2回分のアクセスをまとめて処理するように転送回数情報が入力された場合には、バースト転送長単位リクエスト分割部111aとリクエスト組み立て部111bは、リクエスタ300のアクセス要求の分割を行うとともに、前記転送回数情報をリクエスト調停部120に出力する。リクエスト調停部520は、リクエスト分割ブロック111から出力されたアクセス要求が2回分ずつまとめてアクセス制御部130で処理されるように処理順序の調停を行う。そして、これらの要求の処理順になったタイミングでアクセス制御部130からは、図9に示すように、リクエスタ300に対して、イネーブル信号ENが発行され、リクエスタ300とメモリ200の間で、2回分ずつまとめたデータ転送(32ワード分)が行われる。

## 【0074】

なお、全バンク単位リクエスト分割部112に接続されているリクエスタ300からデータ転送の要求があった場合には、16ワード分のデータの転送が行われる。

## 【0075】

上記のように本変形例によれば、一度に転送されるデータサイズを制御することができるので、例えば大量のデータを必要とするリクエスタに対しては、一度の処理で転送されるデータサイズの増大を図ることができ、処理速度の向上やデータ転送の効率化を図ることが可能になる。

## 【0076】

## 《発明の実施形態2》

リクエスト調停部で調停の状況(データ転送待ちをしているアクセス要求の数)に応じて、アクセス要求の分割方法を変更するメモリアクセス制御回路の例を説明する。

## 【0077】

本発明の実施形態2に係るメモリアクセス制御回路600は、図10に示すように、実施形態1におけるリクエスト分割部110に代えてリクエスト分割部610を備え、リクエスト調停部120に代えてリクエスト調停部620を備えて構成されている。

## 【0078】

リクエスト分割部610は、リクエスト分割ブロック111、リクエスト分割ブロック611、および複数の全バンク単位リクエスト分割部112を備えて構成されている。

## 【0079】

リクエスト分割ブロック611は、バースト転送長単位リクエスト分割部111a、リクエスト組み立て部111b、全バンク単位リクエスト分割部112、およびリクエスト選択部611cを備えて構成され、リクエスト調停部620の調停の状況(データ転送待

10

20

30

40

50

ちをしているアクセス要求の数)に応じて、全バンク単位リクエスト分割部112で生成したアクセス要求を出力するか、リクエスト分割ブロック111で生成したアクセス要求を出力するかをリクエスト選択部611cによって切り替えるようになっている。具体的には、データ転送待ちをしているアクセス要求の数が所定の数よりも少ない場合(リクエスト調停部が空いている場合)には、全バンク単位リクエスト分割部112で生成したアクセス要求を出力し、データ転送待ちをしているアクセス要求の数が所定の数よりも多い場合(リクエスト調停部が混んでいる場合)には、リクエスト分割ブロック111で生成したアクセス要求を出力する。

【0080】

リクエスト調停部620は、リクエスト調停部120が有する調停機能に加え、調停状況(データ転送待ちをしているアクセス要求の数)をリクエスト分割部610に出力するように構成される。

【0081】

上記の構成により、例えば全バンク単位リクエスト分割部112によって生成されたアクセス要求が出力された場合には、実施形態1で説明したように、リクエスト回数が増える場合があるが、リクエスト組み立て部111bにおける組み立てにかかる時間を省くことが可能になるので、リクエスト調停部が空いていれば、転送速度を重視したデータ転送が可能になる。

【0082】

一方、リクエスト調停部が混んでいる場合には、リクエスト分割ブロック111によって生成されたアクセス要求が出力されることによって、無駄なリクエストが削減されるとともに、無効期間(データが出力されない期間)を生じさせないようにできるので、転送効率の改善が可能になる。

【0083】

上記のように本実施形態によれば、リクエスト調停状況に応じて、アクセス要求の分割方法を変更できるので、処理速度の向上やデータ転送の効率化を図ることが可能になる。

【0084】

《発明の実施形態2の変形例》

リクエスト調停部120の調停の状況に応じてアクセス要求の分割方法を変更するのではなく、リクエスト300から与えられた転送要求時間信号が示す転送要求時間(データ処理装置がデータ転送要求を出力してからデータ転送が開始されるべき時間)に応じて、アクセス要求の分割方法を変更するようにしてもよい。具体的には図11に示すように、リクエスト300が出力する前記転送要求時間信号が入力されるように、リクエスト分割ブロック611を構成する。

【0085】

また、リクエスト300から入力されたが示す転送要求時間が所定の時間以下の場合には、全バンク単位リクエスト分割部112で生成したアクセス要求を出力し、前記転送要求時間が所定の時間よりも長い場合には、リクエスト組み立て部111bで組み立てたアクセス要求を出力するように、リクエスト選択部611cを構成する。

【0086】

これにより、転送要求時間に応じて、アクセス要求の分割方法を選択することができ、処理速度の向上やデータ転送の効率化を図ることが可能になる。

【0087】

《発明の実施形態2の他の変形例》

また、リクエスト300から出力された分割要求信号に応じて、アクセス要求の分割方法を変更するようにしてもよい。具体的には、図12に示すようにリクエスト300から入力された分割要求信号に応じて、全バンク単位リクエスト分割部112で生成したアクセス要求、およびリクエスト分割ブロック111で生成したアクセス要求のうちの何れかを選択的に出力するようにリクエスト選択部611cを構成すればよい。

【0088】

10

20

30

40

50

これにより、ソフト制御によりアクセス要求の分割方法を制御することが可能となり、例えば転送するデータの読み込み開始位置やデータの種別に応じて、分割方法を制御すれば、処理速度の向上やデータ転送の効率化を図ることが可能になる。

【0089】

なお、上記の各実施形態で示したデータ語長の単位は特定のワード長に限定されず、例えばバイト（8ビット）、ロングワード（32ビット）等であってもよい。

【0090】

また、同期型メモリはSDRAMに限定されず、例えば、シンクロナスSRAM等のクロック同期型のメモリであってもよい。

【0091】

また、リクエスト分割ブロック111や全バンク単位リクエスト分割部112の数も例示であり、データ処理装置の数などに応じて、必要な数だけリクエスト分割ブロック111等を設ければよい。

【0092】

また、上記の各実施形態では、転送されるデータが画像データの例を説明したが、連続的なデータとしてはこれには限定されず、例えば音声データ等であってもよい。

【産業上の利用可能性】

【0093】

本発明にかかるメモリアクセス制御回路は、複数のメモリバンクに格納された2次元データに対し、データ処理装置が効率的にアクセスを行うことが可能になるという効果を有し、データ処理装置による同期型メモリに対するアクセス動作を制御するメモリアクセス制御回路等として有用である。

【図面の簡単な説明】

【0094】

【図1】本発明の実施形態1のメモリアクセス制御回路が用いられたデータ処理システムの構成を示すブロック図である。

【図2】本発明の実施形態1に係るメモリアクセス制御回路の構成を示すブロック図である。

【図3】リクエスト分割部におけるアクセス要求の分割の実行例を示す図である。

【図4】全バンク単位リクエスト分割部112によるアクセス要求の分割の実行例を示す図である。

【図5】NTSC画像のメモリマップを示す図である。

【図6】2次元データのリクエスト分割部におけるアクセス要求の分割の実行例を示す図である。

【図7】本発明の実施形態1に係るメモリアクセス制御回路の変形例の構成を示すブロック図である。

【図8】本発明の実施形態1に係るメモリアクセス制御回路の他の変形例の構成を示すブロック図である。

【図9】本発明の実施形態1に係るメモリアクセス制御回路の他の変形例におけるリクエストとSDRAMとの間のデータ転送タイミングチャートである。

【図10】本発明の実施形態2に係るメモリアクセス制御回路の構成を示すブロック図である。

【図11】本発明の実施形態2に係るメモリアクセス制御回路の変形例の構成を示すブロック図である。

【図12】本発明の実施形態2に係るメモリアクセス制御回路の他の変形例の構成を示すブロック図である。

【図13】SDRAMの各バンクに連続してアクセスした場合のタイミングチャートである。

【図14】画像データの1ラインの格納例および従来のメモリアクセス制御回路におけるデータの転送例を示す図である。

10

20

30

40

50

【図15】NTSC画像のマクロブロック単位の分割例である。

【図16】従来のメモリアクセス制御回路における、2次元データの転送例を示す図である。

【図17】従来のメモリアクセス制御回路において、バーストアクセスの途中でコラムアドレスが変更された場合のタイミングチャートである。

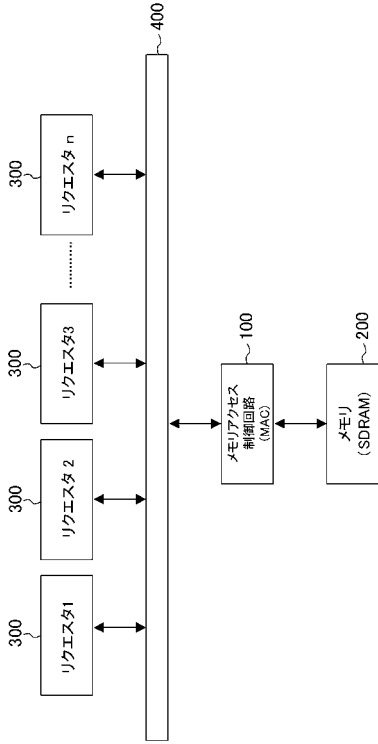
【符号の説明】

【0095】

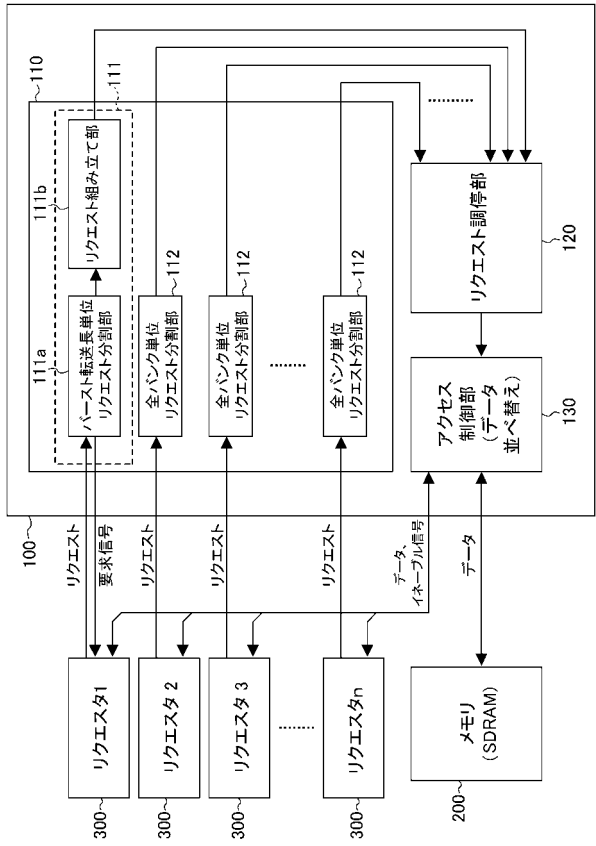
100	メモリアクセス制御回路	
110	リクエスト分割部	
111	リクエスト分割ブロック	10
111 a	バースト転送長単位リクエスト分割部	
111 b	リクエスト組み立て部	
112	全バンク単位リクエスト分割部	
120	リクエスト調停部	
130	アクセス制御部	
200	メモリ	
300	リクエスタ	
400	バス	
500	メモリアクセス制御回路	
510	リクエスト分割部	20
511	リクエスト分割ブロック	
520	リクエスト調停部	
600	メモリアクセス制御回路	
610	リクエスト分割部	
611	リクエスト分割ブロック	
611 c	リクエスト選択部	
620	リクエスト調停部	



【図 1】

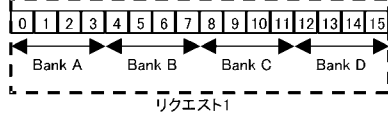


【図 2】



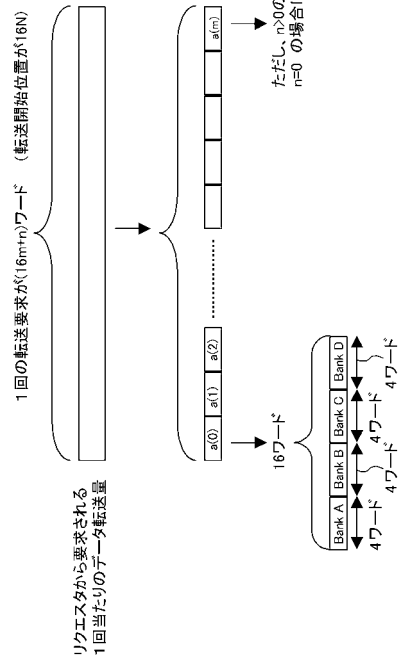
【図 3】

(1) 読み出し開始位置が0、転送サイズが16ワードの場合

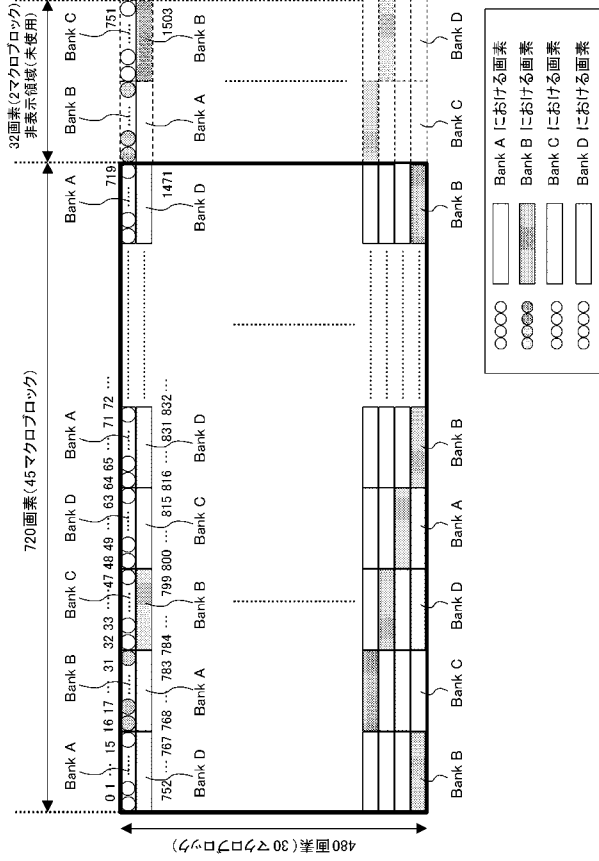


Bank(A,B,C,D)の  
リクエスト数1回  
(4ワード、4バンクを  
1回の転送単位の場合)

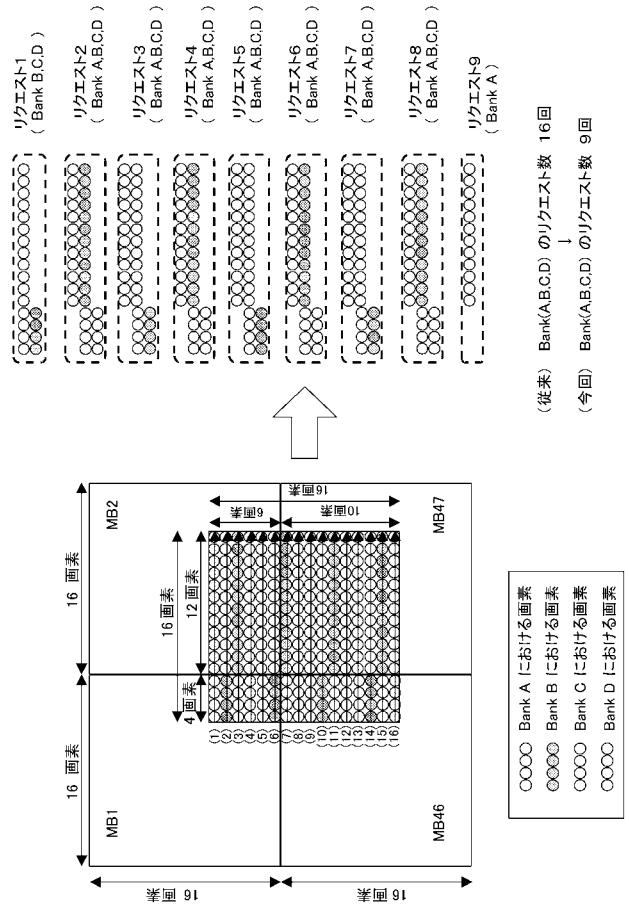
【図 4】



【図 5】

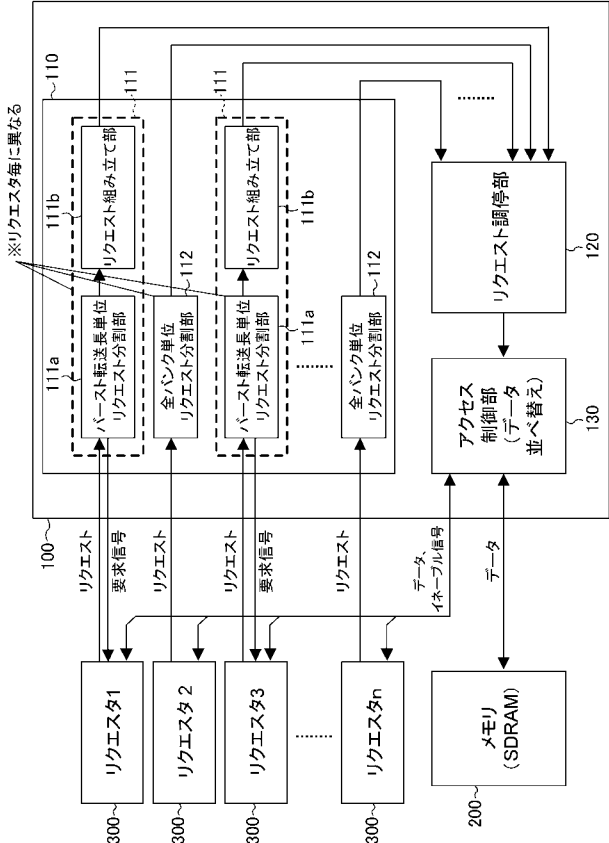


【図 6】

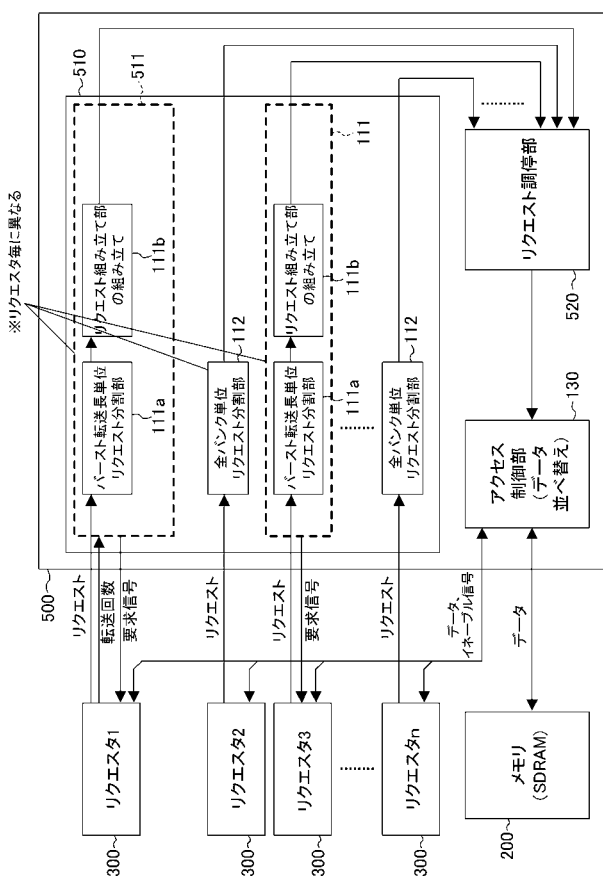


(従来) Bank(A,B,C,D) のリクエスト数 16回  
 (今回) Bank(A,B,C,D) のリクエスト数 9回

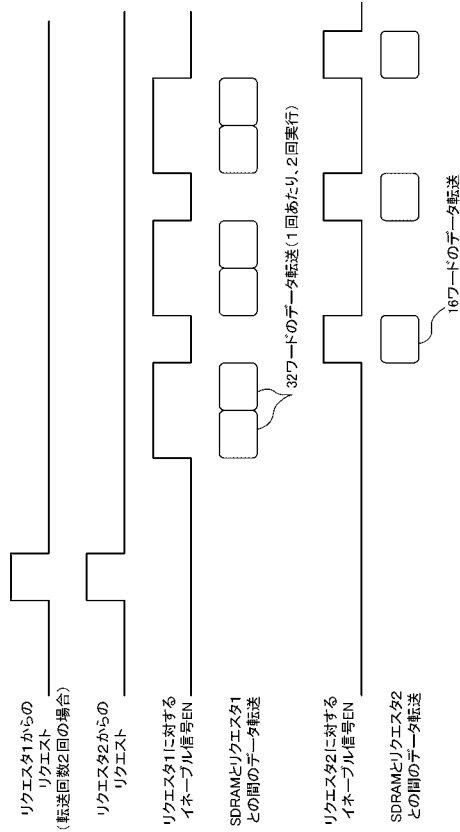
【図 7】



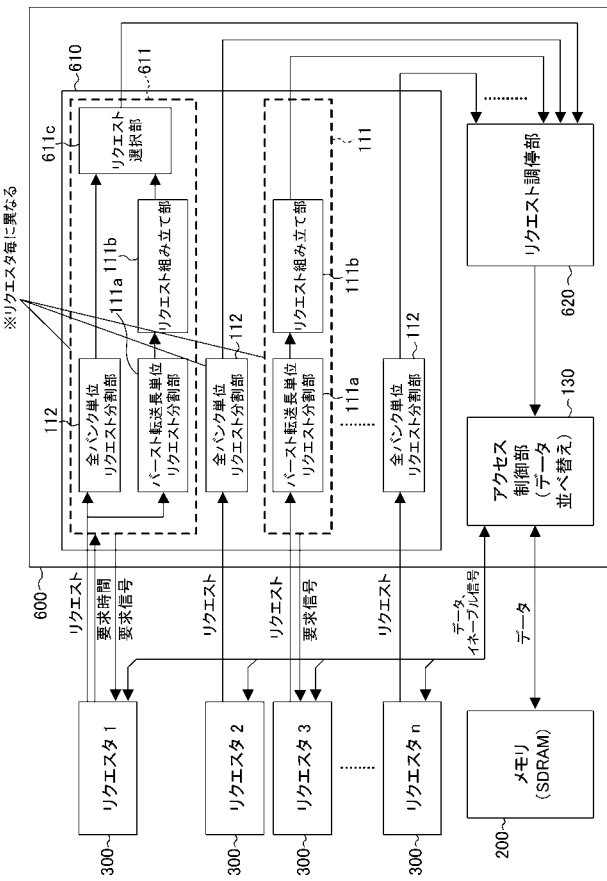
【図 8】



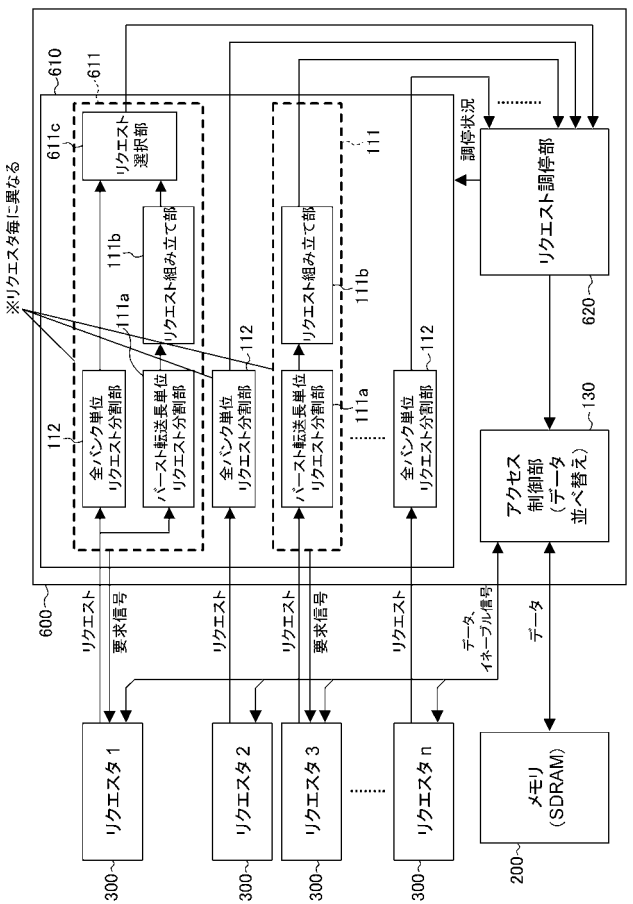
【図 9】



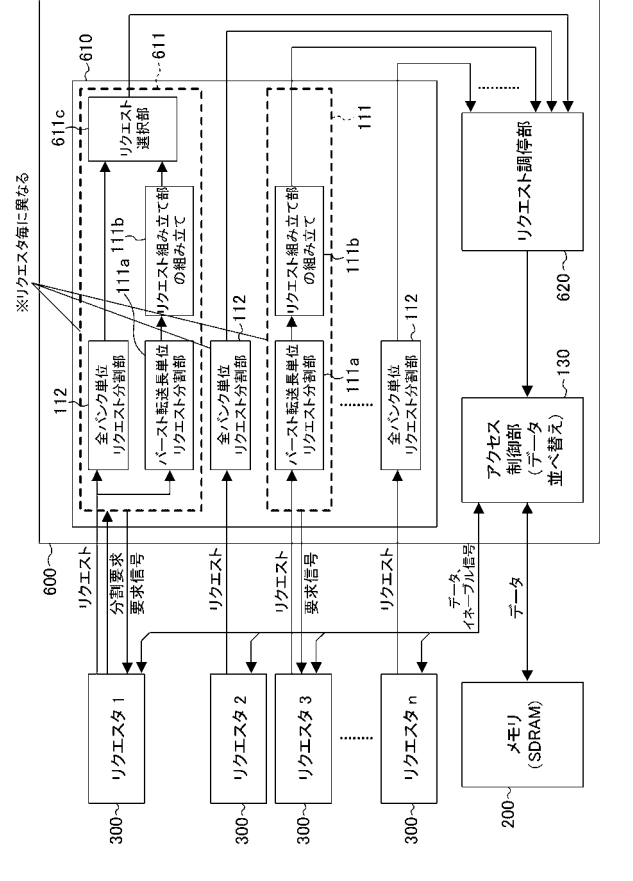
【図 11】



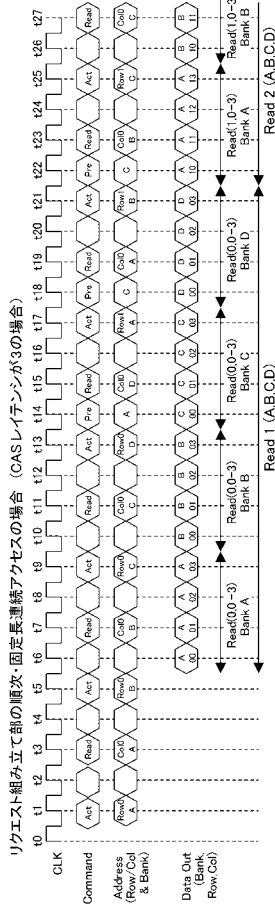
【図 10】



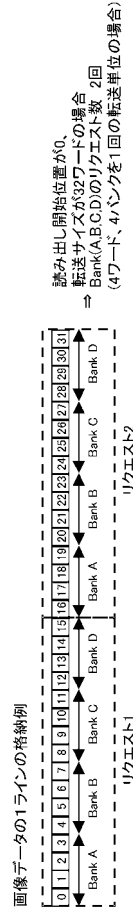
【図 12】



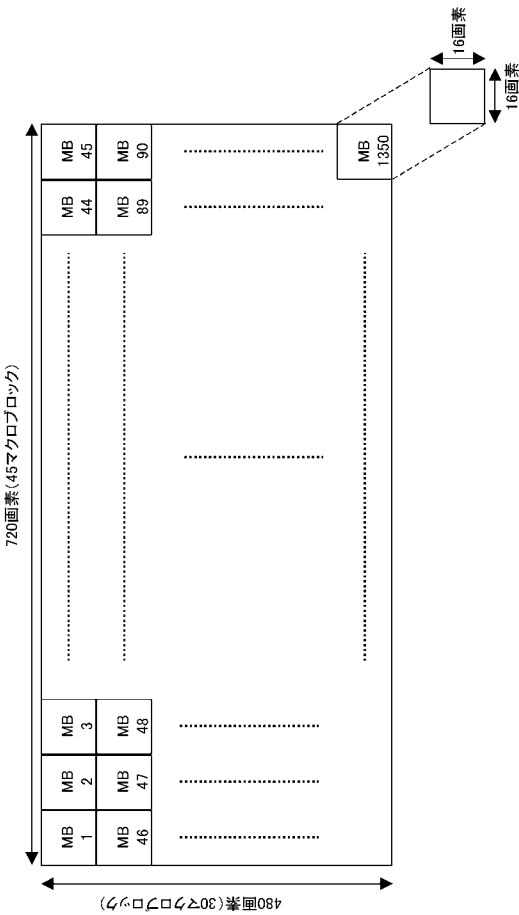
【 図 1 3 】



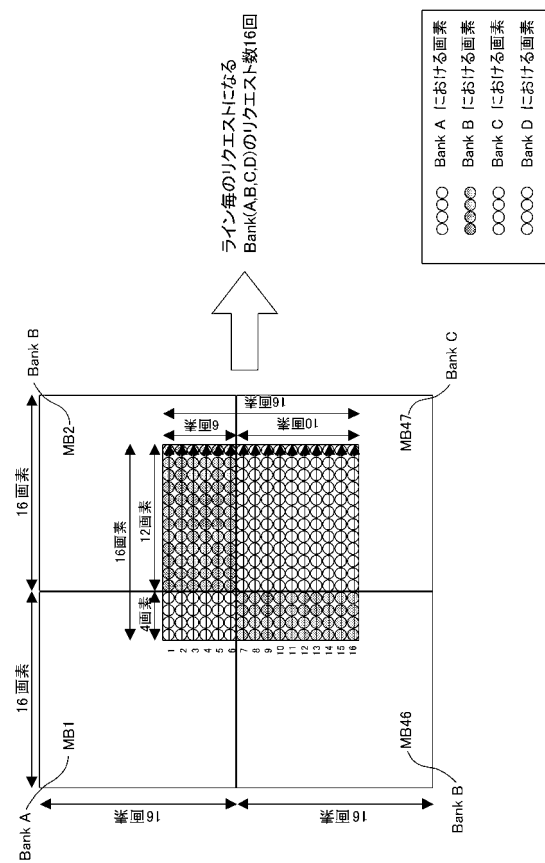
【 図 1 4 】



【 図 1 5 】

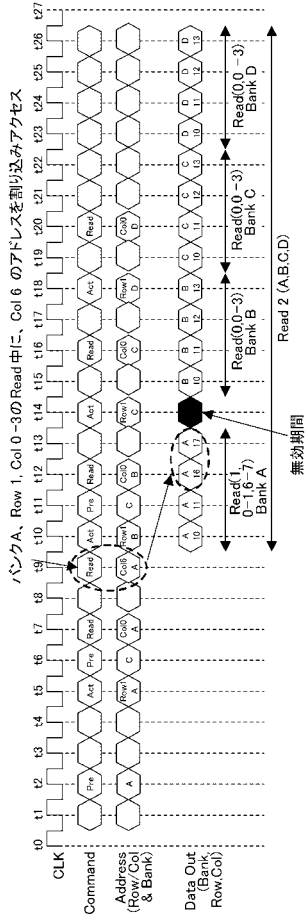


【 図 1 6 】



【図 17】

リクエスト組み立て時の順次・固定非連続アクセス中に、  
同じバンク・ローアドレス中の異なるコラムアドレスのコマンドを挿入した場合(CASUレイテンジが3の場合)



---

フロントページの続き

(74)代理人 100115691

弁理士 藤田 篤史

(74)代理人 100117581

弁理士 二宮 克也

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124349

弁理士 米田 圭啓

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 岡嶋 一憲

大阪府門真市大字門真1006番地 松下電器産業株式会社内

Fターム(参考) 5B060 CA12