

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-299513

(P2008-299513A)

(43) 公開日 平成20年12月11日(2008.12.11)

(51) Int.Cl.		F I				テーマコード (参考)
G 0 6 F	3/06	(2006.01)	G 0 6 F	3/06	3 0 2 J	5 B 0 6 5
G 0 6 F	3/08	(2006.01)	G 0 6 F	3/08	C	5 B 0 8 2
G 0 6 F	12/00	(2006.01)	G 0 6 F	12/00	5 4 2 J	

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号	特願2007-143716 (P2007-143716)	(71) 出願人	000002185
(22) 出願日	平成19年5月30日 (2007. 5. 30)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100104215
			弁理士 大森 純一
		(74) 代理人	100117330
			弁理士 折居 章
		(72) 発明者	麻生 伸吾
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	石川 裕也
			東京都港区港南1丁目7番1号 ソニー株
			式会社内

最終頁に続く

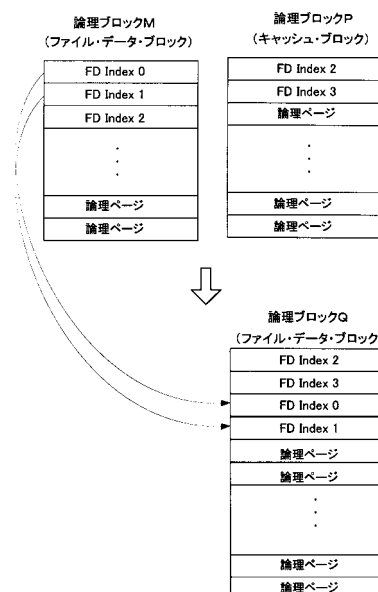
(54) 【発明の名称】 データ記憶装置およびその制御方法

(57) 【要約】

【課題】 ファイル・データ・ブロックのデータとキャッシュ・ブロックの最新のデータとのマージ処理を高速化することのできるデータ記憶装置およびその制御方法を提供する。

【解決手段】 キャッシュ・ブロックとして使用されている論理ブロックPに同一のFD Indexのデータが重複して書き込まれているかどうかを判断し、重複して書き込まれていない場合、ファイル・データ・ブロックとして使用されている論理ブロックMのデータのうち、キャッシュ・ブロックとして使用されている論理ブロックPに書き込まれたFD Index以外のデータを論理ブロックPにコピーして、論理ブロックPをファイル・データ・ブロックに変更し、論理ブロックMのデータを消去してキャッシュ・ブロックを解放する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

不揮発性半導体メモリの消去単位を物理ブロックとして、複数の物理ブロックを論理ブロックとして管理し、前記論理ブロックは所定数のセクタを組み合わせた論理ページの単位で分割されたデータ記憶装置であって、

第 1 の論理ブロックをファイル・データ・ブロックとして設定してデータを書き込み、前記ファイル・データ・ブロックに書き込まれたデータを書き換えるとき、第 2 の論理ブロックをキャッシュ・ブロックとして設定して書き換えデータを書き込み、前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれた
10
アドレス以外のデータを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックとするように制御を行う制御部を有することを特徴とするデータ記憶装置。

【請求項 2】

請求項 1 記載のデータ記憶装置であって、

前記制御部は、別のファイル・データ・ブロックとして設定された第 3 の論理ブロックに書き込まれたデータに対する書き換え命令が発生した時、前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれたアドレス以外の
20
データを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックとするように制御を行い、前記第 2 の論理ブロックのデータを消去するように制御を行うことを特徴とするデータ記憶装置。

【請求項 3】

不揮発性半導体メモリの消去単位を物理ブロックとして、複数の物理ブロックを論理ブロックとして管理し、前記論理ブロックは所定数のセクタを組み合わせた論理ページの単位で分割されたデータ記憶装置の制御方法であって、

第 1 の論理ブロックをファイル・データ・ブロックとして設定してデータを書き込むステップと、

前記ファイル・データ・ブロックに書き込まれたデータを書き換えるとき、第 2 の論理ブロックをキャッシュ・ブロックとして設定して書き換えデータを書き込むステップと、
30

前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれたアドレス以外のデータを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックに設定するマージステップと

を具備することを特徴とするデータ記憶装置の制御方法。

【請求項 4】

請求項 3 記載のデータ記憶装置の制御方法であって、

前記マージステップは、別のファイル・データ・ブロックとして設定された第 3 の論理ブロックに書き込まれたデータに対する書き換え命令が発生した時、前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合
40
、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれたアドレス以外のデータを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックとするように制御を行い、前記第 2 の論理ブロックのデータを消去することを特徴とするデータ記憶装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ記憶装置およびその制御方法に関するものである。

【背景技術】

【0002】

10

20

30

40

50

従来から、NAND型の不揮発性半導体メモリ（フラッシュメモリ）を主たる記憶媒体とし、例えばPC（Personal Computer）や携帯電話機、携帯型AV（Audio／Video）機器等のホスト装置に着脱自在な可搬性のデータ記憶装置（いわゆるデータ記憶装置）が知られている。このデータ記憶装置においては、例えばFAT（File Allocation Tables）ファイルシステム等のホスト装置側のファイル管理システムによってデータの書き込み及び読み出しの管理が行われる。また、データ記憶装置内部では、不揮発性半導体メモリ内の物理領域は複数の物理ブロックに分割され、当該物理ブロックがデータの消去単位となっている。また、物理ブロックはさらに複数の物理ページに分割され、当該ページがデータの書き込み及び読み出し単位となっている（特許文献1参照）。

10

【特許文献1】特開2003-308241号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

データ記憶装置内で複数の物理ブロックを論理ブロックとして管理してデータの読み出しおよび書き込みを行うとき、論理ブロックはホストデータを書き込むためにファイル・データ・ブロックとして使用される場合と、ファイル・データ・ブロックに対して書き込みが行えない場合の、書き換え用のデータの一時書き込み用領域であるキャッシュ・ブロックとして使用される場合とがある。

【0004】

20

あるファイル・データ・ブロックでキャッシュ・ブロックを使用しているとき、別のファイル・データ・ブロックに書き込まれているデータに対する書き換えのためにキャッシュ・ブロックを使用したい場合には、ファイル・データ・ブロックのデータとキャッシュ・ブロックのデータとのマージ処理を行う。これにより、キャッシュ・ブロックは不要になるので、キャッシュ・ブロックを解放して、別のファイル・データ・ブロックに割り当てる。

【0005】

ファイル・データ・ブロックに書き込まれるアドレス範囲は論理ページ単位で分割してFD Indexと呼ばれるアドレッシングで管理される。ファイル・データ・ブロックには同じFD Indexが複数存在することは許されず、もし同じFD Indexを書き込む必要がある場合はキャッシュ・ブロックを取得して、キャッシュ・ブロックへの書き込みが行われる。

30

【0006】

しかしながら、この方式では、ファイル・データ・ブロックのデータとキャッシュ・ブロックの最新のデータとをマージする際に、論理ブロック内の論理ページの数だけ新規の論理ブロックへのコピー処理が発生してしまい、マージ処理の速度が非常に遅くなってしまう。

【0007】

本発明は、かかる実情に鑑み、ファイル・データ・ブロックのデータとキャッシュ・ブロックの最新のデータとのマージ処理を高速化することのできるデータ記憶装置およびその制御方法を提供しようとするものである。

40

【課題を解決するための手段】

【0008】

本発明のデータ記憶装置は、不揮発性半導体メモリの消去単位を物理ブロックとして、複数の物理ブロックを論理ブロックとして管理し、前記論理ブロックは所定数のセクタを組み合わせた論理ページの単位で分割されたデータ記憶装置であって、第1の論理ブロックをファイル・データ・ブロックとして設定してデータを書き込み、前記ファイル・データ・ブロックに書き込まれたデータを書き換えるとき、第2の論理ブロックをキャッシュ・ブロックとして設定して書き換えデータを書き込み、別のファイル・データ・ブロックとして設定された第3の論理ブロックに書き込まれているデータの書き換えを可能にする

50

ために、前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれたアドレス以外のデータを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックとするように制御を行う制御部を有することを特徴とする。

【0009】

また、本発明のデータ記憶装置において、前記制御部は、別のファイル・データ・ブロックとして設定された第 3 の論理ブロックに書き込まれたデータに対する書き換え命令が発生した時、前記第 2 の論理ブロックに同一アドレスのデータの重複が存在するかどうかを判断し、重複が存在しない場合、前記第 1 の論理ブロックのデータのうち前記第 2 の論理ブロックに書き込まれたアドレス以外のデータを前記第 2 の論理ブロックにコピーして前記第 2 の論理ブロックを前記ファイル・データ・ブロックとするように制御を行い、前記第 2 の論理ブロックのデータを消去するように制御を行うこととしてもよい。

【0010】

本発明のデータ記憶装置によれば、マージ処理のためのコピー回数を、ファイル・データ・ブロックとして使用されている論理ブロックのデータのうち、キャッシュ・ブロックとして使用されている論理ブロックに書き込まれたアドレス以外のデータの個数だけで済むので、マージ処理を高速に行うことができる。

【発明の効果】

【0011】

本発明のデータ記憶装置およびその制御方法によれば、ファイル・データ・ブロックのデータとキャッシュ・ブロックの最新のデータとのマージ処理を高速化することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態を図面に基づき説明する。

【0013】

図 1 は本発明の一実施形態に係るデータ記憶装置の構成を示すブロック図である。

【0014】

同図に示すように、データ記憶装置 10 は、不揮発性半導体メモリ 1、制御部としてのプロセッサ 2、内部 RAM 3、バッファ RAM 4、及びインターフェース部 5 を有する。データ記憶装置 10 は、例えばカード状の形態のいわゆるデータ記憶装置であり、PC やデジタルカメラ等のホスト装置（図示を省略）に対して抜き差し可能なリムーバブルメモリとして用いられる。

【0015】

不揮発性半導体メモリ 1 は、複数のマルチレベルセルにより構成され、例えば各セルが 4 値（2 ビット）を記憶する N AND フラッシュメモリである。

【0016】

プロセッサ 2 は、データ記憶装置 10 の各ブロックを統括的に制御しながら、内部 RAM 3 またはバッファ RAM 4 と不揮発性半導体メモリ 1 との間でデータ転送を行い、データの読み出し、書き込み及び消去を行う。

【0017】

内部 RAM 3 は、プロセッサ 2 の作業用の記憶領域として用いられ、例えば、ホスト装置から転送されるプロセッサ 2 に対する動作制御コマンドや、当該コントロールコマンドを実行する際に必要な諸処のパラメータ、データ記憶装置 10 内の内部状態等を一時的に記憶する。また内部 RAM 3 は、不揮発性半導体メモリ 1 から読み出されたデータを再度不揮発性半導体メモリ 1 へ書き込む際に、当該書き込みデータを一旦蓄える。

【0018】

バッファ RAM 4 は、いわゆるページバッファとして機能し、インターフェース部 5 を介してホスト装置側から転送された書き込みデータを一旦蓄えると共に、不揮発性半導体

10

20

30

40

50

メモリ 1 から読み出されインターフェース部 5 を介してホスト装置側に転送されるデータを一旦蓄える。

【0019】

インターフェース部 5 は、ホスト装置のホストインターフェース部 11 との間のインターフェースを取るためのものである。インターフェース部 5 は、例えば、シリアルプロトコルにより 3 本の信号線を用いてデータ転送を行うシリアルインターフェースと、パラレルプロトコルにより 6 本の信号線を用いてデータ転送を行うパラレルインターフェースとを有する。

【0020】

図 2 は不揮発性半導体メモリ 1 における物理ブロック、論理ブロック、および論理ページ及び、FD Index の関係を説明する図である。

10

【0021】

不揮発性半導体メモリ 1 の記憶領域は消去単位である複数の物理ブロック 21 からなる。物理ブロック 21 は、データの読み出し単位である複数の物理ページ 22 からなる。論理ブロック 31 は複数の物理ページ 32 を論理的に 1 つのブロックとして管理する単位である。不揮発性半導体メモリ 1 のメモリ領域を 512 バイトに区切った単位をセクタと呼び、論理ページ 32 は論理ブロック 31 を複数のセクタ単位で分割した単位である。FD Index は、論理ブロック 31 が持つ、ホスト装置から見たときのアドレス範囲を論理ページ 31 単位に分割してそれぞれのアドレス範囲に順番に番号を付けたものである。論理ブロック 31 をファイル・データ・ブロックとして使用する場合、論理ブロック 31 には一つのファイルのみのデータが書き込まれる。

20

【0022】

図 3 は論理ブロックに割り当てられるホスト装置から見たときのアドレス範囲を 0 ~ 2047 とし、論理ページのセクタ数を 4 としたこの場合の、FD Index とホストから見たアドレス範囲との関係の例を示している。この例では、FD Index 1 はホストから見たときのアドレス 0 ~ 3 の範囲に相当し、FD Index 1 はホストから見たときのアドレス 4 ~ 7 の範囲に相当し、FD Index 2 はホストから見たときのアドレス 8 ~ 11 の範囲に相当する。

【0023】

次に、このデータ記憶装置においてファイル・データ・ブロックにファイルのデータを書き込む時の動作を説明する。

30

【0024】

図 4 はホスト装置から見て 8 ~ 15 のアドレスについてのデータをファイル・データ・ブロックに書き込みときの動作の例を示す図である。ファイル・データ・ブロックとして設けられた論理ブロック M に対して、ホスト装置から見て 8 ~ 15 のアドレスについて書き込み命令が発行された場合、プロセッサ 2 は、論理ブロック M の先頭の論理ページに FD Index 2 のデータを書き込み、次の論理ページに FD Index 3 のデータを書き込むように制御を行う。

【0025】

図 5 はホスト装置から再度 8 ~ 15 のアドレスについてデータを書き込むときの動作を示す図である。この場合、プロセッサ 2 は、ファイル・データ・ブロックとして設定された論理ブロック M の 8 ~ 15 のアドレスに既にデータが書き込まれていることを判断して、別の論理ブロック P を論理ブロック M に対するキャッシュ・ブロックとして割り当てる。そして、プロセッサ 2 は、このキャッシュ・ブロックの先頭の論理ページから順に、ホスト装置からの FD Index 2、FD Index 3 のデータを書き込むように制御を行う。

40

【0026】

次に、上記のように論理ブロック P が論理ブロック M に対するキャッシュ・ブロックとして割り当てられているときに、別のファイル・データ・ブロックとして設定された別の論理ブロックに書き込まれているデータに対する書き換え命令が発生したことを契機とし

50

て行われる、ファイル・データ・ブロックとキャッシュ・ブロックのマージ処理について説明する。

【0027】

図6はこのマージ処理の動作を示すフローチャートである。図7および図8はこのマージ処理の具体例を示す図である。

【0028】

まず、プロセッサ2は、キャッシュ・ブロックとして設定されている論理ブロックPに書き込まれているFD Indexを確認して（ステップS101）、同一のFD Indexのデータが重複して書き込まれているかどうかを判断する（ステップS102）。図7の例では、キャッシュ・ブロックとして使用されている論理ブロックPに同一のFD Indexのデータが重複して書き込まれていない場合を示し、一方、図8の例では、論理ブロックPに同一のFD Indexのデータが重複して書き込まれている場合を示している。

10

【0029】

キャッシュ・ブロックとして使用されている論理ブロックPに同一のFD Indexのデータが重複して書き込まれていない場合、プロセッサ2は、ファイル・データ・ブロックとして使用されている論理ブロックMのデータのうち、キャッシュ・ブロックとして使用されている論理ブロックPに書き込まれたFD Index以外のデータを論理ブロックPにコピーして（ステップS103）、論理ブロックPをファイル・データ・ブロックに変更し、論理ブロックMのデータを消去する（ステップS104）。

20

【0030】

これにより、キャッシュ・ブロックが解放されたので、プロセッサ2は、新たに別の論理ブロックを取得し、これを、データの書き換えが行われようとしている別の論理ブロックのキャッシュ・ブロックとして割り当てる。この場合、マージ処理のためのコピー回数は、ファイル・データ・ブロックとして使用されている論理ブロックMのデータのうち、キャッシュ・ブロックとして使用されている論理ブロックPに書き込まれたFD Index以外のデータの個数だけで済む。例えば、図7の例では、論理ブロックMに書き込まれているFD Index 0とFD Index 1の2つのデータを論理ブロックPにコピーするだけでマージ処理が完了する。これにより、高速なマージ処理が実現される。

【0031】

一方、ステップS102の判断で、キャッシュ・ブロックとして使用されている論理ブロックPに同一のFD Indexのデータが重複して書き込まれている場合には、次のような方法でマージ処理が行われる。すなわち、プロセッサ2は、図8に示すように、新規に論理ブロックQを取得し、この論理ブロックQに、キャッシュ・ブロックとして設定されている論理ブロックP内の有効な書き換えデータをコピーするとともに、ファイル・データ・ブロックとして設定された論理ブロックMに書き込まれたデータのうち、論理ブロックP内の有効な書き換えデータのFD Index以外のデータをコピーする（ステップS105）。この後、プロセッサ2は、論理ブロックQを新たなファイル・データ・ブロックとして設定し、論理ブロックMおよび論理ブロックPのデータを消去する（ステップS106）。これにより、キャッシュ・ブロックが解放されるので、プロセッサ2は、新たに別の論理ブロックを取得し、これを、データの書き換えが行われようとしている別の論理ブロックのキャッシュ・ブロックとして割り当てる。

30

40

【0032】

従来のマージ処理方式では、ファイル・データ・ブロックのデータとキャッシュ・ブロックの最新のデータとをマージする際に、論理ブロック内の論理ページの数だけ新規の論理ブロックへのコピー処理が発生してしまうためにマージ処理に時間がかかってしまうのに対し、この実施の形態のデータ記憶装置によれば、マージ処理に必要な物理ページ単位でのコピー処理の回数を大幅に減らすことができ、マージ処理に要する時間を大幅に短縮することができる。

【0033】

50

特に、F A Tファイルシステムによって不揮発性半導体メモリ 1 に対するデータの書き込み及び読み出しの管理が行われる場合、サブディレクトリエントリが書き込まれる論理ブロックには同じF D I n d e xが複数回書き込まれることが予想される。この場合、本実施形態で説明したマージ処理方式を採用することによって、格段にマージ処理にかかる時間を短縮することができる。具体的な例として、論理ブロック内のF D I n d e xの数が5 1 2であるとき、サブディレクトリエントリに使用するF D I n d e xの数が4つだったとすると、一般的なマージ処理方式では5 1 2回のコピー処理が発生するが、本実施形態で説明したマージ処理方式によると4回のコピー処理を行うことでマージ処理が終了する。

【0 0 3 4】

10

尚、本発明のデータ記憶装置およびその制御方法は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

【図面の簡単な説明】

【0 0 3 5】

【図 1】本発明の一実施形態に係るデータ記憶装置の構成を示すブロック図である。

【図 2】不揮発性半導体メモリにおける物理ブロック、論理ブロック、および論理ページ及び、F D I n d e xの関係を説明する図である。

【図 3】F D I n d e xとホストから見たアドレス範囲との関係の例を示す図である。

【図 4】ファイル・データ・ブロックへのデータの書き込み動作の例を示す図である。

20

【図 5】ファイル・データ・ブロックのデータを書き換える動作の例を示す図である。

【図 6】本発明にかかるマージ処理の動作を示すフローチャートである。

【図 7】本発明にかかるマージ処理の具体例を示す図である。

【図 8】マージ処理の他の具体例を示す図である。

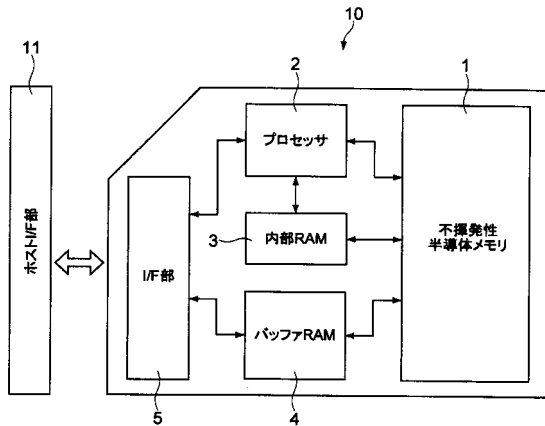
【符号の説明】

【0 0 3 6】

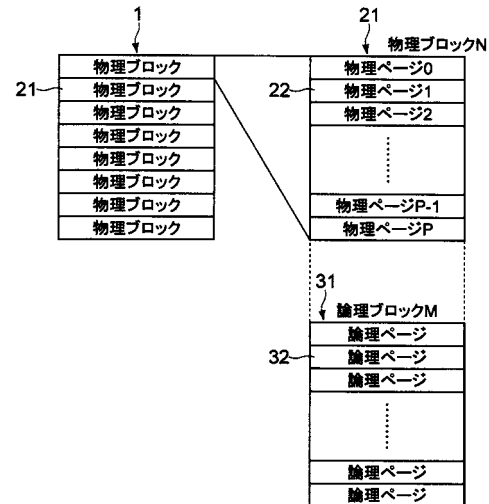
- 1 不揮発性半導体メモリ
- 2 プロセッサ
- 3 内部R A M
- 4 バッファR A M
- 5 インターフェース部
- 1 0 データ記憶装置
- 2 1 物理ブロック
- 2 2 物理ページ
- 3 1 論理ブロック
- 3 2 論理ページ

30

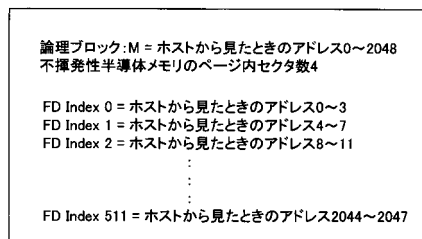
【図 1】



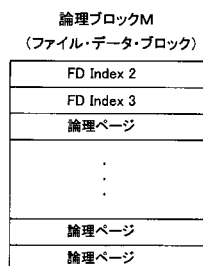
【図 2】



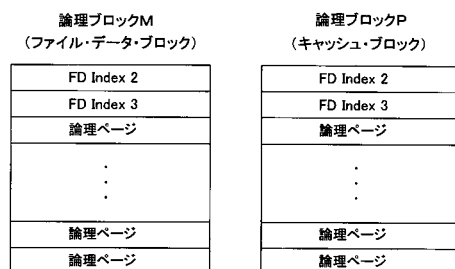
【図 3】



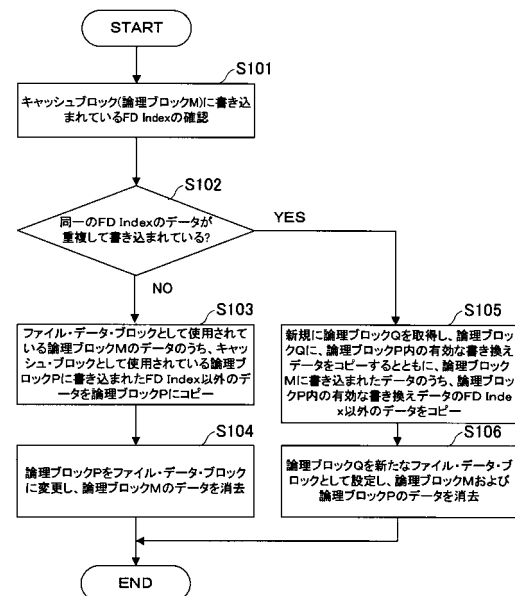
【図 4】



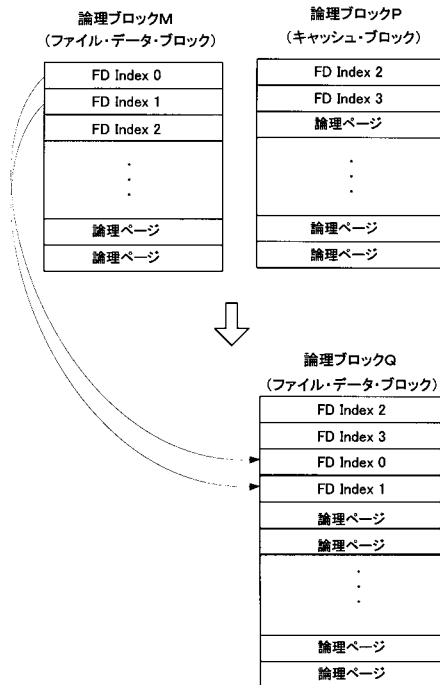
【図 5】



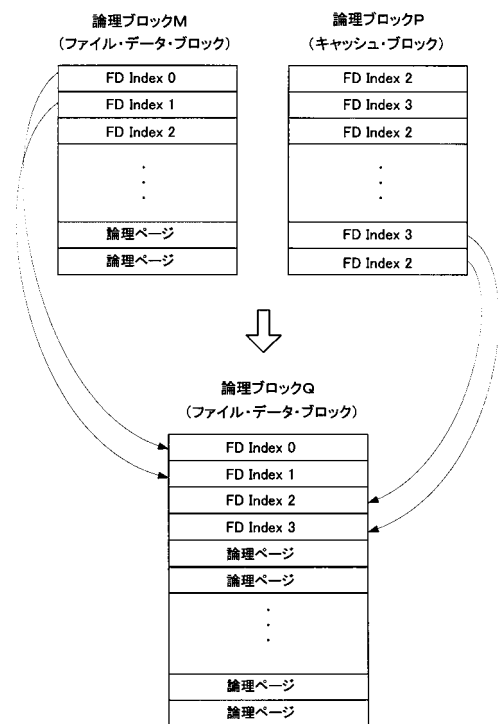
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 高野 貞治

愛知県額田郡幸田町坂崎雀ヶ入 1 番地 ソニーイーエムシーエス株式会社幸田テック内

Fターム(参考) 5B065 BA05 BA09 CC04 CC05 CC08

5B082 JA08