



(12)发明专利

(10)授权公告号 CN 105264607 B

(45)授权公告日 2017.08.08

(21)申请号 201480013531.2

(22)申请日 2014.03.12

(65)同一申请的已公布的文献号
申请公布号 CN 105264607 A

(43)申请公布日 2016.01.20

(30)优先权数据
13/835,251 2013.03.15 US

(85)PCT国际申请进入国家阶段日
2015.09.10

(86)PCT国际申请的申请数据
PCT/US2014/024245 2014.03.12

(87)PCT国际申请的公布数据
W02014/150791 EN 2014.09.25

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州
专利权人 延世大学校产学协力团

(72)发明人 S-O·郑 T·那 J·金

S·H·康 J·P·金

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 周敏

(51)Int.Cl.
G11C 11/16(2006.01)
G11C 13/00(2006.01)

(56)对比文件
CN 1851823 A, 2006.10.25,
CN 101064182 A, 2007.10.31,
CN 102804275 A, 2012.11.28,
US 2009251952 A1, 2009.10.08,
US 2009021976 A1, 2009.01.22,

审查员 安飞

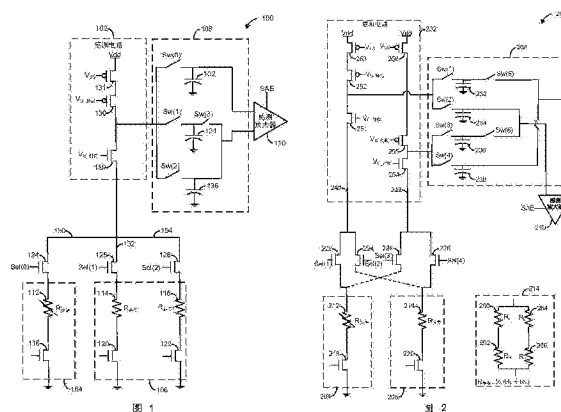
权利要求书4页 说明书13页 附图5页

(54)发明名称

使用参考单元和共同感测路径来读取存储器单元

(57)摘要

一种方法包括感测数据单元的状态以生成数据电压。数据单元的状态对应于数据单元的基于可编程电阻的存储器元件的状态。该方法还包括感测参考单元的状态以生成参考电压。数据单元的状态以及参考单元的状态经由共同感测路径来感测。该方法还包括基于数据电压和参考电压来确定数据单元的逻辑值。



1. 一种用于感测存储器单元的方法,包括:

感测数据单元的状态以生成数据电压,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;

感测参考单元的状态以生成参考电压;以及

基于所述数据电压和所述参考电压来确定所述数据单元的逻辑值。

2. 如权利要求1所述的方法,其特征在于,进一步包括将所述数据电压与所述参考电压进行比较。

3. 如权利要求2所述的方法,其特征在于,所述数据单元的逻辑值在所述数据电压小于所述参考电压时对应于第一值,并且其中所述数据单元的逻辑值在所述数据电压大于所述参考电压时对应于第二值。

4. 如权利要求1所述的方法,其特征在于,所述第一感测阶段对应于第一时间段,而所述第二感测阶段对应于第二时间段。

5. 如权利要求1所述的方法,其特征在于,进一步包括对所述第一数据电压和所述第二数据电压求平均值以生成所述数据电压。

6. 如权利要求1所述的方法,其特征在于,感测所述参考单元的状态包括:

在所述第一感测阶段期间使用所述第二感测路径来感测所述参考单元的第一状态以生成第一参考电压;以及

在所述第二感测阶段期间使用所述第一感测路径来感测所述参考单元的第二状态以生成第二参考电压。

7. 如权利要求6所述的方法,其特征在于,由于所述第一感测路径和所述第二感测路径中的一者或两者中的一个或多个组件的工艺变动而导致的对所述数据电压的影响至少部分地通过由于所述一个或多个组件的工艺变动而导致的对所述参考电压的影响来消除。

8. 如权利要求6所述的方法,其特征在于,进一步包括对所述第一参考电压和所述第二参考电压求平均值以生成所述参考电压。

9. 如权利要求1所述的方法,其特征在于,所述基于可编程电阻的存储器元件是磁性隧道结(MTJ)器件。

10. 如权利要求1所述的方法,其特征在于,所述基于可编程电阻的存储器元件的状态对应于所述基于可编程电阻的存储器元件的电阻。

11. 如权利要求1所述的方法,其特征在于,所述第一感测路径包括钳位晶体管、负载晶体管和源极衰退晶体管。

12. 如权利要求11所述的方法,其特征在于,所述第二感测路径包括不同于所述钳位晶体管的第二钳位晶体管、不同于所述负载晶体管的第二负载晶体管以及不同于所述源极衰退晶体管的第二源极衰退晶体管。

13. 如权利要求1所述的方法,其特征在于,感测所述数据单元的状态、感测所述参考单元的状态以及确定所述数据单元的逻辑值由被集成到电子设备中的处理器来发起。

14. 一种用于感测存储器单元的装置,包括:

感测电路,其被配置成:

感测数据单元的状态以生成数据电压,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;以及

感测参考单元的状态以生成参考电压;以及

感测放大器,其被配置成:

将所述数据电压与所述参考电压进行比较;以及

基于所述比较来生成比较输出。

15. 如权利要求14所述的装置,其特征在于,所述数据电压基于所述第一数据电压与所述第二数据电压的平均值来生成。

16. 如权利要求14所述的装置,其特征在于,所述比较输出对应于所述数据单元的逻辑值。

17. 如权利要求16所述的装置,其特征在于,所述数据单元的逻辑值在所述数据电压小于所述参考电压时对应于第一值,并且其中所述数据单元的逻辑值在所述数据电压大于所述参考电压时对应于第二值。

18. 如权利要求16所述的装置,其特征在于,由于所述第一感测路径和所述第二感测路径中的一者或两者中的一个或多个组件的工艺变动而导致的对所述数据电压的影响至少部分地通过在确定所述逻辑值时的由于所述工艺变动而导致的对所述参考电压的影响来消除。

19. 如权利要求14所述的装置,其特征在于,所述感测电路和所述感测放大器被集成到至少一个半导体管芯中。

20. 如权利要求14所述的装置,进一步包括其中集成了所述感测电路和所述感测放大器的设备,所述设备选自包括以下各项的组:机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、位置固定的数据单元、以及计算机。

21. 一种用于感测存储器单元的装备,包括:

用于感测数据单元的状态以生成数据电压的装置,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;

用于感测参考单元的状态以生成参考电压的装置;以及

用于基于所述数据电压和所述参考电压来确定所述数据单元的逻辑值的装置。

22. 如权利要求21所述的装备,其特征在于,进一步包括用于将所述数据电压与所述参

考电压进行比较的装置。

23. 如权利要求22所述的装备,其特征在于,所述用于确定所述数据单元的逻辑值的装置基于所述用于将所述数据电压与所述参考电压进行比较的装置。

24. 如权利要求21所述的装备,其特征在于,进一步包括其中集成了所述用于感测所述数据单元的状态的装置、所述用于感测所述参考单元的状态的装置以及所述用于确定所述数据单元的逻辑值的装置的设备,所述设备选自包括以下各项的组:机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元、以及计算机。

25. 一种包括指令的用于感测存储器单元的非瞬态计算机可读介质,所述指令在由处理器执行时致使所述处理器:

使得能够将感测电路耦合到数据单元,其中所述数据单元的状态基于所述感测电路到所述数据单元的耦合来感测以生成数据电压,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;

使得能够将所述感测电路耦合到参考单元,其中所述参考单元的状态基于所述感测电路到所述参考单元的耦合来感测以生成参考电压;以及

基于所述数据电压和所述参考电压来确定所述数据单元的逻辑值。

26. 如权利要求25所述的非瞬态计算机可读介质,其特征在于,使得能够将所述感测电路耦合到所述数据单元包括:

在所述第一感测阶段期间激活耦合到所述第一感测路径和所述数据单元的第一选择晶体管以生成所述第一数据电压;以及

在所述第二感测阶段期间激活耦合到所述第二感测路径和所述数据单元的第二选择晶体管以生成所述第二数据电压。

27. 如权利要求26所述的非瞬态计算机可读介质,其特征在于,使得能够将所述感测电路耦合到所述参考单元包括:

在所述第一感测阶段期间激活耦合到所述第二感测路径和所述参考单元的第三选择晶体管以生成第一参考电压;以及

在所述第二感测阶段期间激活耦合到所述第一感测路径和所述参考单元的第四选择晶体管以生成第二参考电压。

28. 如权利要求27所述的非瞬态计算机可读介质,其特征在于,所述数据电压对应于所述第一数据电压与所述第二数据电压的平均值,并且其中所述参考电压对应于所述第一参考电压与所述第二参考电压的平均值。

29. 如权利要求25所述的非瞬态计算机可读介质,其特征在于,所述处理器被集成到选自包括以下各项的组的设备中:机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、位置固定的数据单元、以及计算机。

30. 一种用于感测存储器单元的方法,包括:

用于感测数据单元的状态以生成数据电压的步骤,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;

用于感测参考单元的状态以生成参考电压的步骤;以及

用于基于所述数据电压和所述参考电压来确定所述数据单元的逻辑值的步骤。

31. 如权利要求30所述的方法,其特征在于,所述用于确定所述数据单元的逻辑值的步骤是在集成到电子设备中的处理器处执行的。

32. 一种用于感测存储器单元的方法,包括:

接收表示半导体设备的至少一个物理性质的设计信息,所述半导体设备包括:

感测电路,其被配置成:

感测数据单元的状态以生成数据电压,其中所述数据单元的状态对应于所述数据单元的基于可编程电阻的存储器元件的状态,并且其中感测所述数据单元的状态包括:

在第一感测阶段期间使用第一感测路径来感测所述数据单元的第一状态以生成第一数据电压;以及

在第二感测阶段期间使用第二感测路径来感测所述数据单元的第二状态以生成第二数据电压,其中所述数据电压基于所述第一数据电压和所述第二数据电压来生成;以及

感测参考单元的状态以生成参考电压;以及

感测放大器,其被配置成:

将所述数据电压与所述参考电压进行比较;以及

基于所述比较来生成比较输出;

转换所述设计信息以遵循文件格式;以及

生成包括经转换的设计信息的数据文件。

33. 如权利要求32所述的方法,其特征在于,所述数据文件包括GDSII格式。

34. 如权利要求32所述的方法,其特征在于,所述数据文件包括GERBER格式。

使用参考单元和共同感测路径来读取存储器单元

[0001] 相关申请的交叉引用

[0002] 本申请要求共同拥有的于2013年3月15日提交的美国非临时申请No.13/835251的优先权,该非临时申请的内容通过援引全部明确纳入于此。

[0003] 领域

[0004] 本公开一般涉及感测存储器单元。

[0005] 相关技术描述

[0006] 技术进步已产生越来越小且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络来传达语音和数据分组。此外,许多此类无线电话包括被纳入于其中的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于访问因特网的软件应用,诸如web浏览器应用。如此,这些无线电话可包括显著的计算能力。

[0007] 无线电话以及其他电子设备内的电路系统可使用自旋转移矩磁阻随机存取存储器(STT-MRAM)来用于存储器存储。STT-MRAM内的每一存储器单元可由流经磁性隧道结(MTJ)器件的自旋极化电流来编程。例如,当切换电流流经MTJ器件时,MTJ器件的自由层的磁化方向可相对于MTJ器件的钉扎层的磁化方向而改变(例如,从平行状态到反平行状态)。如与自由层的磁化方向与钉扎层的磁化方向平行时的较低电阻相比,当自由层的磁化方向与钉扎层的磁化方向反平行时,MTJ器件可具有较高电阻。自由层的磁化方向的改变可对应于存储器单元的逻辑值从逻辑“0”改变为逻辑“1”。

[0008] 当在读操作期间读取(即,感测)存储器单元的逻辑值时,感测电流使用与切换电流相同的路径来流经MTJ器件。因为感测电流和切换电流使用相同的路径来流经MTJ器件,所以感测电流应比导致MTJ器件改变阶段的最小切换电流(“关键”切换电流)足够低,以避免导致读操作期间的存储器单元的逻辑值的任何扰乱(即,读扰乱)。例如,感测电流应足够低以便对自由层的磁化方向具有极少或不具有影响。

[0009] 然而,小感测电流可减少存储器单元和参考单元之间的感测余裕。例如,感测电路可使用数据分支来感测对应于存储器单元的输出电压,并且同时使用参考分支来感测对应于参考单元的输出电压。将对应于存储器单元的输出电压与对应于参考单元的输出电压进行比较以确定存储器单元的逻辑值。数据分支和参考分支中的器件的工艺变动可导致数据分支和参考分支之间的偏移电压,该偏移电压可减少存储器单元和参考单元之间的感测余裕并且可由此导致将对应于存储器单元的输出电压与对应于参考单元的输出电压进行比较的错误。

[0010] 概述

[0011] 公开了使用多阶段感测来感测存储器单元的系统和方法。自旋转移矩磁阻随机存取存储器(STT-MRAM)包括存储器单元和参考单元。可由于感测路径中的组件的工艺变动而引入的电压偏移可以在组合多个感测阶段的结果时消除。例如,感测电路可使用共同感测

路径来感测存储器单元的状态并感测参考单元的状态。存储器单元的状态可以在特定阶段期间经由感测路径来感测,并且参考单元的状态可以在另一阶段期间经由相同的感测路径来感测。可将对应于存储器单元的状态的输出电压与对应于参考单元的状态的输出电压进行比较以确定存储器单元的逻辑值。

[0012] 在一特定实施例中,一种方法包括感测数据单元的状态以生成数据电压。数据单元的状态对应于数据单元的基于可编程电阻的存储器元件的状态。该方法还包括感测参考单元的状态以生成参考电压。数据单元的状态以及参考单元的状态经由共同感测路径来感测。该方法还包括基于数据电压和参考电压来确定数据单元的逻辑值。

[0013] 在另一特定实施例中,一种装置包括感测电路和感测放大器。感测电路被配置成感测数据单元的状态以生成数据电压。数据单元的状态对应于数据单元的基于可编程电阻的存储器元件的状态。感测电路被进一步配置成感测参考单元的状态以生成参考电压。数据单元的状态以及参考单元的状态经由共同感测路径来感测。感测放大器被配置成将数据电压与参考电压进行比较并基于该比较来生成比较输出。

[0014] 所公开的实施例中的至少一个实施例所提供的一个特定优点是通过在多个阶段期间利用共同感测路径来感测存储器单元的状态并感测参考单元的状态来减少或消除由于感测路径中的组件的工艺变动而导致的偏移电压的能力。本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求。

[0015] 附图简述

[0016] 图1是可操作用于使用三阶段过程来读取数据单元的值的存储器系统的特定说明性实施例的电路图;

[0017] 图2是可操作用于使用两阶段过程来读取数据单元的值的存储器系统的另一特定说明性实施例的电路图;

[0018] 图3是使用多阶段过程来读取数据单元的值的方法的特定实施例的流程图;

[0019] 图4是包括可操作用于使用多阶段过程来读取数据单元的值以减少电压偏移的组件的无线设备的框图;以及

[0020] 图5是制造电子设备的制造过程的特定说明性实施例的数据流图,该电子设备包括可操作用于使用多阶段过程来读取数据单元的值以减少电压偏移的组件。

[0021] 详细描述

[0022] 参照图1,示出了可操作用于使用三阶段过程来读取数据单元的值的存储器系统100的特定说明性实施例。存储器系统100包括感测电路102、数据单元104、参考单元106、开关电容器电路108以及感测放大器110。数据单元104可以是磁阻随机存取存储器(MRAM)、相变随机存取存储器(PRAM)或自旋转移矩磁阻随机存取存储器(STT-MRAM)内的存储器单元。存储器系统100可通过使用共同感测路径来感测数据单元104的状态并感测参考单元106的状态来减少或消除感测操作期间的电压偏移。例如,存储器系统100可使用三阶段过程以使用共同感测路径来感测数据单元104的状态并感测参考单元106的状态。

[0023] 数据单元104包括基于可编程电阻的存储器元件112和数据单元存取晶体管118。基于可编程电阻的存储器元件112可以耦合到数据单元存取晶体管118的漏极,且数据单元存取晶体管118的源极可以耦合到接地。在一特定实施例中,基于可编程电阻的存储器元件

112包括磁性隧道结(MTJ)器件。基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$)可基于经由提供给基于可编程电阻的存储器元件112的电流而被写入到基于可编程电阻的存储器元件112的数据值。

[0024] 例如,基于可编程电阻的存储器元件112可具有钉扎层和自由层。如果施加给基于可编程电阻的存储器元件112的电流的幅值小于切换电流(I_c),则该电流可用于感测基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$) (即,感测数据单元104的状态(例如,逻辑“1”或逻辑“0”)。例如,当该电流的幅值小于切换电流时,该电流可用于感测钉扎层和自由层的磁化方向是否平行(对应于低电阻状态)或者钉扎层和自由层的磁化方向是否反平行(对应于高电阻状态)。如果该电流的幅值等于或大于切换电流,则该电流可用于基于该电流的方向来对基于可编程电阻的存储器元件112进行编程(即,对数据单元104的状态进行编程)。

[0025] 参考单元106包括基于第一电阻的存储器元件114、第一存取晶体管120、基于第二电阻的存储器元件116以及第二存取晶体管122。基于第一电阻的存储器元件114可以耦合到第一存取晶体管120的漏极,且第一存取晶体管120的源极可以耦合到接地。基于第二电阻的存储器元件116可以耦合到第二存取晶体管122的漏极,且第二存取晶体管122的源极可以耦合到接地。在一特定实施例中,基于第一电阻的存储器元件114和基于第二电阻的存储器元件116是MTJ器件。基于第一电阻的存储器元件114可具有“低”电阻($R_{\text{参考1}}$),而基于第二电阻的存储器元件116可具有“高”电阻($R_{\text{参考2}}$)。例如,基于第一电阻的存储器元件114的电阻可对应于表示逻辑“0”的状态,而基于第二电阻的存储器元件116的电阻可对应于表示逻辑“1”的状态。

[0026] 感测电路102可包括可有份造成由于工艺变动而导致的电压偏移的一个或多个组件,诸如钳位晶体管129、负载晶体管130以及源极衰退晶体管131。源极衰退晶体管131可以耦合到系统电源(V_{dd})。在一特定实施例中,钳位晶体管129是n型金属氧化物半导体(NMOS)晶体管,而负载晶体管130和源极衰退晶体管131是p型金属氧化物半导体(PMOS)晶体管。数据单元选择($Se1$)晶体管124、第一选择晶体管126和第二选择晶体管128也可被包括在存储器系统100中。

[0027] 数据单元选择晶体管124、基于可编程电阻的存储器元件112以及数据单元存取晶体管118可被包括在存储器系统100的数据分支150中。第一选择晶体管126、基于第一电阻的存储器元件114以及第一存取晶体管120可被包括在存储器系统100的第一参考分支152中。第二选择晶体管128、基于第二电阻的存储器元件116以及第二存取晶体管122可被包括在存储器系统100的第二参考分支154中。数据分支150、第一参考分支152以及第二参考分支154可以分别经由在数据单元选择晶体管124、第一选择晶体管126和第二选择晶体管128处接收到的控制信号 $Se1(0)$ 、 $Se1(1)$ 、 $Se1(2)$ 来选择性地耦合到感测电路102。在一特定实施例中,数据单元选择晶体管124、第一选择晶体管126和第二选择晶体管128被包括在分支选择复用器(未示出)中。

[0028] 感测电路102被配置成感测数据单元104的状态以生成数据电压。例如,感测电路102可感测流经数据单元104的基于可编程电阻的存储器元件112的电流并使用负载晶体管130来基于该电流生成数据电压。该数据电压可以与流经基于可编程电阻的存储器元件112的电流成反比,该电流可以与基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$)成反比。感测电路102可以在第一感测阶段期间(即,在第一时间段期间)感测数据单元104的状态。第一

感测阶段可对应于控制信号Se1 (0) 激活数据单元选择晶体管124来将基于可编程电阻的存储器元件112耦合到感测电路102的时候。在一特定实施例中, 第一感测阶段具有约两纳秒的历时。

[0029] 感测电路102被进一步配置成感测参考单元106的状态以生成参考电压。例如, 感测电路102可以在第二感测阶段期间(即, 在第二时间段期间) 感测参考单元106的第一状态以生成第一参考电压。第二感测阶段可对应于控制信号Se1 (1) 激活第一选择晶体管126来将基于第一电阻的存储器元件114耦合到感测电路102的时候。感测电路102可感测流经参考单元106的基于第一电阻的存储器元件114的电流并使用负载晶体管130来基于该电流生成第一参考电压。该第一参考电压可以与流经基于第一电阻的存储器元件114的电流成反比, 该电流可以与基于第一电阻的存储器元件114的电阻($R_{\text{参考1}}$) 成反比。以类似方式, 感测电路102被进一步配置成在第三感测阶段期间感测参考单元106的第二状态, 以便在控制信号Se1 (2) 激活第二选择晶体管128来将基于第二电阻的存储器元件116耦合到感测电路102时生成第二参考电压。该第二参考电压可以与流经基于第二电阻的存储器元件116的电流成反比, 该电流可以与基于第二电阻的存储器元件116的电阻($R_{\text{参考2}}$) 成反比。在一特定实施例中, 第二和第三感测阶段的历时各自为约两纳秒。

[0030] 开关电容器电路108包括数据电容器132、第一电容器134和第二电容器136。数据电容器132的正端子可以耦合到感测放大器110的第一输入并且经由数据单元开关Sw (0) 选择性地耦合到感测电路102。数据电容器132的负端子可以耦合到接地。第一电容器134的正端子经由第三开关Sw (3) 选择性地耦合到感测放大器110的第二输入, 并经由第一开关Sw (1) 选择性地耦合到感测电路102。第一电容器134的负端子可以耦合到接地。第二电容器136的正端子可以耦合到感测放大器110的第二输入并且经由第二开关Sw (2) 选择性地耦合到感测电路102。第二电容器136的负端子可以耦合到接地。

[0031] 数据电容器132被配置成在数据单元104的状态(即, 基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$)) 被感测到时存储在感测电路102处生成的数据电压。例如, 在第一感测阶段期间, 数据单元开关Sw (0) 可激活, 且第一和第二开关Sw (1)、Sw (2) 可停用。响应于激活数据单元开关Sw (0), 感测电路102可基于数据电压来对数据电容器132充电。第一电容器134被配置成在参考单元106的第一状态(即, 基于第一电阻的存储器元件114的电阻($R_{\text{参考1}}$)) 被感测到时存储在感测电路102处生成的第一参考电压。例如, 在第二感测阶段期间, 第一开关Sw (1) 可激活, 且数据单元开关Sw (0) 和第二开关Sw (2) 可停用。响应于激活第一开关Sw (1), 感测电路102可基于第一参考电压来对第一电容器134充电。第二电容器136被配置成在参考单元106的第二状态(即, 基于第二电阻的存储器元件116的电阻($R_{\text{参考2}}$)) 被感测到时存储在感测电路102处生成的第二参考电压。例如, 在第三感测阶段期间, 第二开关Sw (2) 可激活, 且数据单元开关Sw (0) 和第一开关Sw (1) 可停用。响应于激活第二开关Sw (2), 感测电路102可基于第二参考电压来对第二电容器136充电。

[0032] 第一参考电压和第二参考电压的平均值可被确定以生成参考电压。例如, 在分别基于第一和第二参考电压来对第一和第二电容器134、136充电后, 第三开关Sw (3) 激活。第一和第二参考电压的平均值(即, 参考电压) 可以在第三开关Sw (3) 被激活时通过电荷共享来生成。该参考电压被提供给感测放大器110的第二输入, 而数据电压被提供给感测放大器110的第一输入。

[0033] 感测放大器110被配置成基于数据电压和参考电压来确定数据单元104的逻辑值。例如,响应于感测放大器使能信号(SAE),感测放大器110可将数据电压与参考电压进行比较。当数据电压小于参考电压时,数据单元104的逻辑值可对应于第一值(即,逻辑“0”值)。当数据电压大于参考电压时,数据单元104的逻辑值可对应于第二值(即,逻辑“1”值)。

[0034] 在操作期间,存储器系统100使用相同的负载晶体管130和钳位晶体管129(即,共同感测路径)来感测数据单元104的状态和参考单元106的状态。例如,在第一感测阶段期间,分支选择复用器激活数据单元选择晶体管124,并且感测电路102感测数据单元104的状态并基于该状态来生成数据电压。数据分支150(以及负载晶体管130和钳位晶体管129(即,感测路径))被用来感测数据单元104的状态。在第二感测阶段期间,分支选择复用器激活第一选择晶体管126,并且感测电路102感测参考单元106的第一状态并基于该第一状态来生成第一参考电压。第一参考分支152和感测路径被用来感测参考单元的第一状态。在第三感测阶段期间,分支选择复用器激活第二选择晶体管128,并且感测电路102感测参考单元106的第二状态并基于该第二状态来生成第二参考电压。第二参考分支154和感测路径被用来感测参考单元106的第二状态。

[0035] 数据单元开关Sw(0)在第一感测阶段期间被激活以便基于数据电压来对数据电容器132充电,第一开关Sw(1)在第二感测阶段期间被激活以便基于第一参考电压来对第一电容器134充电,而第二开关Sw(2)在第三感测阶段期间被激活以便基于第二参考电压来对第二电容器136充电。在第三感测阶段后,第三开关Sw(3)被激活以促使第一和第二电容器134、136的电荷之间的电荷共享。参考电压基于共享电荷来生成。数据单元104的逻辑值由感测放大器110基于数据电压(即,数据电容器的电荷)和参考电压(即,第一和第二电容器134、136的共享电荷)来确定。

[0036] 将领会,图1的存储器系统100可通过在感测数据单元104的状态和参考单元106的状态时利用相同的负载晶体管130和钳位晶体管129(即,共同感测路径)来移除来自数据分支150和参考分支152、154的失配。例如,对数据分支150以及每一参考分支152、154利用单独的负载晶体管和钳位晶体管可由于单独的负载晶体管和钳位晶体管的工艺变动而限制感测电路102的感测余裕。通过在三个不同阶段中利用共同的负载晶体管130和钳位晶体管129,可生成数据电压和参考电压,并且可减少或消除原本将由于使用单独的负载和钳位晶体管而出现的电压偏移。消除电压偏移可增加感测电路102的感测余裕,这可减小被提供给数据单元104和参考单元106的感测电流的量。为了解说,作为增加感测余裕的结果,感测电流可以从约200微安减小至约20微安。利用较低感测电流可以在感测操作期间减少或消除基于可编程电阻的存储器元件112的读扰乱。

[0037] 参照图2,示出了可操作用于使用两阶段过程来读取数据单元的值的存储器系统200的另一特定说明性实施例。存储器系统200包括感测电路202、数据单元204、参考单元206、开关电容器电路208以及感测放大器210。数据单元204可以是磁阻随机存取存储器(MRAM)、相变随机存取存储器(PRAM)或自旋转移矩磁阻随机存取存储器(STT-MRAM)内的存储器单元。存储器系统200可通过使用共同感测路径来感测数据单元204的状态并感测参考单元206的状态来减少或消除感测操作期间的电压偏移。例如,存储器系统200可使用两阶段过程以使用共同感测路径来感测数据单元204的状态和参考单元206的状态。

[0038] 数据单元204包括基于可编程电阻的存储器元件212和数据单元存取晶体管218。

基于可编程电阻的存储器元件212可以耦合到数据单元存取晶体管218的漏极,且数据单元存取晶体管218的源极可以耦合到接地。基于可编程电阻的存储器元件212可对应于图1的基于可编程电阻的存储器元件112,并且可以按基本上类似的方式操作。

[0039] 参考单元206包括基于参考电阻的存储器元件214和参考单元存取晶体管220。基于参考电阻的存储器元件214可以耦合到参考单元存取晶体管的漏极,且参考单元存取晶体管220的源极可以耦合到接地。基于参考电阻的存储器元件214可包括具有“低”电阻(R_L)的第一电阻器260,该第一电阻器260与具有“高”电阻(R_H)的第二电阻器262串联。低电阻(R_L)可对应于逻辑“0”值,而高电阻可对应于逻辑“1”值。基于参考电阻的存储器元件214还可包括具有“低”电阻(R_L)的第三电阻器264,该第三电阻器与具有“高”电阻(R_H)的第四电阻器266串联。第一和第二电阻器260、262可以与第三和第四电阻器264、266并联耦合,以使得基于参考电阻的存储器元件214的总电阻($R_{\text{参考}}$)约等于低电阻(R_L)和高电阻(R_H)之和的一半。

[0040] 感测电路202可包括可有份造成由于工艺变动而导致的电压偏移的一个或多个组件,诸如第一钳位晶体管251、第一负载晶体管252、第一源极衰退晶体管253、第二钳位晶体管254、第二负载晶体管255以及第二源极衰退晶体管256。第一和第二源极衰退晶体管253、256可以耦合到系统电源(V_{dd})。在一特定实施例中,钳位晶体管251、254是NMOS晶体管,而负载和源极衰退晶体管252、253、255、256是PMOS晶体管。第一感测路径240可包括第一钳位晶体管251、第一负载晶体管252和第一源极衰退晶体管253。第二感测路径242可包括第二钳位晶体管254、第二负载晶体管255和第二源极衰退晶体管256。

[0041] 选择晶体管222-228可被配置成在第一感测阶段期间将第一感测路径240耦合到基于可编程电阻的存储器元件212,并且将第二感测路径242耦合到基于参考电阻的存储器元件214。例如,选择信号 $Se1(1)-Se1(4)$ 可选择性地激活和停用选择晶体管222-228,以便分别将第一和第二感测路径240、242耦合到基于可编程和参考电阻的存储器元件212、214。以类似方式,选择晶体管222-228可被进一步配置成在第二感测阶段期间将第一感测路径240耦合到基于参考电阻的存储器元件214,并将第二感测路径242耦合到基于可编程电阻的存储器元件212。在一特定实施例中,选择晶体管222-228被包括在感测路径选择复用器(未示出)中。

[0042] 感测电路202被配置成感测数据单元204的状态以生成数据电压。感测电路202可以在第一感测阶段期间使用第一感测路径240来感测数据单元204的第一状态。例如,感测电路202可感测流经数据单元204的基于可编程电阻的存储器元件212的电流并使用第一负载晶体管252来基于该电流生成第一数据电压。感测电路202还可以在第二感测阶段期间使用第二感测路径242来感测数据单元204的第二状态。例如,感测电路202可感测流经数据单元204的基于可编程电阻的存储器元件212的电流并使用第二负载晶体管255来基于该电流生成第二数据电压。如下文所解释的,数据电压可基于第一数据电压和第二数据电压的平均值。

[0043] 感测电路202被进一步配置成感测参考单元206的状态以生成参考电压。感测电路202可以在第一感测阶段期间使用第二感测路径242来感测参考单元206的第一状态。例如,感测电路202可感测流经参考单元206的基于参考电阻的存储器元件214的电流并使用第二负载晶体管255来基于该电流生成第一参考电压。感测电路202还可以在第二感测阶段期间

使用第一感测路径240来感测参考单元206的第二状态。例如,感测电路202可感测流经参考单元206的基于参考电阻的存储器元件214的电流并使用第一负载晶体管252来基于该电流生成第二参考电压。如下文所解释的,参考电压可基于第一参考电压和第二参考电压的平均值。

[0044] 开关电容器电路208包括第一电容器232、第二电容器234、第三电容器236和第四电容器238。第一电容器232的正端子可经由第一开关Sw (1) 来选择性地耦合到感测电路202,并且经由第五开关Sw (5) 来选择性地耦合到感测放大器210的第一输入。第一电容器232的负端子可以耦合到接地。第二电容器234的正端子可以经由第二开关Sw (2) 选择性地耦合到感测电路202,并且耦合到感测放大器210的第二输入。第二电容器234的负端子可以耦合到接地。第一和第二开关Sw (1)、Sw (2) 可以耦合到感测电路202的第一感测路径240。第三电容器236的正端子可经由第三开关Sw (3) 来选择性地耦合到感测电路202,并且经由第六开关Sw (6) 来选择性地耦合到感测放大器210的第二输入。第三电容器236的负端子可以耦合到接地。第四电容器238的正端子可以经由第四开关Sw (4) 选择性地耦合到感测电路202,并且耦合到感测放大器210的第一输入。第四电容器238的负端子可以耦合到接地。第三和第四开关Sw (3)、Sw (4) 可以耦合到感测电路202的第二感测路径242。

[0045] 第一电容器232被配置成在数据单元204的第一状态(即,基于可编程电阻的存储器元件212的电阻($R_{\text{数据}}$))使用第一感测路径240来被感测到时存储在感测电路202处生成的第一数据电压。例如,在第一感测阶段期间,第一开关Sw (1) 可激活且第二开关Sw (2) 可停用。响应于激活第一开关Sw (1),感测电路202可基于第一数据电压来对第一电容器232充电。第二电容器234被配置成在参考单元206的第二状态(即,基于参考电阻的存储器元件214的电阻($R_{\text{参考}}$))使用第一感测路径240来被感测到时存储在感测电路202处生成的第二参考电压。例如,在第二感测阶段期间,第二开关Sw (2) 可激活且第一开关Sw (1) 可停用。响应于激活第二开关Sw (2),感测电路202可基于第二参考电压来对第二电容器234充电。

[0046] 第三电容器236被配置成在参考单元206的第一状态(即,基于参考电阻的存储器元件214的电阻($R_{\text{参考}}$))使用第二感测路径242来被感测到时存储在感测电路202处生成的第一参考电压。例如,在第一感测阶段期间,第三开关Sw (3) 可激活且第四开关Sw (4) 可停用。响应于激活第三开关Sw (3),感测电路202可基于第一参考电压来对第三电容器236充电。第四电容器238被配置成在数据单元204的第二状态(即,基于可编程电阻的存储器元件212的电阻($R_{\text{数据}}$))使用第二感测路径242来被感测到时存储在感测电路202处生成的第二数据电压。例如,在第二感测阶段期间,第四开关Sw (4) 可激活且第三开关Sw (3) 可停用。响应于激活第四开关Sw (4),感测电路202可基于第二数据电压来对第四电容器238充电。

[0047] 第一和第二数据电压的平均值可被确定以生成数据电压。例如,在分别基于第一和第二数据电压来对第一和第四电容器232、238充电后,第五开关Sw (5) 激活。第一和第二数据电压的平均值(即,数据电压)可以在第五开关Sw (5) 被激活时通过电荷共享来生成。数据电压被提供给感测放大器210的第一输入。以类似方式,第一和第二参考电压的平均值可被确定以生成参考电压。例如,在分别基于第一和第二参考电压来对第二和第三电容器234、236充电后,第六开关Sw (6) 激活。第一和第二参考电压的平均值(即,参考电压)可以在第六开关Sw (6) 被激活时通过电荷共享来生成。参考电压被提供给感测放大器210的第二输入。

[0048] 感测放大器210被配置成基于数据电压和参考电压来确定数据单元204的逻辑值。例如,响应于感测放大器使能信号(SAE),感测放大器210可将数据电压与参考电压进行比较。当数据电压小于参考电压时,数据单元204的逻辑值可对应于第一值(即,逻辑“0”值)。当数据电压大于参考电压时,数据单元204的逻辑值可对应于第二值(即,逻辑“1”值)。

[0049] 在操作期间,存储器系统200使用共同感测路径(即,第一感测路径240和第二感测路径242)来感测数据单元204的状态以及参考单元206的状态。例如,在第一感测阶段期间,感测路径选择复用器激活第一选择晶体管222和第四选择晶体管228,且感测电路202分别感测数据单元204的第一状态和参考单元204的第一状态。第一感测路径240用于感测数据单元204的第一状态,而第二感测路径242用于感测参考单元206的第一状态。在第二感测阶段期间,感测路径选择复用器激活第二选择晶体管224和第三选择晶体管226,且感测电路202分别感测参考单元206的第二状态和数据单元204的第二状态。第一感测路径240用于感测参考单元206的第二状态,而第二感测路径242用于感测数据单元204的第二状态。

[0050] 第一和第三电容器232、236在第一感测阶段期间分别基于第一数据电压和第一参考电压来充电。第二和第四电容器234、238在第二感测阶段期间分别基于第二参考电压和第二数据电压来充电。在第二感测阶段后,第五和第六开关Sw(5)、Sw(6)被激活以分别促使第一和第四电容器232、238的电荷之间的电荷共享以及第二和第三电容器234、236的电荷之间的电荷共享。数据电压和参考电压基于共享电荷来生成。数据单元204的逻辑值由感测放大器210基于数据电压和参考电压来确定。

[0051] 将领会,图2的存储器系统200可以移除或减少由于第一和第二感测路径240、242的组件中的工艺变动而导致的电压偏移。例如,利用第一感测路径240来确定数据电压和参考电压可消除或减少原本可能在使用第一感测路径240来单独确定数据电压时存在的电压偏移。在应用期间,在第一感测阶段期间由于第一和第二感测路径240、242的组件的工艺变动而导致的任何电压偏移可在第二感测阶段期间减少或消除,这可减少确定数据单元204的逻辑值的错误。消除电压偏移可增加感测电路202的感测余裕并且可准许利用较低感测电流。为了阐明,作为增加感测余裕的结果,感测电流可以从约200微安减小至约20微安。利用较低感测电流可以在感测操作期间减少或消除基于可编程电阻的存储器元件212的读扰乱。

[0052] 参照图3,示出了使用多阶段过程来读取数据单元的值的特定实施例的流程图。在一说明性实施例中,方法300可使用图1的存储器系统100、图2的存储器系统200或者其任何组合来执行。

[0053] 方法300包括在302感测数据单元的状态以生成数据电压。例如,在图1中,感测电路102可感测流经数据单元104的基于可编程电阻的存储器元件112的电流并使用负载晶体管130来基于该电流生成数据电压。该电流可以与基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$)成反比。数据单元104的状态可对应于基于可编程电阻的存储器元件112的电阻($R_{\text{数据}}$) (即,状态)。作为另一示例,在图2中,感测电路202可以在第一感测阶段期间使用第一感测路径240来感测数据单元204的第一状态。例如,感测电路202可感测流经数据单元204的基于可编程电阻的存储器元件212的电流并使用第一负载晶体管252来基于该电流生成第一数据电压。感测电路202还可以在第二感测阶段期间使用第二感测路径242来感测数据单元204的第二状态。例如,感测电路202可感测流经数据单元204的基于可编程电阻的存储器元

件212的电流并使用第二负载晶体管255来基于该电流生成第二数据电压。数据单元204的状态可对应于基于可编程电阻的存储器元件212的电阻($R_{\text{数据}}$)。

[0054] 在304,可感测参考单元的状态以生成参考电压。例如,在图1中,感测电路102可以在第二感测阶段期间感测参考单元106的第一状态以生成第一参考电压。感测电路102可感测流经参考单元106的基于第一电阻的存储器元件114的电流并使用负载晶体管130来基于该电流生成第一参考电压。感测电路102还可以在第三感测阶段期间感测参考单元106的第二状态以生成第二参考电压。例如,感测电路102可感测流经参考单元106的基于第二电阻的存储器元件116的电流并使用负载晶体管130来基于该电流生成第二参考电压。数据单元104的状态以及参考单元106的状态经由共同感测路径来感测。参考电压可基于第一参考电压和第二参考电压的平均值。

[0055] 作为另一示例,在图2中,感测电路202可以在第一感测阶段期间使用第二感测路径242来感测参考单元206的第一状态。例如,感测电路202可感测流经参考单元206的基于参考电阻的存储器元件214的电流并使用第二负载晶体管255来基于该电流生成第一参考电压。感测电路202还可以在第二感测阶段期间使用第一感测路径240来感测参考单元206的第二状态。例如,感测电路202可感测流经参考单元206的基于参考电阻的存储器元件214的电流并使用第一负载晶体管252来基于该电流生成第二参考电压。数据单元104的状态以及参考单元106的状态经由共同感测路径240、242来感测。参考电压可基于第一参考电压和第二参考电压的平均值。

[0056] 在306,可基于数据电压和参考电压来确定逻辑值。例如,在图1中,感测放大器110可基于数据电压和参考电压来确定数据单元104的逻辑值。例如,响应于感测放大器使能信号(SAE),感测放大器110可将数据电压与参考电压进行比较。当数据电压小于参考电压时,数据单元104的逻辑值可对应于第一值(即,逻辑“0”值)。当数据电压大于参考电压时,数据单元104的逻辑值可对应于第二值(即,逻辑“1”值)。图2的感测放大器210以与图1的感测放大器110基本上类似的方式操作。

[0057] 将领会,图3的方法300可以至少部分地通过在确定逻辑值时的由于工艺变动而导致的对参考电压的影响来消除由于感测路径的一个或多个组件的工艺变动而导致的对数据电压的影响。例如,在图1中,通过在三个不同阶段中利用共同的负载晶体管130和钳位晶体管129,可生成数据电压和参考电压,并且可减少或消除原本将由于使用单独的负载和钳位晶体管而出现的电压偏移。作为另一示例中,在图2中,在第一感测阶段期间由于第一和第二感测路径240、242的组件的工艺变动而导致的任何电压偏移可在第二感测阶段期间减少或消除,这可减少确定数据单元204的逻辑值的错误。

[0058] 参照图4,示出了包括可操作用于使用多阶段过程来读取数据单元的值以减少电压偏移的组件的无线设备400的框图。设备400包括耦合至存储器432的处理器410,诸如数字信号处理器(DSP)。

[0059] 图4还示出了耦合至处理器410和显示器428的显示控制器426。编码器/解码器(CODEC)434也可耦合至处理器410。扬声器436和话筒438可耦合至CODEC 434。图4还指示无线控制器440可经由布置在无线控制器440与天线442之间的射频(RF)接口490耦合到处理器410和天线442。

[0060] 存储器432可包括感测电路402、数据单元404、参考单元406、开关电容器电路408

以及感测放大器 (SA) 490。感测电路402可对应于图1的感测电路102或图2的感测电路202。数据单元404可耦合到感测电路402。数据单元404可对应于图1的数据单元104或图2的数据单元204。参考单元406也可耦合到感测电路402。参考单元406可对应于图1的参考单元106或图2的参考单元206。开关电容器电路408也可耦合到感测电路402。开关电容器电路408可以对应于图1的开关电容器电路108或图2的开关电容器电路208。感测放大器 (SA) 490可以耦合到开关电容器电路408。感测放大器 (SA) 490可对应于图1的感测放大器110或图2的感测放大器210。

[0061] 存储器432可以是包括可执行指令456的存储设备。在一特定实施例中,指令456可被存储在有形非瞬态处理器可读存储介质中,并且可由处理器(诸如处理器410)执行以使得能够将感测电路耦合到数据单元。例如,处理器410可以在第一感测阶段期间选择性地偏置图1中耦合到感测电路102以及基于可编程电阻的存储器元件112的数据选择晶体管124的栅极。数据单元104的状态可基于感测电路102与数据单元104之间的传导来感测以生成数据电压。作为另一示例,处理器410可以在第一感测阶段期间选择性地偏置图2中耦合到第一感测路径240和数据单元204的第一选择晶体管222的栅极以生成第一数据电压。处理器410还可以在第二感测阶段期间偏置耦合到第二感测路径242和数据单元204的第三选择晶体管226的栅极以生成第二数据电压。

[0062] 指令456还可由处理器410执行以使得能够将感测电路耦合到参考单元。例如,处理器410可以在第二感测阶段期间选择性地偏置图1中耦合到感测电路102以及参考单元106的基于第一电阻的存储器元件114的第一选择晶体管126的栅极以生成第一参考电压。处理器410还可以在第三感测阶段期间选择性地偏置耦合到感测电路102以及参考单元106的基于第二电阻的存储器元件116的第二选择晶体管128的栅极以生成第二参考电压。作为另一示例,处理器410可以在第一感测阶段期间选择性地偏置图2中耦合到第二感测路径242和参考单元206的第四选择晶体管228的栅极以便生成第一参考电压。处理器410还可以在第二感测阶段期间偏置耦合到第一感测路径240和参考单元206的第二选择晶体管224的栅极以生成第二参考电压。

[0063] 指令456还可由处理器410执行以基于数据电压和参考电压来确定数据单元的逻辑值。例如,在图1中,处理器410可偏置感测放大器使能信号 (SAE) 以激活感测放大器110。在激活之际,感测放大器110可基于数据电压和参考电压来确定数据单元104的逻辑值。例如,响应于感测放大器使能信号 (SAE),感测放大器110可将数据电压与参考电压进行比较。在另一特定示例中,处理器410可独立于感测放大器110基于数据电压和参考电压来确定数据单元104的逻辑值。处理器410可以在确定图2的数据单元204的逻辑值时以基本上类似的方式运作。

[0064] 指令456还可由耦合到处理器410的替换处理器(未示出)执行。作为非限制性示例,指令456可由处理器(诸如在存储器432的存储器控制器中)执行,该处理器耦合到图1的分支选择复用器或图2的路径选择复用器。

[0065] 在一特定实施例中,处理器410、显示控制器426、存储器432、CODEC434以及无线控制器440被包括在系统级封装或片上系统设备422中。在特定实施例中,输入设备430和电源444被耦合至片上系统设备422。此外,在一特定实施例中,如图4中所解说的,显示器428、输入设备430、扬声器436、话筒438、天线442和电源444在片上系统设备422的外部。然而,显示

器428、输入设备430、扬声器436、话筒438、天线442和电源444中的每一者可被耦合到片上系统设备422的组件,诸如接口或控制器。

[0066] 结合所述实施例,一种设备包括用于感测数据单元的状态以生成数据电压的装置。例如,用于感测数据单元的状态的装置可包括图1的感测电路102、图1的数据单元选择晶体管124、图1的数据单元104、图2的感测电路202、图2的第一选择晶体管222、图2的第三选择晶体管226、图2的数据单元204、图4的被编程为执行指令456的处理器410、或者用于感测数据单元的状态的一个或多个其他设备、电路、模块或指令。

[0067] 该设备还可包括用于感测参考单元的状态以生成参考电压的装置。例如,用于感测参考单元的状态的装置可包括图1的感测电路102、图1的第一选择晶体管126、图1的参考单元106、图2的感测电路202、图2的第二选择晶体管224、图4的第四选择晶体管228、图4的参考单元406、图4的被编程为执行指令456的处理器410、或者用于感测参考单元的状态的一个或多个其他设备、电路、模块或指令。

[0068] 该设备还包括用于基于数据电压和参考电压来确定数据单元的逻辑值的装置。例如,用于确定数据单元的逻辑值的装置可包括图1的感测电路102、图1的开关电容器电路108、图1的感测放大器110、图2的感测电路202、图2的开关电容器电路208、图2的感测放大器210、图2的数据单元204、图4的被编程为执行指令456的处理器410、或者用于确定数据单元的逻辑值的一个或多个其他设备、电路、模块或指令。

[0069] 上文公开的设备 and 功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果产生的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后被用在以上描述的设备中。图5描绘了电子设备制造过程500的特定说明性实施例。

[0070] 物理器件信息502在制造过程500处(诸如在研究计算机506处)被接收。物理器件信息502可包括表示半导体设备的至少一个物理性质的设计信息,该半导体设备诸如是包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合的设备。例如,物理器件信息502可包括经由耦合至研究计算机506的用户接口504输入的物理参数、材料特性、以及结构信息。研究计算机506包括耦合至计算机可读介质(诸如存储器510)的处理器508,诸如一个或多个处理核。存储器510可存储计算机可读指令,其可被执行以使处理器508将物理器件信息502转换成遵循某一文件格式并生成库文件512。

[0071] 在一具体实施例中,库文件512包括至少一个包括经转换的设计信息的数据文件。例如,库文件512可包括被提供与电子设计自动化(EDA)工具520联用的半导体设备的库,该半导体设备包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。

[0072] 库文件512可在设计计算机514处与EDA工具520协同使用,设计计算机514包括耦合至存储器518的处理器516,诸如一个或多个处理核。EDA工具520可作为处理器可执行指令被存储在存储器518处以使得设计计算机514的用户能够设计库文件512的设备,该设备包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。例如,设计计算机514的用户可经由耦合至设计计算机514的用户接口524来输入电路设计信息522。

[0073] 电路设计信息522可包括表示半导体设备的至少一个物理性质的设计信息,该半导体设备包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。为

了解说,电路设计性质可包括特定电路的标识以及与电路设计中其他元件的关系、定位信息、特征尺寸信息、互连信息、或表示半导体设备的物理性质的其他信息。

[0074] 设计计算机514可被配置成转换设计信息(包括电路设计信息522)以遵循一文件格式。为了解说,该文件格式化可包括以分层格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)文件格式。设计计算机514可以被配置成生成包括经转换设计信息(诸如GDSII文件526)的数据文件,该经变换设计信息包括描述设备的信息,该设备包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合并且还包括SOC内的附加电子电路和组件。

[0075] GDSII文件526可以在根据GDSII文件526中的经转换信息来制造半导体设备的制造过程528处接收,该半导体设备包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。例如,设备制造过程可包括将GDSII文件526提供给掩模制造商530以创建一个或多个掩模,诸如用于与光刻处理联用的掩模,其被解说为代表性掩模532。掩模532可在制造过程期间被用于生成一个或多个晶片534,晶片534可被测试并被分成管芯,诸如代表性管芯536。管芯536包括包含图1的存储器系统的组件、图2的存储器系统200的组件或其任何组合的电路。

[0076] 管芯536可被提供给封装过程538,其中管芯536被纳入到代表性封装540中。例如,封装540可包括单个管芯536或多个管芯,诸如系统级封装(SiP)安排。封装540可被配置成遵循一个或多个标准或规范,诸如电子器件工程联合委员会(JEDEC)标准。

[0077] 关于封装540的信息可诸如经由存储在计算机546处的组件库被分发给各产品设计者。计算机546可包括耦合至存储器550的处理器548,诸如一个或多个处理核。印刷电路板(PCB)工具可作为处理器可执行指令被存储在存储器550处以处理经由用户接口544从计算机546的用户接收的PCB设计信息542。PCB设计信息542可包括经封装半导体设备在电路板上的物理定位信息,与封装540相对应的经封装半导体设备包括包含图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合的设备。

[0078] 计算机546可被配置成转换PCB设计信息542以生成数据文件,诸如具有包括经封装的半导体设备在电路板上的物理定位信息、以及电连接(诸如迹线和通孔)的布局的数据的GERBER文件552,其中经封装的半导体设备对应于封装540,包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。在其他实施例中,由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的格式。

[0079] GERBER文件552可在板组装过程554处被接收并且被用于创建根据GERBER文件552内存储的设计信息来制造的PCB,诸如代表性PCB 556。例如,GERBER文件552可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 556可填充有电子组件(包括封装540)以形成代表性印刷电路组装件(PCA) 558。

[0080] PCA 558可在产品制造过程560处被接收,并被集成到一个或多个电子设备中,诸如第一代表性电子设备562和第二代表性电子设备564。作为解说的非限定性示例,第一代表性电子设备562、第二代表性电子设备564、或者这两者可选自下组:机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置的数据单元、以及计算机,其中集成了图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合。作为另一说明性的非限定性示例,电子设备562和564中的一者或多者可以是远程单

元,诸如移动电话、手持式个人通信系统 (PCS) 单元、便携式数据单元 (诸如个人数据助理)、启用全球定位系统 (GPS) 的设备、导航设备、位置固定的数据单元 (诸如仪表读数装备)、或者存储或检索数据或计算机指令的任何其他设备、或者其任何组合。除了根据本公开的教导的远程单元以外,本公开的实施例可合适地用在包括具有存储器和片上电路系统的有源集成电路系统的任何设备中。

[0081] 包括图1的存储器系统100的组件、图2的存储器系统200的组件或其任何组合的设备可以如说明性过程500中所描述地被制造、处理和纳入到电子设备中。关于图1-4所公开的实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件512、GDSII文件526、以及GERBER文件552内,以及被存储在研究计算机506的存储器510、设计计算机514的存储器518、计算机546的存储器550、在各个阶段 (诸如在板组装过程554处) 使用的一个或多个其他计算机或处理器 (未示出) 的存储器处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模532、管芯536、封装540、PCA 558、其他产品 (诸如原型电路或设备 (未示出))、或其任何组合。尽管描绘了从物理器件设计到最终产品的各个代表性生产阶段,然而在其他实施例中可使用较少的阶段或可包括附加阶段。类似地,过程500可由单个实体或由执行过程500的各个阶段的一个或多个实体来执行。

[0082] 技术人员将进一步领会,结合本文所公开的实施例来描述的各种解说性逻辑框、配置、模块、电路、和算法步骤可实现为电子硬件、由处理器执行的计算机软件、或这两者的组合。各种解说性组件、框、配置、模块、电路、和步骤已经在上文在它们的功能性方面作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。技术人员可针对每种具体应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0083] 结合本文所公开的实施例描述的方法或算法的各个步骤可直接用硬件、由处理器执行的软件模块或两者的组合来实现。软件模块可驻留在随机存取存储器 (RAM)、闪存、只读存储器 (ROM)、可编程只读存储器 (PROM)、可擦式可编程只读存储器 (EPROM)、电可擦式可编程只读存储器 (EEPROM)、寄存器、硬盘、可移动盘、压缩盘只读存储器 (CD-ROM)、或本领域中所知的任何其他形式的非瞬态存储介质中。示例性的存储介质耦合至处理器以使得该处理器能从/向该存储介质读和写信息。替换地,存储介质可以被整合到处理器。处理器和存储介质可驻留在专用集成电路 (ASIC) 中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0084] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。对这些实施例的各种修改对于本领域技术人员而言将是显而易见的,并且本文中定义的原理可被应用于其他实施例而不会脱离本公开的范围。因此,本公开并非旨在被限定于本文中示出的实施例,而是应被授予与如由所附权利要求定义的原理和新颖性特征一致的最广的可能范围。

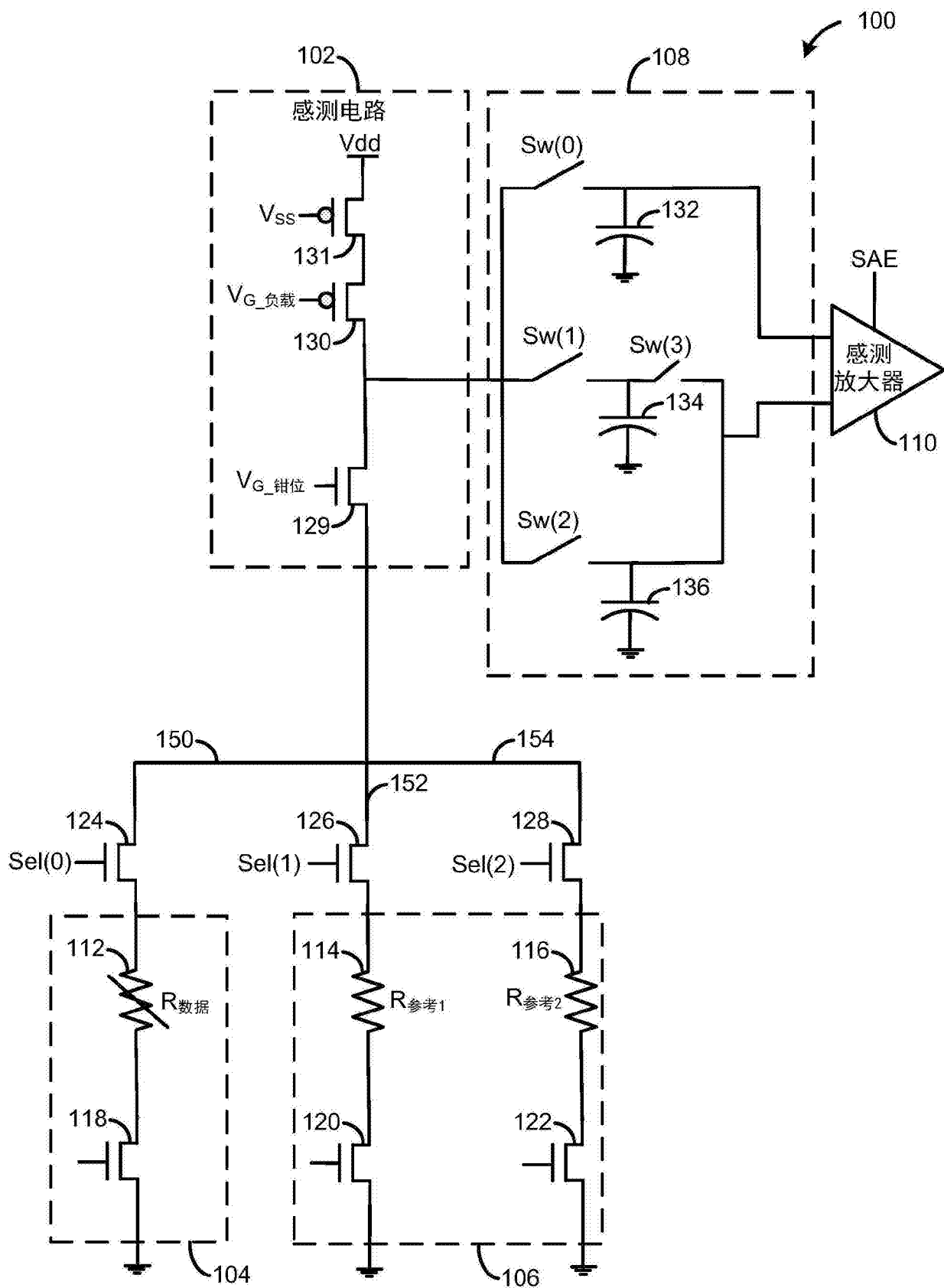


图1

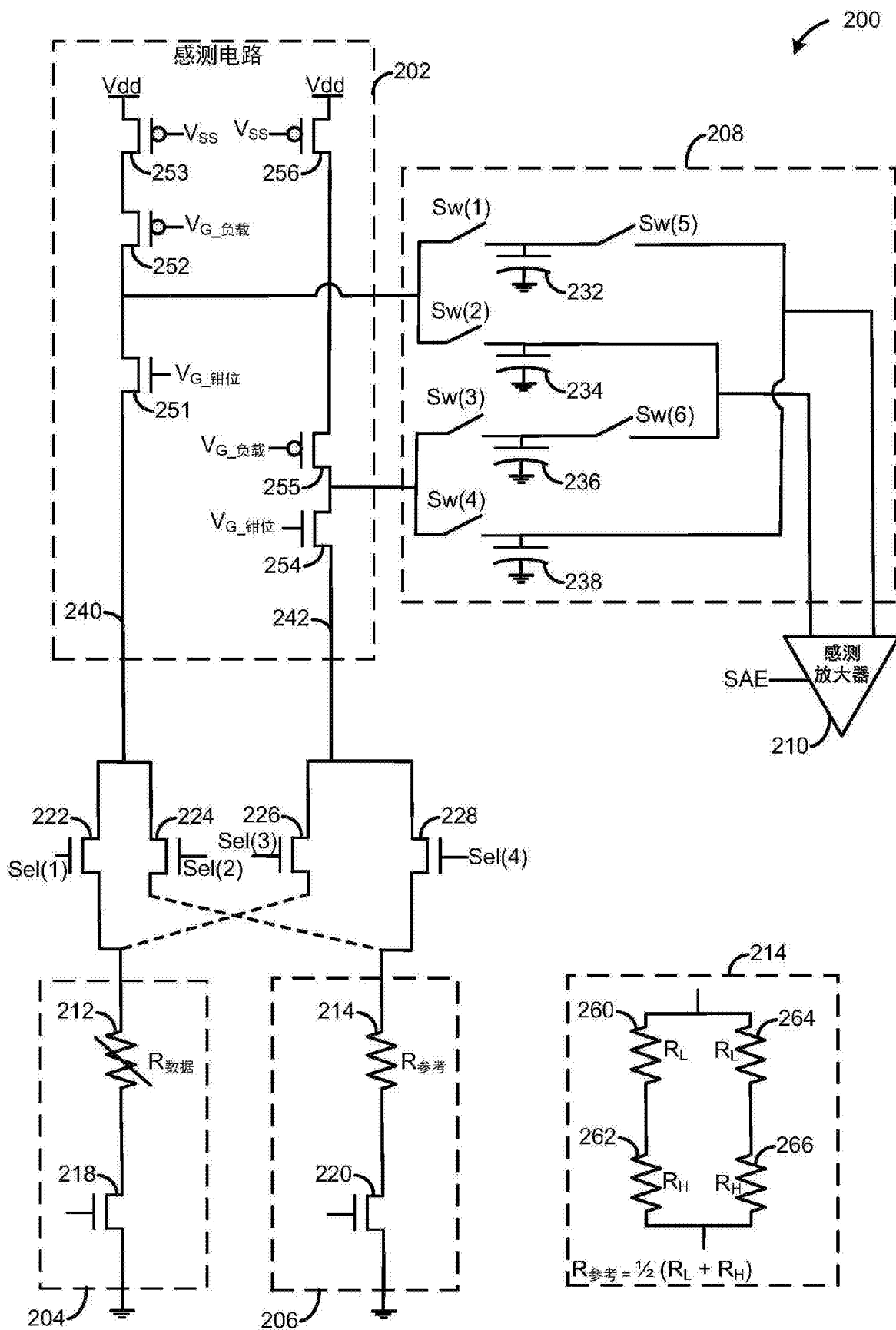


图2

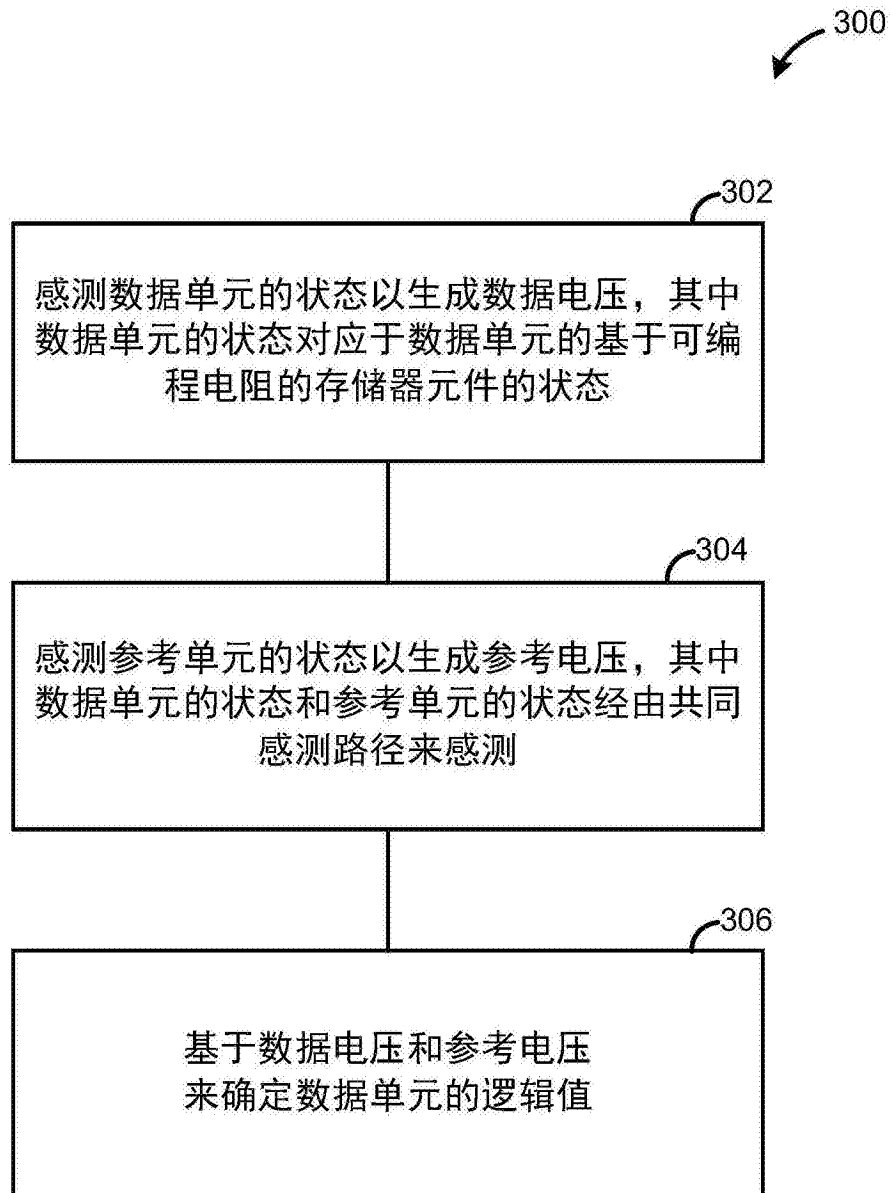


图3

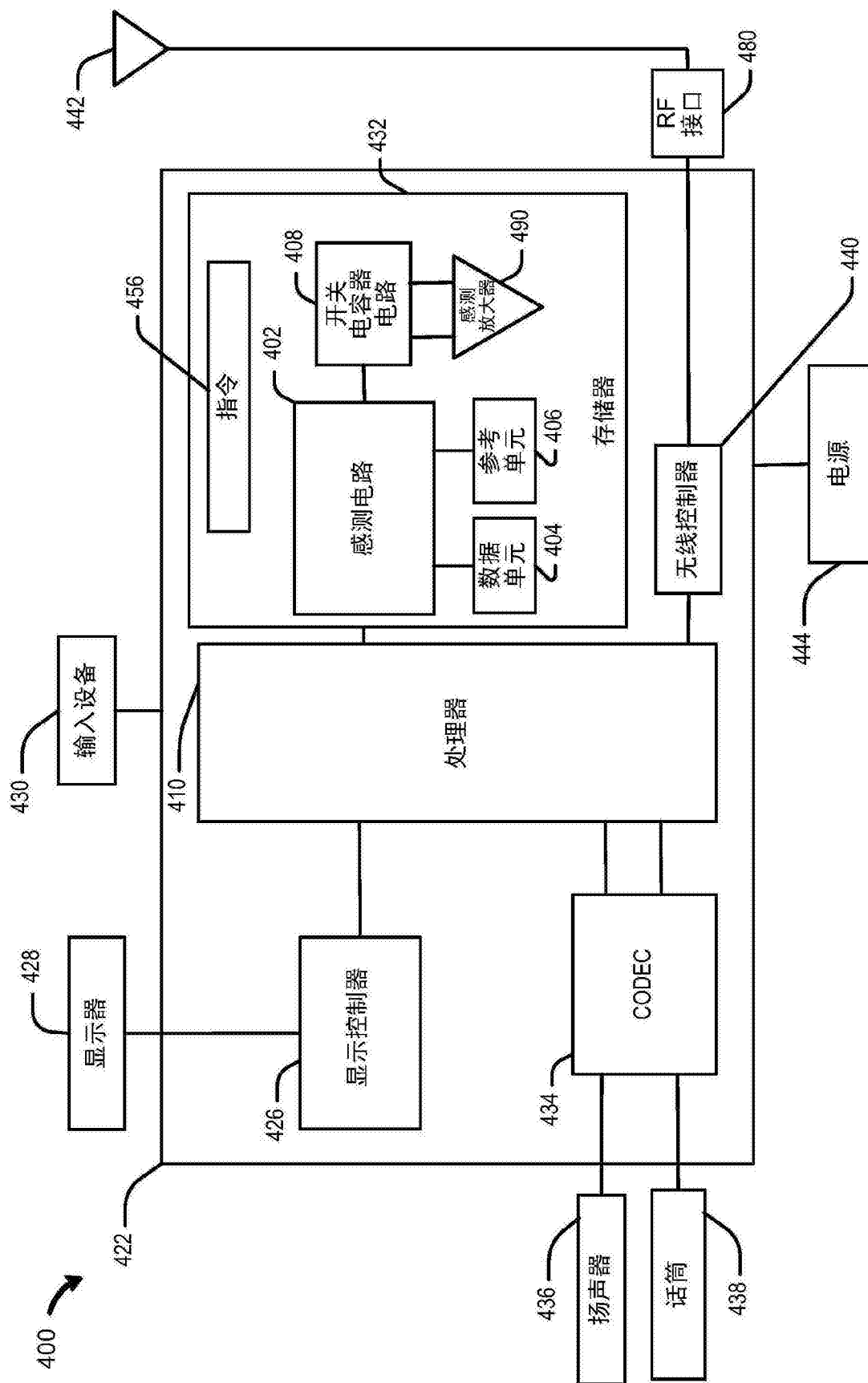


图4

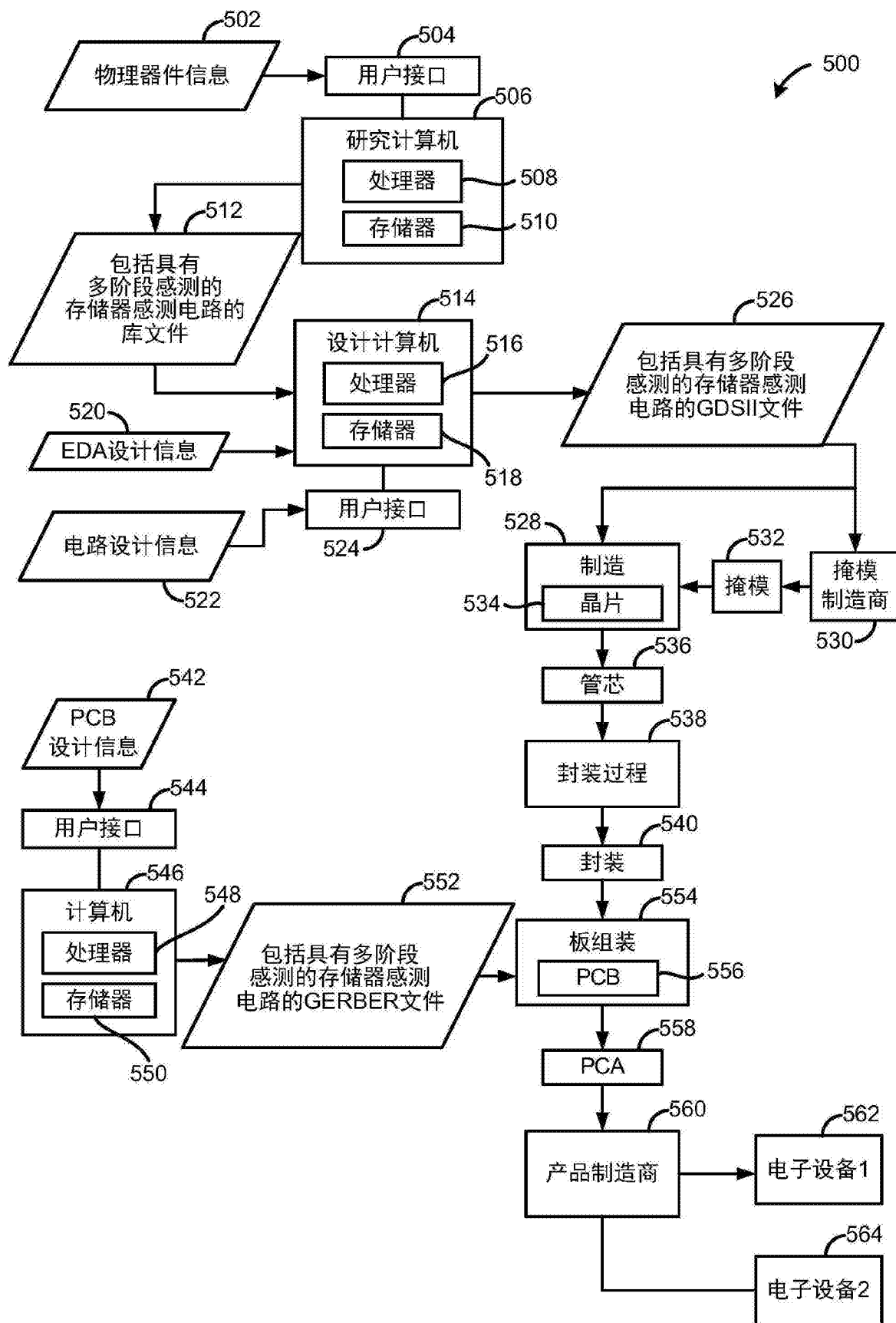


图5