

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年1月5日(05.01.2023)



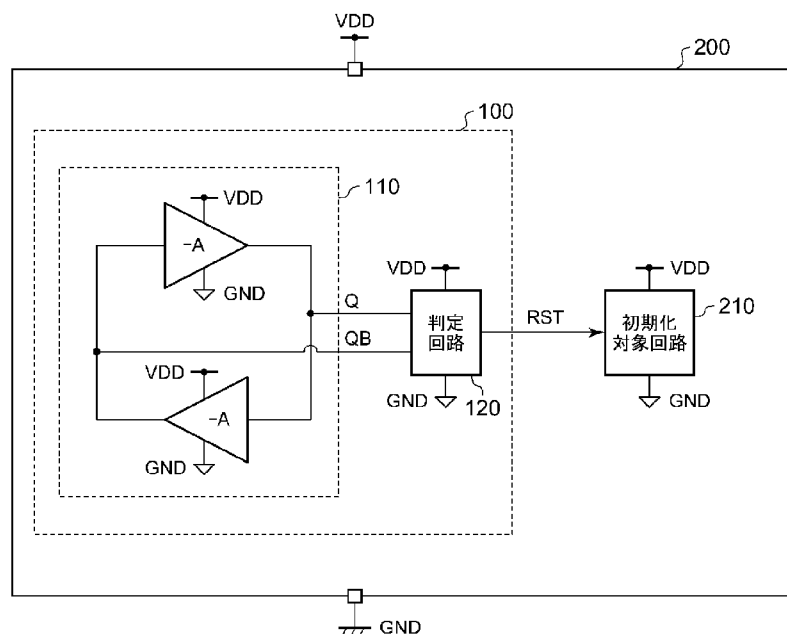
(10) 国際公開番号

WO 2023/276734 A1

- (51) 国際特許分類:
H03K 17/22 (2006.01) *G06F 1/24* (2006.01)
- (21) 国際出願番号: PCT/JP2022/024377
- (22) 国際出願日: 2022年6月17日(17.06.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-107097 2021年6月28日(28.06.2021) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1 Kyoto (JP).
- (72) 発明者: 辻 将信 (TSUJI Masanobu); 〒6158585 京都府京都市右京区西院溝崎町2-1 口一ム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA Sakaki); 〒1530061 東京都目黒区中目黒1-8-1 VORT中目黒1-3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW,

(54) Title: POWER-ON RESET CIRCUIT AND SEMICONDUCTOR DEVICE

(54) 発明の名称: パワーオンリセット回路および半導体装置



120 Determination circuit
210 Circuit to be initialized

(57) Abstract: A power-on reset circuit 100 supplies a reset pulse to a sequential circuit 210 to be initialized. A latch circuit 110 includes a first inverting circuit 112 and a second inverting circuit 114 that invert and amplify signals input thereto. An output node of the first inverting circuit 112 is connected to an input node of the second inverting circuit 114, and an output node of the second inverting circuit 114 is connected to an input node of the first inverting circuit 112. A determination circuit 120 receives a first signal Q from the output node of the first inverting circuit 112 and a second



WO 2023/276734 A1

MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,
SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 国際調査報告 (条約第21条(3))

signal Q2 from the output node of the second inverting circuit 114, and a reset pulse RST is generated on the basis of the first signal Q1 and the second signal Q2.

(57) 要約 : パワーオンリセット回路 100 は、初期化対象の順序回路 210 にリセットパルスを供給する。ラッチ回路 110 は、自身に入力された信号を反転増幅する第 1 反転回路 112 および第 2 反転回路 114 を含み、第 1 反転回路 112 の出力ノードは第 2 反転回路 114 の入力ノードと接続され、第 2 反転回路 114 の出力ノードは第 1 反転回路 112 の入力ノードと接続されている。判定回路 120 は、第 1 反転回路 112 の出力ノードの第 1 信号 Q と第 2 反転回路 114 の出力ノードの第 2 信号 Q2 を受け、第 1 信号 Q1 と第 2 信号 Q2 にもとづいてリセットパルス RST を生成する。

明 細 書

発明の名称：パワーオンリセット回路および半導体装置

技術分野

[0001] 本開示は、パワーオンリセット回路に関する。

背景技術

[0002] デジタル回路を含む半導体装置において、電源をオンした直後、電源電圧が低い状態では、デジタル回路の内部ノードの状態、言い換えると順序回路の状態は不定である。そこで半導体装置の起動後は、デジタル回路を確実に所定の状態に初期化（パワーオンリセット）する必要があり、そのトリガーとなるリセットパルスを生成するパワーオンリセット回路が設けられる。

[0003] パワーオンリセット回路は、半導体装置に供給される電源電圧を監視し、電源電圧をしきい値電圧と比較するものが一般的である。したがって、パワーオンリセット回路は、電源電圧もしくはそれにもとづく検出信号を、しきい値電圧と比較する電圧コンパレータ、もしくはCMOS（Complementary Metal Oxide Semiconductor）インバータを利用して構成されるのが一般的である。

[0004] 従来のパワーオンリセット回路では、電源電圧があるしきい値より低い状態では、デジタル回路が不定であるという仮定のもと、電源電圧がしきい値を越えたことをトリガーとして、パワーオンリセットを行っていた（電圧方式という）。あるいは従来のパワーオンリセット回路では、電源投入後、ある時間が経過する前は、デジタル回路が不定であるという仮定のもと、電源投入後、所定の遅延時間の経過後に、パワーオンリセットを行っていた（遅延方式という）。

先行技術文献

特許文献

[0005] 特許文献1：特開2014-207615号公報

発明の概要

発明が解決しようとする課題

[0006] 電圧方式や遅延方式では、仮定が崩れると、不適切なパワーオンリセットがかかる、もしくはリセット自体がかからないことになる。そのため従来では、しきい値や遅延時間にマージンを加える必要があった。そのため、デジタル回路が不定状態から安定状態に移行してから直ちにパワーオンリセットをかけることができない場合があった。また電圧コンパレータを用いる場合、電源電圧が電圧コンパレータの最低動作電圧を超えなければ、パワーオンリセットをかけることができない。

[0007] 本開示に係る状況においてなされたものであり、そのある態様の例示的な目的のひとつは、順序回路の状態が不定であるか否かを直接的に判定して、リセットパルスを生成可能なパワーオンリセット回路の提供にある。

課題を解決するための手段

[0008] 本開示のある態様は、初期化対象の順序回路にリセットパルスを供給するパワーオンリセット回路に関する。パワーオンリセット回路は、自身に入力された信号を反転増幅する第1反転回路および第2反転回路を含み、第1反転回路の出力ノードは第2反転回路の入力ノードと接続され、第2反転回路の出力ノードは第1反転回路の入力ノードと接続されている、ラッチ回路と、第1反転回路の出力ノードの第1信号と第2反転回路の出力ノードの第2信号を受け、第1信号と第2信号にもとづいてリセットパルスを生成する判定回路と、を備える。

[0009] なお、以上の構成要素を任意に組み合わせたもの、あるいは本開示の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0010] 本開示のある態様によれば、順序回路の状態が不定であるか否かを直接的に判定して、リセットパルスを生成できる。

図面の簡単な説明

[0011] [図1]図 1 は、実施形態に係るパワーオンリセット回路を備える半導体装置の回路図である。

[図2]図 2 は、図 1 の半導体装置の起動時の動作波形図である。

[図3]図 3 は、実施例 1 に係るパワーオンリセット回路の回路図である。

[図4]図 4 は、図 3 のパワーオンリセット回路の動作波形図である。

[図5]図 5 は、図 1 は、ラッチ回路のゲインを説明する図である。

[図6]図 6 は、実施例 2 に係るパワーオンリセット回路の回路図である。

[図7]図 7 は、図 6 のパワーオンリセット回路の具体例を示す回路図である。

[図8]図 8 は、図 7 のパワーオンリセット回路の動作波形図である。

[図9]図 9 は、実施例 3 に係るパワーオンリセット回路の回路図である。

[図10]図 10 は、図 9 のラッチ回路の具体例を示す回路図である。

[図11]図 11 は、図 10 のラッチ回路の動作波形図である。

[図12]図 12 は、判定回路の基本構成を示す回路図である。

[図13]図 13 は、判定回路の改善された構成を示す回路図である。

[図14]図 14 は、図 13 の判定回路の動作波形図である。

[図15]図 15 は、判定回路の改善された構成を示す回路図である。

[図16]図 16 は、実施例 4 に係るパワーオンリセット回路の回路図である。

[図17]図 17 は、図 16 のパワーオンリセット回路の動作波形図である。

[図18]図 18 は、実施例 5 に係るパワーオンリセット回路の回路図である。

[図19]図 19 は、実施例 6 に係るパワーオンリセット回路の回路図である。

[図20]図 20 は、実施例 7 に係るパワーオンリセット回路の回路図である。

[図21]図 21 は、実施例 8 に係る判定回路の回路図である。

[図22]図 22 は、パワーオンリセット回路を備える半導体装置のブロック図である。

[図23]図 23 は、パワーオンリセット回路を備える半導体装置のブロック図である。

発明を実施するための形態

[0012] (実施形態の概要)

本開示のいくつかの例示的な実施形態の概要を説明する。この概要は、後述する詳細な説明の前置きとして、実施形態の基本的な理解を目的として、1つまたは複数の実施形態のいくつかの概念を簡略化して説明するものであり、発明あるいは開示の広さを限定するものではない。この概要は、考えられるすべての実施形態の包括的な概要ではなく、すべての実施形態の重要な要素または重要な要素を特定することも、一部またはすべての態様の範囲を線引きすることも意図していない。便宜上、「一実施形態」は、本明細書に開示するひとつの実施形態（実施例や変形例）または複数の実施形態（実施例や変形例）を指すものとして用いる場合がある。

- [0013] 一実施形態に係るパワーオンリセット回路は、初期化対象の順序回路にリセットパルスを供給する。パワーオンリセット回路は、自身に入力された信号を反転増幅する第1反転回路および第2反転回路を含み、第1反転回路の出力ノードは第2反転回路の入力ノードと接続され、第2反転回路の出力ノードは第1反転回路の入力ノードと接続されている、ラッチ回路と、第1反転回路の出力ノードの第1信号と第2反転回路の出力ノードの第2信号を受け、第1信号と第2信号にもとづいてリセットパルスを生成する判定回路と、を備える。
- [0014] この構成によると、初期化対象の順序回路を模擬したラッチ回路を設け、ラッチ回路が不定状態であるときにリセットパルスをアサートしておき、ラッチ回路が安定となると、リセットパルスをネゲートして順序回路のリセットを解除することができる。これにより、順序回路を迅速かつ確実に安定化できる。これは、電圧方式や遅延方式のように、大きなマージンを採る必要がないため、より従来よりも早いタイミングで、リセットをかけ、リセットを解除することができる。
- [0015] 一実施形態において、ラッチ回路は、順序回路の出力段を構成するラッチ部分のレプリカを含んでもよい。これにより、順序回路が安定状態となったことを正確に検出できる。
- [0016] 一実施形態において、ラッチ回路のゲインは、順序回路の出力段を構成す

るラッチ部分のゲイン以下であってもよい。これにより、ラッチ回路が、順序回路のラッチ部分に先行して安定状態に遷移するのを防止でき、ラッチ部分が安定状態となるのと同時に、またはそれより後に、リセットパルス进行ネゲートしてリセット解除することが保証できる。

[0017] 一実施形態において、第1反転回路および第2反転回路に含まれるトランジスタの形状比 W/L は、順序回路の出力段を構成するラッチ部分を構成するトランジスタの形状比 W/L より小さくてもよい。これによりラッチ回路のゲインを下げるができる。

[0018] 一実施形態において、第1反転回路および第2反転回路の少なくとも一方は、相補型金属酸化膜半導体（CMOS：Complementary Metal Oxide Semiconductor）インバータであってもよい。一実施形態において、第1反転回路および第2反転回路の少なくとも一方は、トリステートバッファであってもよい。一実施形態において、第1反転回路および第2反転回路の少なくとも一方は、否定論理和ゲートであってもよい。一実施形態において、第1反転回路および第2反転回路の少なくとも一方は、否定論理積ゲートであってもよい。

[0019] 一実施形態において、第1反転回路および第2反転回路における電源ラインと接地ラインの間のトランジスタの縦積み段数は、ラッチ部分におけるトランジスタの縦積み段数と同じか、それより多くてもよい。ラッチ回路のトランジスタの縦積み段数を増やすことにより、ラッチ回路のゲインを下げることができる。

[0020] 一実施形態において、第1反転回路および第2反転回路それぞれにおいて、出力ノードより高電位側の縦積み段数と、出力ノードより低電位側の縦積み段数が異なってもよい。これにより、不定状態において第1信号と第2信号がバランスする中間電位を、中点電圧 $V_{DD}/2$ からシフトさせることができ、後段の判定回路における判定が容易となる。

[0021] 一実施形態において、判定回路は、第1信号と第2信号が不定であるときにリセットパルスをアサートし、第1信号と第2信号が不一致であるときに

リセットパルスを負にしてもよい。この場合、アナログ的な処理を伴わずに、組み合わせ回路のみで、リセットパルスを生成できる。

[0022] 一実施形態において、判定回路は、排他的論理和ゲートまたは排他的否定論理和ゲートを含んでもよい。

[0023] 一実施形態において、判定回路は、排他的論理和ゲートを含み、排他的論理和ゲートは、第1入力ノードと、第2入力ノードと、出力ノードと、第1インバータと、第2インバータと、電源ラインと出力ノードの間に順に直列に接続された第1 Pチャンネルトランジスタおよび第2 Pチャンネルトランジスタと、出力ノードと接地ラインの間に順に直列に接続された、第1 Nチャンネルトランジスタおよび第2 Nチャンネルトランジスタと、電源ラインと出力ノードの間に順に直列に接続された第3 Pチャンネルトランジスタおよび第4 Pチャンネルトランジスタと、出力ノードと接地ラインの間に順に直列に接続された第3 Nチャンネルトランジスタおよび第4 Nチャンネルトランジスタと、を含んでもよい。第1インバータの入力は、第1入力ノードと接続され、第1インバータの出力は、第4 Pチャンネルトランジスタのゲートおよび第3 Nチャンネルトランジスタのゲートと接続され、第2インバータの入力は、第2入力ノードと接続され、第2インバータの出力は、第1 Pチャンネルトランジスタのゲートおよび第4 Nチャンネルトランジスタのゲートと接続され、第2 Pチャンネルトランジスタのゲートおよび第1 Nチャンネルトランジスタのゲートは、第1入力ノードと接続され、第3 Pチャンネルトランジスタのゲートおよび第2 Nチャンネルトランジスタのゲートは、第2入力ノードと接続されてもよい。この構成によれば、排他的論理和ゲートの2入力の対称性が改善されるため、誤判定を防止できる。

[0024] 一実施形態において、判定回路は、排他的否定論理和ゲートを含み、排他的否定論理和ゲートは、第1入力ノードと、第2入力ノードと、出力ノードと、第1インバータと、第2インバータと、電源ラインと出力ノードの間に順に直列に接続された第1 Pチャンネルトランジスタおよび第2 Pチャンネルトランジスタと、出力ノードと接地ラインの間に順に直列に接続された、

第1 Nチャンネルトランジスタおよび第2 Nチャンネルトランジスタと、電源ラインと出力ノードの間に順に直列に接続された第3 Pチャンネルトランジスタおよび第4 Pチャンネルトランジスタと、出力ノードと接地ラインの間に順に直列に接続された第3 Nチャンネルトランジスタおよび第4 Nチャンネルトランジスタと、を含んでもよい。第1インバータの入力は、第1入力ノードと接続され、第1インバータの出力は、第4 Pチャンネルトランジスタのゲートおよび第3 Nチャンネルトランジスタのゲートと接続され、第2インバータの入力は、第2入力ノードと接続され、第2インバータの出力は、第3 Pチャンネルトランジスタのゲートおよび第2 Nチャンネルトランジスタのゲートと接続され、第2 Pチャンネルトランジスタのゲートおよび第1 Nチャンネルトランジスタのゲートは、第1入力ノードと接続され、第1 Pチャンネルトランジスタのゲートおよび第4 Nチャンネルトランジスタのゲートは、第2入力ノードと接続されてもよい。この構成によれば、排他的否定論理和ゲートの2入力の対称性が改善されるため、誤判定を防止できる。

[0025] 一実施形態において、判定回路は、第1信号の電圧と第2信号の電圧が、第1反転回路および第2反転回路のしきい値を含むように定めた判定電圧範囲に含まれるときに、リセットパルスのアサートしてもよい。

[0026] 一実施形態において、判定回路は、第1信号を判定電圧範囲の上限電圧および下限電圧と比較する第1ヒステリシスコンパレータと、第2信号を判定電圧範囲の上限電圧および下限電圧と比較する第2ヒステリシスコンパレータと、第1ヒステリシスコンパレータの出力および第2ヒステリシスコンパレータの出力を受け、リセットパルス生成する論理ゲートと、を含んでもよい。

[0027] 一実施形態において、第1ヒステリシスコンパレータは、第1信号と、第1反転回路および第2反転回路のしきい値に相当する電圧と、を受ける第1反転ヒステリシスコンパレータを含んでもよい。第2ヒステリシスコンパレータは、第2信号と、第1反転回路および第2反転回路のしきい値に相当す

る電圧と、を受ける第2反転ヒステリシスコンパレータを含んでもよい。

[0028] 一実施形態において、第1ヒステリシスコンパレータは、第1信号を受ける第1シュミットトリガインバータを含んでもよい。第1ヒステリシスコンパレータは、第2信号を受ける第2シュミットトリガインバータを含んでもよい。

[0029] 一実施形態において、第1反転回路および第2反転回路のしきい値は、電源電圧と接地電圧の中間電圧よりも低電位側に位置しており、判定電圧範囲のセンターは、中間電圧より高電位側に位置していてもよい。

[0030] 一実施形態において、第1反転回路および第2反転回路のしきい値は、電源電圧と接地電圧の中間電圧よりも高電位側に位置しており、判定電圧範囲のセンターは、中間電圧より低電位側に位置していてもよい。

[0031] (実施形態)

以下、好適な実施の形態について、図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、開示および発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも開示および発明の本質的なものであるとは限らない。

[0032] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

[0033] 同様に、「部材Cが、部材Aと部材Bの間に接続された（設けられた）状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。

- [0034] 図1は、実施形態に係るパワーオンリセット回路100を備える半導体装置200の回路図である。半導体装置200は、パワーオンリセット回路100に加えて、リセット対象である初期化対象回路210を備える。初期化対象回路210は、CMOS (Complementary Metal Oxide Semiconductor) 回路であり、順序回路を含んでいる。順序回路は、その初期状態と過去の入力によって現在の出力が決まる回路であり、フリップフロップやラッチ回路などを含みうる。初期化対象回路210がデジタル回路の場合、リセット付きのDフリップフロップが初期化対象の順序回路となりうる。
- [0035] 初期化対象回路210は、半導体装置200の電源ピンV_{DD}に供給される電源電圧V_{DD}にもとづいて動作する。組み合わせ回路を構成するフリップフロップやラッチは、電源電圧V_{DD}が低いときには不定であるから、初期化対象回路210の内部ノードは、電源電圧V_{DD}が低いときには不定である。
- [0036] パワーオンリセット回路100は、電源投入後、初期化対象回路210が不定状態である間、リセットパルスRSTをアサートして、初期化対象回路210をリセットする。そして電源電圧が上昇して、初期化対象回路210が安定状態となると、リセットパルスRSTをネゲートする（リセット解除）。その限りでないが、本明細書ではリセットパルスRSTのアサートはH（ハイ）が割り当てられる。
- [0037] パワーオンリセット回路100は、ラッチ回路110および判定回路120を備える。ラッチ回路110は、初期化対象回路210を構成するフリップフロップやラッチ回路などの順序回路の状態（不定・安定）を再現するように構成される。すなわち、初期化対象回路210の順序回路が不定であるときに、ラッチ回路110は不定であり、ラッチ回路110が安定であるときには、初期化対象回路210の順序回路が安定であるという関係が成り立っている。
- [0038] ラッチ回路110は、第1反転回路112および第2反転回路114を含む。第1反転回路112および第2反転回路114はそれぞれ、自身に入力される信号を反転増幅する。第1反転回路112と第2反転回路114はク

ロスカップルされており、第1反転回路112の出力ノードは第2反転回路114の入力ノードと接続され、第2反転回路114の出力ノードは第1反転回路112の入力ノードと接続されている。

[0039] ラッチ回路110は、初期化対象回路210を構成するフリップフロップやラッチ回路と完全に同じ構成を有するレプリカを含んでいてもよいし、実質的に同じ構成を有していてもよいし、意図的に変更を加えて異なる構成を有していてもよい。第1反転回路112と第2反転回路114は、完全に同じ回路要素であってもよいし、異なる回路要素であってもよい。

[0040] 判定回路120は、第1反転回路112の出力ノードの第1信号Qと第2反転回路114の出力ノードの第2信号QBを受け、第1信号Qと第2信号QBにもとづいてリセットパルスRSTを生成する。Qをラッチ回路110の非反転出力（あるいは単に出力）、QBをラッチ回路110の反転出力とも称する。なお本明細書においてデジタル信号名の末尾に付されるBは、その直前の文字列を含む信号の反転信号であることを示す。

[0041] 以上がパワーオンリセット回路100の構成である。続いてその動作を説明する。

[0042] 図2は、図1の半導体装置200の起動時の動作波形図である。横軸は時間であり、縦軸は電圧レベルを示す。図2には、電源電圧 V_{DD} 、第1信号Q、第2信号QB、リセットパルスRSTが示される。

[0043] 時刻 t_0 に電源が投入され、電源電圧 V_{DD} は時間とともに増大していく。電源投入直後の電源電圧 V_{DD} が低いときに、第1反転回路112および第2反転回路114の利得（絶対値A）は小さく、ラッチ回路110の出力Qおよび反転出力QBは、H（ハイ、 V_{DD} ）でもL（ロー、0V）でもない、中間電位 V_{MID} をとる。この中間電位 V_{MID} は、第1反転回路112および第2反転回路114のしきい値電圧に相当する電圧である。

[0044] 電源電圧 V_{DD} が高くなり、第1反転回路112および第2反転回路114の利得の絶対値Aが $A \gg 1$ となると、ラッチ回路110の出力Qおよび反転出力QBの一方（この例ではQ）がH、他方（この例ではQB）がLに向か

って変化する ($t_1 \sim$)。その後、 $Q = H$, $Q B = L$ の状態で安定化される。ラッチ回路 110 がいずれの状態でも安定となるかは、ラッチ回路 110 の構成によって、あるいは確率的に決まる。

[0045] 判定回路 120 は、第 1 信号 Q および第 2 信号 $Q B$ が中間電位 V_{MID} であるときには、ラッチ回路 110 が不定状態、すなわち初期化対象回路 210 が不定状態であるものとして、リセット信号 RST をアサート (H , V_{DD}) とする。判定回路 120 は、第 1 信号 Q および第 2 信号 $Q B$ が中間電位 V_{MID} から逸脱すると、ラッチ回路 110 が安定状態、すなわち初期化対象回路 210 が安定状態に移行したのものとして、リセット信号 RST をネゲート (L , $0V$) する。リセット信号 RST のアサートをトリガーとして、初期化対象回路 210 の内部の順序回路は初期化され、リセット信号 RST のネゲートによりリセット解除される (パワーオンリセット)。

[0046] 以上が半導体装置 200 の動作である。

[0047] パワーオンリセット回路 100 によれば、初期化対象回路 210 を構成する順序回路を模擬したラッチ回路 110 を設け、ラッチ回路 110 が不定状態であるとき、すなわち初期化対象回路 210 も不定状態であるときに、リセットパルス RST をアサートしておき、ラッチ回路 110 が安定となると、すなわち初期化対象回路 210 が安定となると、リセットパルス RST をネゲートして、初期化対象回路 210 のリセットを解除することができる。これは、電圧方式や遅延方式のように、大きなマージンを採る必要がないため、より従来よりも早いタイミングで、初期化対象回路 210 にリセットをかけ、リセットを解除することができる。

[0048] 本開示は、図 1 のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、方法に及ぶものであり、特定の構成に限定されるものではない。以下、本開示の範囲を狭めるためではなく、本開示や本発明の本質や動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

[0049] (実施例 1)

図3は、実施例1に係るパワーオンリセット回路100Aの回路図である。パワーオンリセット回路100Aは、ラッチ回路110Aおよび判定回路120Aを備える。

[0050] ラッチ回路110Aの第1反転回路112および第2反転回路114はCMOSインバータである。

[0051] 判定回路120Aは、第1信号Qと第2信号QBが一致であるときには、ラッチ回路110（すなわち初期化対象回路210）が不定であるものとして、リセットパルスRSTをアサートする。判定回路120Aは、XOR（排他的論理和）ゲート122およびインバータ124を含む。XORゲート122は、第1信号Qおよび第2信号QBを受け、それらの論理レベルが一致するときにLを、不一致のときにHとなる反転リセットパルスRSTBを生成する。インバータ124は、反転リセットパルスRSTBを反転し、リセットパルスRSTを生成する。

[0052] 以上がパワーオンリセット回路100Aの構成である。続いてその動作を説明する。

[0053] 図4は、図3のパワーオンリセット回路100Aの動作波形図である。時刻 t_0 に電源が投入され、電源電圧 V_{DD} は時間とともに増大していく。電源投入直後の電源電圧 V_{DD} が低いときに、第1反転回路112および第2反転回路114の利得（絶対値 A ）は小さく、ラッチ回路110の出力Qおよび反転出力QBは、H（ハイ、 V_{DD} ）でもL（ロー、0V）でもない、中間電位 V_{MID} をとる。第1反転回路112および第2反転回路114をCMOSインバータで構成する場合、2つのCMOSインバータの特性が揃っているときには、出力Qおよび反転出力QBは、CMOSインバータのしきい値電圧 V_{THINV} を中間電位 V_{MID} としてバランスする。なお、2つのCMOSインバータの特性が揃っていない場合、ラッチ回路110の出力Qおよび反転出力QBは、しきい値 V_{THINV} からずれた電圧レベルを持つ。

[0054] 電源電圧 V_{DD} が高くなり、第1反転回路112および第2反転回路114の利得の絶対値 A が $A \gg 1$ となると、ラッチ回路110の出力Qおよび反転

出力QBの一方（この例ではQ）がH、他方（この例ではQB）がLに向かって変化する（ t_1 ～）。その後、 $Q=H$ 、 $QB=L$ の状態安定化される。

[0055] XORゲート122の出力RSTBは、 $Q=QB=V_{THINV}$ の間は、後段のインバータ124のしきい値電圧 V_{THINV} より低い電圧レベルを有するが、2つの入力Q、QBの電位差が大きくなると、XORゲート122の出力である反転リセットパルスRSTBはH（ V_{DD} ）に遷移する。時刻 t_2 に反転リセットパルスRSTBが、インバータ124のしきい値電圧 V_{THINV} を超えると、直ちにリセットパルスRSTがL（ネゲート）となり、リセット解除される。

[0056] 以上がパワーオンリセット回路100Aの動作である。このパワーオンリセット回路100Aは、従来の電圧方式や遅延方式に比べて、早いタイミングで、リセットをかけ、リセットを解除することができる。

[0057] またラッチ回路110Aおよび判定回路120Aをデジタル回路で構成しているため、アナログの電圧コンパレータを用いる従来構成に比べて、低電圧動作が可能となる。

[0058] 続いてラッチ回路110のゲインについて説明する。図5は、ラッチ回路110のゲインを説明する図である。

[0059] ラッチ回路110の状態にもとづいて、初期化対象回路210の順序回路（ラッチ、フリップフロップ、記憶素子を含む）を正しくリセットするためには、初期化対象回路210の順序回路が不定であるときに、ラッチ回路110は不定であり、ラッチ回路110が安定であるときには、初期化対象回路210の順序回路が安定であるという関係が成り立っている必要がある。

[0060] 初期化対象回路210の順序回路212として使用されるフリップフロップやラッチ回路も、パワーオンリセット回路100のラッチ回路110と同様に、クロスカップルされる反転回路214、216のペアを含んでいる。具体的には順序回路212は、2個のインバータをクロスカップリングしたラッチ、2個のNOR（否定論理和）ゲートをクロスカップルしたSRラッチ、Dラッチ、Dフリップフロップ、リセット付きのDフリップフロップで

ありうる。

[0061] 先に述べた関係を満たすためには、パワーオンリセット回路100のラッチ回路110のゲイン（絶対値）Aは、初期化対象回路210に含まれる順序回路のゲインBと等しいか、それより小さいことが望ましい。

$$A \leq B \quad \dots (1)$$

[0062] ラッチ回路110のゲインAは、クロスカップルされる反転回路112, 114のゲインであり、初期化対象回路210の順序回路212のゲインBは、クロスカップルされる反転回路214, 216のゲインである。

[0063] ここで、反転回路を構成するトランジスタのサイズ（形状比W/L）が小さいほど、ゲインA, Bは低くなる。また、ラッチ回路110や初期化対象回路210の順序回路のゲインA, Bは、反転回路を構成するトランジスタの縦積みの段数が多いほど、ゲインA, Bは低くなる。たとえばCMOSインバータの縦積みの段数は2であり、イネーブル付きバッファ（トライステートバッファ）の段数は3もしくは4であり、2入力のNORゲートの段数は3、3入力のNORゲートの段数は4である。

[0064] たとえば初期化対象回路210の順序回路212が、トライステートバッファ（イネーブル付きバッファ）をクロスカップルして構成されるDラッチやDフリップフロップであるとする。トライステートバッファは、電源ラインと接地ラインの間に4個のトランジスタが縦積みして構成される。一方で、図3に示したように、第1反転回路112および第2反転回路114を、縦積みのトランジスタ数が2であるCMOSインバータで構成したとする。順序回路212を構成するトランジスタのサイズと、ラッチ回路110を構成するトランジスタのサイズが同一であるとき、

$$A > B$$

となり、関係式(1)を満たすことができなくなる。これは、電源投入後に、ラッチ回路110が順序回路212に先行して不定状態から安定状態に移移することを意味し、言い換えると、順序回路212が不定であるにもかかわらず、リセットパルスRSTがネゲート（リセット解除）されうることを

意味する。

[0065] 関係式(1)において、Bは予め与えられた設計条件であるから、関係式(1)を満たすためには、ラッチ回路110のゲインAを低くする必要がある。そのためには、(i)第1反転回路112および第2反転回路114を構成するトランジスタの縦積みの段数を増やす、(ii)トランジスタの形状比(ゲート幅W/ゲート長L)を小さくする、(iii)段数を増やし、かつ形状比を大きくする、のいずれかのアプローチをとることができる。

[0066] (実施例2)

実施例2では、ラッチ回路110のゲインを低下させるアプローチを説明する。

[0067] 図6は、実施例2に係るパワーオンリセット回路100Bの回路図である。ラッチ回路110Bを構成する第1反転回路112および第2反転回路114は、トライステートバッファ(イネーブル付きバッファ)であり、イネーブル端子ENおよび反転イネーブル端子ENBを有する。トライステートバッファは、縦積みされるトランジスタの個数は3段または4段が一般的であり、CMOSインバータの2段よりも大きい。第1反転回路112および第2反転回路114のイネーブル端子ENはハイ、反転イネーブル端子ENBはローに固定されている。

[0068] 図7は、図6のパワーオンリセット回路100Bの具体例を示す回路図である。

[0069] 第1反転回路112および第2反転回路114はトライステートバッファであり、電源ライン202と接地ライン204の間に縦積みされる4個のトランジスタMP11、MP12、MN11、MN14を含む。PチャンネルトランジスタMP11、MP12は、電源ライン202と出力ノードの間に直列に接続され、NチャンネルトランジスタMN11、MN12は、出力ノードと接地ライン204の間に直列に接続される。

[0070] トランジスタMP11のゲートは反転イネーブル端子ENBでありLに固定され、トランジスタMN12のゲートはイネーブル端子ENでありHに固

定される。この構成では、トランジスタの縦積みの段数は4であるから、同一サイズのトランジスタで構成したCMOSインバータに比べてゲインを低くできる。

[0071] なお、この例では、トランジスタMP11とMN12のゲートが、イネーブル端子ENB、ENと接続されるが、その限りでなく、トランジスタMP12のゲートをイネーブル端子ENBと接続してもよいし、トランジスタMN11のゲートをイネーブル端子ENと接続してもよい。

[0072] またトランジスタMP11および反転イネーブル端子ENBを省略して縦積み段数を3としてもよいし、トランジスタMN12およびイネーブル端子ENを省略して縦積み段数を3としてもよい。

[0073] 判定回路120Bの構成も、実施例1とは異なっており、判定回路120Bは、XNOR（排他的否定論理和）ゲート126を含む。

[0074] 図8は、図7のパワーオンリセット回路100Bの動作波形図である。図7のパワーオンリセット回路100Bの動作を実線で、信号名に「'」を付して示す。また比較のために、同じ素子サイズで構成した図3のパワーオンリセット回路100Aの動作を破線で示す。

[0075] 図7のパワーオンリセット回路100Bでは、第1反転回路112および第2反転回路114のゲインが、図3のそれに比べて低い。したがって、実施例2では、第1反転回路112、第2反転回路114が十分なゲイン（ $A \gg 1$ ）を有するのに必要な電源電圧 V_{DD} が、実施例1に比べて高くなる。その結果、リセットパルス RST' がネゲート（リセット解除）される電源電圧 V_{DD} を、高電位側にシフトさせることができる。

[0076] このように、第1反転回路112および第2反転回路114のトランジスタの縦積みの段数を増加させることにより、リセットパルス RST' がネゲート（リセット解除）される電源電圧 V_{DD} を任意に設定できる。

[0077] （実施例3）

図9は、実施例3に係るパワーオンリセット回路100Cの回路図である。ラッチ回路110Cを構成する第1反転回路112および第2反転回路1

14は、3入力のNORゲートである。図9では、NORゲートの3入力のうち、2入力はL(0V, GND)に固定されており、残りの1入力には、他方のNORゲートの出力が入力されている。

[0078] なお、NORゲートの3入力の接続は任意であり、図19に示すように、3入力のすべてを、他方のNORゲートの出力と接続してもよい。NORゲートの3入力の接続形態に応じて、リセット解除電圧がシフトし、3入力を共通化した場合、リセット解除電圧を最も高くできる。

[0079] 判定回路120Cは、判定回路120Aと同様であるが、判定回路120Bの構成としてもよい。さまざまな図に示される異なる形式のラッチ回路110と、さまざまな図に示される異なる形式の判定回路120同士は任意に組み合わせることが可能である。

[0080] 図10は、図9のラッチ回路110Cの具体例を示す回路図である。

[0081] 第1反転回路112および第2反転回路114はNORゲートであり、PチャンネルトランジスタMP21~MP23およびNチャンネルトランジスタMN21~MN23を備える。このNORゲートは、電源ライン202と接地ライン204の間に4段のトランジスタ(MP21, MP22, MP23, MN21)が縦積みされている。

[0082] 図10のNORゲートと、図7のトライステートバッファを比較すると、いずれもトランジスタの縦積み段数は4であるから、ラッチ回路110Cのゲインは、CMOSインバータよりも低くなる。その結果、実施例3では、実施例2と同様に、初期化対象回路210の順序回路212のゲインBが低い場合に、関係式(1)を満たしやすくなる。

[0083] なお、図10のNORゲートと、図7のトライステートバッファは、以下の相違点を有する。すなわち、図7のトライステートバッファは、電源ライン202と出力ノードの間のトランジスタ(以下、ハイサイドトランジスタという)の段数と、出力ノードと接地ライン204の間のトランジスタ(以下、ローサイドトランジスタ)の段数は、等しく2である。これにより、不定状態におけるトライステートバッファの2出力Q, QBの電圧レベル(中

間電位、すなわちしきい値電圧)は、電源電圧 V_{DD} と接地電圧 $0V$ の中間電圧 $V_{DD}/2$ の近傍に位置することとなる。

[0084] これに対して、図10のNORゲートでは、電源ライン202と出力ノードの間に接続されるハイサイドトランジスタの段数は3であり、出力ノードと接地ライン204の間に接続されるローサイドトランジスタの段数は1であり、等しくない。そのため、不定状態におけるNORゲートの2出力 Q 、 QB の電圧レベル(中間電位、すなわちしきい値電圧)は、中間電圧 $V_{DD}/2$ よりも低電位側に偏ることとなる。これにより、後段の判定回路120Cにおいて、ラッチ回路110Cが不定状態であるか安定状態であるかの判定が容易となる。

[0085] 図11は、図10のラッチ回路110Cの動作波形図である。ラッチ回路110Cの動作を実線で、信号名に「”」を付して示す。また比較のために、同じ素子サイズで構成した図3のラッチ回路110Aの動作を破線で示す。

[0086] 図9のラッチ回路110Cでは、第1反転回路112および第2反転回路114のゲインが、図3のそれに比べて低い。したがって、実施例3では、第1反転回路112、第2反転回路114が十分なゲイン($A \gg 1$)を有するのに必要な電源電圧 V_{DD} が、実施例1に比べて高くなる。その結果、リセットパルス RST' がネゲート(リセット解除)される電源電圧 V_{DD} を、高電位側にシフトさせることができる。

[0087] また、図3のラッチ回路110Cでは、反転回路112、114のハイサイドトランジスタの段数とローサイドトランジスタの段数が1で等しいため、不定状態において、2出力 Q 、 QB は、 $V_{DD}/2$ をとる。

[0088] これに対して、図10のラッチ回路110Cでは、反転回路112、114のハイサイドトランジスタの段数が、ローサイドトランジスタの段数よりも多いため、それらのしきい値電圧 V_{TH} は中間電圧 $V_{DD}/2$ より低くなる。これにより不定状態において、2出力 Q 、 QB は、 $V_{DD}/2$ より低い中間電圧 V_{MID} をとることとなる。これにより後段の判定回路120Cにおいて、

ラッチ回路 110C が不定状態であるか安定状態であるかを判定しやすくなる。

[0089] 続いて判定回路 120 の構成について説明する。図 12 は、判定回路 120 の基本構成 (120D) を示す回路図である。判定回路 120D は、複合ゲート 122D およびインバータ 124D を含んでいる。複合ゲート 122D は、2 個の NOR ゲート 130, 132 と、AND ゲート 134 を含んでおり、XOR ゲートと論理的に等価である。この判定回路 120D の構成は、初段の複合ゲート 122D の 2 入力 IN1, IN2 に関して対称性がとれておらずバランスが悪いため、前段のラッチ回路 110 が不定状態であるときに、反転リセットパルス RSTB が誤って出力される可能性があり、改善の余地がある。

[0090] 図 13 は、判定回路 120 の改善された構成 (120E) を示す回路図である。判定回路 120E は、XOR ゲート 122E およびインバータ 124E を含む XNOR (排他的否定論理和) ゲートである。前段の XOR ゲート 122E は、第 1 入力ノード IN1、第 2 入力ノード IN2、出力ノード OUT、第 1 インバータ 140、第 2 インバータ 142、P チャンネルトランジスタ MP31~MP34、N チャンネルトランジスタ MN31~MN34 を備える。

[0091] 第 1 P チャンネルトランジスタ MP31 および第 2 P チャンネルトランジスタ MP32 は、電源ライン 202 と出力ノード OUT の間に順に直列に接続される。第 1 N チャンネルトランジスタ MN31 および第 2 N チャンネルトランジスタ MN32 は、出力ノード OUT と接地ライン 204 の間に順に直列に接続される。第 3 P チャンネルトランジスタ MP33 および第 4 P チャンネルトランジスタ MP34 は、電源ライン 202 と出力ノード OUT の間に順に直列に接続される。第 3 N チャンネルトランジスタ MN33 および第 4 N チャンネルトランジスタ MN34 は、出力ノード OUT と接地ライン 204 の間に順に直列に接続される。

[0092] 第 1 インバータ 140 の入力、第 1 入力ノード IN1 と接続され、第 1

インバータ140の出力は、第4PチャンネルトランジスタMP34のゲートおよび第3NチャンネルトランジスタMN33のゲートと接続される。第2インバータ142の入力は、第2入力ノードIN2と接続され、第2インバータ142の出力は、第1PチャンネルトランジスタMP31のゲートおよび第4NチャンネルトランジスタMN34のゲートと接続される。第2PチャンネルトランジスタMP32のゲートおよび第1NチャンネルトランジスタMN31のゲートは、第1入力ノードIN1と接続される。第3PチャンネルトランジスタMP33のゲートおよび第2NチャンネルトランジスタMN32のゲートは、第2入力ノードIN2と接続される。

[0093] 図14は、図13の判定回路120Eの動作波形図である。図14の判定回路120Eの動作を実線で、信号名に「'」を付して示す。また比較のために、図12の判定回路120Dの動作を破線で示す。

[0094] 図12の判定回路120Dでは、前段のラッチ回路110が不定であるときに、複合ゲート122Dの出力である反転リセットパルスRSTBが、インバータ124Dで安全に判定できるL(0V)より高い中間電圧をとる可能性がある。したがって、図14では正しく判定されているが、プロセスばらつきやノイズの影響で、中間電位がインバータ124Dのしきい値電圧を越えると、リセットパルスRSTが誤ってネゲートされる可能性がある。これに対して図13の判定回路120Eでは、XORゲート122Eの対称性が改善されており、前段のラッチ回路110が不定であるときに、XORゲート122Eの出力である反転リセットパルスRSTBが、L(0V)に近い電圧レベルを有する。これにより、インバータ124Eが誤ってリセットパルスRSTをネゲートするのを抑制できる。ここで、入力IN1と入力IN2を入れ替えたXORゲート122Eをもう一つ並列に加えることで、入力IN1とIN2から見たときの対称性をさらに改善することも可能である。

[0095] 図15は、判定回路120の改善された構成(120F)を示す回路図である。判定回路120Fは、XNORゲート126Fを含む。

- [0096] XNORゲート126Fは、第1入力ノードIN1、第2入力ノードIN2、出力ノードOUT、第1インバータ150、第2インバータ152、PチャンネルトランジスタMP41~MP44、NチャンネルトランジスタMN41~MN44を備える。
- [0097] 第1PチャンネルトランジスタMP41および第2PチャンネルトランジスタMP42は、電源ライン202と出力ノードOUTの間に順に直列に接続される。第1NチャンネルトランジスタMN41および第2NチャンネルトランジスタMN42は、出力ノードOUTと接地ライン204の間に順に直列に接続される。第3PチャンネルトランジスタMP43および第4PチャンネルトランジスタMP44は、電源ライン202と出力ノードの間に順に直列に接続される。第3NチャンネルトランジスタMN43および第4NチャンネルトランジスタMN44は、出力ノードと接地ライン204の間に順に直列に接続される。
- [0098] 第1インバータ150の入力は、第1入力ノードIN1と接続され、第1インバータ150の出力は、第4PチャンネルトランジスタMP44のゲートおよび第3NチャンネルトランジスタMN43のゲートと接続される。第2インバータ152の入力は、第2入力ノードIN2と接続され、第2インバータ152の出力は、第3PチャンネルトランジスタMP43のゲートおよび第2NチャンネルトランジスタMN42のゲートと接続される。第2PチャンネルトランジスタMP42のゲートおよび第1NチャンネルトランジスタMN41のゲートは、第1入力ノードIN1と接続される。第1PチャンネルトランジスタMP41のゲートおよび第4NチャンネルトランジスタMN44のゲートは、第2入力ノードIN2と接続される。
- [0099] この判定回路120Fによれば、XNORゲート126Fの2入力IN1、IN2に関する対称性が改善されているため、図13の判定回路120Eと同様の効果が得られる。ここで、入力IN1と入力IN2を入れ替えたXNORゲート126Fをもう一つ並列に加えることで、さらに対称性が改善されるのは、図13のXORゲート122Eと同様である。なお、判定回路

120Fは、XNORゲート126Fの後段に増幅段として設けられたバッファ128Fをさらに備えてもよい。

[0100] ここまでの説明では、判定回路120（120A等を総称する）はロジック回路（XORゲートやXNORゲートなどの論理ゲート）で構成され、ラッチ回路110（110A等を総称する）の2つの出力Q、QBの論理レベルが不一致（すなわち一方がH、他方がL）であるときに、ラッチ回路110が安定状態に遷移したのとして、リセットパルスRSTをネゲートする構成について説明した。

[0101] 以下の実施例では、判定回路120による異なる判定方法を説明する。

[0102] 具体的には、第1反転回路112および第2反転回路114のしきい値 V_{TH} を基準として、それより高い上側しきい値 V_{THH} と、それより低い下側しきい値 V_{THL} を定める。判定回路120は、2つの出力Q、QBの電圧レベルが、2つのしきい値 V_{THH} と V_{THL} に挟まれる判定電圧範囲（不定電圧範囲という）に含まれるときに、ラッチ回路110が不定であるとしてリセットパルスRSTをアサートしておき、2つの出力Q、QBの電圧レベルが、不定電圧範囲から逸脱したときに、ラッチ回路110が安定状態に遷移したものと判定し、リセットパルスRSTをネゲートする。

[0103] （実施例4）

図16は、実施例4に係るパワーオンリセット回路100Gの回路図である。ラッチ回路110Gは、第1反転回路112および第2反転回路114を含む。

[0104] 判定回路120Gは、2つのヒステリシスコンパレータCOMP1、COMP2および論理ゲート160を備える。第1ヒステリシスコンパレータCOMP1は、第1信号Qが、不定電圧範囲に含まれるか否かを判定し、第2ヒステリシスコンパレータCOMP2は、第2信号QBが、不定電圧範囲に含まれるか否かを判定する。

[0105] この例において、ヒステリシスコンパレータCOMP1、COMP2は同じ構成を有し、それぞれ、電圧源162と反転ヒステリシスコンパレータ1

64を含む。電圧源162は、ラッチ回路110Gを構成する反転回路112, 114と同じ構成を有するレプリカであり、その入力ノードと出力ノードが接続されている。電圧源162は、反転回路112, 114のしきい値電圧 V_{THINV} と同じ電圧レベルの基準電圧を生成する。

[0106] 反転ヒステリシスコンパレータ164は、抵抗 R_1 , R_2 およびアンプAMP1を含む。反転ヒステリシスコンパレータ164は、第1反転回路112および第2反転回路114のしきい値 V_{THINV} に相当する電圧を受ける。この反転ヒステリシスコンパレータ164のしきい値電圧 V_{THH} および V_{THL} は、抵抗 R_1 と R_2 の比と、基準電圧 V_{THINV} に応じて定まる。

[0107] 論理ゲート160は、XNORゲートであり、2つのヒステリシスコンパレータCOMP1, COMP2の出力を受け、リセットパルスRSTを発生する。

[0108] 図17は、図16のパワーオンリセット回路100Gの動作波形図である。時刻 t_0 に電源が投入され、電源電圧 V_{DD} が時間とともに上昇し、第1反転回路112、第2反転回路114のゲインAが高くなると、第1信号Q、第2信号QBが中間電位 V_{THINV} から離れる。時刻 t_1 に信号Q, QBの一方が、不定電圧範囲の上限値 V_{THH} を超え、他方が不定電圧範囲の下限値 V_{THL} より低くなると、リセット解除となる。

[0109] (実施例5)

図18は、実施例5に係るパワーオンリセット回路100Hの回路図である。パワーオンリセット回路100Hは、ラッチ回路110Hおよび判定回路120Hを備える。

[0110] 判定回路120Hの構成は、図16の判定回路120Gと同様であり、2個のヒステリシスコンパレータCOMP1, COMP2および論理ゲート160を備える。図18において、ヒステリシスコンパレータCOMP1, COMP2は、シュミットトリガインバータ170に置き換え可能である。

[0111] 図18の下段には、シュミットトリガインバータ170の構成例が示される。このシュミットトリガインバータは、PチャンネルトランジスタMP5

1～MP53、NチャンネルトランジスタMN51～MN53を含む。PチャンネルトランジスタMP51、MP52は、電源ライン202と出力ノードOUTBの間に接続され、NチャンネルトランジスタMN51、MN52は、出力ノードOUTBと接地ライン204の間に接続される。PチャンネルトランジスタMP53は、PチャンネルトランジスタMP51のドレインと接地ライン204の間に接続され、PチャンネルトランジスタMP53のゲートは、出力ノードOUTBと接続される。NチャンネルトランジスタMN53は、NチャンネルトランジスタMN52のドレインと電源ライン202の間に接続され、NチャンネルトランジスタMN53のゲートは、出力ノードOUTBと接続される。このシュミットトリガインバータのしきい値電圧 V_{THH} 、 V_{THL} は、トランジスタMP51～MP52、MN51、MN52のサイズ(W/L)に応じて設計できる。

[0112] ここで、ラッチ回路110の反転回路112、114の縦積みされるトランジスタの段数およびトランジスタサイズを、シュミットトリガインバータのトランジスタの段数およびトランジスタサイズと揃えておくことが好ましい。これにより、反転回路112、114の中間電位 V_{MID} を挟むように、シュミットトリガインバータのしきい値電圧 V_{THH} 、 V_{THL} を設計しやすくなる。図18の中段には、4段で構成される反転回路112、114の例として、イネーブル状態に固定されたトライステートバッファ（イネーブル付きのバッファ）が示される。

[0113] （実施例6）

図19は、実施例6に係るパワーオンリセット回路1001の回路図である。パワーオンリセット回路1001は、ラッチ回路1101および判定回路1201を備える。

[0114] ラッチ回路1101を構成する反転回路112、114は、複数の入力が共通に接続されたNORゲートであってもよい。たとえば図19に示す3入力のNORゲートは、電源ラインと出力ノードの間に3段直列のハイサイドトランジスタ（Pチャンネルトランジスタ）が接続され、出力ノードと接地

ラインの間に1段3並列のローサイドトランジスタ（Nチャンネルトランジスタ）が接続される。したがって不定状態における中間電位 V_{MID} は、中点電圧 $V_{DD}/2$ よりも低くなる。

[0115] この場合、判定回路1201における判定の基準となる不定電圧範囲（そのしきい値電圧 V_{THH} , V_{THL} ）を、中点電圧 $V_{DD}/2$ に対して、ラッチ回路1101の中間電位 V_{MID} とは反対側、つまり高電位側にシフトさせるとよい。

[0116] 判定回路1201は、2個のヒステリシスコンパレータCOMP1, COMP2と、論理ゲート160を備える。ヒステリシスコンパレータCOMP1, COMP2は、相対的に高いしきい値電圧を有するコンパレータ172で構成される。図19の下段に示すように、コンパレータ172は、複数の入力が共通に接続されたNAND（否定論理積）ゲート172aであってもよい。図19に示す3入力のNANDゲート172aは、電源ラインと出力ノードの間に1段3並列のハイサイドトランジスタ（Pチャンネルトランジスタ）が接続され、出力ノードと接地ラインの間に3段直列のローサイドトランジスタ（Nチャンネルトランジスタ）が接続される。したがってこの3入力のNANDゲート172aのしきい値電圧は、中点電圧 $V_{DD}/2$ よりも高くなるため、しきい値電圧が中点電圧 $V_{DD}/2$ より低いNORゲートで構成されるラッチ回路1101との組み合わせとして好適である。

[0117] 図19の下段に示すように、コンパレータ172は、シュミットトリガインバータ172bであってもよい。このシュミットトリガインバータ172bは、図18のシュミットトリガインバータ172bから、トランジスタMP51, MP53を省略したものである。このシュミットトリガインバータ172bは、電源ライン202と出力ノードOUTBの間に1段のハイサイドトランジスタ（Pチャンネルトランジスタ）が接続され、出力ノードOUTBと接地ライン204の間に2段直列のローサイドトランジスタ（Nチャンネルトランジスタ）が接続される。したがってこのシュミットトリガインバータ172bのしきい値電圧は、中点電圧 $V_{DD}/2$ よりも高くなるため、しきい値電圧が中点電圧 $V_{DD}/2$ より低いNORゲートで構成されるラッチ

回路 110I との組み合わせとして好適である。

[0118] 図 19 の判定回路 120I は、論理ゲート 160 として、AND ゲートを有する。

[0119] (実施例 7)

図 20 は、実施例 7 に係るパワーオンリセット回路 100J の回路図である。パワーオンリセット回路 100J は、ラッチ回路 110J および判定回路 120J を備える。

[0120] ラッチ回路 110J を構成する反転回路 112, 114 は、複数の入力 (この例では 3 入力) が共通に接続された NAND ゲートであってもよい。NAND ゲートのしきい値電圧 (つまり中点電位 V_{MID}) は、上述したように、中点電圧 $V_{DD}/2$ よりも高くなる。

[0121] この場合、判定回路 120J における判定の基準となる不定電圧範囲 (そのしきい値電圧 V_{THH} , V_{THL}) を、中点電圧 $V_{DD}/2$ に対して、ラッチ回路 110J の中間電位 V_{MID} とは反対側、つまり低電位側にシフトさせるとよい。

[0122] 判定回路 120J は、2 個のヒステリシスコンパレータ COMP1, COMP2 と、論理ゲート 160 を備える。ヒステリシスコンパレータ COMP1, COMP2 は、相対的に低いしきい値電圧を有するコンパレータ 174 で構成される。図 20 の下段に示すように、コンパレータ 174 は、複数の入力が共通に接続された NOR ゲート 174a であってもよい。NOR ゲート 174a のしきい値電圧は、中点電圧 $V_{DD}/2$ よりも低くなるため、しきい値電圧が中点電圧 $V_{DD}/2$ より高い NAND ゲートで構成されるラッチ回路 110J との組み合わせとして好適である。

[0123] 図 20 の下段に示すように、コンパレータ 174 は、シュミットトリガインバータ 174b であってもよい。このシュミットトリガインバータ 174b は、図 18 のシュミットトリガインバータ 170 から、トランジスタ MN51, MN53 を省略したものである。このシュミットトリガインバータ 174b は、電源ライン 202 と出力ノード OUTB の間に 2 段のハイサイドトランジスタ (P チャンネルトランジスタ) が接続され、出力ノード OUT

Bと接地ライン204の間に1段のローサイドトランジスタ（Nチャンネルトランジスタ）が接続される。したがってこのシュミットトリガインバータ172bのしきい値電圧は、中点電圧 $V_{DD}/2$ よりも低くなるため、しきい値電圧が中点電圧 $V_{DD}/2$ より高いNANDゲートで構成されるラッチ回路110Jとの組み合わせとして好適である。

[0124]（実施例8）

図21は、実施例8に係る判定回路120Kの回路図である。判定回路120Kは、電圧源190、ウィンドウコンパレータCOMP1、COMP2、論理ゲート160を備える。

[0125] 電圧源190は、電源ライン202と接地ライン204の間に直列二接続される複数の抵抗 $R_{21} \sim R_{23}$ を含み、電源電圧 V_{DD} を分圧して、しきい値電圧 V_{THH} 、 V_{THL} を生成する。

[0126] ウィンドウコンパレータCOMP1は、第1信号Qを、2つのしきい値電圧 V_{THH} 、 V_{THL} と比較し、第1信号Qが、不定電圧範囲に含まれるか否かを判定し、信号 V_q を出力する。ウィンドウコンパレータCOMP2は、第2信号QBを、2つのしきい値電圧 V_{THH} 、 V_{THL} と比較し、第2信号QBが、不定電圧範囲に含まれるか否かを判定し、信号 V_{qb} を出力する。

[0127] ウィンドウコンパレータCOMP1、COMP2は、コンパレータ180、182、NORゲート184を含む。図21の下段に示すように、コンパレータ182は、PチャンネルトランジスタMP61～MP64、NチャンネルトランジスタMN61、MN62を含む。コンパレータ180は、PチャンネルトランジスタMP71、MP72、NチャンネルトランジスタMN71～MN74を含む。

[0128] 論理ゲート160は、ORゲートである。

[0129] 判定回路120Kの前段のラッチ回路110が安定になると、 V_{pq} 、 V_{nq} のいずれか一方と、 V_{pqb} と V_{nqb} のいずれか一方がHになる。したがって、 V_q とすると V_{qb} が両方Lとなり、論理ゲート160の出力であるリセットパルスRSTもLとなる。

- [0130] 最後に、パワーオンリセット回路100の具体的な実装例を説明する。上述したすべてのパワーオンリセット回路を、パワーオンリセット回路100と総称する。
- [0131] 図22は、パワーオンリセット回路100を備える半導体装置200Lのブロック図である。初期化対象回路210は、リセット付きのDフリップフロップ220である。パワーオンリセット回路100は、リセット付きDフリップフロップのリセット端子RNに、リセットパルスRSTを供給する。
- [0132] Dフリップフロップ220は、NANDゲート222およびトライステートバッファ224を含んでいる。図22のDフリップフロップ220、NANDゲート222およびトライステートバッファ224は、図5の順序回路212、第1反転回路214、第2反転回路216に対応付けられる。
- [0133] パワーオンリセット回路100が生成するリセットパルスRSTは、Dフリップフロップ220のラッチ部分221が不定から安定に遷移するのと同様、あるいはその直後にネゲートされることが望ましい。そのためには、パワーオンリセット回路100のラッチ回路110を、ラッチ部分221のレプリカ221rとするとよい。したがってラッチ回路110の第1反転回路112は、NANDゲートであり、第2反転回路114はトライステートバッファである。これにより、パワーオンリセット回路100において、初期化対象回路210の不定から安定の遷移を正確に検出可能となる。
- [0134] 図23は、パワーオンリセット回路100を備える半導体装置200Mのブロック図である。初期化対象回路210は、システムクロックCLKと同期する複数のDフリップフロップDFF（メモリ）と、組み合わせ論理回路230を備える。
- [0135] パワーオンリセット回路100は、DフリップフロップDFFのリセット端子に、リセットパルスRSTBを供給する。
- [0136] この例において、ラッチ回路110の第1反転回路112、第2反転回路114は、NORゲートであり、DフリップフロップDFFに含まれるSRフリップフロップのレプリカとなっている。

[0137] またこの半導体装置 200M では、パワーオンリセット回路 100 の出力 RST_{init} に加えて、内部のリセット信号 RST に応じて、初期化対象回路 210 を初期化可能であり、そのために、NOR ゲート 232 が追加されている。

[0138] 実施形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにさまざまな変形例が存在すること、またそうした変形例も本開示に含まれ、また本発明の範囲を構成しうることが当業者に理解されることである。

[0139] (付記)

本明細書の開示の一側面は以下のように把握できる。

[0140] (項目 1)

初期化対象の順序回路にリセットパルスを供給するパワーオンリセット回路であって、

自身に入力された信号を反転増幅する第 1 反転回路および第 2 反転回路を含み、前記第 1 反転回路の出力ノードは前記第 2 反転回路の入力ノードと接続され、前記第 2 反転回路の出力ノードは前記第 1 反転回路の入力ノードと接続されている、ラッチ回路と、

前記第 1 反転回路の前記出力ノードの第 1 信号と前記第 2 反転回路の前記出力ノードの第 2 信号を受け、前記第 1 信号と前記第 2 信号にもとづいて前記リセットパルスを生成する判定回路と、

を備える、パワーオンリセット回路。

[0141] (項目 2)

前記ラッチ回路は、前記順序回路の出力段を構成するラッチ部分のレプリカを含む、項目 1 に記載のパワーオンリセット回路。

[0142] (項目 3)

前記ラッチ回路のゲインは、前記順序回路の出力段を構成するラッチ部分のゲイン以下である、項目 1 または 2 に記載のパワーオンリセット回路。

[0143] (項目 4)

前記第 1 反転回路および前記第 2 反転回路に含まれるトランジスタの形状比 W/L は、前記順序回路の出力段を構成するラッチ部分を構成するトランジスタの形状比 W/L より小さい、項目 1 から 3 のいずれかに記載のパワーオンリセット回路。

[0144] (項目 5)

前記第 1 反転回路および前記第 2 反転回路の少なくとも一方は、相補型金属酸化膜半導体インバータである、項目 1 から 4 のいずれかに記載のパワーオンリセット回路。

[0145] (項目 6)

前記第 1 反転回路および前記第 2 反転回路の少なくとも一方は、トライステートバッファである、項目 1 から 5 のいずれかに記載のパワーオンリセット回路。

[0146] (項目 7)

前記第 1 反転回路および前記第 2 反転回路の少なくとも一方は、否定論理和ゲートである、項目 1 から 6 のいずれかに記載のパワーオンリセット回路。

[0147] (項目 8)

前記第 1 反転回路および前記第 2 反転回路の少なくとも一方は、否定論理積ゲートである、項目 1 から 7 のいずれかに記載のパワーオンリセット回路。

[0148] (項目 9)

前記第 1 反転回路および前記第 2 反転回路における電源ラインと接地ラインのトランジスタの縦積み段数は、前記順序回路の出力段を構成するラッチ部分におけるトランジスタの縦積み段数と同じか、それより多い、項目 1 から 8 のいずれかに記載のパワーオンリセット回路。

[0149] (項目 10)

前記第 1 反転回路および前記第 2 反転回路それぞれにおいて、前記出力ノードより高電位側の縦積み段数と、前記出力ノードより低電位側の縦積み段

数が異なる、項目 9 に記載のパワーオンリセット回路。

[0150] (項目 1 1)

前記判定回路は、前記第 1 信号と前記第 2 信号が不一致であるときに前記リセットパルスを負にする、項目 1 から 10 のいずれかに記載のパワーオンリセット回路。

[0151] (項目 1 2)

前記判定回路は、排他的論理和ゲートまたは排他的否定論理和ゲートを含む、項目 1 1 に記載のパワーオンリセット回路。

[0152] (項目 1 3)

前記判定回路は、排他的論理和ゲートを含み、前記排他的論理和ゲートは、

第 1 入力ノードと、

第 2 入力ノードと、

出力ノードと、

第 1 インバータと、

第 2 インバータと、

電源ラインと前記出力ノードの間に順に直列に接続された第 1 P チャンネルトランジスタおよび第 2 P チャンネルトランジスタと、

前記出力ノードと接地ラインの間に順に直列に接続された、第 1 N チャンネルトランジスタおよび第 2 N チャンネルトランジスタと、

前記電源ラインと前記出力ノードの間に順に直列に接続された第 3 P チャンネルトランジスタおよび第 4 P チャンネルトランジスタと、

前記出力ノードと前記接地ラインの間に順に直列に接続された第 3 N チャンネルトランジスタおよび第 4 N チャンネルトランジスタと、

を含み、

前記第 1 インバータの入力は、前記第 1 入力ノードと接続され、前記第 1 インバータの出力は、前記第 4 P チャンネルトランジスタのゲートおよび前記第 3 N チャンネルトランジスタのゲートと接続され、

前記第2インバータの入力は、前記第2入力ノードと接続され、前記第2インバータの出力は、前記第1Pチャンネルトランジスタのゲートおよび前記第4Nチャンネルトランジスタのゲートと接続され、

前記第2Pチャンネルトランジスタのゲートおよび前記第1Nチャンネルトランジスタのゲートは、前記第1入力ノードと接続され、

前記第3Pチャンネルトランジスタのゲートおよび前記第2Nチャンネルトランジスタのゲートは、前記第2入力ノードと接続される、項目11に記載のパワーオンリセット回路。

[0153] (項目14)

前記判定回路は、排他的否定論理和ゲートを含み、前記排他的否定論理和ゲートは、

第1入力ノードと、

第2入力ノードと、

出力ノードと、

第1インバータと、

第2インバータと、

電源ラインと前記出力ノードの間に順に直列に接続された第1Pチャンネルトランジスタおよび第2Pチャンネルトランジスタと、

前記出力ノードと接地ラインの間に順に直列に接続された、第1Nチャンネルトランジスタおよび第2Nチャンネルトランジスタと、

前記電源ラインと前記出力ノードの間に順に直列に接続された第3Pチャンネルトランジスタおよび第4Pチャンネルトランジスタと、

前記出力ノードと前記接地ラインの間に順に直列に接続された第3Nチャンネルトランジスタおよび第4Nチャンネルトランジスタと、

を含み、

前記第1インバータの入力は、前記第1入力ノードと接続され、前記第1インバータの出力は、前記第4Pチャンネルトランジスタのゲートおよび前記第3Nチャンネルトランジスタのゲートと接続され、

前記第2インバータの入力は、前記第2入力ノードと接続され、前記第2インバータの出力は、前記第3Pチャンネルトランジスタのゲートおよび前記第2Nチャンネルトランジスタのゲートと接続され、

前記第2Pチャンネルトランジスタのゲートおよび前記第1Nチャンネルトランジスタのゲートは、前記第1入力ノードと接続され、

前記第1Pチャンネルトランジスタのゲートおよび前記第4Nチャンネルトランジスタのゲートは、前記第2入力ノードと接続される、項目11に記載のパワーオンリセット回路。

[0154] (項目15)

前記判定回路は、前記第1信号の電圧と前記第2信号の電圧が、前記第1反転回路および前記第2反転回路のしきい値を含むように規定された判定電圧範囲に含まれるときに、前記リセットパルスのアサートする、項目1から10のいずれかに記載のパワーオンリセット回路。

[0155] (項目16)

前記判定回路は、

前記第1信号を前記電圧範囲の上限電圧および下限電圧と比較する第1ヒステリシスコンパレータと、

前記第2信号を前記電圧範囲の前記上限電圧および前記下限電圧と比較する第2ヒステリシスコンパレータと、

前記第1ヒステリシスコンパレータの出力および前記第2ヒステリシスコンパレータの出力を受け、前記リセットパルスを生成する論理ゲートと、
を含む、項目15に記載のパワーオンリセット回路。

[0156] (項目17)

前記第1ヒステリシスコンパレータは、前記第1信号と、前記第1反転回路および前記第2反転回路の前記しきい値に相当する電圧と、を受ける第1反転ヒステリシスコンパレータを含み、

前記第2ヒステリシスコンパレータは、前記第2信号と、前記第1反転回路および前記第2反転回路の前記しきい値に相当する電圧と、を受ける第2

反転ヒステリシスコンパレータを含む、項目 1 6 に記載のパワーオンリセット回路。

[0157] (項目 1 8)

前記第 1 ヒステリシスコンパレータは、前記第 1 信号を受ける第 1 シュミットトリガインバータを含み、

前記第 1 ヒステリシスコンパレータは、前記第 2 信号を受ける第 2 シュミットトリガインバータを含む、項目 1 6 に記載のパワーオンリセット回路。

[0158] (項目 1 9)

前記第 1 反転回路および前記第 2 反転回路の前記しきい値は、電源電圧と接地電圧の midpoint 電圧よりも低電位側に位置しており、

前記電圧範囲のセンターは、前記 midpoint 電圧より高電位側に位置している、項目 1 5 に記載のパワーオンリセット回路。

[0159] (項目 2 0)

前記第 1 反転回路および前記第 2 反転回路の前記しきい値は、電源電圧と接地電圧の midpoint 電圧よりも高電位側に位置しており、

前記電圧範囲のセンターは、前記 midpoint 電圧より低電位側に位置している、項目 1 5 に記載のパワーオンリセット回路。

[0160] (項目 2 1)

初期化対象の順序回路と、

項目 1 から 2 0 のいずれかに記載のパワーオンリセット回路と、

を備える、半導体装置。

産業上の利用可能性

[0161] 本開示は、パワーオンリセット回路に関する。

符号の説明

[0162] 1 0 0 パワーオンリセット回路

1 1 0 ラッチ回路

1 1 2 第 1 反転回路

1 1 4 第 2 反転回路

- 1 2 0 判定回路
- 1 2 4 インバータ
- 1 2 8 バッファ
- 2 0 0 半導体装置
- 2 0 2 電源ライン
- 2 0 4 接地ライン
- 2 1 0 初期化対象回路
- 2 1 2 順序回路
- 2 1 4 第1反転回路
- 2 1 6 第2反転回路

請求の範囲

- [請求項1] 初期化対象の順序回路にリセットパルスを供給するパワーオンリセット回路であって、
- 自身に入力された信号を反転増幅する第1反転回路および第2反転回路を含み、前記第1反転回路の出力ノードは前記第2反転回路の入力ノードと接続され、前記第2反転回路の出力ノードは前記第1反転回路の入力ノードと接続されている、ラッチ回路と、
- 前記第1反転回路の前記出力ノードの第1信号と前記第2反転回路の前記出力ノードの第2信号を受け、前記第1信号と前記第2信号にもとづいて前記リセットパルスを生成する判定回路と、
- を備える、パワーオンリセット回路。
- [請求項2] 前記ラッチ回路は、前記順序回路の出力段を構成するラッチ部分のレプリカを含む、請求項1に記載のパワーオンリセット回路。
- [請求項3] 前記ラッチ回路のゲインは、前記順序回路の出力段を構成するラッチ部分のゲイン以下である、請求項1または2に記載のパワーオンリセット回路。
- [請求項4] 前記第1反転回路および前記第2反転回路に含まれるトランジスタの形状比 W/L は、前記順序回路の出力段を構成するラッチ部分を構成するトランジスタの形状比 W/L より小さい、請求項1または2に記載のパワーオンリセット回路。
- [請求項5] 前記第1反転回路および前記第2反転回路の少なくとも一方は、相補型金属酸化膜半導体インバータである、請求項1または2に記載のパワーオンリセット回路。
- [請求項6] 前記第1反転回路および前記第2反転回路の少なくとも一方は、トライステートバッファである、請求項1または2に記載のパワーオンリセット回路。
- [請求項7] 前記第1反転回路および前記第2反転回路の少なくとも一方は、否定論理和ゲートである、請求項1または2に記載のパワーオンリセッ

ト回路。

[請求項8] 前記第1反転回路および前記第2反転回路の少なくとも一方は、否定論理積ゲートである、請求項1または2に記載のパワーオンリセット回路。

[請求項9] 前記第1反転回路および前記第2反転回路における電源ラインと接地ラインのトランジスタの縦積み段数は、前記順序回路の出力段を構成するラッチ部分におけるトランジスタの縦積み段数と同じか、それより多い、請求項1または2に記載のパワーオンリセット回路。

[請求項10] 前記第1反転回路および前記第2反転回路それぞれにおいて、前記出力ノードより高電位側の縦積み段数と、前記出力ノードより低電位側の縦積み段数が異なる、請求項9に記載のパワーオンリセット回路。

[請求項11] 前記判定回路は、前記第1信号と前記第2信号が不一致であるときに前記リセットパルスを負にする、請求項1または2に記載のパワーオンリセット回路。

[請求項12] 前記判定回路は、排他的論理和ゲートまたは排他的否定論理和ゲートを含む、請求項11に記載のパワーオンリセット回路。

[請求項13] 前記判定回路は、排他的論理和ゲートを含み、前記排他的論理和ゲートは、

第1入力ノードと、

第2入力ノードと、

出力ノードと、

第1インバータと、

第2インバータと、

電源ラインと前記出力ノードの間に順に直列に接続された第1Pチャンネルトランジスタおよび第2Pチャンネルトランジスタと、

前記出力ノードと接地ラインの間に順に直列に接続された、第1Nチャンネルトランジスタおよび第2Nチャンネルトランジスタと、

前記電源ラインと前記出力ノードの間に順に直列に接続された第3 Pチャンネルトランジスタおよび第4 Pチャンネルトランジスタと、
前記出力ノードと前記接地ラインの間に順に直列に接続された第3 Nチャンネルトランジスタおよび第4 Nチャンネルトランジスタと、
を含み、

前記第1インバータの入力は、前記第1入力ノードと接続され、前記第1インバータの出力は、前記第4 Pチャンネルトランジスタのゲートおよび前記第3 Nチャンネルトランジスタのゲートと接続され、

前記第2インバータの入力は、前記第2入力ノードと接続され、前記第2インバータの出力は、前記第1 Pチャンネルトランジスタのゲートおよび前記第4 Nチャンネルトランジスタのゲートと接続され、

前記第2 Pチャンネルトランジスタのゲートおよび前記第1 Nチャンネルトランジスタのゲートは、前記第1入力ノードと接続され、

前記第3 Pチャンネルトランジスタのゲートおよび前記第2 Nチャンネルトランジスタのゲートは、前記第2入力ノードと接続される、
請求項1 1に記載のパワーオンリセット回路。

[請求項14]

前記判定回路は、排他的否定論理和ゲートを含み、前記排他的否定論理和ゲートは、

第1入力ノードと、

第2入力ノードと、

出力ノードと、

第1インバータと、

第2インバータと、

電源ラインと前記出力ノードの間に順に直列に接続された第1 Pチャンネルトランジスタおよび第2 Pチャンネルトランジスタと、

前記出力ノードと接地ラインの間に順に直列に接続された、第1 Nチャンネルトランジスタおよび第2 Nチャンネルトランジスタと、

前記電源ラインと前記出力ノードの間に順に直列に接続された第3

Pチャンネルトランジスタおよび第4 Pチャンネルトランジスタと、
前記出力ノードと前記接地ラインの間に順に直列に接続された第3
Nチャンネルトランジスタおよび第4 Nチャンネルトランジスタと、
を含み、

前記第1 インバータの入力は、前記第1 入力ノードと接続され、前
記第1 インバータの出力は、前記第4 Pチャンネルトランジスタのゲ
ートおよび前記第3 Nチャンネルトランジスタのゲートと接続され、

前記第2 インバータの入力は、前記第2 入力ノードと接続され、前
記第2 インバータの出力は、前記第3 Pチャンネルトランジスタのゲ
ートおよび前記第2 Nチャンネルトランジスタのゲートと接続され、

前記第2 Pチャンネルトランジスタのゲートおよび前記第1 Nチャ
ンネルトランジスタのゲートは、前記第1 入力ノードと接続され、

前記第1 Pチャンネルトランジスタのゲートおよび前記第4 Nチャ
ンネルトランジスタのゲートは、前記第2 入力ノードと接続される、
請求項1 1 に記載のパワーオンリセット回路。

[請求項15] 前記判定回路は、前記第1 信号の電圧と前記第2 信号の電圧が、前
記第1 反転回路および前記第2 反転回路のしきい値を含むように規定
された判定電圧範囲に含まれるときに、前記リセットパルスを実行す
る、請求項1 または2 に記載のパワーオンリセット回路。

[請求項16] 前記判定回路は、
前記第1 信号を前記電圧範囲の上限電圧および下限電圧と比較する
第1 ヒステリシスコンパレータと、

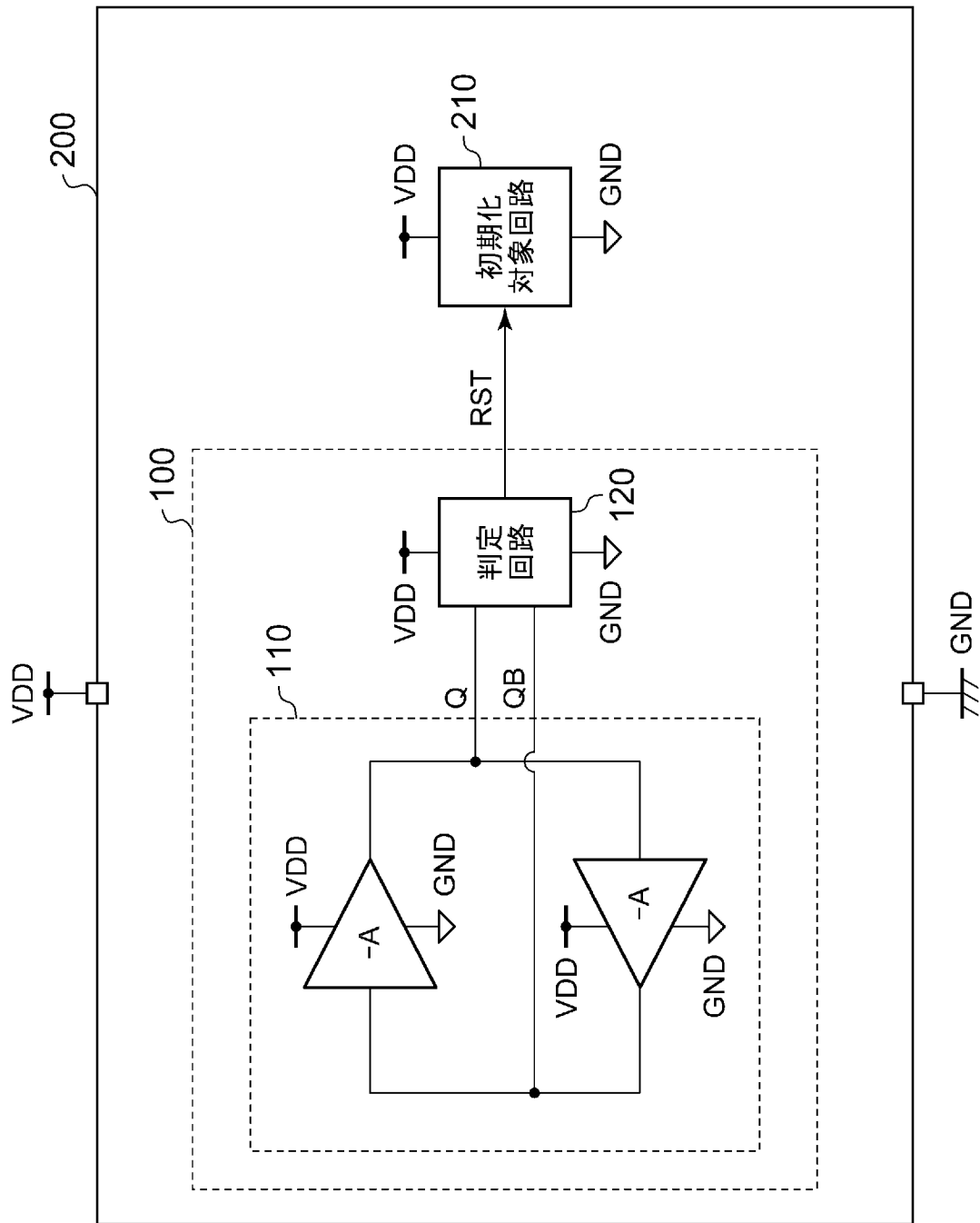
前記第2 信号を前記電圧範囲の前記上限電圧および前記下限電圧と
比較する第2 ヒステリシスコンパレータと、

前記第1 ヒステリシスコンパレータの出力および前記第2 ヒステリ
シスコンパレータの出力を受け、前記リセットパルスを生成する論理
ゲートと、

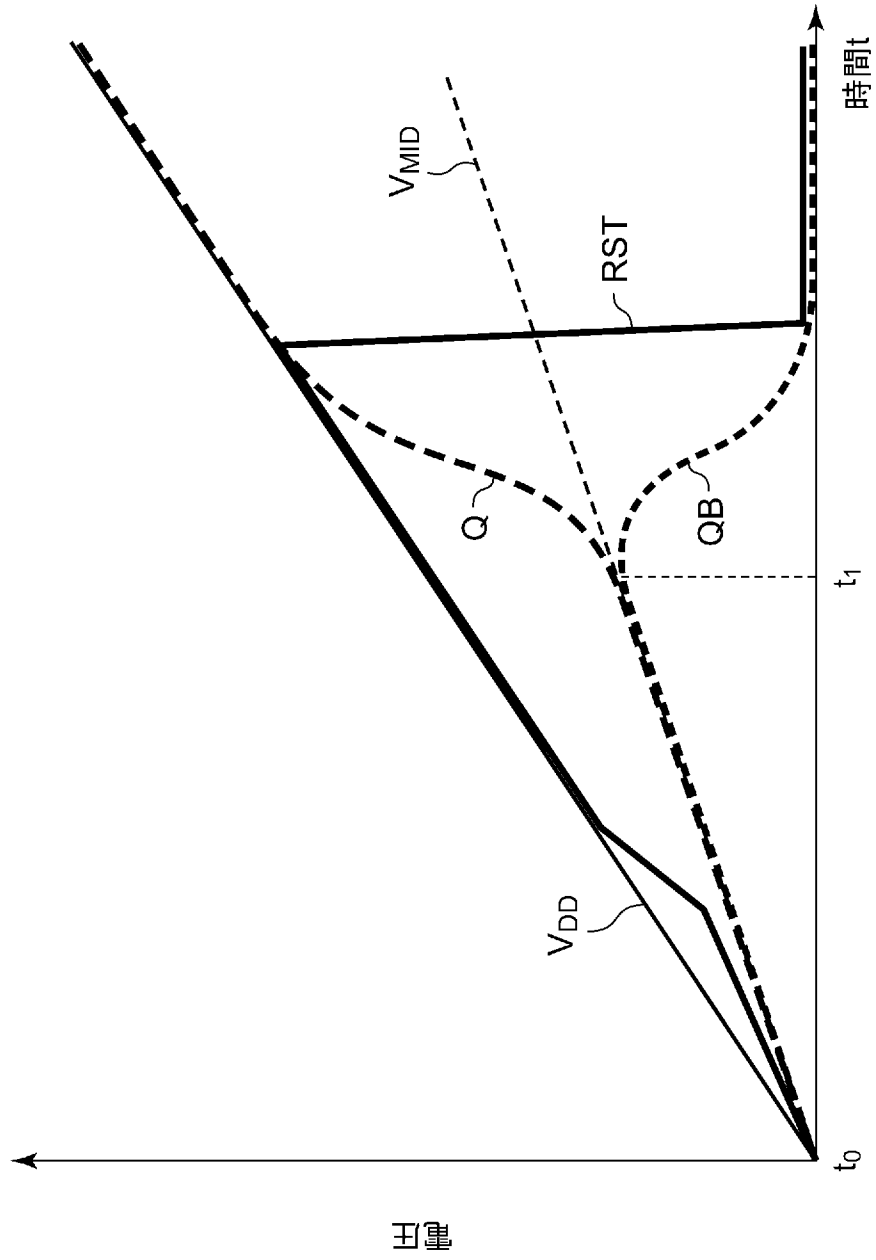
を含む、請求項1 5 に記載のパワーオンリセット回路。

- [請求項17] 前記第1ヒステリシスコンパレータは、前記第1信号と、前記第1反転回路および前記第2反転回路の前記しきい値に相当する電圧と、を受ける第1反転ヒステリシスコンパレータを含み、
- 前記第2ヒステリシスコンパレータは、前記第2信号と、前記第1反転回路および前記第2反転回路の前記しきい値に相当する電圧と、を受ける第2反転ヒステリシスコンパレータを含む、請求項16に記載のパワーオンリセット回路。
- [請求項18] 前記第1ヒステリシスコンパレータは、前記第1信号を受ける第1シュミットトリガインバータを含み、
- 前記第1ヒステリシスコンパレータは、前記第2信号を受ける第2シュミットトリガインバータを含む、請求項16に記載のパワーオンリセット回路。
- [請求項19] 前記第1反転回路および前記第2反転回路の前記しきい値は、電源電圧と接地電圧の midpoint 電圧よりも低電位側に位置しており、
- 前記電圧範囲のセンターは、前記 midpoint 電圧より高電位側に位置している、請求項15に記載のパワーオンリセット回路。
- [請求項20] 前記第1反転回路および前記第2反転回路の前記しきい値は、電源電圧と接地電圧の midpoint 電圧よりも高電位側に位置しており、
- 前記電圧範囲のセンターは、前記 midpoint 電圧より低電位側に位置している、請求項15に記載のパワーオンリセット回路。
- [請求項21] 初期化対象の順序回路と、
- 請求項1または2に記載のパワーオンリセット回路と、
- を備える、半導体装置。

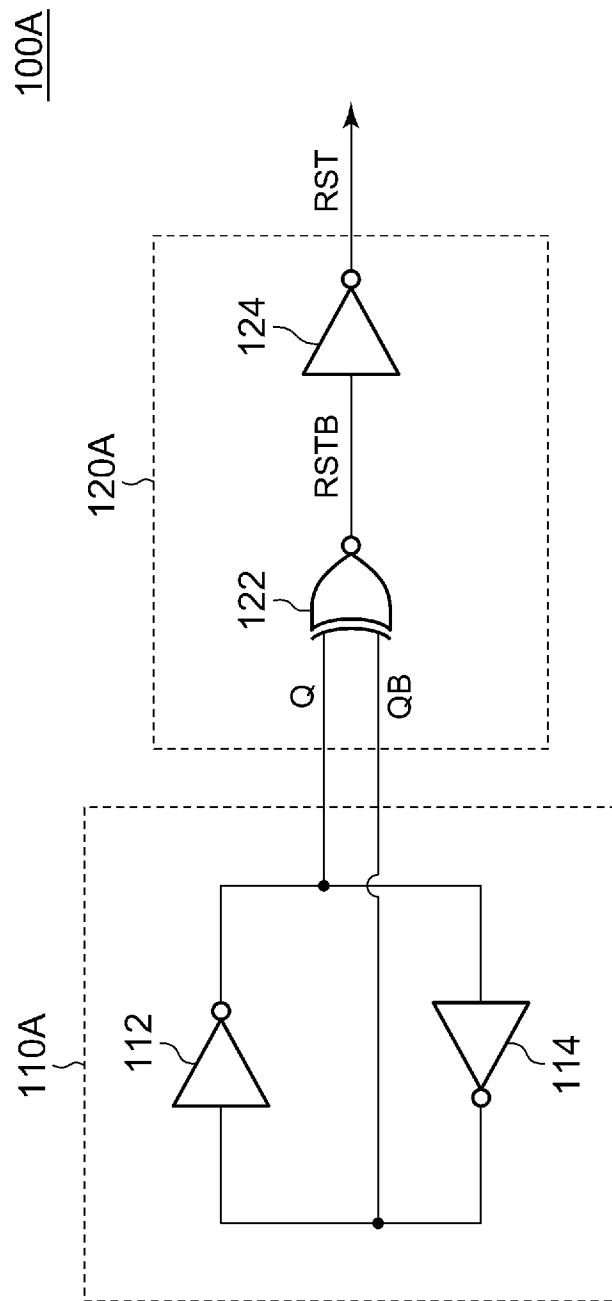
[図1]



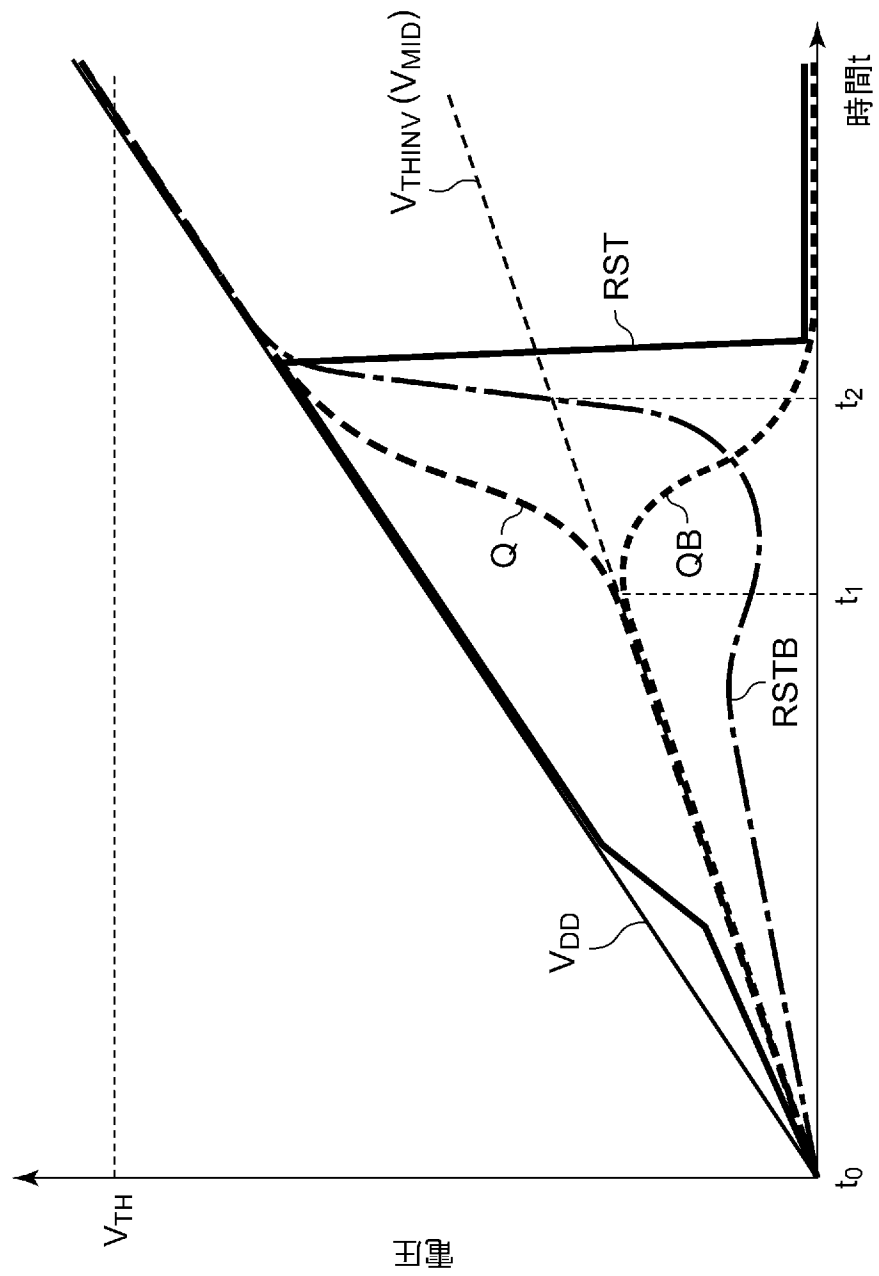
[図2]



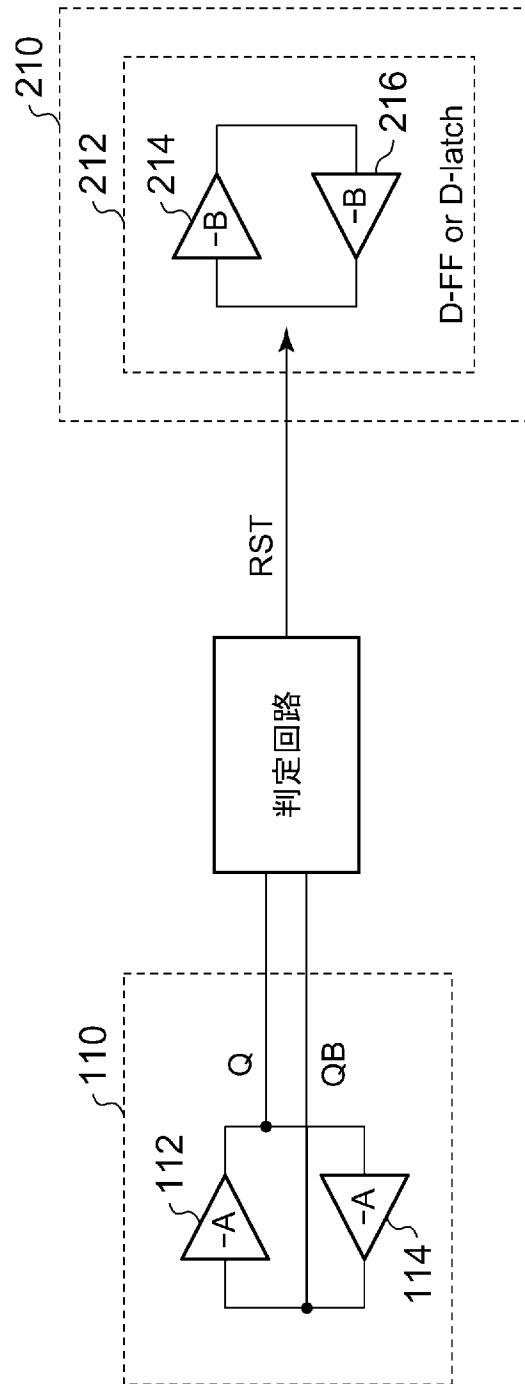
[図3]



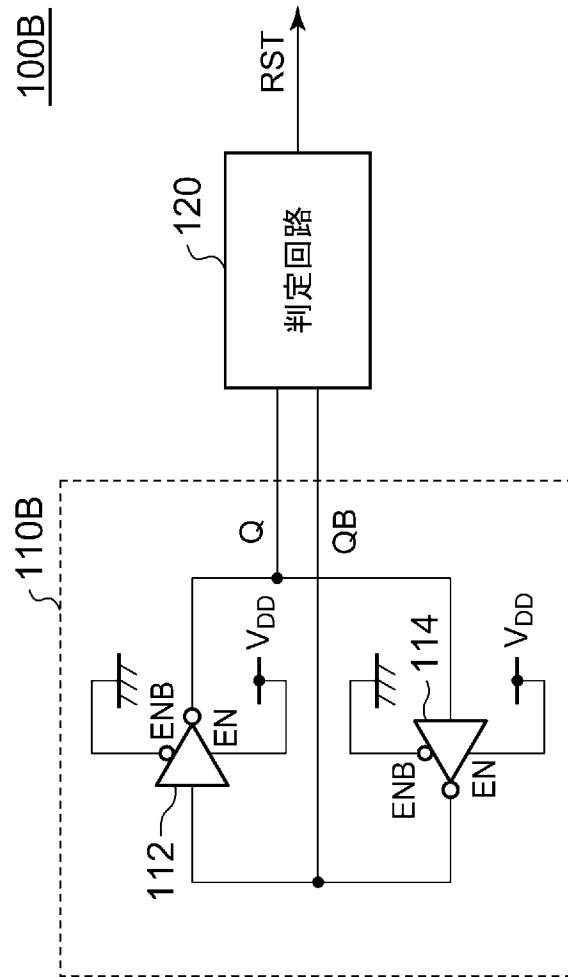
[図4]



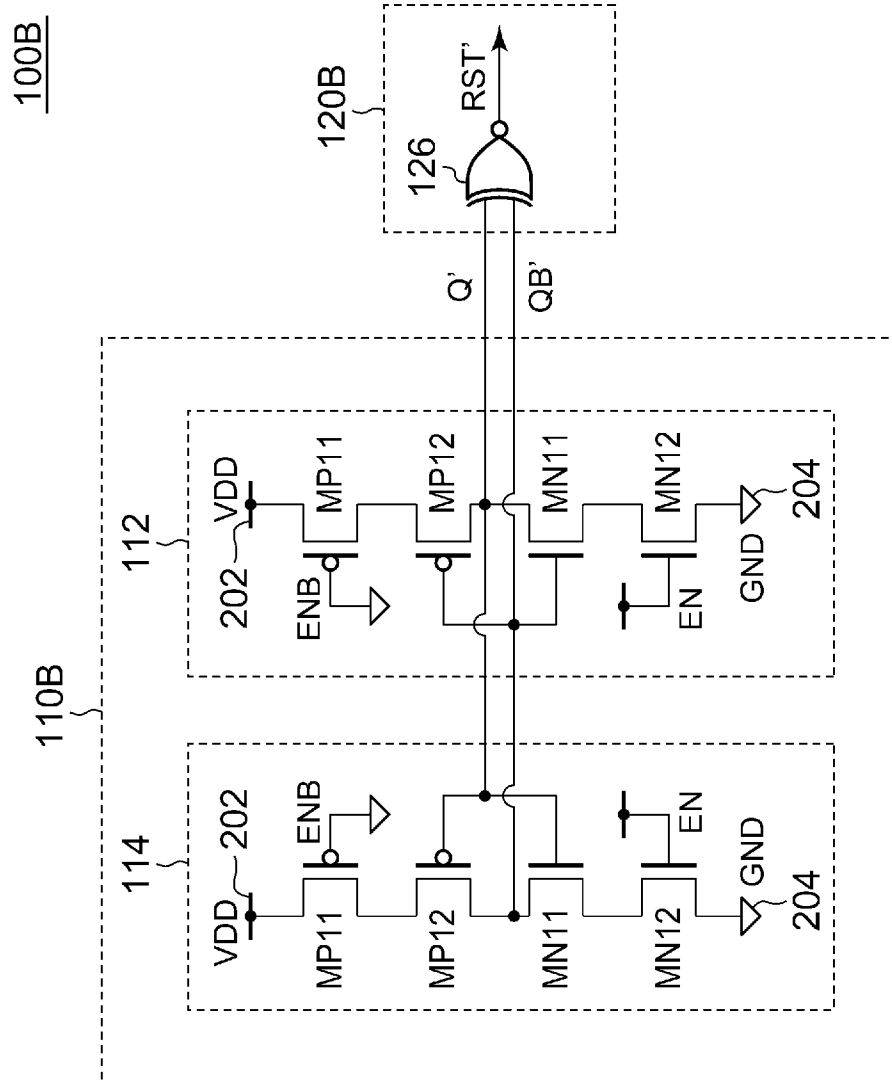
[図5]



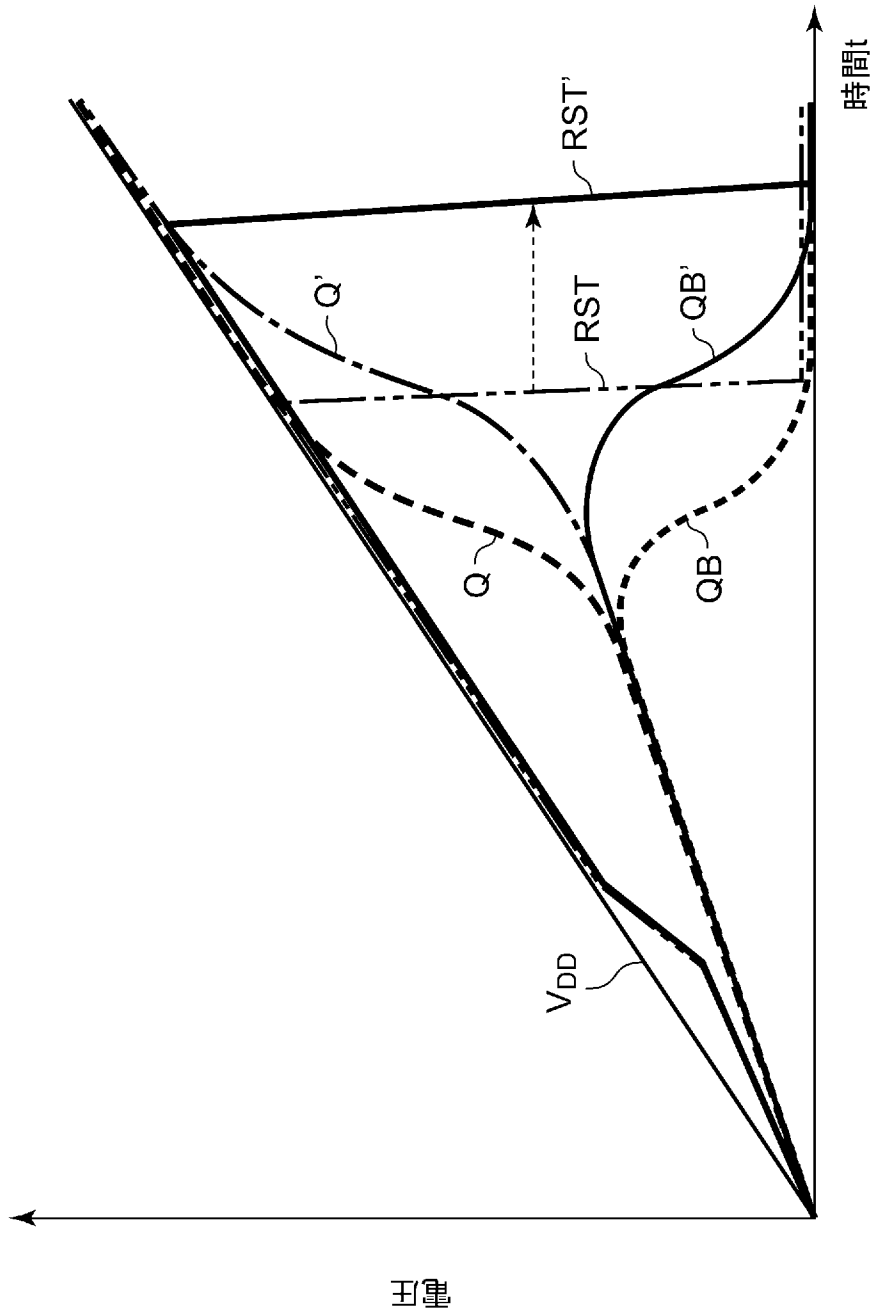
[図6]



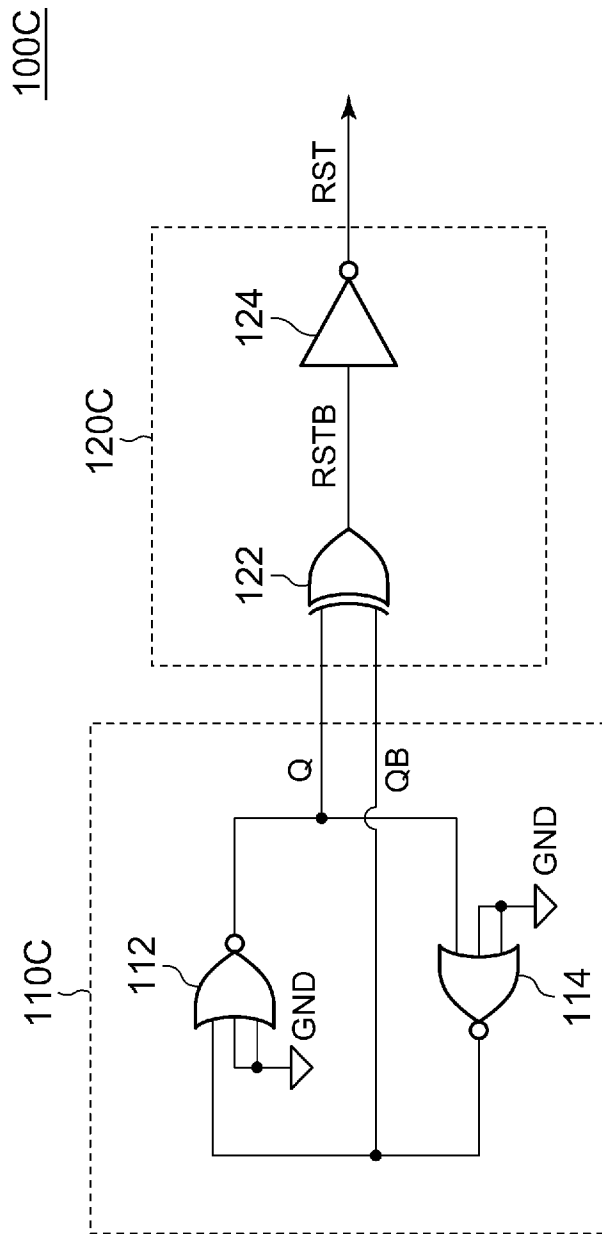
[図7]



[図8]

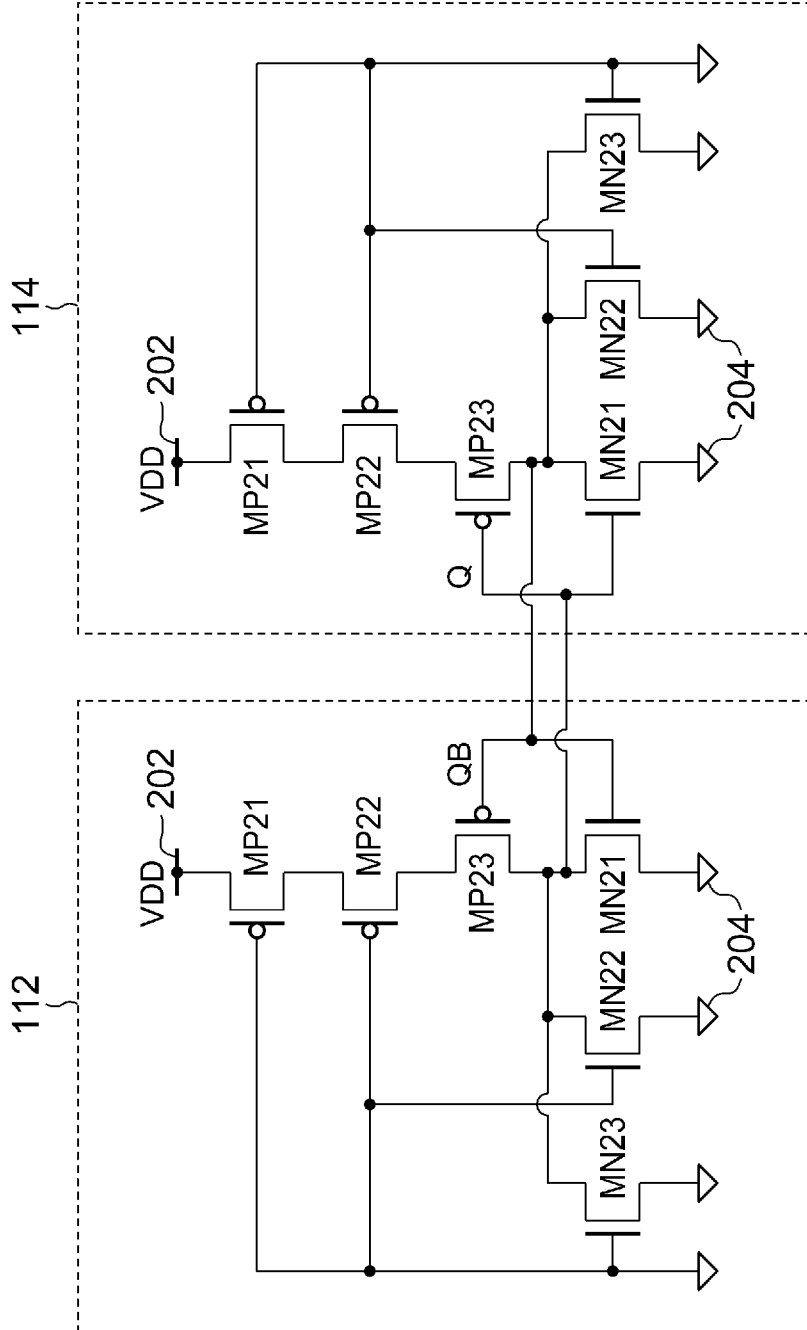


[図9]

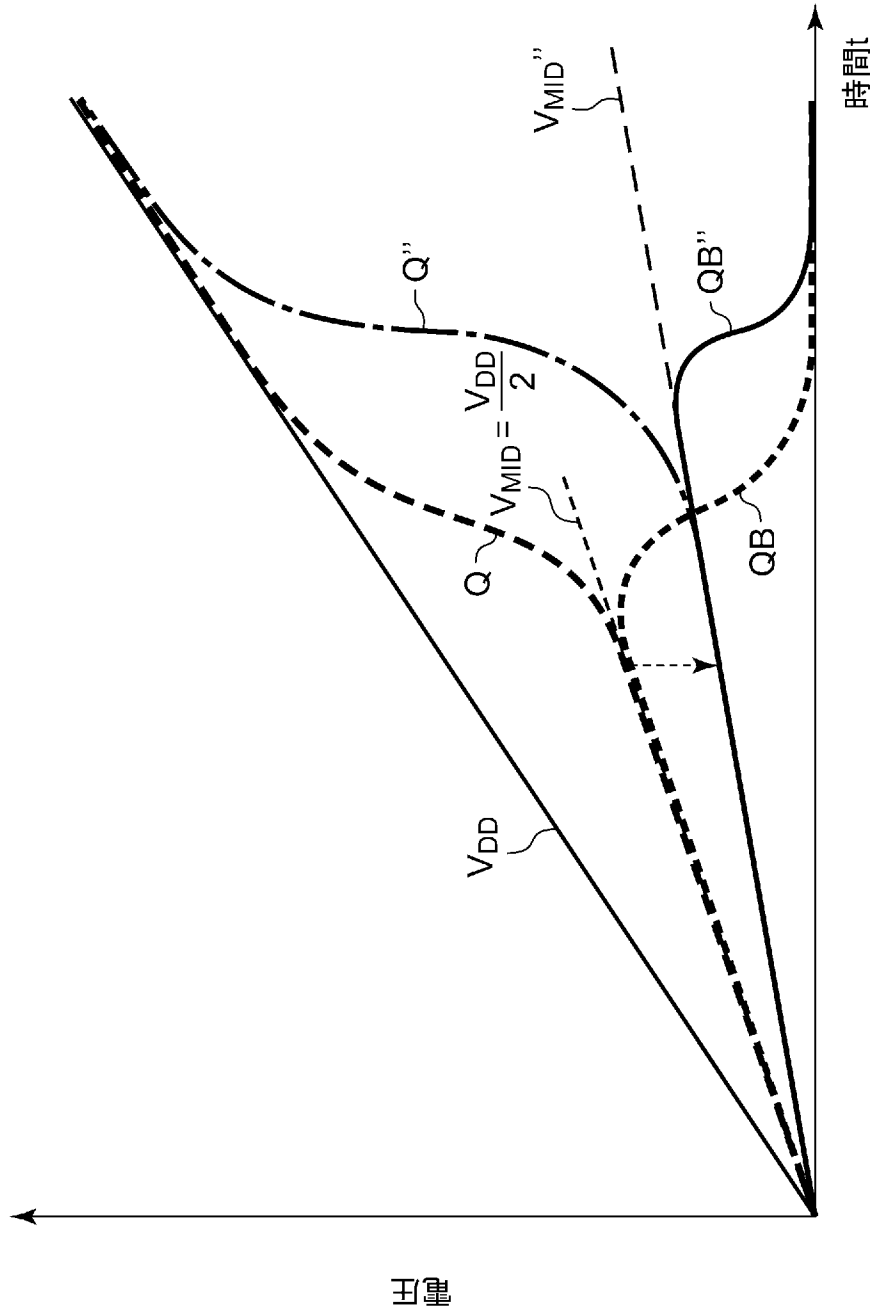


[図10]

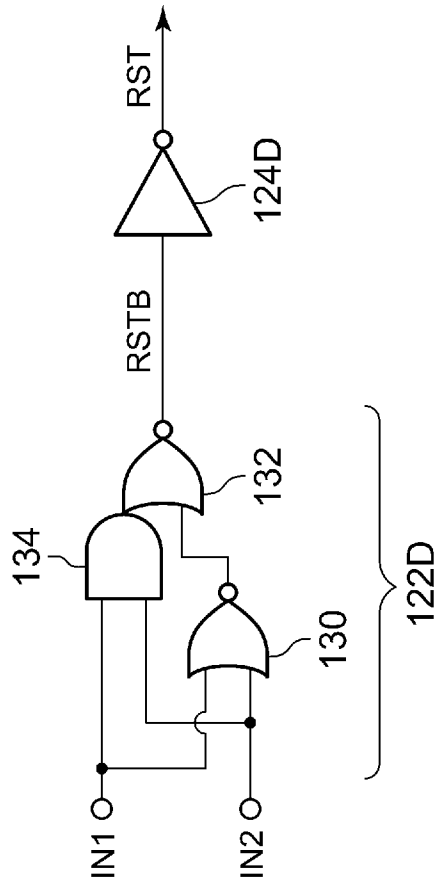
110C



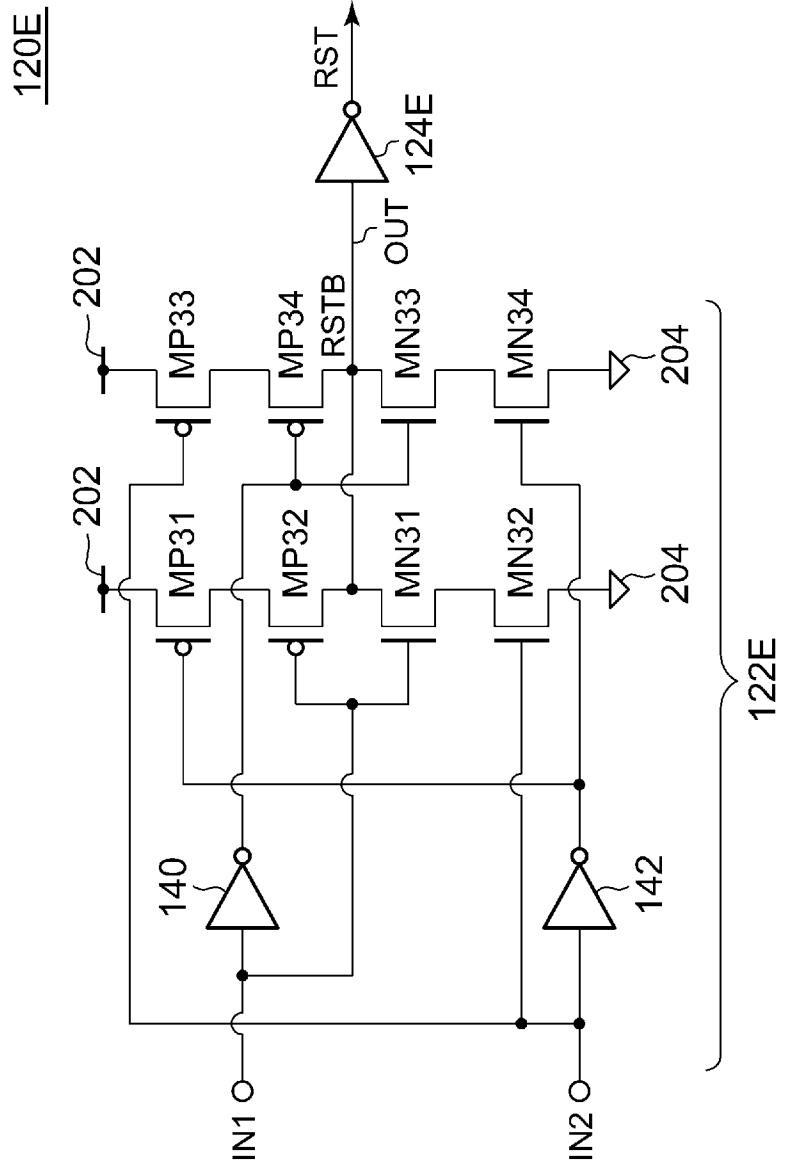
[図11]



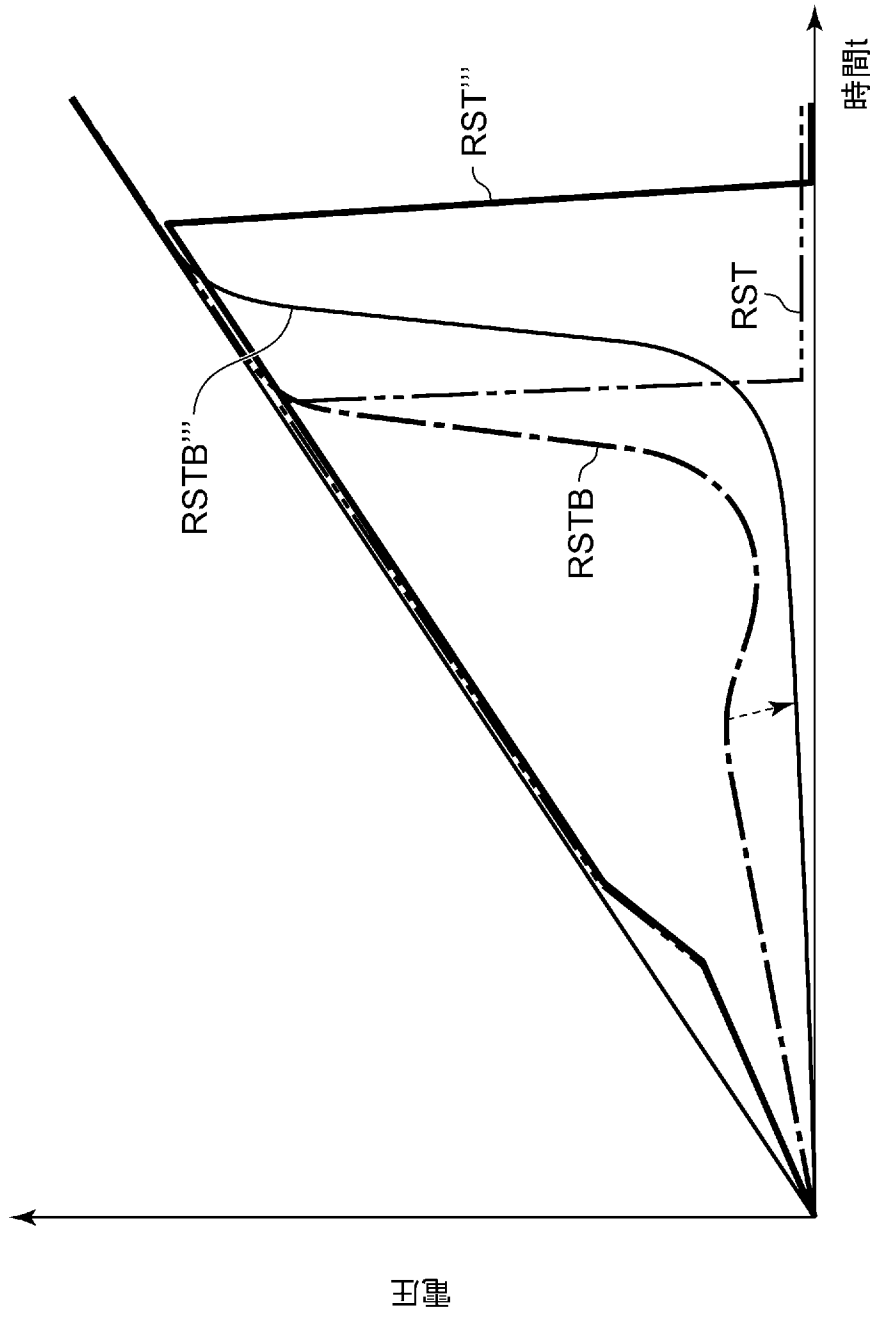
[図12]

120D

[圖13]

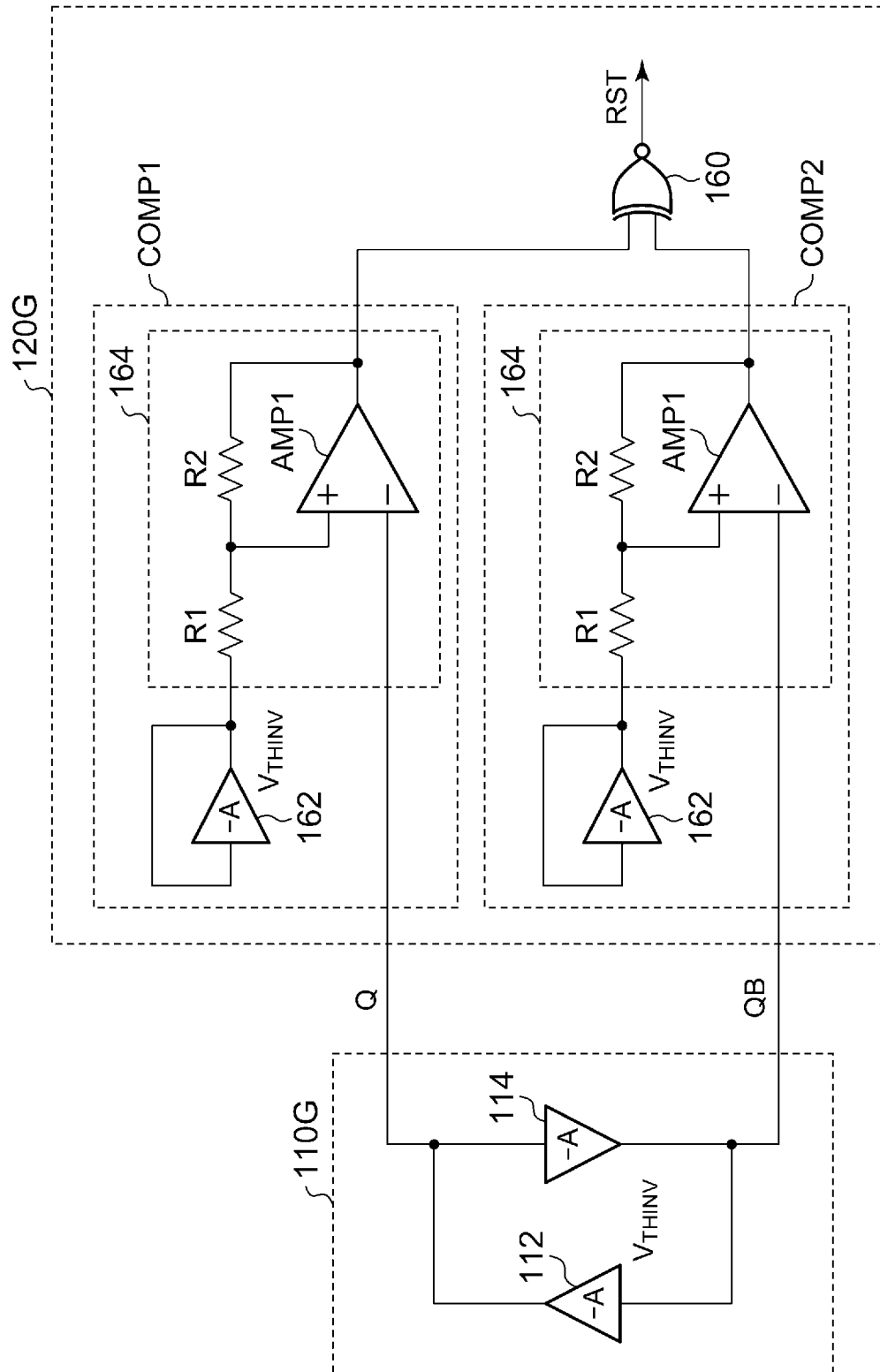


[図14]

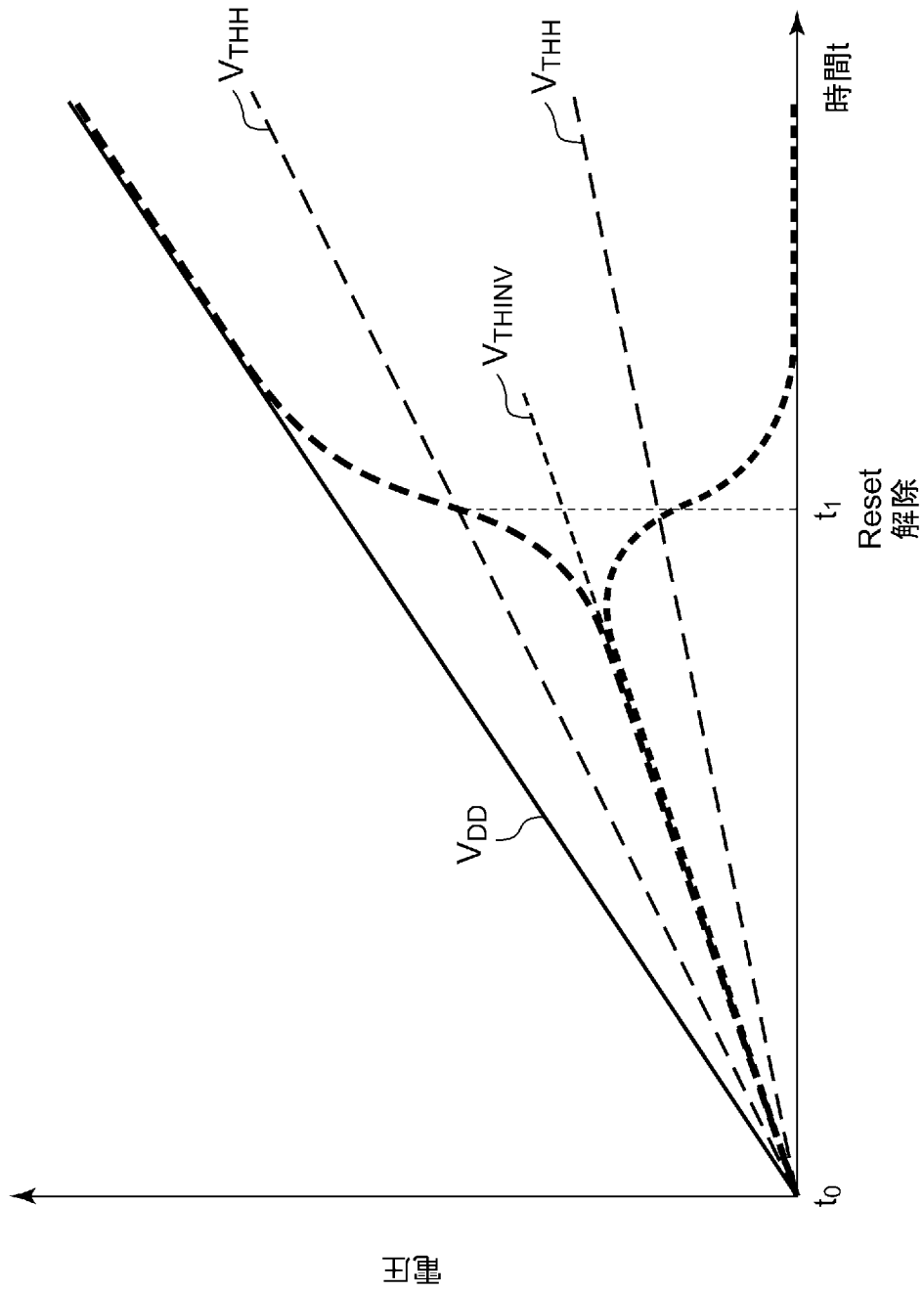


[図16]

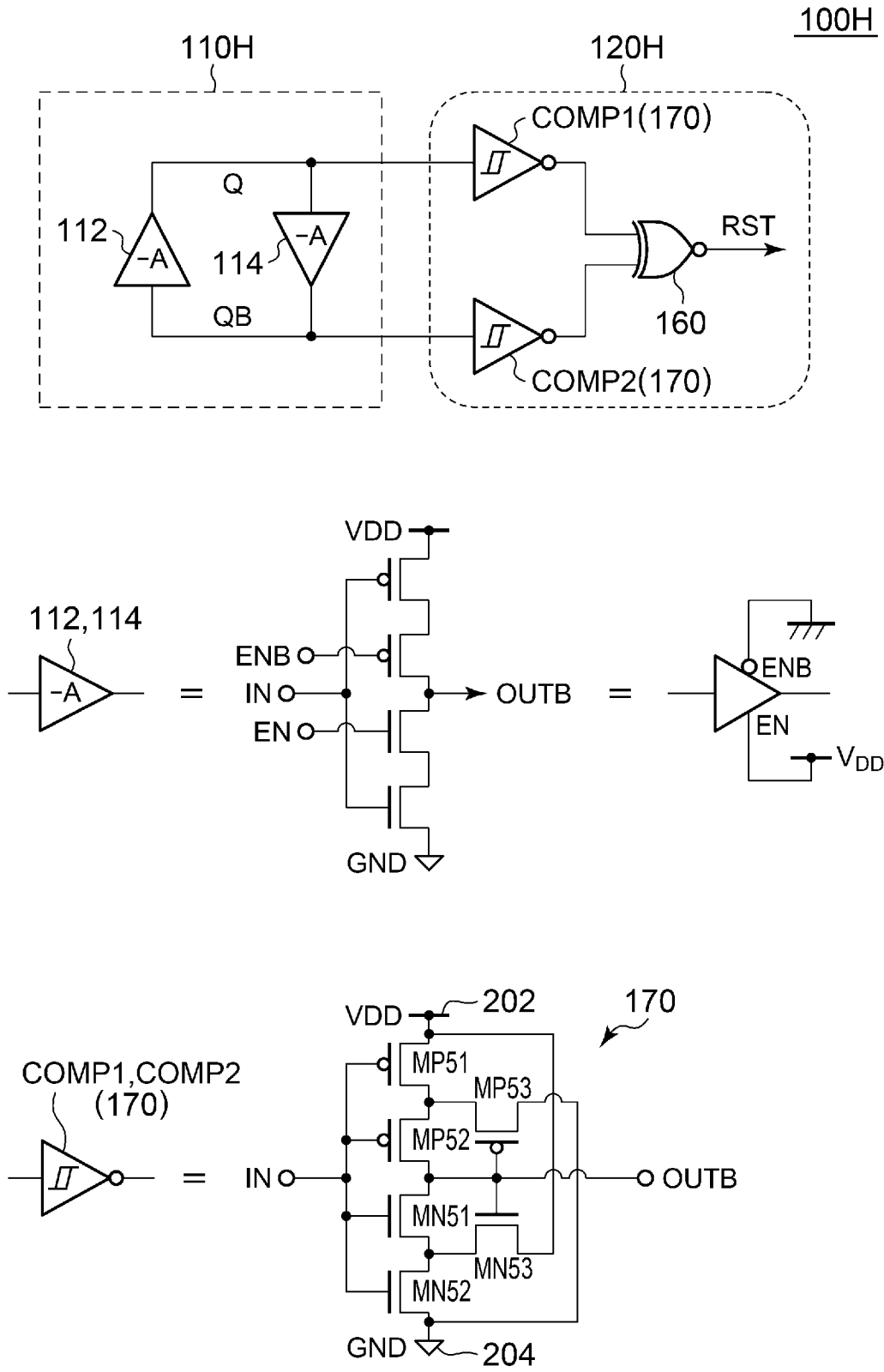
100G



[図17]

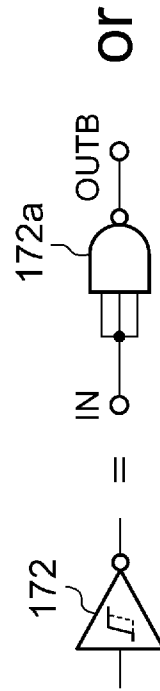
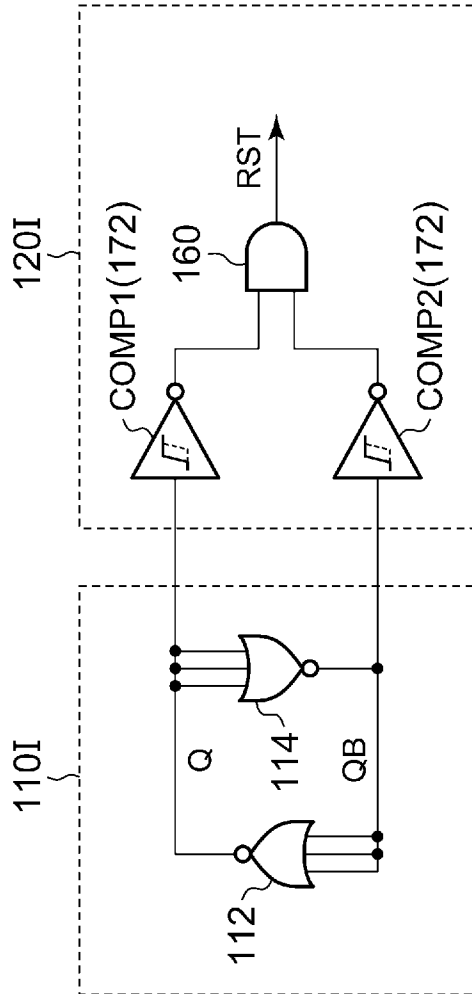


[図18]

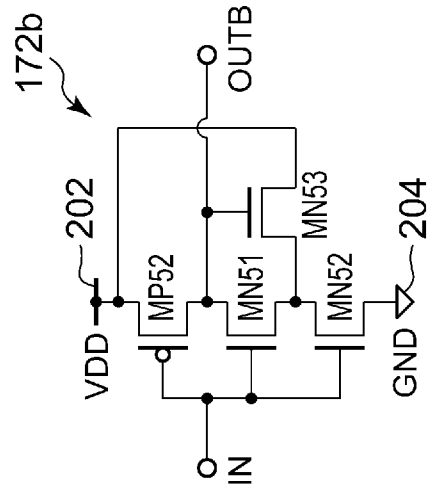


[19]

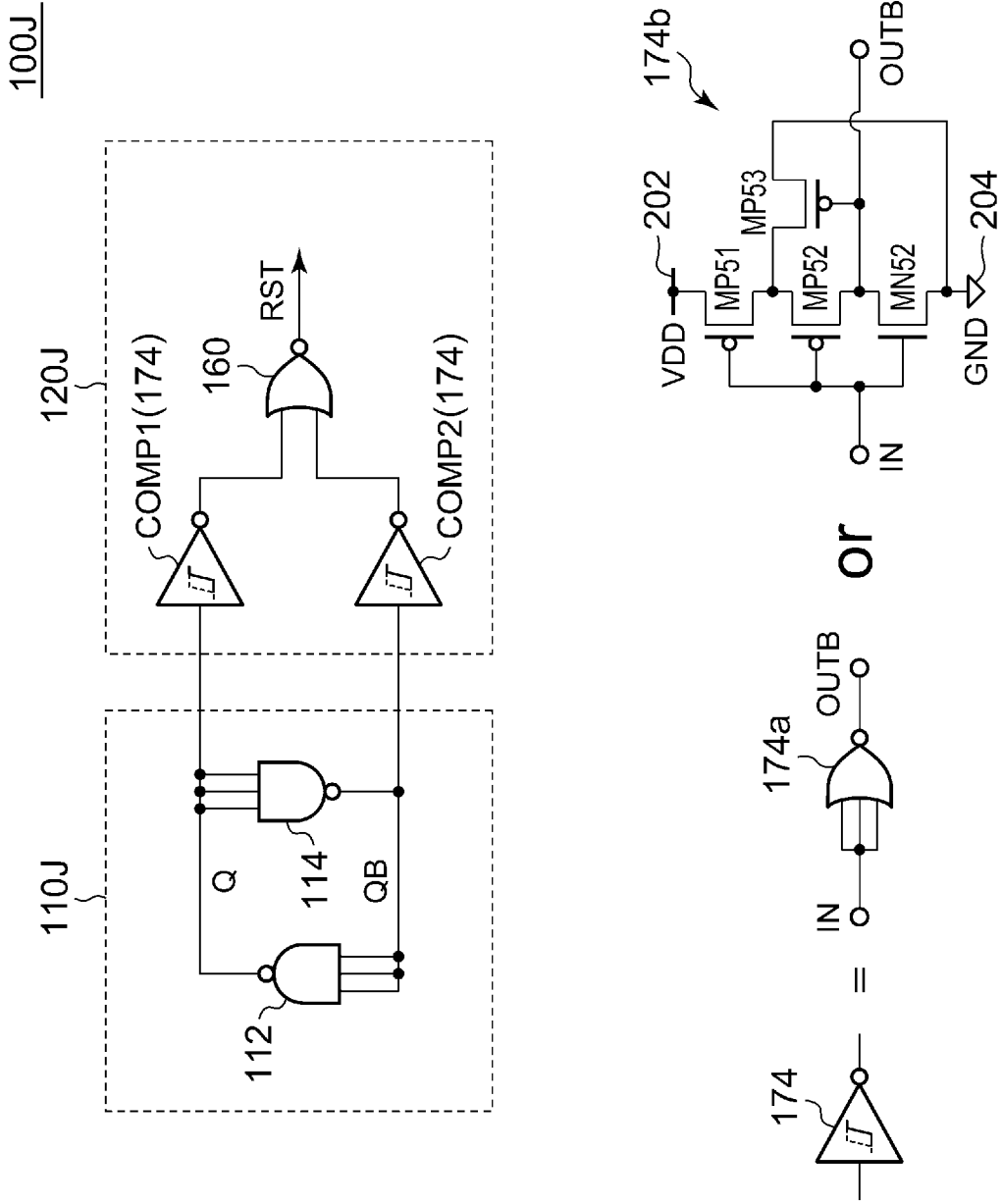
100I



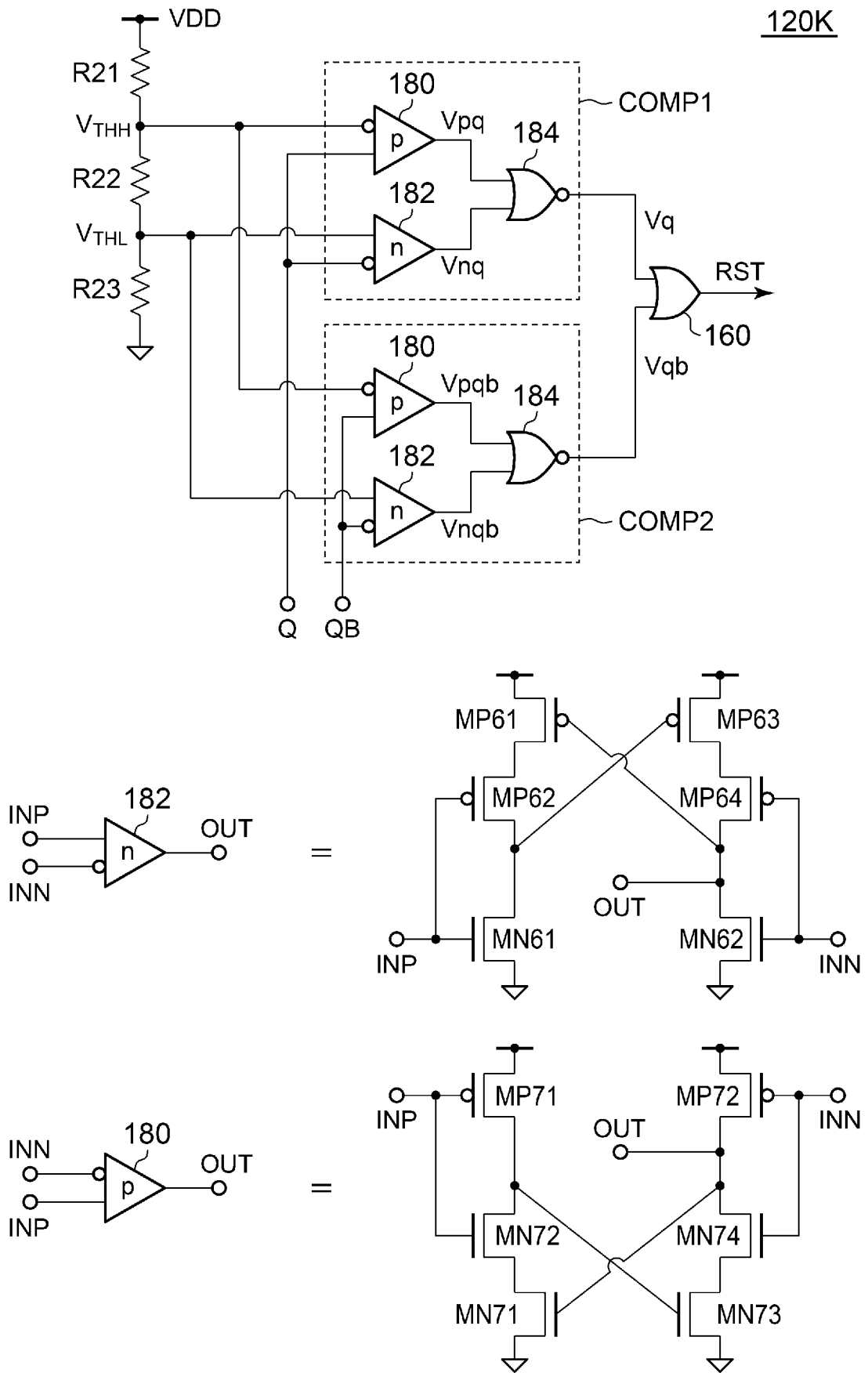
or



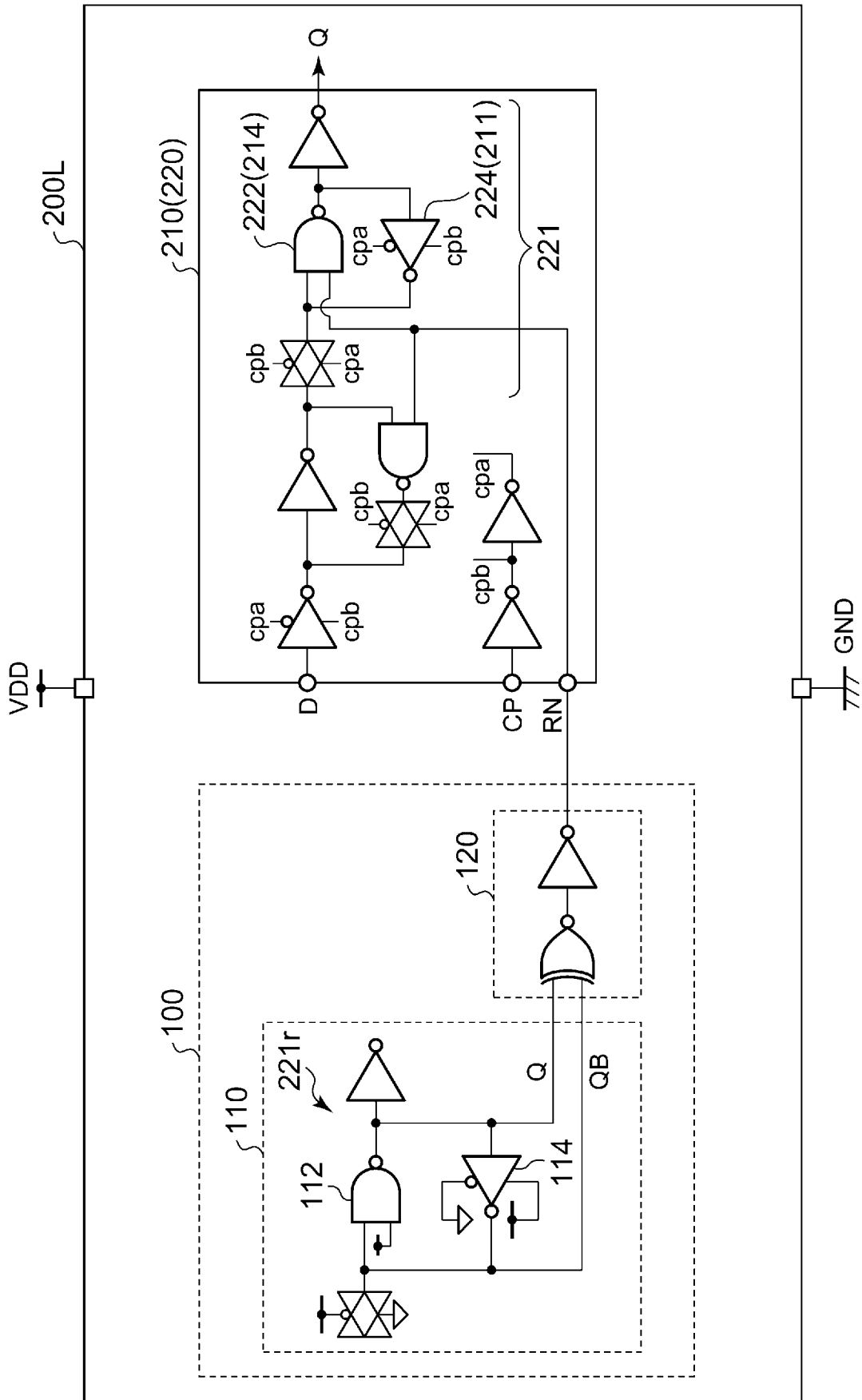
[図20]



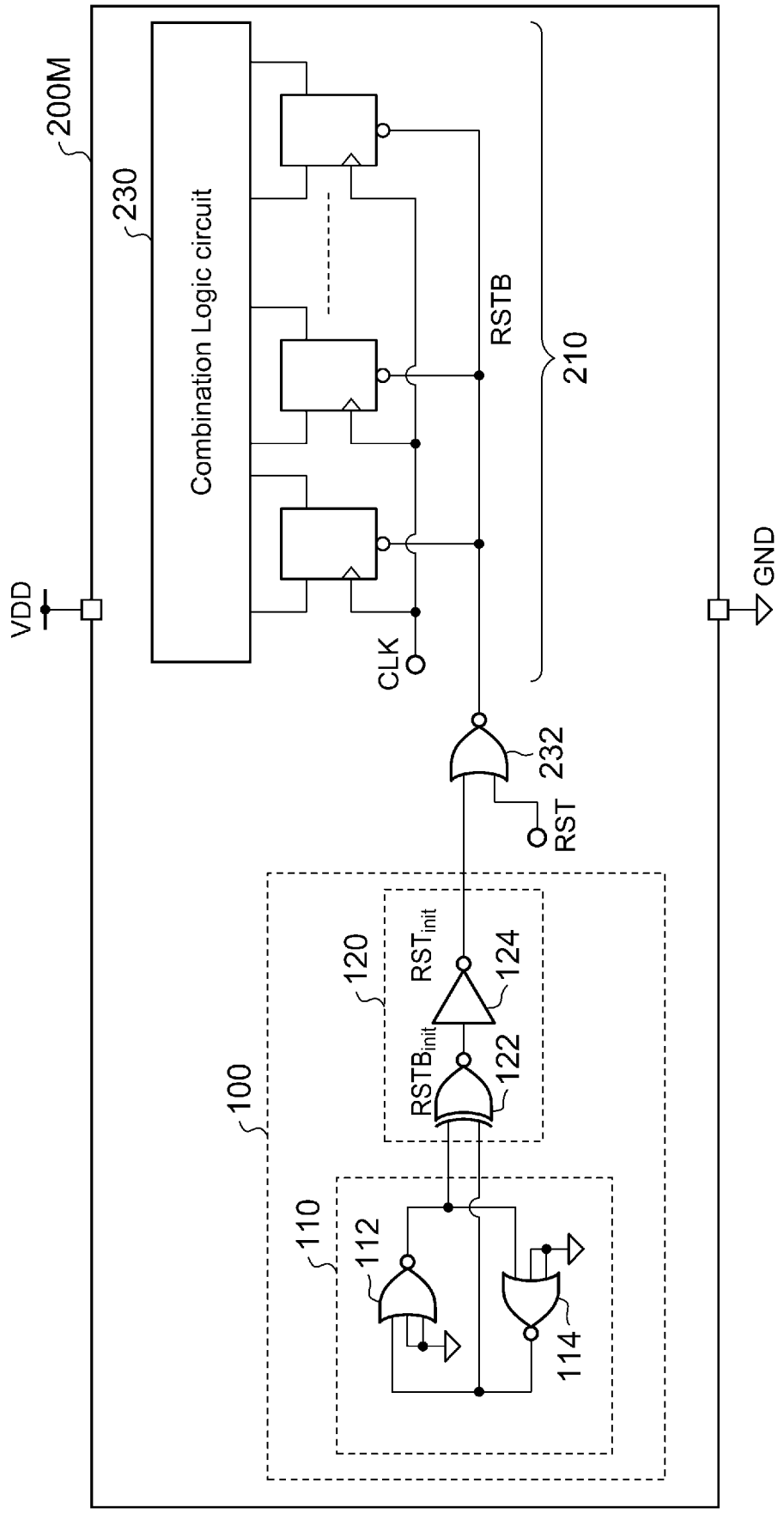
[圖21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024377

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03K 17/22</i> (2006.01)i; <i>G06F 1/24</i> (2006.01)i FI: H03K17/22 E; G06F1/24 351		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03K17/22; G06F1/24		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-239348 A (FUJITSU LTD.) 12 September 1995 (1995-09-12) paragraphs [0001]-[0038], fig. 1-3	1-14, 21 15-20
Y A	JP 2006-5459 A (FUJITSU LTD.) 05 January 2006 (2006-01-05) paragraphs [0018]-[0024], fig. 3	1-14, 21 15-20
Y A	JP 2007-282095 A (ELPIDA MEMORY INC.) 25 October 2007 (2007-10-25) paragraphs [0026]-[0028], fig. 1	3-4 15-20
Y A	JP 5-160684 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 25 June 1993 (1993-06-25) paragraphs [0001]-[0003], [0010]-[0022], fig. 2, 4, 6	6-8 15-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 11 July 2022		Date of mailing of the international search report 19 July 2022
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/024377

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 60-189029 A (ROHM CO., LTD.) 26 September 1985 (1985-09-26)	9-10
A	p. 1, lower left column, line 12 to p. 2, lower left column, line 6, fig. 4	15-20
Y	JP 57-81644 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 21 May 1982 (1982-05-21)	12-14
A	p. 2, upper left column, line 6 to p. 2, upper left column, line 17, fig. 1, 2	15-20
A	JP 2005-210474 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 04 August 2005 (2005-08-04)	15-20
	entire text, all drawings	

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/024377

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 7-239348	A 12 September 1995	(Family: none)	
JP 2006-5459	A 05 January 2006	US 2005/0275437 A1 paragraphs [0037]-[0043], fig. 3 EP 1608067 A2 KR 10-2005-0119078 A CN 1713526 A	
JP 2007-282095	A 25 October 2007	US 2007/0236265 A1 paragraphs [0034]-[0037], fig. 3	
JP 5-160684	A 25 June 1993	US 5321316 A column 1, line 3 to column 1, line 35, column 3, line 55 to column 6, line 68, fig. 2, 4, 6	
JP 60-189029	A 26 September 1985	(Family: none)	
JP 57-81644	A 21 May 1982	(Family: none)	
JP 2005-210474	A 04 August 2005	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/22(2006.01)i; G06F 1/24(2006.01)i FI: H03K17/22 E; G06F1/24 351		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H03K17/22; G06F1/24 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 7-239348 A (富士通株式会社) 12.09.1995 (1995-09-12) 段落[0001]-[0038], 図1-3	1-14, 21 15-20
Y A	JP 2006-5459 A (富士通株式会社) 05.01.2006 (2006-01-05) 段落[0018]-[0024], 図3	1-14, 21 15-20
Y A	JP 2007-282095 A (エルピーダメモリ株式会社) 25.10.2007 (2007-10-25) 段落[0026]-[0028], 図1	3-4 15-20
Y A	JP 5-160684 A (松下電器産業株式会社) 25.06.1993 (1993-06-25) 段落[0001]-[0003], [0010]-[0022], 図2, 4, 6	6-8 15-20
Y A	JP 60-189029 A (ローム株式会社) 26.09.1985 (1985-09-26) 第1頁左下欄第12行-第2頁左下欄第6行, 第4図	9-10 15-20
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 11.07.2022	国際調査報告の発送日 19.07.2022	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 及川 尚人 5W 5888 電話番号 03-3581-1101 内線 3576	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 57-81644 A (松下電器産業株式会社) 21.05.1982 (1982 - 05 - 21) 第2頁左上欄第6行-第2頁左上欄第17行, 第1図, 第2図	12-14
A		15-20
A	JP 2005-210474 A (松下電器産業株式会社) 04.08.2005 (2005 - 08 - 04) 全文, 全図	15-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/024377

引用文献	公表日	パテントファミリー文献	公表日
JP 7-239348 A	12.09.1995	(ファミリーなし)	
JP 2006-5459 A	05.01.2006	US 2005/0275437 A1 段落[0037]-[0043], 図3 EP 1608067 A2 KR 10-2005-0119078 A CN 1713526 A	
JP 2007-282095 A	25.10.2007	US 2007/0236265 A1 段落[0034]-[0037], 図3	
JP 5-160684 A	25.06.1993	US 5321316 A 第1欄第3行-第1欄第35行, 第3欄第55行-第6欄第68行, 図2, 4, 6	
JP 60-189029 A	26.09.1985	(ファミリーなし)	
JP 57-81644 A	21.05.1982	(ファミリーなし)	
JP 2005-210474 A	04.08.2005	(ファミリーなし)	