[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H01L 21/336
H01L 29/786 H01L 21/027
G02F 1/133

[12] 发明专利说明书

[21] ZL 专利号 99124852.X

[45] 授权公告日 2004 年 6 月 2 日

[11] 授权公告号 CN 1152420C

[22] 申请日 1999.11.19 [21] 申请号 99124852.X
[30] 优先权
[32] 1998.11.19 [33] KR [31] 49710/1998
[32] 1999. 5.13 [33] KR [31] 17189/1999
[71] 专利权人 三星电子株式会社
地址 韩国京畿道
[72] 发明人 金东奎
审查员 骆素芳

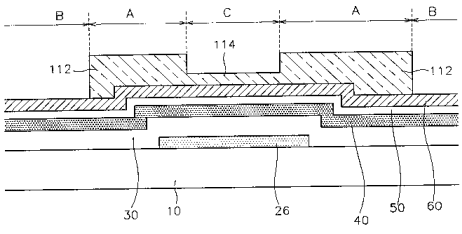
[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波

权利要求书 9 页 说明书 25 页 附图 64 页

[54] 发明名称 薄膜晶体管阵列面板及其制造方法

[57] 摘要

一种液晶显示器用薄膜晶体管阵列面板及其制造方法，该方法包括步骤：在绝缘基底上形成栅线路、一覆盖栅线路的栅绝缘层、半导体图案、欧姆接触层图案、数据线路及钝化层图案，其中，源极与漏极是通过光蚀刻法利用光致抗蚀剂图案予以分离，光致抗蚀剂图案位于源极与漏极之间，且包括具有第一厚度的第一部分、具有大于第一厚度的第二厚度的第二部分及具有小于第一厚度的第三厚度的第三部分。



ISSN1008-4274

1. 一种液晶显示器用薄膜晶体管阵列面板的制造方法，其包括如下步骤：

在绝缘基底上形成一包含栅线及与栅线相连接的栅极的栅线路；

形成一覆盖栅线路的栅绝缘层；

在栅绝缘层上形成半导体图案；

在半导体图案上形成欧姆接触层图案；

以相互分离的形状形成于欧姆接触层上，且包含以相同层构成的源极和漏极，以及与源极相连接的数据线的数据线路；及

形成一覆盖数据线路的钝化层图案，

其中，源极与漏极是通过光蚀刻法利用光致抗蚀剂图案予以分离，光致抗蚀剂图案位于源极与漏极之间，且包括具有第一厚度的第一部分、具有大于第一厚度的第二厚度的第二部分及具有小于第一厚度的第三厚度的第三部分。

2. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，进一步包括一形成与漏极相连接的像素极的步骤。

3. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，第三厚度为零。

4. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，用于形成上述光致抗蚀剂图案的的光掩模包括一第一部分、一透光量小于第一部分的第二部分及一透光量大于第一部分和第二部分的第三部分，上述光致抗蚀剂图案为正光致抗蚀剂层，上述光掩模的第一、第二及第三部分，分别对应于光致抗蚀剂图案的第一、第二及第三部分。

5. 按照权利要求 4 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，在上述光掩模的第一部分中，只能透过一部分光线，上述光掩模第二部分是不透明的，上述光掩模的第三部分是透明的。

6. 按照权利要求 4 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，进一步包括一位于光掩模的第一部分与光掩模的第三部分之间，且具有其透光亮介于光掩模的第一部分与光掩模的第二部分之间透光量的光掩模的第四部分。

7. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分及光掩模的第四部分包括半透明层。

8. 按照权利要求 7 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分及光掩模的第四部分的半透明层是以不同宽度或长度形成。

9. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分及光掩模的第四部分，具有比曝光时用的光源的分辨率小的多数个长缝图案。

10. 按照权利要求 9 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第四部分的长缝图案的宽度小于或等于上述第一部分的长缝图案的宽度，上述光掩模的第四部分的长缝图案之间的间隔大于或等于第一部分的长缝图案之间的间隔。

11. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第四部分的间隔大于光掩模的第一部分的间隔。

12. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分及光掩模的第四部分为长缝图案，且上述光掩模的第一部分的间隔小于光掩模的第四部分的间隔。

13. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分及光掩模的第四部分包括格栅状长缝图案。

14. 按照权利要求 6 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一及第四部分进一步包括一以比其他部分更宽的形状形成的光掩模的第五部分。

15. 按照权利要求 4 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光掩模的第一部分以线状、正四边形或具有开口部分的环状或圈状形成。

16. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光致抗蚀剂图案的第一部分是通过逆流形成。

17. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光致抗蚀剂图案第一部分的厚度小于光致抗蚀剂的第二部分厚度的一半。

18. 按照权利要求 17 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光致抗蚀剂图案第二部分的厚度为 1μm 至 2μm。

19. 按照权利要求 18 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述光致抗蚀剂图案的第一部分的厚度小于 6000 埃。

20. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述数据线路、欧姆接触层图案及半导体图案是利用一个光掩模形成。

21. 按照权利要求 20 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，形成上述栅绝缘层、半导体图案、欧姆接触层图案及数据线路的步骤包括:

沉积栅绝缘层、半导体层、欧姆接触层及导体层;

在导体层上涂覆光致抗蚀剂层;

通过光掩模使光致抗蚀剂层曝光;

将光致抗蚀剂层显影而形成光致抗蚀剂图案，这时光致抗蚀剂的第二部分应位于数据线路的上部;

通过蚀刻第三部分下部的导体层及其下部的欧姆接触层及半导体层、第一部分及其下部的金属层及欧姆接触层以及光致抗蚀剂的第二部分的一部分厚度，形成分别由导体层、欧姆接触层及半导体层构成的数据线路、欧姆接触层图案及半导体图案; 及

清除上述光致抗蚀剂图案。

22. 按照权利要求 20 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，形成上述数据线路、欧姆接触层图案及半导体图案的步骤包括:

通过湿式或干式蚀刻法，蚀刻光致抗蚀剂的第三部分下部的导体层，从而暴露欧姆接触层;

与光致抗蚀剂的第一部分一起，通过干式蚀刻法蚀刻上述光致抗蚀剂的第三部分下部的欧姆接触层及其下部的半导体层，将光致抗蚀剂的第三部分下部的栅绝缘层及光致抗蚀剂的第一部分下部的导体层曝光的同时，完成由半导体层构成的半导体图案; 及

蚀刻以去除上述光致抗蚀剂的第一部分下部的导体层及其下部的欧姆接触层，形成数据线路及欧姆接触层图案。

23. 按照权利要求 20 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，在形成数据线路、欧姆接触层图案及半导体层图案的阶段，进一步包括一蚀刻光致抗蚀剂的第三部分下部栅绝缘层的步骤。

24. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述源极与漏极之间的部分是以具有直线或缓慢弧度的半月型或以具有棱角的环状形成。

25. 按照权利要求 24 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，清除上述棱角部分的导体层及其下部的半导体层及欧姆接触层。

26. 按照权利要求 2 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述栅线路进一步包括一与栅线相连接且从外部接收信号的栅衬垫，及上述数据线路进一步包括一与数据线相连接且从外部接收信号的数据垫块，上述钝化层图案及栅绝缘层具有暴露上述栅衬垫及数据垫块的第二及第三接触孔，且

进一步包括一形成经上述第二及第三接触孔与上述栅衬垫及数据垫块相连接，且由与像素极相同层构成的冗长栅衬垫及冗长数据垫块的步骤。

27. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述钝化层图案是由上述光致抗蚀剂图案制成。

28. 按照权利要求 27 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述栅线路进一步包括一与栅线相连接且从外部接收信号的栅衬垫，上述数据线路进一步包括一与数据线相连接且从外部接收信号的数据垫块，且形成上述栅绝缘层、半导体图案、欧姆接触层图案、数据线路、钝化层图案及像素极的步骤包括:

沉积栅绝缘层、半导体层、欧姆接触层及导体层;

将导体层、欧姆接触层及半导体层图案化，形成连接上述数据线路及源极和漏极的导体桥、导体桥下部的导体桥欧姆接触层图案及半导体图案;

涂覆光致抗蚀剂层;

通过光掩模将上述光致抗蚀剂层曝光;

将上述光致抗蚀剂层显影，形成光致抗蚀剂图案，此时显影后的光致抗蚀剂的第三部分应位于栅衬垫、数据垫块及漏极上，而光致抗蚀剂的第二部分应位于导体桥上;

清除上述栅衬垫上的栅绝缘层而暴露栅衬垫;

在上述光致抗蚀剂图案上，形成覆盖漏极的像素极、覆盖栅衬垫的冗长栅衬垫及覆盖数据垫块的冗长数据垫块;

去除第一部分而暴露导体桥，同时，蚀刻光致抗蚀剂的第二部分而减少厚度; 及

去除导体桥及导体桥欧姆接触层图案而完成数据线路及欧姆接触层图案。

29. 按照权利要求 1 所述的液晶显示器用薄膜晶体管阵列面板的制造方法，其特征是，上述栅线路进一步包括一与栅线相连接且从外部接收信号的栅衬垫，上述数据线路进一步包括一与数据线相连接且从外部接收信号的数据垫块，且形成上述栅绝缘层、半导体图案、欧姆接触层图案、数据线路、钝化层图案及像素极的步骤包括:

沉积栅绝缘层、半导体层、欧姆接触层及导体层;

将上述导体层、欧姆接触层及半导体层图案化，形成连接数据线路及源极和漏极的导体桥、导体桥下部的导体桥欧姆接触层图案及半导体图案;

形成钝化层用绝缘层;

在绝缘层上涂覆光致抗蚀剂层;

通过光掩模将上述光致抗蚀剂层曝光;

将上述光致抗蚀剂层显影而形成光致抗蚀剂图案，此时显影后的光致抗蚀剂的第三部分应位于栅衬垫、数据垫块及漏极上，而光致抗蚀剂的第二部分应位于导体桥上;

上述栅衬垫上的绝缘层和栅绝缘层与上述光致抗蚀剂的第一部分及其下部的绝缘层一起被清除，形成由绝缘层构成的钝化层图案，同时暴露上述栅衬垫及导体桥;

清除上述光致抗蚀剂图案;

在上述钝化层图案上，形成覆盖漏极的像素极、覆盖栅衬垫的冗长栅衬垫及覆盖数据垫块的冗长数据垫块; 及

蚀刻导体桥及导体桥欧姆接触层图案而完成数据线路及欧姆接触层图案。

30. 一种供液晶显示器用薄膜晶体管阵列面板，其包括:

形成于绝缘基底上的栅线路，且具有栅线、为栅线的支线或一部的栅极

及与栅线相连接的栅衬垫;

覆盖上述栅线路，且至少具有暴露上述栅衬垫的第一接触孔的栅绝缘层图案;

形成于上述栅绝缘层图案上部的半导体层图案;

形成于上述半导体层图案的上部，且除栅极上部以外的部分，具有与半导体层图案相同形状的欧姆接触层图案;

在上述欧姆接触层图案的上部，以相同的形状形成，且包含数据线、与数据线相连接的数据垫块、源极及漏极的数据线路;

与上述栅极上部的半导体层直接接触，且具有形成于上述第一接触孔上部的第二接触孔、暴露上述数据垫块的第三接触孔及暴露上述漏极的第四接触孔的钝化层图案; 及

形成于上述钝化层上部，且通过上述第四接触孔与漏极相连接的像素极。

31. 按照权利要求 30 所述的供液晶显示器用薄膜晶体管阵列面板，其特征是，进一步包括一通过上述第二接触孔与上述栅衬垫相连接的冗长栅衬垫。

32. 按照权利要求 30 所述的供液晶显示器用薄膜晶体管阵列面板，其特征是，进一步包括一通过上述第三接触孔与上述数据垫块相连接的冗长数据垫块。

33. 按照权利要求 30 所述的供液晶显示器用薄膜晶体管阵列面板，其特征是，上述像素极、栅线及数据线至少有一部分相重叠。

34. 按照权利要求 33 所述的供液晶显示器用薄膜晶体管阵列面板，其特征是，上述钝化层图案是由有机绝缘材料构成。

35、一种薄膜晶体管阵列面板，其包括:

形成于基底上的栅线路，且具有在一第一方向延伸的栅线;

覆盖上述栅线路的栅绝缘层，且具有暴露上述栅线的一部分的一第一接触孔图案;

形成于上述栅绝缘层上的半导体层;

形成于上述半导体层上的欧姆接触层;

至少在上述欧姆接触层上形成的数据线路，且包括在一第二方向延伸的数据线和与该数据线隔开的漏极;

覆盖数据线路的钝化层，并且具有沿着第一接触孔暴露栅线一部分的一第二接触孔、暴露上述漏极至少一部分的第三接触孔及暴露上述数据线的一部分的第四接触孔；

形成于上述钝化层上，且通过上述第三接触孔与漏极相连接的像素极；

形成在钝化层上的第一衬垫，其通过第一和第二接触孔与栅线连接；

形成在钝化层上的第二衬垫，其通过第四接触孔与数据线连接，

其中半导体层和欧姆接触层沿着数据线延伸，并且第一接触孔和第二接触孔具有相同的平面形状。

36、根据权利要求 35 所述的薄膜晶体管阵列面板，其特征是，欧姆接触层与数据线路具有相同的平面形状，并且除了数据线和漏极之间的部分之外，半导体层与数据线路具有相同的平面形状。

37、根据权利要求 35 所述的薄膜晶体管阵列面板，其特征是，像素极至少覆盖数据线的一部分。

38、根据权利要求 37 所述的薄膜晶体管阵列面板，其特征是，像素极至少覆盖数据线的一部分。

39、根据权利要求 35 所述的薄膜晶体管阵列面板，其特征是，像素极由氧化铟锡制成。

40、根据权利要求 38 所述的薄膜晶体管阵列面板，其特征是，第一衬垫和第二衬垫由于像素及相同的材料制成。

41、根据权利要求 35 所述的薄膜晶体管阵列面板，其特征是，栅极线路有双层结构成。

42、根据权利要求 41 所述的薄膜晶体管阵列面板，其特征是，栅极线路具有上层线路和下层线路，并且下层线路比上层线路的电阻率低。

43、根据权利要求 42 所述的薄膜晶体管阵列面板，其特征是，下层线路是由 Al 或 Al 合金制成。

44、根据权利要求 42 所述的薄膜晶体管阵列面板，其特征是，钝化层是由有机材料制成。

45、一种薄膜晶体管阵列面板，其包括：

一绝缘基底；

形成于基底上的栅线和数据线，并且二者彼此绝缘；

薄膜晶体管具有与数据线连接的漏极和源极；

覆盖栅线、数据线和薄膜晶体管的钝化层，并且具有分别暴露栅线的一部分、数据线的一部分和上述漏极的至少一部分的第一、第二和第三接触孔；

形成于上述钝化层上的像素极，其通过上述第三接触孔与漏极相连接，并且覆盖数据线的至少一部分；

形成在钝化层上的第一导体，其通过第一接触孔与栅线连接；

形成在钝化层上的第二导体，其通过第二接触孔与数据线连接。

46、根据权利要求 45 所述的薄膜晶体管阵列面板，其特征是，像素极至少覆盖数据线的一部分。

47、根据权利要求 46 所述的薄膜晶体管阵列面板，其特征是，像素极全部边缘覆盖栅线或者数据线。

48、根据权利要求 45 所述的薄膜晶体管阵列面板，其特征是，第一导体、第二导体和像素极是由相同的材料制成的。

49、根据权利要求 48 所述的薄膜晶体管阵列面板，其特征是，像素极是透明材料。

50、根据权利要求 49 所述的薄膜晶体管阵列面板，其特征是，像素极由氧化铟锡制成。

51、根据权利要求 45 所述的薄膜晶体管阵列面板，其特征是，还包括与像素极连接的电连接的导体图案，用于作为存储电容的终端，并且由与数据线相同的材料制成。

52、根据权利要求 51 所述的薄膜晶体管阵列面板，其特征是，还包括存储电极，其与导体图案绝缘，覆盖导体图案，以形成存储电容的另一个终端，并与栅线由相同的材料制成。

53、根据权利要求 52 所述的薄膜晶体管阵列面板，其特征是，钝化层包括第四接触孔，暴露导体图案，并且通过第四接触孔将导体图案与像素极相连。

54、根据权利要求 52 所述的薄膜晶体管阵列面板，其特征是，薄膜晶体管还包括与栅线连接的栅极电极、与栅极电极绝缘的半导体层、和在半导体层上的掺杂半导体层，掺杂半导体层与源极和漏极电极相接触。

55、根据权利要求 54 所述的薄膜晶体管阵列面板，其特征是，掺杂半导体层的整个部分与半导体层直接接触。

56、一种薄膜晶体管阵列面板，其包括：

一绝缘基底;

形成于基底上的栅线和数据线，并且二者彼此绝缘;

薄膜晶体管具有与数据线连接的漏极和源极;

覆盖栅线、数据线和薄膜晶体管的钝化层，并且具有暴露上述漏极的至少一部分的第一接触孔;

形成于上述钝化层上的像素极，其通过上述第一接触孔与漏极相连接，并且覆盖数据线的至少一部分;

第一导体，具有不同于像素极的层，并与像素极电连接，起到存储电极一终端的作用。

57、根据权利要求 56 所述的薄膜晶体管阵列面板，其特征是，还包括与第一导体绝缘的第二导体，其与第一导体重叠以形成存储电容的另一个终端。

58、根据权利要求 57 所述的薄膜晶体管阵列面板，其特征是，第二导体与栅线由相同的材料形成。

59、根据权利要求 56 所述的薄膜晶体管阵列面板，其特征是，第一导体与数据线由相同的材料形成。

60、根据权利要求 59 所述的薄膜晶体管阵列面板，其特征是，钝化层还包括一第二接触孔，其暴露第一导体，并且第一导体通过该第二接触孔与像素极相连。

61、根据权利要求 56 所述的薄膜晶体管阵列面板，其特征是，像素极至少覆盖数据线的一部分。

62、根据权利要求 61 所述的薄膜晶体管阵列面板，其特征是，像素极全部边缘覆盖栅线或者数据线。

63、根据权利要求 56 所述的薄膜晶体管阵列面板，其特征是，薄膜晶体管还包括与栅线连接的栅极电极、与栅极电极绝缘的半导体层、和在半导体层上的掺杂半导体层，掺杂半导体层与源极和漏极电极相接触。

64、根据权利要求 63 所述的薄膜晶体管阵列面板，其特征是，掺杂半导体层的整个部分与半导体层直接接触。

薄膜晶体管阵列面板及其制造方法

技术领域

本发明涉及一种液晶显示器用薄膜晶体管阵列面板及其制造方法。

背景技术

液晶显示器是最普遍使用的平面显示装置，它是由具有电极的两个基板，以及在两个基板之间注入的液晶层构成。当给两个基板上的电极施加电位差时，液晶层的液晶分子从新排列，光的透射量得到调整，从而显示图像。

目前，最普遍使用的液晶显示器，是在两个基板上各自形成电极，且用薄膜晶体管对接通到电极的电压进行切换。通常情况下，薄膜晶体管形成于两个基板中的一个基板上。

形成有薄膜晶体管的基板，通常是利用光掩模（mask）经光蚀刻工程制成。这时，为了降低制造成本，应减少光掩模数。现在通常是使用五个或六个光掩模。虽然有使用四个光掩模制造薄膜晶体管阵列面板的技术，但是，要实际应用该技术还有很多困难。

下面，根据美国专利第 5478766 号，对利用四个光掩模制造薄膜晶体管阵列面板的方法做说明。

首先，利用第一光掩模，由铝或铝合金等电阻小的物质，在基板上形成栅线路，然后，在其上面依次沉积栅绝缘层、非晶质硅层、n+非晶质硅层及金属层。然后，利用第二光掩模将金属层、n+非晶质硅层及非晶质硅层的三重层图案化。此时，栅衬垫的上部没有三重层图案，只剩有栅绝缘层。接着，沉积 ITO（indium tin oxide; 氧化铟锡）层，且利用第三光掩模将其图案化。此时，栅衬垫的上部没有 ITO 层。以 ITO 层为光掩模，将金属层及 n+非晶质硅层图案化后，沉积钝化层。最后，利用第四光掩模将钝化层及钝化层下部的栅绝缘层图案化，从而最终形成薄膜晶体管阵列面板。在此，于最后步骤，即钝化层图案化阶段，栅衬垫部分的栅绝缘层被清除。

如上所述，过去利用四个光掩模制造薄膜晶体管阵列面板的方法中，由铝或铝合金构成的栅衬垫为暴露状态。但是，铝或铝合金的电阻虽然很小，

但对外在的物理及化学性抵抗力差，所以极易受到损伤。为了克服这一点，应使栅线路为两重层或使用物理性及化学性强的、不易受损的金属材料，但是，如果采取前一种方法，会使工序非常复杂，如果采取后一种方法，会出现电阻过大的问题。

发明内容

本发明是为了解决上述问题而提出。

本发明的目的是提供一种减少光掩模数的、新的制造薄膜晶体管阵列面板的方法。

本发明的另一目的是提供一种能够保护栅衬垫的、利用四个光掩模制造液晶显示器的方法。

为了实现上述目的，在本发明中，当分离源极与漏极时，在源极与漏极之间形成比其他部分薄的光致抗蚀剂层，从而在需要蚀刻某一层时，能起一种保护下部层，使其免受蚀刻的作用，另外，当蚀刻其他层时，光致抗蚀剂层也一起被蚀刻，从而暴露出光致抗蚀剂层的下部层。

根据本发明，首先，在绝缘基底上，形成一包括栅线以及与栅线相连接的栅极的栅线路、覆盖栅线路的栅绝缘层、半导体层图案及欧姆接触层图案，然后在其上形成相互分离的、并且以同一层制成的源极及漏极，以及具有与源极相连接的数据线的数据线路。然后，形成覆盖数据线路的钝化层图案，及与漏极相连接的像素极。源极与漏极的分离，是通过利用光致抗蚀剂图案的光刻工程而实现，光致抗蚀剂图案处于源极与漏极之间，包括一具有第一厚度的第一部分、具有比第一厚度厚的第二部分及零厚度的第三部分。

在此，用于光蚀刻工程的光掩模，包括部分透光的第一部分、完全透光的第二部分及完全不透光的第三部分，且分别对应于光致抗蚀剂层的第一、第二及第三部分。

此时，光掩模的第一部分包括半透明层或至少具有尺寸比使用于曝光步骤光源的解析度小的不透明部分的图案。

另外，光掩模在第一部分与第三部分之间包括半透明层，或可进一步包括一第四部分，其包括一比曝光步骤中使用的光源的解析度小的图案。

与此不同，光致抗蚀剂层的第一部分可通过逆流而形成。

光致抗蚀剂层第一部分的厚度为第二部分厚度的一半以下为好，最好是

光致抗蚀剂层的第二部分厚度为1μm至2μm，第一部分的厚度为4000埃以下。

根据本发明的一实施例，可利用一个光掩模形成数据线路、欧姆接触层图案及半导体层图案。此时，栅绝缘层、半导体图案、欧姆接触层图案及数据线路通过下述步骤形成，首先，沉积栅绝缘层、半导体层、欧姆接触层及导体层，然后在其上涂覆光致抗蚀剂层，再经曝光及显影，形成一光致抗蚀剂图案，这时第二部分应位于数据线路的上部。接着，蚀刻第三部分下部的导体层、欧姆接触层及半导体层，第一部分及其下部的金属层及欧姆接触层，以及第二部分的一部分厚度，从而形成分别由导体层、欧姆接触层及半导体层构成的数据线路、欧姆接触层图案及半导体层图案，然后清除光致抗蚀剂图案。此时，数据线路、欧姆接触层图案及半导体层图案可通过下述三个步骤形成。首先，以湿式或干式蚀刻法蚀刻第三部分下部的导体层，从而暴露欧姆接触层，然后，以干式蚀刻法，与第一部分一起，蚀刻第三部分下部的欧姆接触层及其下部的半导体层，从而暴露第三部分下部的栅绝缘层及第一部分下部的导体层，与此同时，完成由半导体层构成的半导体图案。最后，通过蚀除第一部分下部的导体层及其下部的欧姆接触层而完成数据线路及欧姆接触层图案。

在此，如果数据线路由可进行干式蚀刻的材料构成，那么，可通过调整第一部分光致抗蚀剂图案的厚度或通过调整干式蚀刻的蚀刻条件，经一次蚀刻而完成半导体层图案、数据线路及欧姆接触层图案。

此时，源极与漏极之间的通道部，可以以直线或具有缓慢曲线的环形或半月型形成，也可以以棱角部具有弯折形状形成。此时，清除通道棱角部的半导体层为好。

另外，在本发明的另一制造方法中，可部分或全部清除第三部分下部的栅绝缘层。

栅线路进一步包括一与栅线相连接，并且从外部接收信号的栅衬垫。数据线路进一步包括一与数据线相连接，并且从外部接收信号的数据垫块。钝化层及栅绝缘层具有分别暴露栅衬垫及数据垫块的第二及第三接触孔。此情况下，进一步包括一通过第二及第三接触孔与栅衬垫及数据垫块相连接，并且在与像素极相同的层上形成冗长栅衬垫及冗长数据垫块的步骤。

根据本发明的另一实施例，钝化层图案可由光致抗蚀剂图案制成，此时，

栅线路进一步包括一与栅线相连接且从外部接收信号的栅衬垫，数据线路进一步包括一与数据线相连接且从外部接收信号的数据垫块。在此，栅绝缘层、半导体层图案、欧姆接触层图案、数据线路、钝化层图案及像素极可由下述步骤形成。首先，沉积栅绝缘层、半导体层、欧姆接触层及导体层，然后将导体层、欧姆接触层及半导体层图案化，从而形成连接数据线路、源极及漏极的导体桥、欧姆接触层图案、导体桥下部的导体桥欧姆接触层图案及半导体层图案。在全范围内涂覆光致抗蚀剂层，通过光掩模进行曝光及显影，从而形成光致抗蚀剂图案。此时，第三部分应位于栅衬垫、数据垫块及漏极上部，而第二部分应位于导体桥的上部。清除栅衬垫上的栅绝缘层，从而暴露出栅衬垫后，在光致抗蚀剂图案上，形成覆盖漏极的像素极、覆盖栅衬垫的冗长栅衬垫及覆盖数据垫块的冗长数据垫块。最后，蚀刻第一部分，暴露导体桥的同时，蚀刻第二部分，使厚度减少，蚀刻导体桥及导体桥欧姆接触层图案，最终完成数据线路及欧姆接触层图案。

根据本发明的另一实施例，栅线路进一步包括一与栅线相连接且从外部接收信号的栅衬垫。数据线路进一步包括一与数据线相连接且从外部接收信号的数据垫块。栅绝缘层、半导体图案、欧姆接触层图案、数据线路、钝化层图案及像素极通过下述步骤形成。首先，沉积栅绝缘层、半导体层、欧姆接触层及导体层，然后将导体层、欧姆接触层及半导体层图案化，从而形成连接数据线路、源极及漏极的导体桥、导体桥下部的导体桥欧姆接触层图案及半导体图案。在全范围内形成钝化层用绝缘层后，在绝缘层上涂覆光致抗蚀剂层。利用光掩模将光致抗蚀剂层曝光及显影，从而形成光致抗蚀剂图案，此时，第三部分应位于栅衬垫、数据垫块及漏极上部，而第二部分应位于导体桥的上部。然后，将栅衬垫上的绝缘层及栅绝缘层与第一部分及其下部的绝缘层一起清除，从而形成由绝缘层构成的钝化层图案，同时，暴露栅衬垫及导体桥后，清除光致抗蚀剂图案。在钝化层图案上，形成覆盖漏极的像素极、覆盖栅衬垫的冗长栅衬垫及覆盖数据垫块的冗长数据垫块。最后，蚀刻导体桥及连接欧姆接触层图案，最终完成数据线路及欧姆接触层图案。

根据本发明的一个方面，提供一种薄膜晶体管阵列面板，其包括:

形成于基底上的栅线路，且具有在一第一方向延伸的栅线;

覆盖上述栅线路的栅绝缘层，且具有暴露上述栅线的一部分的一第一接触孔图案;

形成于上述栅绝缘层上的半导体层;

形成于上述半导体层上的欧姆接触层;

至少在上述欧姆接触层上形成的数据线路，且包括在一第二方向延伸的数据线和与该数据线隔开的漏极;

覆盖数据线路的钝化层，并且具有沿着第一接触孔暴露栅线一部分的一第二接触孔、暴露上述漏极至少一部分的第三接触孔及暴露上述栅线的一部分的第四接触孔;

形成于上述钝化层上，且通过上述第三接触孔与漏极相连接的像素极;

形成在钝化层上的第一衬垫，其通过第一和第二接触孔与栅线连接;

形成在钝化层上的第二衬垫，其通过第四接触孔与数据线连接，

其中半导体层和欧姆接触层沿着数据线延伸，并且第一接触孔和第二接触孔具有相同的平面形状。

本发明还提供一种薄膜晶体管阵列面板，其包括:

一绝缘基底;

形成于基底上的栅线和数据线，并且二者彼此绝缘;

薄膜晶体管具有与数据线连接的漏极和源极;

覆盖栅线、数据线和薄膜晶体管的钝化层，并且具有分别暴露栅线的一部分、数据线的一部分和上述漏极的至少一部分的第一、第二和第三接触孔;

形成于上述钝化层上的像素极，其通过上述第三接触孔与漏极相连接，并且覆盖数据线的至少一部分;

形成在钝化层上的第一导体，其通过第一接触孔与栅线连接;

形成在钝化层上的第二导体，其通过第二接触孔与数据线连接。

本发明还提供一种薄膜晶体管阵列面板，其包括:

一绝缘基底;

形成于基底上的栅线和数据线，并且二者彼此绝缘;

薄膜晶体管具有与数据线连接的漏极和源极;

覆盖栅线、数据线和薄膜晶体管的钝化层，并且具有暴露上述漏极的至少一部分的第一接触孔;

形成于上述钝化层上的像素极，其通过上述第一接触孔与漏极相连接，并且覆盖数据线的至少一部分;

第一导体，具有不同于像素极的层，并与像素极电连接，起到存储电极

一终端的作用。

附图说明

图 1 表示根据本发明第一实施例的液晶显示器用薄膜晶体管阵列面板的配置图；

图 2 及图 3 表示沿着图 1 中 II－II’ 线及 III－III’ 线的截面图；

图 4A 表示根据本发明第一实施例制造过程中第一步骤的薄膜晶体管阵列面板的配置图；

图 4B 及图 4C 分别表示沿着图 4A 中 IVB－IVB’ 及 IVC－IVC’ 线的截面图；

图 5A 及图 5B 分别表示沿着图 4A 中 IVB－IVB’ 及 IVC－IVC’ 线的截面图，是图 4B 及图 4C 下一步骤中的截面图；

图 6A 表示图 5A 及图 5B 下一步骤中薄膜晶体管阵列面板的配置图；

图 6B 及图 6C 分别表示沿着图 6A 中 VIB－VIB’ 及 VIC－VIC’ 线的截面图；

图 7A 至图 7C、图 8A 至图 8C 及图 9A 至图 9C 表示形成不同厚度光致抗蚀剂层时的截面图；

图 10A，11A，12A 及图 10B，11B，12B 分别表示图 6A 中沿着 VIB－VIB’ 及 VIC－VIC’ 线的截面图，是图 6B 及图 6C 下一步骤的示意图；

图 13A 表示图 12A 及图 12B 下一步骤中薄膜晶体管阵列面板的配置图；

图 13B 及图 13C 分别表示沿着图 13A 中 XIIIB－XIIIB’ 及 XIIIC－XIIIC’ 线的截面图；

图 14 表示根据本发明第二实施例的液晶显示器用薄膜晶体管阵列面板的配置图；

图 15 及图 16 表示沿着图 14 中 XV－XV’ 线及 XVI－XVI’ 线的截面图；

图 17A 表示根据本发明第二实施例制造过程中第一阶段的薄膜晶体管阵列面板的配置图；

图 17B 及图 17C 分别表示沿着图 17A 中 XVIIB－XVIIB’ 及 XVIIC－XVIIC’ 线的截面图；

图 18A 表示图 17A 至图 17C 下一步骤中薄膜晶体管阵列面板的配置图；

图 18B 及图 18C 分别表示沿着图 18A 中 XVIIIB－XVIIIB’及 XVIIIC－XVIIIC’线的截面图；

图 19A 表示图 18A 至图 18C 下一步骤中薄膜晶体管阵列面板的配置图；

图 19B 及图 19C 分别表示沿着图 19A 中 XIXB－XIXB’及 XIXC－XIXC’线的截面图；

图 20A 表示图 19A 中沿着 XIXB－XIXB’线的截面图，是图 19B 及图 19C 下一步骤的截面图；

图 21A 及图 21B 分别表示沿着图 19A 中 XIXB－XIXB’及 XIXC－XIXC’线的截面图，是图 20 下一步骤的截面图；

图 22 及图 23 表示根据本发明第三实施例的薄膜晶体管阵列面板的截面图，是沿着图 14 中 XV－XV’及 XVI－XVI’线的截面图；

图 24A，25A 及图 24B，25B 分别表示沿着图 19A 中 XIXB－XIXB’及 XIXC－XIXC’线的截面图，是根据第三实施例的图 18A 至图 18C 下一阶段的示意图；

图 26A 及图 26B 分别表示沿着图 19A 中 XIXB－XIXB’及 XIXC－XIXC’线的截面图，是根据第三实施例的图 25A 至图 25B 下一阶段的示意图；

图 27 表示根据本发明第四实施例的薄膜晶体管阵列面板的配置图；

图 28 表示根据本发明第五实施例的薄膜晶体管阵列面板的配置图；

图 29 是详细表示图 28 中 T 部分的扩大图；

图 30 表示沿着图 29 中 XXX－XXX’线的截面图；

图 31 表示根据本发明第五实施例制造液晶显示器用薄膜晶体管阵列面板的示意图，是沿着图 29 中 XXX－XXX’线的截面图；

图 32 及图 33 表示根据本发明第六实施例的液晶显示器用薄膜晶体管阵列面板的截面图，是分别沿着图 1 中 II－II’及 III－III’线的截面图；

图 34A 及图 34B 分别表示根据本发明第六实施例的液晶显示器用薄膜晶体管阵列面板按工程顺序的截面图，图 34A 表示沿着图 6A 中 VIB－VIB’线的截面图，图 34B 表示沿着图 6A 中 VIC－VIC’线的截面图，是分别表示图 10A 及图 10B 下一步骤的图；

图 35A 至图 35C 是表示根据本发明实施例的液晶显示器用薄膜晶体管阵列面板的制造过程中使用的第二光掩模的微细图案的配置图；

图 36A 及图 36B 表示利用图 35A 至图 35C 的光掩模所形成的光致抗蚀剂图案，图 36B 是表示沿着图 36A 中 XXXVIB－XXXVIB’ 线的截面图；

图 37A 至图 37C 是表示根据本发明实施例制造液晶显示器用薄膜晶体管阵列面板时使用的改善了的光掩模结构配置图；

图 38A 及图 38B 表示利用图 37A 至图 37C 的光掩模所形成的光致抗蚀剂图案，图 38B 是表示沿着图 38A 中 XXXVIIIB－XXXVIIIB’ 线的截面图；

图 39A 至图 39C 是表示根据本发明第四实施例制造液晶显示器用薄膜晶体管阵列面板时，为了使通道部成为环状而使用的光掩模的微细图案结构的配置图；

图 40A 至图 40E 是表示根据本发明实施例制造液晶显示器用薄膜晶体管阵列面板时使用的具有半透明层的第二光掩模结构的配置图；及

图 41 及图 42 是表示根据本发明第四实施例制造液晶显示器用薄膜晶体管阵列面板时使用的第二光掩模中通道结构的配置图。

具体实施方式

下面参照附图对根据本发明实施例的液晶显示器用薄膜晶体管阵列面板及其制造方法做详细说明。通过说明，不难使具有本领域通常技术的人员理解与实施。应当理解，本发明不局限于这些实施例的具体结构。在附图中，层或区域的厚度为清楚起见已经被放大。在全文中，类似的标号表示类似的元件。应当理解，文中提到“某元件在某元件上”表示两元件之间可以有中间层，而提到“某元件直接在某元件上”则表示两元件之间没有中间层。

如前所述，在本发明中，在分离由同一层制成的源极与漏极时，在两电极之间形成一薄的光致抗蚀剂图案，从而减少工序。

首先，参照图 1 至图 3，对根据本发明第一实施例的液晶显示器用薄膜晶体管阵列面板的结构做详细说明。

图 1 表示根据本发明第一实施例的液晶显示器用薄膜晶体管阵列面板的配置图，图 2 及图 3 分别表示沿着图 1 中 II－II’ 线及 III－III’ 线的截面图。

首先，用铝（Al）或铝合金（Alalloy）、钼（Mo）或钼－钨合金(MoW)、铬（Cr）或钽（Ta）等金属或导体，在绝缘基板 10 上形成栅线路。栅线路包括：一横向延伸的栅线（扫描信号线）22、与栅线 22 的末端相连接，从外部接收扫描信号并传送给栅线 22 的栅衬垫 24、做为栅线 22 一部的薄膜晶

体管的栅极 26 及与栅线平行且从外部接收施加至上板共同极的共同电压的储存极 28。储存极 28 与将在后面叙述的连接于像素极 82 的储存电容器用导体图案 68 相重叠，从而形成保障像素电荷的储存电容器，而当像素极 82 与栅线 22 重叠所形成的储存电容足够时，也可以不形成储存电容器，对此将在后面叙述。

栅线路 22，24，26，28 可以以单一层形式形成，也可以以双层或三重层形式形成。以二重层以上形式形成时，一层由电阻小的材料制成，而另一层由与其他材料接触性好的材料制成为好。例如，Cr/Al（或铝合金）的二重层或 Al/Mo 的二重层。

在栅线路 22，24，26，28 上，由氮化硅（SiNx）等材料形成栅绝缘层 30，且覆盖栅线路 22，24，26，28。

栅绝缘层 30 上，由氢化非晶质硅（hydrogenated amorphous silicon）等半导体物质形成半导体层图案 42，48。半导体图案 42，48 上，由磷（P）等 n 型不纯物以高浓度掺杂的非晶质硅形成欧姆接触层图案或欧姆接触层图案 55，56，58。

在欧姆接触层图案 55，56，58 上，由 Mo 或 MoW 合金，Cr，Al 或 Al 合金或 Ta 等导体形成数据线路。数据线路包括：以纵向形成的数据线 62、与数据线 62 的一端相连接，且从外部接收图像信号的数据垫块 64 及为数据线 62 分支的薄膜晶体管的源极 65 构成的数据线部。另外，还包括：与数据线部相分离且相对栅极 26 或薄膜晶体管的通道部（C），处于源极 65 相反方向的薄膜晶体管的漏极 66 及位于储存极 28 上部的储存电容器用导体图案 68。若不形成储存极 28，则储存电容器用导体图案 68 也就不必形成。

数据线路 62，64，65，66，68 也与栅线路 22，24，26，28 一样，可以以单一层形式形成，也可以以双层或三重层形式形成。当然，以二重层以上形式形成时，一层由电阻小的材料制成，而另一层由与其他材料接触性好的材料制成为好。

欧姆接触层图案 55，56，58，起一种减少其下部半导体层图案 42，48 与其上部的数据线路 62，64，65，66，68 之间接触电阻的作用，并且与数据线路 62，64，65，66，68 具有完全相同的形状。即数据线部的欧姆接触层图案 55 与数据线路 62，64，65 相同，漏极用欧姆接触层图案 56 与漏极 66 相同，储存电容器用欧姆接触层图案 58 与储存电容器用导体图案 68 相同。

另外，若半导体图案 42，48 去除薄膜晶体管的通道部（C），则与数据线路 62，64，65，66，68 及欧姆接触层图案 55，56，57 具有相同形状。具体地说，储存电容器用半导体图案 48、储存电容器用导体图案 68 及储存电容器用欧姆接触层图案 58 具有相同形状，但是薄膜晶体管用半导体图案 42 与数据线路及欧姆接触层图案的剩余部分有些不同。即在薄膜晶体管的通道部（C）中，数据线部 62，64，65，特别是源极 65 与漏极 66 为分离状，数据线部欧姆接触层 55 与漏极用欧姆接触层图案 56 也为分离状，薄膜晶体管用半导体图案 42 在此并不断开，连接而形成薄膜晶体管通道。

在数据线路 62，64，65，66，68 上，形成有钝化层 70，钝化层 70 具有漏极 66、数据垫块 64 及暴露导体图案 68 的接触孔 71，73，74，另外，还具有与栅绝缘层 30 一起暴露栅衬垫 24 的接触孔 72。钝化层 70 可由氮化硅或丙烯酸类有机绝缘物质制成。

在钝化层 70 上，形成有从薄膜晶体管接收图像信号且与上板的电极一起形成电场的像素极 82。像素极 82 由如 ITO（indium tin oxide；氧化铟锡）等的透明导电物质制成，并通过接触孔 71 与漏极 66 以物理性、及电气性连接，从而接收图像信号。另外，因像素极 82 与相邻的栅线 22 及数据线 62 相重叠，从而提高了开口率，但也可以不重叠。另外，像素极 82 还可通过接触孔 74，与储存电容器用导体图案 68 连接，并向导体图案 68 传送图像信号。同时，在栅衬垫 24 及数据垫块 64 上，形成有通过接触孔 72，73 分别与其连接的冗长栅衬垫 84 及冗长数据垫块 86，它们起一种补充垫块 24，26 与外部线路的连接性及保护垫块的作用，但并不是必须的，可以选择性设置。

在此，像素极 82 的材料，是以透明 ITO 为例做了说明，但在反射型液晶显示器中，也可使用不透明的导电物质。

下面参照图 4A 至图 13C 及上述的图 1 至图 3，对根据本发明实施例的液晶显示器用薄膜晶体管阵列面板的制造方法做详细说明。

如图 4A 至图 4C 所示，用溅射等方法，以 1000 埃至 3000 埃的厚度沉积金属导体层，然后用第一光掩模进行干式或湿式蚀刻，从而在基板 10 上，形成包括栅线 22、栅衬垫 24、栅极 26 及储存电极 28 的栅线路。

然后，如图 5A 及图 5B 所示，以化学蒸汽沉积法连续沉积 1500 埃至 5000 埃、500 埃至 2000 埃及 300 埃至 600 埃厚度的栅绝缘层 30、半导体层 40 及欧姆接触层 50。接着，以化学蒸汽沉积法沉积 1500 埃至 3000 埃厚度的金属

导体层 60 后，在其上涂覆 1μm 至 2μm 厚度的光致抗蚀剂层 110。

然后，利用第二光掩模将光致抗蚀剂层 110 曝光及显像，从而形成如图 6B 及图 6C 所示的光致抗蚀剂图案 112，114。此时，光致抗蚀剂图案 112，114 中的薄膜晶体管通道部（C），即处于源极 65 与漏极 66 之间的第一部分 114 的厚度，应比数据线路部（A），即位于将形成数据线路 62，64，65，66，68 部位的第二部分 112 的厚度薄，而其他部分（B）的光致抗蚀剂层全部清除。这时，通道部（C）中剩余光致抗蚀剂层 114 的厚度与数据线路部（A）中剩余光致抗蚀剂层 112 的厚度比，应根据后面叙述的蚀刻工程条件而定。第一部分 114 的厚度小于第二部分 112 的厚度的 1／2 为佳，例如，小于 4000 埃比较好。

如上所述，有多种方法能使光致抗蚀剂层按不同位置具有不同厚度，在此，对使用正光致抗蚀剂层时的状况，揭示两种方法。

第一种方法，如图 7A 至图 7C 所示，在光掩模上形成比光的解析度小的图案，如长缝或格栅形状的图案或放置半透明层来控制光线的照射量。

首先，如图 7A 所示，在基底 10 上的薄膜 300 上部，涂覆光致抗蚀剂层 200。此时，较佳地是，光致抗蚀剂层 200 比经常状态为厚，以利控制光致抗蚀剂层在显影后的厚度。

接着，如图 7B 所示，利用具有长缝 410 的光掩模 400 照射光线。此时，长缝 410 与介于长缝间的不透明部分 420 的尺寸较照明系统光源的解析度为小。当使用半透明层时，光掩模 400 上留有一定厚度的铬层（未图示），曝光时用以减少光线的透过量。另外，可使用包含有不同透过率的光掩模。

当光致抗蚀剂层 200 被曝光时，光致抗蚀剂层 200 表面上的高分子聚合物被光所分解。增加光量，则处于底部的聚合物也被分解。当底部部分的聚合物被完全分解时，曝光步骤即完成，例如于图 7B 的外缘部分被完全分解。然而，因形成有长缝 410 部分的照射量小于光线直接曝光的部分，所以在该部分中，光致抗蚀剂层 200 下部的聚合物未被分解。若曝光时间太长，光致抗蚀剂层 200 的所有聚合物都被分解，所以，应避免。图 7B 中，符号 210 表示被分解部分，而符号 220 表示未被分解部分。

将光致抗蚀剂层 210，220 显影，则如图 7C 所示，只留有高分子未被分解的部分 220，在只有少量光线照射的中央部留下的光致抗蚀剂层厚度比光线完全没有照射的部分的光致抗蚀剂层厚度薄。

第二种方法是利用逆流。下面以图 8A 至图 8C 及图 9A 至图 9C 中所示的实施例予以描述。

如图 8A 所示，利用通常使用的光掩模 400，即具有完全透光部分及完全不透光部分的光掩模，进行曝光，则形成两部分，即在透光部，形成高分子被分解部分 210 及在不透光部形成高分子未被分解部分 220。若将其显影，则如图 9B 所示，与通常光致抗蚀剂图案相同，光致抗蚀剂层完全不存在或以一定厚度存在。将这种光致抗蚀剂图案进行逆流，使光致抗蚀剂层流向不存在光致抗蚀剂层的部位，从而形成薄膜状的光致抗蚀剂图案 250。

但是，即便进行逆流，也可能不能够完全覆盖两光致抗蚀剂图案 220 间的部分。这时，如图 9A 所示，在光掩模 400 上形成比曝光光源的解析度小的不透明图案 430。那么，如图 9B 所示，在显影后，在厚度厚的部分 220 之间，形成厚度比较薄的尺寸小的部分 230。若把其进行逆流，则如图 9C 所示，在厚度比较厚的部分之间，形成具有薄部分的光致抗蚀剂图案 240。

通过这种方法，可获得按不同位置具有不同厚度的光致抗蚀剂图案。

接着，对光致抗蚀剂图案 114 及其下部的导体层 60、欧姆接触层 50 及半导体层 40 进行蚀刻。此时，在数据线路部（A）中，应残留数据线路及其下部的各层，通道部（C）中，应只残留半导体层，其余部分（B）中，应清除所有上述三个层 60，50，40，从而暴露栅绝缘层 30。

首先，如图 10A 及图 10B 所示，清除 B 部分的导体层 60，从而暴露其下部的欧姆接触层 50。此时，可使用湿式或干式蚀刻法，且较佳地是，蚀刻是在导体层 60 被蚀刻而光致抗蚀剂层 112，114 未被蚀刻的条件下实施。然而，在干式蚀刻状态下，因不易找到此类条件，蚀刻可能会在光致抗蚀剂图案 112，114 也被蚀刻的条件下实施。这种情况下，第一部分 114 可能会比湿式蚀刻时厚，致使导体层 60 不被曝光。

若导体层 60 由钼或钼钨合金、铝或铝合金及钽制成，则干式或湿式蚀刻法均可使用。但是，利用干式蚀刻法难以清除铬，所以当导体层 60 由铬制成时，只能使用湿式蚀刻法。在蚀刻导体层的 60 铬时，可用 $CeNHO_3$ 做为湿式蚀刻剂。以干式蚀刻法蚀除导体层 60 上的钼或钼钨合金时，可使用 CF_4 与 HCl 的混合气体或 CF_4 与 O_2 的混合气体，此时，后者对光致抗蚀剂层的蚀刻速率与对导体层 60 的蚀刻速率类似。

结果，如图 10A 及图 10B 所示，只残留有通道部（C）及数据线路部（B）

的导体层，即，源极／漏极用导体图案 67 及储存电容器用导体图案 68，其余部分（B）的导体层 60 全部被清除，从而暴露其下部的欧姆接触层 50。此时，剩余的导体图案 67，68 的源极与漏极没有被分离，为连接状，除这一点以外，与数据线路 62，64，65，66，68 相同。另外，当使用干式蚀刻法时，光致抗蚀剂层 112，114 也被蚀刻至某一厚度。

接着，如图 11A 及图 11B 所示，暴露于 B 部分的欧姆接触层 50 及其下部的半导体层 40，与光致抗蚀剂层的第一部分 114 一起，以干式蚀刻同时蚀除。蚀刻条件可设定为，使光致抗蚀剂图案 112，114、欧姆接触层 50 及半导体层 40 被蚀刻（半导体层与欧姆接触层具有几乎相同的蚀刻速率），而栅绝缘层 30 不被蚀刻。较佳地是，使光致抗蚀剂图案 112，114 与半导体层 40 的蚀刻速率几乎相同。例如，可使用 SF_6 与 HCl 或 SF_6 与 O_2 的混合气体。当光致抗蚀剂图案 112，114 与半导体层 40 的蚀刻速率几乎相同时，第一部分 114 的厚度可相等于或小于半导体层 40 与欧姆接触层 50 的厚度相加的总和。

那么，如图 11A 及图 11B 所示，通道部（C）的第一部分 114 被清除，暴露出了源极／漏极用导体图案 67，其余部分（B）的欧姆接触层 50 及半导体层 40 被清除，暴露出了其下部的栅绝缘层 30。数据线路部（A）的第二部分 112 也被蚀刻一部分，从而其厚度变薄。另外，在这一步骤中完成了完整的半导体图案 42，48。图中符号 57，58 分别表示供源极／漏极用导体图案 67 下部的欧姆接触层及供储存电容器用导体图案 68 下部的欧姆接触层图案。

然后，通过灰化或电浆蚀刻法，清除导体图案 67 上残留的光致抗蚀剂层。

接着，如图 12A 及图 12B 所示，蚀除通道部 C 的供源极／漏极用导体图案 67 及其下部的供源极／漏极用欧姆接触层图案 57。此时，对供源极／漏极用导体层图案 67 及欧姆接触层图案 57，都可采用干式蚀刻法，也可以对供源极／漏极用导体层图案 67 采用湿式蚀刻法，对欧姆接触层图案 57 采用干式蚀刻法。采用前者时，较佳地是，供源极／漏极用导体层图案 67 与欧姆接触层图案 57 之间具有最大的蚀刻选择率。因为，若蚀刻速率不够大，即难以检测蚀刻终点与控制通道部分 C 周边的半导体图案 42 的厚度。例如，使用 SF_6 与 O_2 的混合气体蚀刻供源极／漏极用导体图案 67。采用依序进行

湿式蚀刻及干式蚀刻的后者时，湿式蚀刻的供源极／漏极用导体图案 67 的侧面会被蚀刻，但是干式蚀刻的欧姆接触层图案 57 的侧面几乎未被蚀刻。因此，两图案 67 与 57 的侧面形成一阶段形式。蚀刻欧姆接触层图案 57 及半导体层图案 42 时使用的蚀刻气体，可以是 CF_4 与 HCl 的混合气体或 CF_4 与 O_2 的混合气体，若使用 CF_4 与 O_2 的混合气体，则可制成均匀厚度的半导体图案。此时，如图 12B 所示，半导体图案 42 的厚度可被减少，而且光致抗蚀剂图案的第二部分 112 也被蚀刻至某一厚度。此时，蚀刻条件可被设定为，不蚀刻栅绝缘层 30，且较佳为，使光致抗蚀剂图案足够厚而不致使数据线路 62，64，65，66，68 暴露出。结果，源极 65 与漏极 66 被分离，从而获得完整的数据线路 62，64，65，66，68 及其下部的欧姆接触层图案 55，56，58。

最后，清除数据线路部 A 上残留的光致抗蚀剂层的第二部分 112。然而，第二部分 112 的清除，可以在通道部 C 上供源极／漏极用导体图案 67 清除后，以及清除其下部的欧姆接触层图案 57 前实施。

总之，其可通过轮流利用湿式蚀刻和干式蚀刻或只利用干式蚀刻实施。

当采用前者时，在湿式蚀刻步骤的光致抗蚀剂图案，实质上具有零厚度。首先，B 部分的导体层通过湿式蚀刻予以清除，而在其下部的欧姆接触层与半导体层通过干式蚀刻予以清除。此时，C 部分的光致抗蚀剂层被消耗至某一厚度，且 C 部分可含有或不必含有残留的光致抗蚀剂层，其实质上是根据 C 部分的最初光致抗蚀剂层厚度而定。当 C 部分含有残留光致抗蚀剂层时，剩余的光致抗蚀剂层通过灰化而被清除。最后，C 部分的欧姆接触层通过灰化而被清除。

当采用后者时，B 部分的导体层、欧姆接触层及半导体层通过干式蚀刻予以清除。与前者相同，C 部分可含有或不必含有残留的光致抗蚀剂层，且当 C 部分含有残留光致抗蚀剂层时，剩余光致抗蚀剂层通过灰化而被清除。最后，C 部分的导体层被干式蚀刻，从而分离了源极与漏极，且 C 部分的欧姆接触层通过干式蚀刻予以清除。

另外，如果数据线被蚀刻，那么半导体图案、欧姆接触层图案和数据线可以在同一步骤中同时完成。也就是说，最好是，C 部分的光致抗蚀剂图案 114 和其下的接触层 50 以及 A 部分的光致抗蚀剂图案 112 被干蚀刻，同时 B 部分的导体层、欧姆接触层和半导体层被干式蚀刻。

因为后者仅使用一种类型的蚀刻方法，所以工序比较简单，但不易找出适当的蚀刻条件。反之，前者虽易于找出适当的蚀刻条件，但工序比较复杂。

通过以上步骤形成数据线路 62，64，65，66，68 后，如图 13A 至图 13C 所示，以 CVD 方法，沉积氮化硅或旋转涂覆有机绝缘材料而形成 2000 埃以上厚度的钝化层 70。接着，利用第三光掩模，与栅绝缘层 30 一起蚀刻钝化层 70，从而形成暴露漏极 66、栅衬垫 24、数据垫块 64 及供储存电容器用导体图案 68 的接触孔 71，72，73，74。

最后，如图 1 至图 3 所示，沉积 400 埃至 500 埃厚度的 ITO 层，然后利用第四光掩模进行蚀刻，从而形成像素极 82、冗长栅衬垫 84 及冗长数据垫块 86。

如上所述，在第一实施例中，数据线路 62，64，65，66，68、欧姆接触层图案 55，56，58 及半导体图案 42，48 是利用一个光掩模而制成，且源极与漏极的分离也是在这一步骤中完成的。但是，在第二及第三实施例中，源极与漏极的分离是在形成钝化层的步骤中完成。

下面，参照图 14 至图 21B，对根据本发明第二实施例的液晶显示器用薄膜晶体管阵列面板及其制造方法做详细说明。

图 14 表示根据本发明第二实施例的液晶显示器用薄膜晶体管阵列面板的配置图，图 15 及图 16 分别表示沿着图 14 中 XV－XV’ 线及 XVI－XVI’ 线的截面图。

如图 14 至图 16 所示，根据此一实施例的薄膜晶体管阵列面板的结构与第一实施例中薄膜晶体管阵列面板的结构相似。不同点在于，钝化层 70 具有一暴露介于源极 65 与漏极 66 之间的半导体图案 42 的开口 75，且钝化层 70 除了被像素极 82、冗长栅衬垫 84 及冗长数据垫块 86 覆盖的部分以外，被予以轻微蚀刻。此时，开口 75 完全将源极与漏极隔离，且通过开口 75 暴露出的半导体图案 42，将被后续形成的排列层予以覆盖并保护。

以下参照图 17A 至图 21B 及图 14 至图 16，对根据本发明第二实施例的薄膜晶体管阵列面板的制造方法做详细说明。

首先，如图 17A 至图 17C 所示，利用第一光掩模，在基板 10 上形成包括栅线 22、栅衬垫 24、栅极 26 及储存极 28 的栅线路。

接着，如图 18A 至图 18C 所示，以 CVD 方法依次沉积栅绝缘层 30、半导体层 40 及欧姆接触层 50，然后，以溅射等方法，沉积诸如金属等导体层

60。然后，利用第二光掩模将其图案化，从而形成供源极／漏极用导体图案67、及其下部的供源极／漏极用欧姆接触层图案57、供薄膜晶体管用半导体图案42、供储存电容器用导体图案68、及其下部的供储存电容器用欧姆接触层图案58及供储存电容器用半导体图案48。此时，供源极／漏极用导体图案67除了源极与漏极相连接之外，与最终完整结构相同。

接着，利用第三光掩模曝光及显影，形成图19A至图19C中所示的具有接触孔71，72，73，74及开口75的钝化层70。此时，钝化层70的厚度随位置而不同，在薄膜晶体管通道部分C上的钝化层70部分，即介于源极65与漏极66之间的钝化层70部分应小于其他部分A的厚度。在图19B及图19C中，B部分为形成有接触孔71，72，73，74及开口75的部分。形成具有多重厚度的钝化层70的方法，与第一实施例中形成具有多重厚度的光致抗蚀剂图案112，114的方法相同。只是，在第一实施例中，光致抗蚀剂图案112，114在最后被清除，但在本实施例中，钝化层70构成薄膜晶体管阵列面板的一部分。

然后，如图20所示，通过蚀刻接触孔72下部的栅绝缘层30而暴露出栅衬垫24。此时，较佳的蚀刻条件为，蚀刻栅绝缘层30，但不蚀刻钝化层70及导体图案67，68。为此，钝化层70与栅绝缘层30分别由不同的材料构成为好。然而，若蚀刻条件为钝化层70也一起被蚀刻，则应当预先使钝化层70比通常的厚度厚为好。

接着，如图14，图21A及图21B所示，沉积导体层，然后通过第四光掩模的蚀刻而形成像素极82、冗长栅衬垫84及冗长数据垫块86。

然后，如图15及图16所示，以像素极82、冗长栅衬垫84及冗长数据垫块86为蚀刻阻绝层，干式蚀刻钝化层70而形成开口75。此时，蚀刻条件设定为只蚀刻钝化层70，并且蚀刻终点是当钝化层70的薄部分，即钝化层70在通道的部分被完全清除，且供源极／漏极用的导体图案67被暴露时。此时，光致抗蚀剂图案可在任何后续步骤中予以清除。

其后，通过蚀刻通道部的供源极／漏极用导体图案67及其下部的欧姆接触层图案57，从而分离源极65与漏极66的方法，与第一实施例中的方法相同。

然而，本实施例与第一实施例的不同点在于，在本实施例中必须有冗长栅衬垫84和冗长数据垫块86。因为，若没有冗长栅衬垫84及冗长数据垫块

86，从而使栅衬垫 24 及数据垫块 64 为暴露状，则在分离源极 65 与漏极 66 时，会使垫块 24，64 被蚀刻。

下面参照图 22 至图 26B，对根据本发明第三实施例的液晶显示器及其制造方法做详细说明。在第二实施例中，光致抗蚀剂层至图案钝化层并没有隔离，但在此实施例中做了隔离。

根据本实施例的薄膜晶体管面板的配置图与图 14 相同，参照图 14 中沿着 XV－XV’线及 XVI－XVI’线的截面图 22 及截面图 23 和图 14，对根据本实施例的薄膜晶体管面板的结构做说明。

如图 14，图 22 及图 23 所示，本实施例的薄膜晶体管阵列面板结构与第二实施例中的结构非常相似。但是，不同点在于，没有被像素极 82、冗长栅衬垫 84 及冗长数据垫块 86 所覆盖的钝化层 70 部分并没有被蚀刻。

以下，参照图 24A 至图 26B 及图 14，图 22 及图 24，对根据本发明第三实施例的薄膜晶体管阵列面板的制造方法做详细说明。

首先，以与第二实施例相同的方法，形成栅线路 22，24，26，28；栅绝缘层 30、供源极／漏极用导体图案 67、导体图案 67 下部的欧姆接触层图案 57、供薄膜晶体管用的半导体图案 42、供储存电容器用导体图案 68、供储存电容器用欧姆接触层图案 58 及储存电容器用半导体图案 48。

接着，如图 24A 及图 24B 所示，沉积或涂覆钝化层 70，并在其上涂覆光致抗蚀剂层，然后，利用第三光掩模进行曝光及显影，从而形成光致抗蚀剂图案 122，124。此时，光致抗蚀剂图案 122，124 的厚度随位置而不同。在光致抗蚀剂图案 122，124 中，将形成接触孔 71，72，73，74 的部分，为零厚度，将形成开口 75 的部分 124 的厚度，应小于其他部分 122 的厚度。形成具有不同厚度的钝化层 70 的方法，与第一实施例中的方法相同。

然后，如图 25A 及图 25B 所示，干式蚀刻暴露的钝化层 70 及其下部的栅绝缘层 30，同时，也蚀刻位于通道部的薄光致抗蚀剂层部分 124 及其下部的钝化层 70。此时，蚀刻条件应设定为光致抗蚀剂层与钝化层 70 及栅绝缘层 30 同时被蚀刻。为此，钝化层 70 与栅绝缘层 30 由同一材料构成为好。

如此，可完成接触孔 71，72，73，74 及开口 75，及供源极／漏极用导体图案 67 经由开口 75 而暴露。

接着，如图 16，图 26A 及图 26B 所示，清除光致抗蚀剂图案 122 后，沉积诸如 ITO 等导体层。然后利用第四光掩模进行蚀刻而形成像素极 82、

冗长栅衬垫 84 及冗长数据垫块 86。由于与第二实施例相同的理由，必须形成冗长栅衬垫 84 及冗长数据垫块 86。

接着，如图 14，图 22 及图 23 所示，蚀刻暴露的开口 75 的供源极／漏极用导体图案 67 及其下部的欧姆接触层图案 57，从而分离源极 65 与漏极 66，这一过程与第一实施例相同。

下面，与第一或第三实施例不同，通过第四实施例，对具有环型或半月型通道部分（C）的薄膜晶体管阵列面板及其制造方法做详细说明。

图 27 表示根据本发明第四实施例的液晶显示器用薄膜晶体管阵列面板结构的配置图。

如图 27 所示，其大部分的结构与第一实施例中的结构相同。

但是，源极 65 是以 'U' 字型或 'J' 字型，以栅极 26 为中心，做为上部及下部数据线 60 的分支延伸，而漏极 66 是以 'U' 字型或 'J' 字型，向源极 65 开口部的内侧延伸，从而使源极 65 与漏极 66 之间的通道部（C）以半月型或环型形成。这种结构能在小的面积内使通道部具有宽领域。

这种根据本发明第四实施例的薄膜晶体管阵列面板的截面结构及其制造方法与第一实施例相差不大，故在此省去详细说明。

但是，如第一至第四实施例，如果通道部 C 不是直线形状、矩型形状或具有缓慢曲线的半月型或环型，而是具弯折的棱角部时，曝光时，因棱角部对光线产生衍射，所以不能均匀地调整光线在通道部 C 的照射量，因此在通道部 C 中很难形成均匀厚度的光致抗蚀剂图案 114。即，如果使通道部 C 的棱角部具有“⊂”字型，则因光线在棱角部的衍射等，曝光时光线在通道部 C 的照射量与其他部分不同。因此，显影后，在通道部 C 不能形成均匀厚度的光致抗蚀剂图案 114。此时，如果所形成的光致抗蚀剂图案 114 比通道部 C 的其他部分薄，那么就会降低薄膜晶体管的质量，如果所形成的光致抗蚀剂图案 114 比通道部 C 的其他部分厚，则源极 65 有可能与漏极 66 或其下部的欧姆接触层图案 55，56 不能够完全分离，从而有可能制成短路的薄膜晶体管。因此，通道部 C 中被弯折的部分中，如第一实施例中的 B 部分，不应残留光致抗蚀剂图案，因此最好是清除半导体图案。对此，通过下面的第五实施例做详细说明。

下面参照图 28 至图 30 对根据本发明第五实施例的液晶显示器及其制造方法做详细说明。

图 28 表示根据本发明第五实施例的薄膜晶体管阵列面板的配置图，图 29 是详细表示图 28 中 T 部分的扩大图，图 30 表示沿着图 29 中 XXX－XXX' 线的截面图。

如图 28 及图 30 所示，根据本实施例的薄膜晶体管阵列面板的结构与第四实施例相类似。

但不同点在于，源极 65 以“⊂”字型形成，所以通道部 C 急剧弯折的部分 D 中，半导体图案 42 具有暴露栅绝缘层 30 的开口 45。在此，开口 45 中的半导体图案被完全清除。

那么，参照图 31 及图 28 至图 30 对根据本发明实施例的供液晶显示器用基板的制造方法做详细说明。图 31 表示根据本发明第五实施例制造液晶显示器用薄膜晶体管阵列面板的示意图，是沿着图 29 中 XXX－XXX' 线的截面图。

根据本发明第五实施例的制造方法，也与第一实施例中的制造方法类似。

不同点在于，如图 31 所示，涂覆光致抗蚀剂层 110，然后利用第二光掩模通过蚀刻工程而形成光致抗蚀剂图案 112，114，在薄膜晶体管的通道部 C 中，弯折部 D 与其他部 B 一起，光致抗蚀剂层被全部清除。这一点如同前述，是为了使通道部 C 弯折部 D 因光的衍射而使通道部 C 的其他部分的光线照射量不同，使源极与漏极 65，66 及其下部的欧姆接触层图案 55，56 不能完全分离，从而不能够形成均匀厚度的通道部 C 半导体图案 42，而应最好是与 B 部分一起完全清除光致抗蚀剂层，不残留半导体图案。在此，位于数据线路部 A 的光致抗蚀剂图案的第二部分 112，具有与包含“⊂”字型形状的源极 65 的数据线路 62，64，65，66，67 相同的形状。

接着，以与第一实施例相类似的方法，蚀刻其他部分 B 及通道部 C 中弯折部分 D 上暴露的导体层 60，然后以干式蚀刻法，把其下部的欧姆接触层 50 和半导体导 40 与光致抗蚀剂层的第一部分 114 一起蚀除，从而分离源极 65 与漏极 66，且暴露源极 65 与漏极 66 之间的半导体图案 42。

如此清除通道部 C 中被弯折部的半导体层，则可形成厚度均一的通道部 C 半导体图案 42。

在本实施例中，漏极 66 是以向源极 65 的内侧延伸的形式形成的，但也可以以相反的形式形成。但为了在通道部 C 中不形成棱角部 D，象第四实施

例一样，形成具有“U”字型或“J”字型缓慢曲线的通道部C时，因容易控制照射在通道部 C 的光量，所以，可以不用象第五实施例中那样清除源极65与漏极66之间的半导体层。为了形成均一厚度的通道部C的光致抗蚀剂图案114而使用的光掩模的结构，将在后面做详细说明。

一方面，与第一实施例相同，在 B 部分中，只对导体层 60、欧姆接触层 50 及半导体 40 进行蚀刻，保留了栅绝缘层 30，但也可以蚀刻栅绝缘层 30 的一部分或全部。下面通过第六实施例，在 B 部分中栅绝缘层 30 也被一起清除的制造方法做详细说明。

图 32 及图 33 表示根据本发明第六实施例的液晶显示器用薄膜晶体管阵列面板，分别表示沿着图 1 中 II－II’ 及 III－III’ 线的截面图。

大部分结构与第一实施例相类似。

但是，如图 32 及图 33 所示，只在半导体层图案 42，48 下部，残留有栅绝缘层图案 32，38，且钝化层 70 覆盖没有被栅绝缘层图案 32，38 覆盖的基板 10 及栅线路 22，24，26，28。

那么，参照图 34A 及图 34B，图 32 及图 33 对根据本发明第六实施例的液晶显示器用基板的制造方法做详细说明。图 34A 及图 34B 分别表示根据本发明第六实施例的液晶显示器用薄膜晶体管阵列面板按工程顺序的图，图 34A 表示沿着图 6A 中 VIB－VIB’ 线的截面图，图 34B 表示沿着图 6A 中 VIC－VIC’ 线的截面图。在此，34A 及图 34B 是分别表示图 10A 及图 10B 下一阶段的图。

根据本发明第六实施例的制造方法，如图 10A 及图 10B 所示，至清除 B 部分中暴露的导体层 60 从而暴露其下部的欧姆接触层 50 的工程，与第一实施例中的制造方法相同。不同的是，如图 34A 及图 34B 所示，其他部分 B 中暴露的欧姆接触层 50 及其下部的半导体层 40 及栅绝缘层 30，与光致抗蚀剂层的第一部分 114 一起同时清除，从而暴露通道部 C 的供源极／漏极用导体图案 67，形成栅绝缘层图案 32，38 及半导体层图案 42，48。

接着，以与第一实施例相同的方法，分离源极 65 与漏极 66，从而完成数据线路 62，64，65，66，68 及其下部的欧姆接触层图案 55，56，58，形成具有分别暴露栅极 66、栅衬垫 24、数据垫块 64 及储存电容器用导体图案 68 的由氮化硅或有机绝缘材料构成的具有接触孔 71，72，73，74 的钝化层 70。形成由 ITO 构成的像素极 82、冗长栅衬垫 84 及冗长数据垫块 86，从而

最终完成如图 18 及图 19 所示的液晶显示器用薄膜晶体管阵列面板。

下面，在根据本发明实施例的制造方法中，对为了形成具有不同厚度的光致抗蚀剂图案而使用的光掩模的结构，特别是对形成有微细图案的光掩模的通道部 C 的结构做详细说明。

图 35A 至图 35C 是表示根据本发明实施例的液晶显示器用薄膜晶体管阵列面板的制造过程中使用的第二光掩模的微细图案的配置图，是为了形成直线或矩型形状的通道部 C 的光掩模图。在此，以长缝图案为中心，形成有供源极及漏极用的光掩模图案，形成长缝图案的部分以通道部 C 做说明。

光掩模是利用电子束或具有短波长的激光制造。此时，光掩模的微细图案之间的间隔或微细图案的宽度为 1μm 以上为佳。另外，曝光时，可调整光的透过量的微细图案之间的间隔及微图案的宽度，应比光源的分辨率小，较佳地是小于一半为好。因此，光源的分辨率为 3μm 至 4μm 时，微细图案之间的间隔及微图案的宽度为 1μm 至 2μm 为佳。

此时，如图 35A 所示，在光掩模 400 的通道部 C 上，可形成一个以上的长缝图案。如图 35B 所示，也可以以光掩模 400 的通道部 C 形成长缝图案。如图 35C 所示，在通道部 C 的中央，以通道部 C 的形状，利用棒状的格栅 410 形成长缝图案。

但是，当利用图 35A 至图 35C 中的光掩模，将光致抗蚀剂层曝光而形成 4000～2000 埃厚度的光致抗蚀剂层时，所形成的光致抗蚀剂层的厚度有可能不均一。

图 36A 及图 36B 表示利用图 35A 至图 35C 的光掩模所形成的光致抗蚀剂图案，图 36B 是表示沿着图 36A 中 XXXVIB－XXXVIB’ 线的截面图。

如图 36A 及图 36B 所示，在通道部 C 的中央部，留有均一的光致抗蚀剂图案 100，而通道部 C 的边缘部分比中央部厚。这是因为，在通道部 C 的边界部分，光的衍射条件发生了变化，使边界部分的曝光程度小于通道部 C 的中央部分。把其称之为边界条件（boundary condition）。

因此，消除通道部 C 边缘部的边界条件，并且为了形成与本发明实施例相同的光掩模，即第二光掩模在光刻工程的曝光工程中，形成具有三个不同厚度的三部分，并且各部分为均一厚度的感光膜图案，特别是为了使具有中间厚度的感光膜图案（参照第一实施例的“114”或图 36B 的“100”）的厚度为均一，而应使光掩模的结构具有大部分透光的第一领域、遮断大部分光

线的第二领域、可调整透光量的第三领域及位于第三领域与第一领域之间且具有二者之间透光量的第四领域。此时，如第三及第四领域，为了调整透光量，如前所述，光掩模上应形成长缝或格栅形状的微细图案，但微细图案之间的开口大小应小于光源的分辨率，或者使开口部大小为光源的分辨率以下，同时使微细图案的宽度也为光源的分辨率以下，以及在第三及第四领域形成替代微细图案的比第二领域具有更高透光量的半透明层。也可混合使用上述两种方法。这表示使用具有 3～4μm 分辨率的光源，使光掩模与液晶显示器用薄膜晶体管阵列面板之间的比率为 1:1，因此微细图案的宽度及其之间的间隔为 3～4μm。当然，可通过调整分辨率以下的微细图案宽度及其之间的间隔而调整透光量，因此能够调整感光膜图案的厚度。

为前者时，在图 37A 至图 39C 中做了详细的图示，为后者时，在图 40A 至图 40 有中做了详细的图示。

图 37A 至图 37C 是表示根据本发明实施例改善了的光掩模结构配置图。

如图 37A 所示，所形成的光掩模 400 通道部 C 边缘部的长缝图案 412 比中央部的长缝图案 411 长，且长缝图案 412 外侧的长缝图案 413 以棒状形成。这是为了增加通道部 C 边界部的透光量。此时，棒状长缝图案 413 的宽度 L3 小于中央部的长缝图案 411 的宽度 L1 为好，最好是以 80％程度形成。

图 37B 及图 37C 中的光掩模 400，具有与图 35B 及图 35C 中的光掩模相类似的结构，但是与通道部 C 的中央部间隔 L1 相比，边界部间隔 L2 更长或更宽。

图 38A 及图 38B 表示利用图 37A 至图 37C 的光掩模所形成的光致抗蚀剂图案，图 38B 是表示沿着图 38A 中 XXXVIIIB－XXXVIIIB’线的截面图。

如图 37A 至图 37C 所示，如果比较长地形成通道部 C 边缘部的长缝图案或比较长地形成长缝图案的宽度，然后将光致抗蚀剂层曝光，则形成如图 38A 及图 38B 所示的具有均一厚度的光致抗蚀剂图案 110。

图 39A 至图 39C 是表示根据本发明实施例的制造液晶显示器用薄膜晶体管阵列面板时，为了使通道部成为环状而使用的光掩模的微细图案结构的配置图。在此，以通道部 C 为中心，相对的两侧上，也形成有供源极及漏极用的光掩模图案。

如图 39A 至图 39C 所示，通道部 C 以环状或半月状形成。另外，为了消除边界条件，在通道部 C 结束的边界部，为了增加光的透过量而加宽长缝

图案的间隔或形成有棒状的长缝图案。

图 39A 中的通道部 C 上，如图 37C 所示，按着通道部 C 的形状形成有棒状的格栅 410，且在通道部 C 结束的边界部，为了增加光的透过量，如图 37B 所示，在通道部 C 边缘的光掩模 400 上，增设有凹部 420，故所形成的通道部 C 的宽度比其他部分长。

如图 37A 所示，在光掩模 400 的通道部 C 上，形成有多数的长缝图案 411。在此也一样，在通道部 C 结束的边界部，形成有比中央部更宽或更长，且在通道部 C 的两端以棒状形成的比长缝图案 411 小的长缝图案 413。

图 39C 与图 39B 类似，但其是为了使通道部 C 的棱角部成为缓慢状，从而形成厚度均一的光致抗蚀剂图案而提出的结构。

图 40A 至图 40E 是表示根据本发明实施例制造液晶显示器用薄膜晶体管阵列面板时使用的具有半透明层的第二光掩模结构的配置图，图 40A，图 40C，图 40D 及图 40E 表示多种第二光掩模结构的配置图，图 40B 是图 40A 的截面图。

如图 40A 及图 40B 所示，在光掩模用基底 500 的上部，由 MgO，a-Si，MoSi 等形成半透明层 510，及具有暴露通道部 C 中半透明层 510 的开口部且由铬等构成的不透明图案 520。此时，在半透明层 510 结束的通道 C 两端，增设有为了消除边界条件的棒状的半透明层 511。此时，微细半透明层 511 的宽度小于光源分辨率的 1／2 为佳。

在此也一样，在通道部 C 边界领域 E 的边缘部，为了增加光的透过量，如图 40C 至图 40E 所示，可使半透明层 510，520 或供光掩模用基底 500 的结构具有多种变化。图 40C 为边界领域 E 的半透明层 520 比其他部分 510 窄时的状况，图 40D 为在边界领域 E 中，供光掩模用基底 500 的间隔比较宽，且以格栅状的半透明层 520 形成时的状况，图 40E 是表示在边界领域 E 中，供光掩模用基底 500 以比较宽的间隔形成，在边界领域 E 中，半透明层 520 与其他部分 510 相比，以比较宽的形状形成时的状况。当然，通道部 C 以及半透明层 510，520 可以以其他多种形状形成。

通过上述各图可知，为了形成具有均一的三个不同厚度的光致抗蚀剂图案，光掩模必须具有不同透过率的四个领域。即光掩模应具有大于光源分辨率的遮光层图案的第一领域、具有大于光源分辨率的开口的第二领域、形成有分辨率以下的微细图案，具有中间程度光透过量的第三领域及形成有比第

三领域的透过量大而分辨率小的微细图案的第四领域。

当光致抗蚀剂图案为阳性时，第一领域、第三领域及第四领域分别整列于数据线路部、通道部及通道部的边界领域，与此相反，当光致抗蚀剂图案为阴性时，第二领域、第三领域及第四领域分别整列于数据线路部、通道部的边界领域及通道部。

在此，光源的分辨率是 3μm 时的情形，所以把长缝图案的宽度及其它们之间的间隔设定为 1μm。

图 37A 是表示在边界领域中，加宽形成于长缝图案 412，413 之间的开口部的大小，从而增加了光线透过量时的状况，图 37B 及图 37C 是表示在边界领域中，使长缝图案 400 之间的大小小于分辨率，但比中间领域宽，从而增加了边界领域的光线的透过量时的状况，图 39A 至图 39C 是表示把通道部以多种形式变化且利用前述的方法设计的光掩模。

下面，关于形成使通道部具有缓慢曲线的环状或半月状时，为了形成厚度均一的光致抗蚀剂图案而在光掩模中形成长缝图案时，对其间隔或宽度的设计方法做详细说明。

图 41 及图 42 是表示根据本发明第四实施例制造液晶显示器用薄膜晶体管阵列面板时使用的第二光掩模中通道结构的配置图。

图 41 是长缝图案 410 沿着通道部 C 的形状而以棒状形成的结构，其与图 39A 类似，图 42 是以通道部 C 形成长缝图案时的情形。

但是，与图 39A 不同，取消了通道部 C 中以 90° 程度弯折的棱角部，使弯折部成为 45° 左右，从而使通过部以“U”字型或“J”字型形成。在此也一样，为在通道部 C 结束的部分 E 增加光线的透过量，形成均一厚度的光致抗蚀剂图案，而使通道部 C 比其他部分更长或更宽。

在此，如图 41 所示，在弯折部分 D，长缝图案 410 的宽度或长缝图案 410 与源极及漏极用光掩模图案 400 之间的间隔，为了增加光线的透过量，比除 D 部分以外部分更宽的形状形成为好，在通道部 C 结束的边界领域 E，比其他部分更宽的形状形成为好。在此，D 部分的设计在 1.41 ± 0.05 至 1.24 ± 0.05μm 范围内进行为好。此时，所使用的曝光器为具有 3μm 分辨率的镜头型曝光器。

另外，如图 42 所示，E 部分的光掩模图案 400 间隔 L1 在 1.5 ~ 2.5μm 范围内形成，较佳地是，以比其他部分的间隔 L2 大 0.1 ~ 0.25μm 的程度形

成。当然，如图所示，除E部分以外的其他部分中，也可按部位增加光线的透过率，使其具L2的宽度，从而形成厚度均一的光致抗蚀剂层。

虽然，前述说明是对根据本发明实施例的制造方法，在薄膜晶体管阵列面板上只形成像素极的状况做了说明，但是，本发明可适用于同时具有像素极与共同极的状况。此时，共同极可与栅线路一起形成，像素极可与数据线路一起形成。

这种薄膜晶体管阵列面板，除上述方法以外还可用多种变化的形态及方法制造。

如上所述，根据本发明，在制造液晶显示器用薄膜晶体管阵列面板时，不仅可有效地减少光掩模数，而且还可保护栅衬垫及数据垫块。另外，在通道部中具有棱角的部分中，通过完全清除光致抗蚀剂图案、形成具有缓慢曲线部的通道部及通过增加通道部结束部分的边界部的透光量，而完全分离源极与漏极及其下部的欧姆接触层图案，从而形成厚度均一的通道部半导体图案。

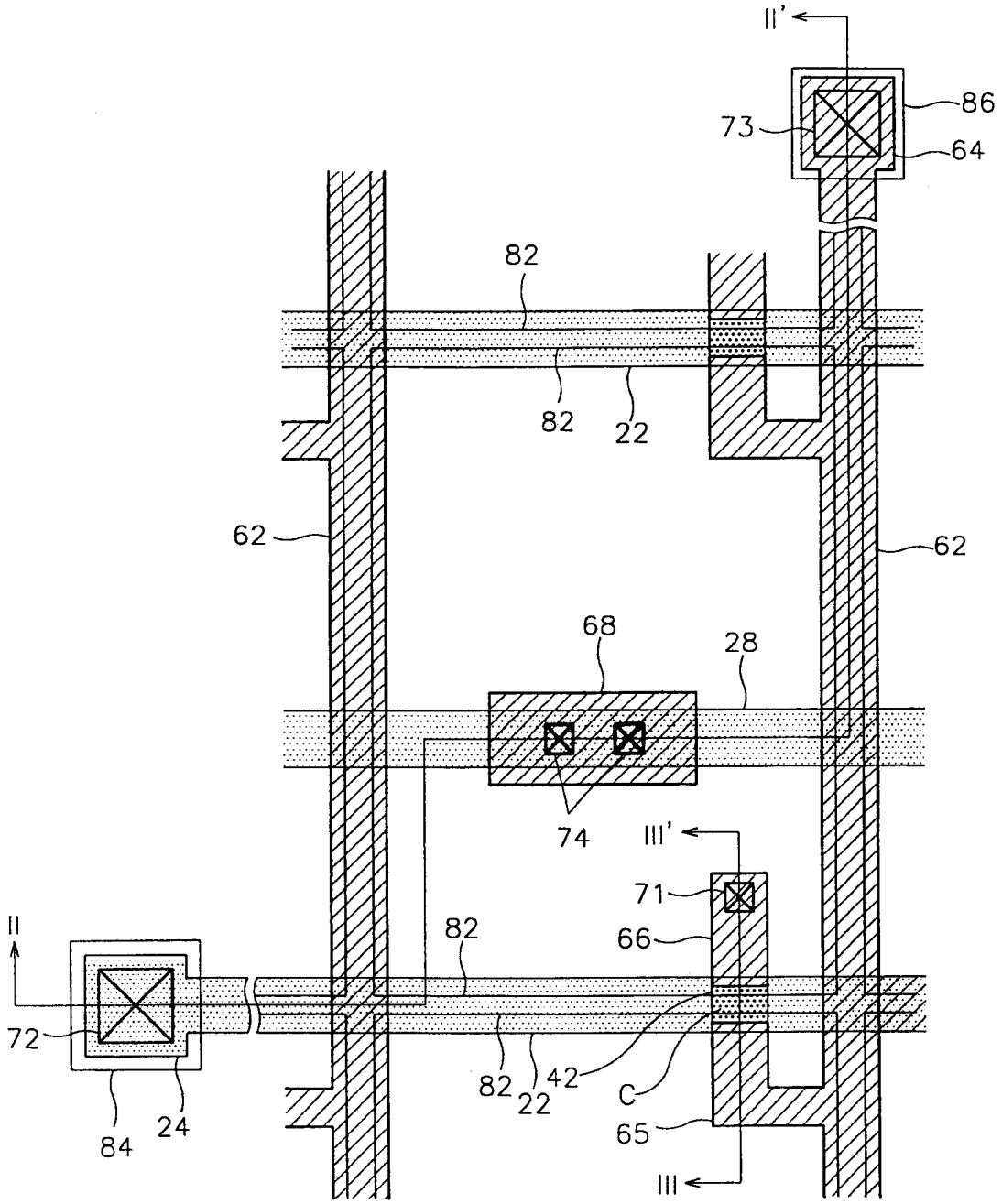

II'
86
73
64
82
82
22
62
62
68
28
74
III'
71
II
82
66
72
82
42
22
C
84
24
65
III

图 1

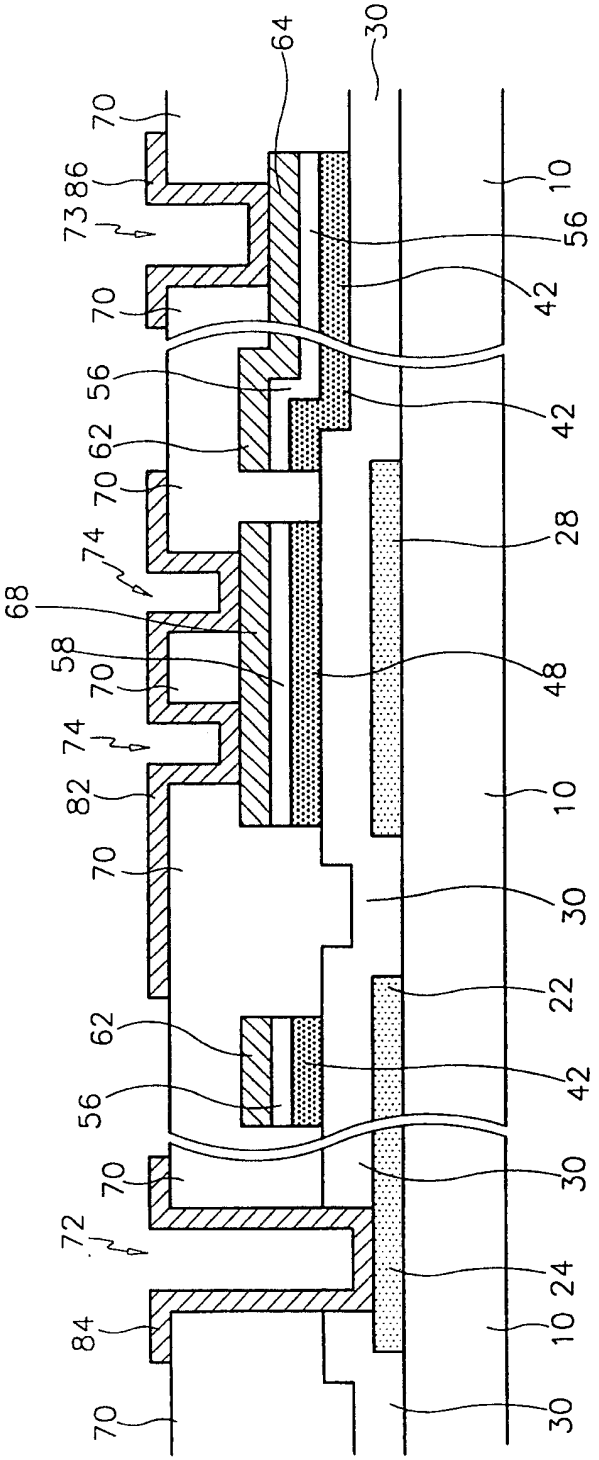

64
30
70
73
86
10
56
42
70
56
42
62
70
74
28
68
58
70
48
74
82
10
70
30
62
22
42
56
70
30
72
24
84
10
70
30

图 2

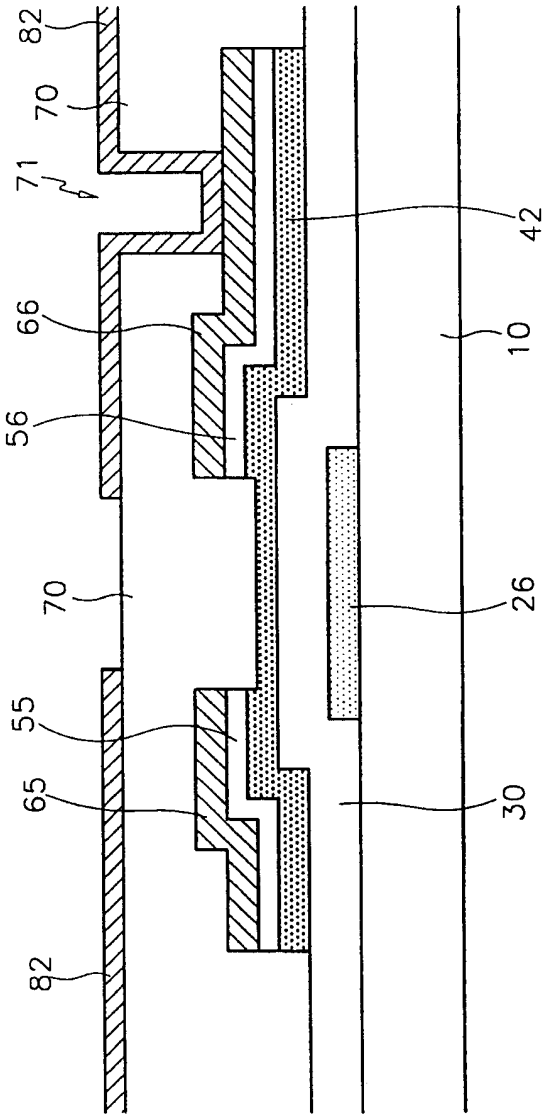


图 3

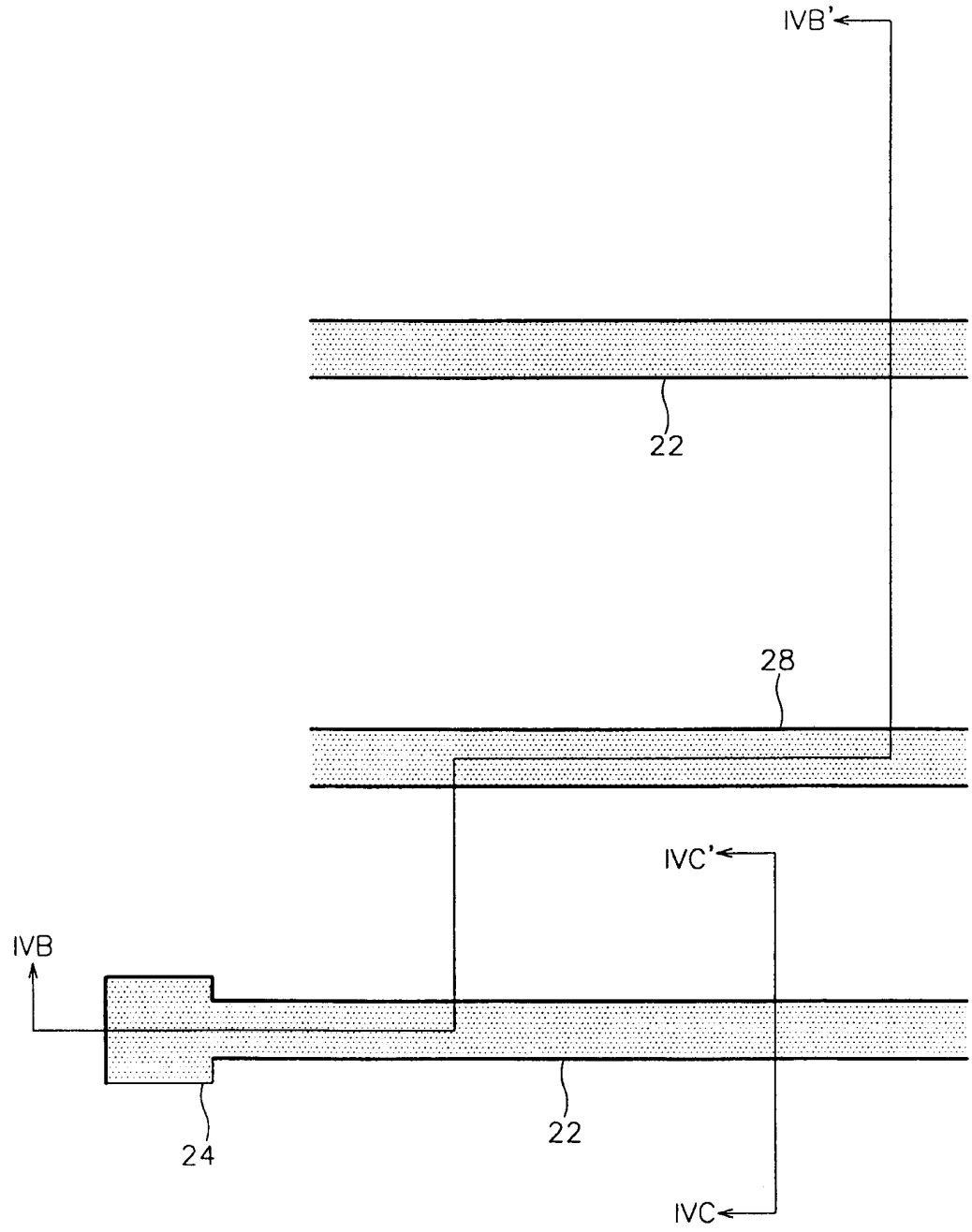


图 4A

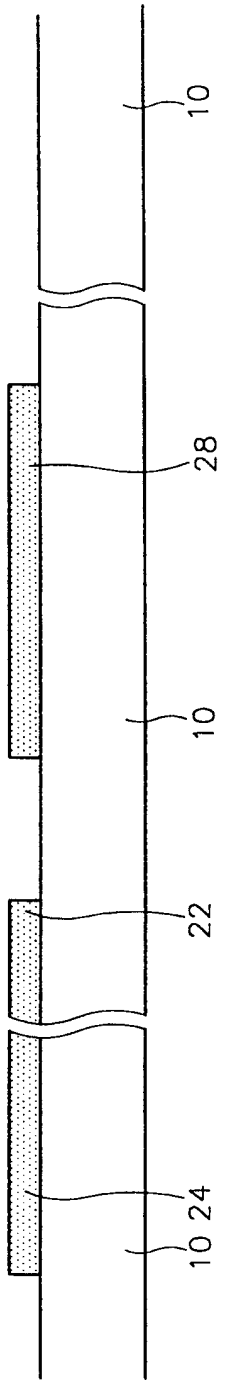


图 4B

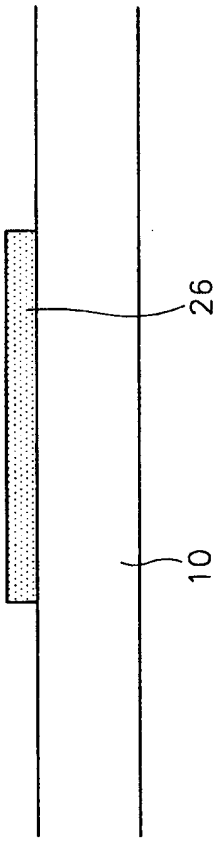


图 4C

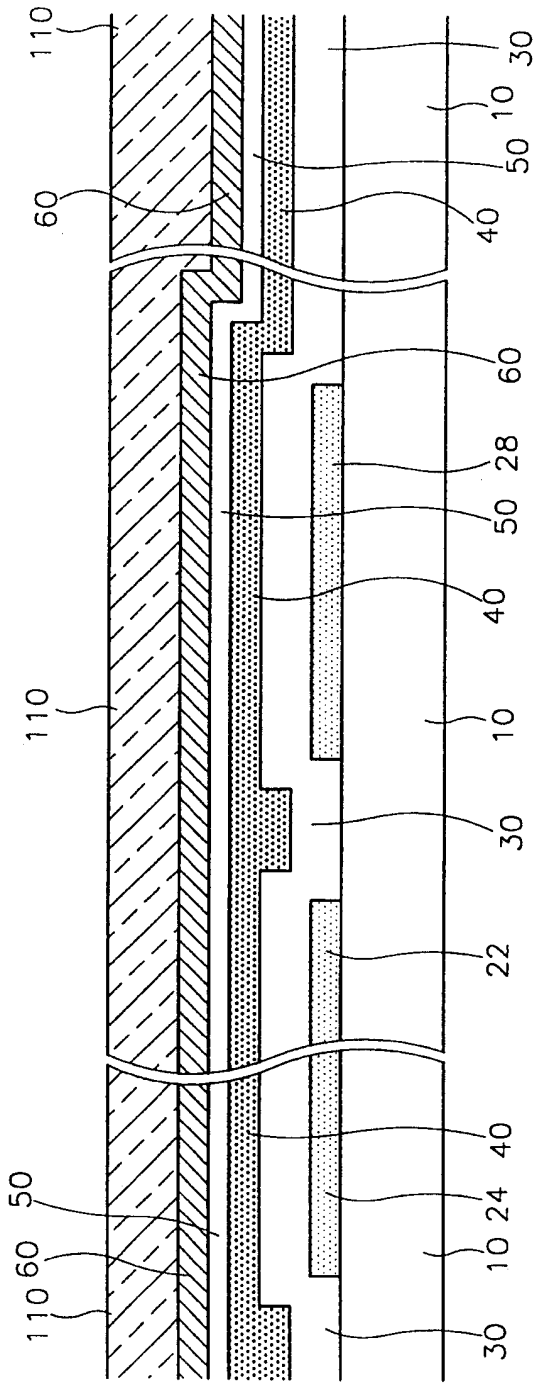


图 5A

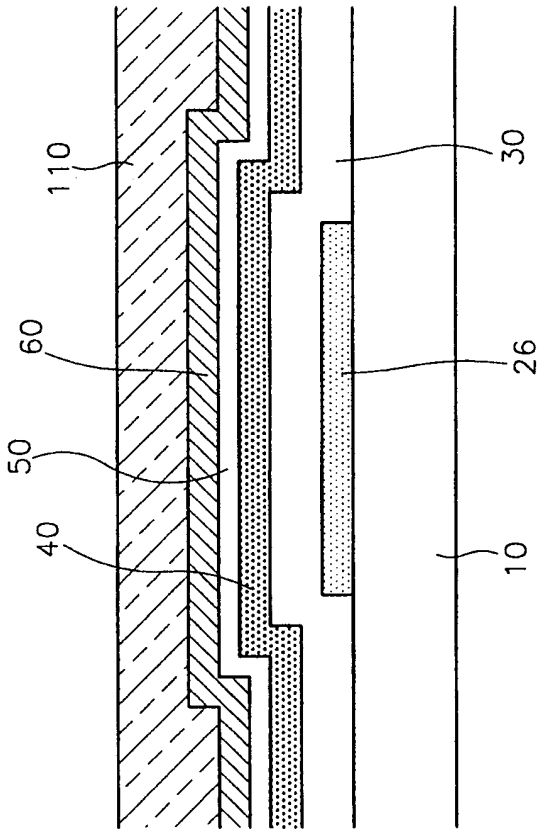


图 5B

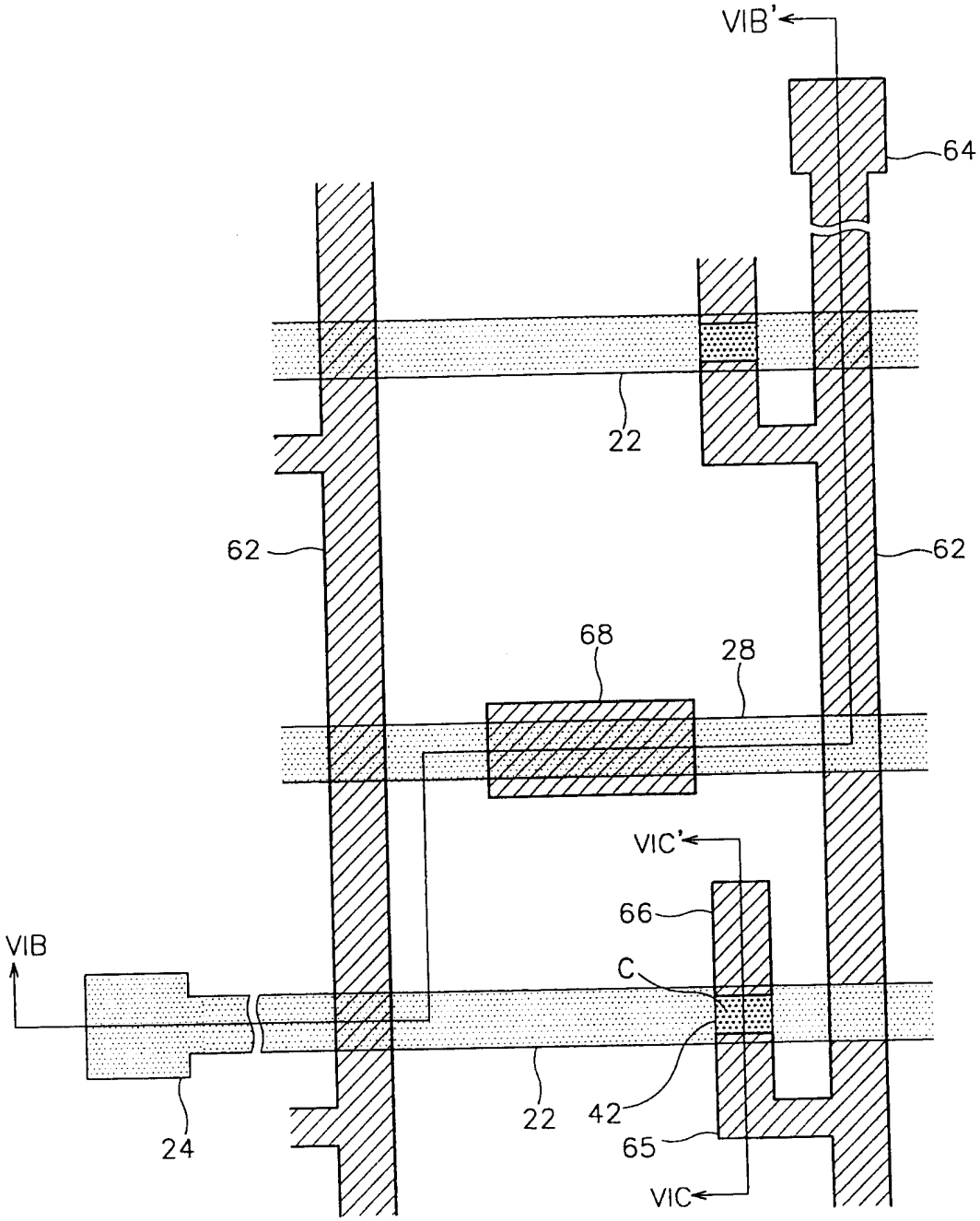


图 6A

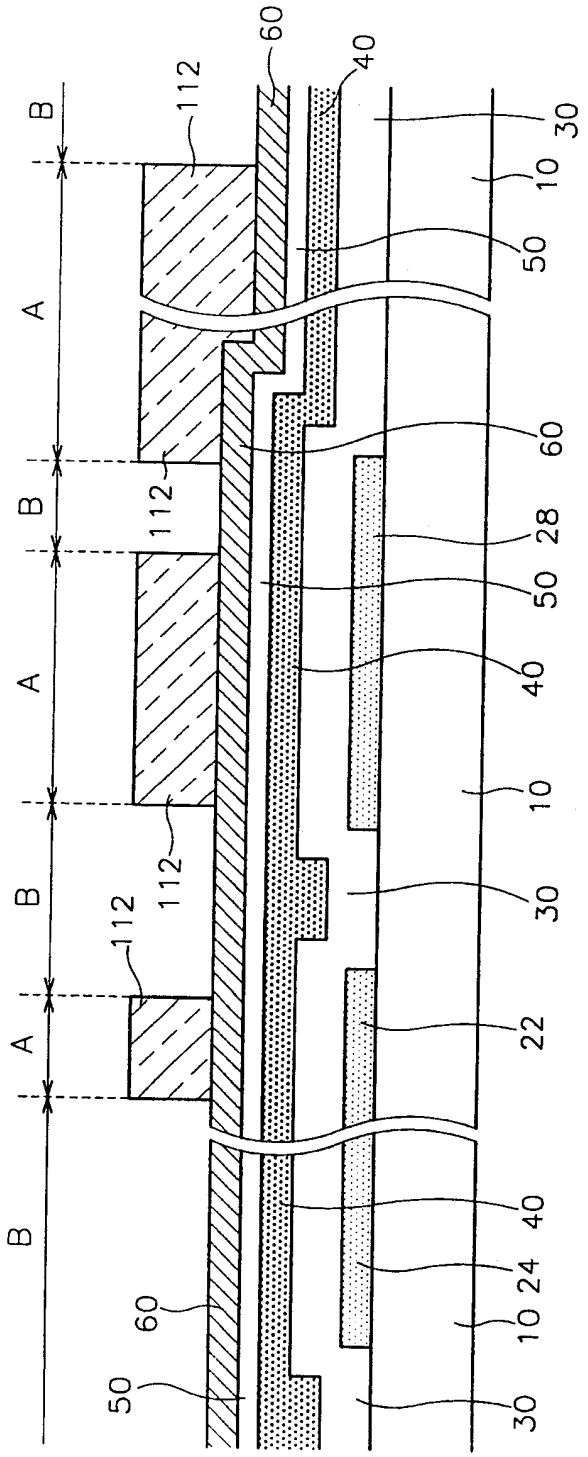

B
A
B
A
B
A
B
112
112
112
112
60
40
30
10
50
60
28
50
40
10
30
22
40
24
10
30
60
50

图 6B

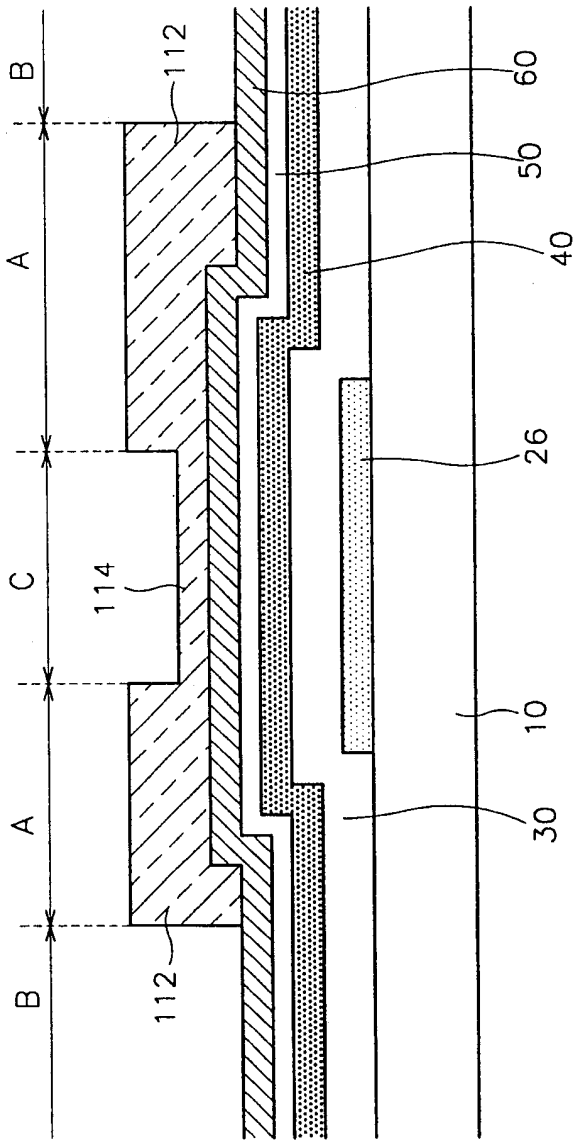


图 6C

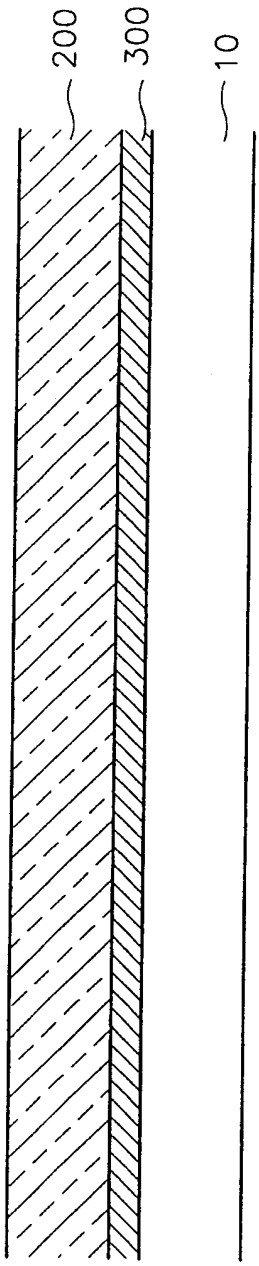


图 7A

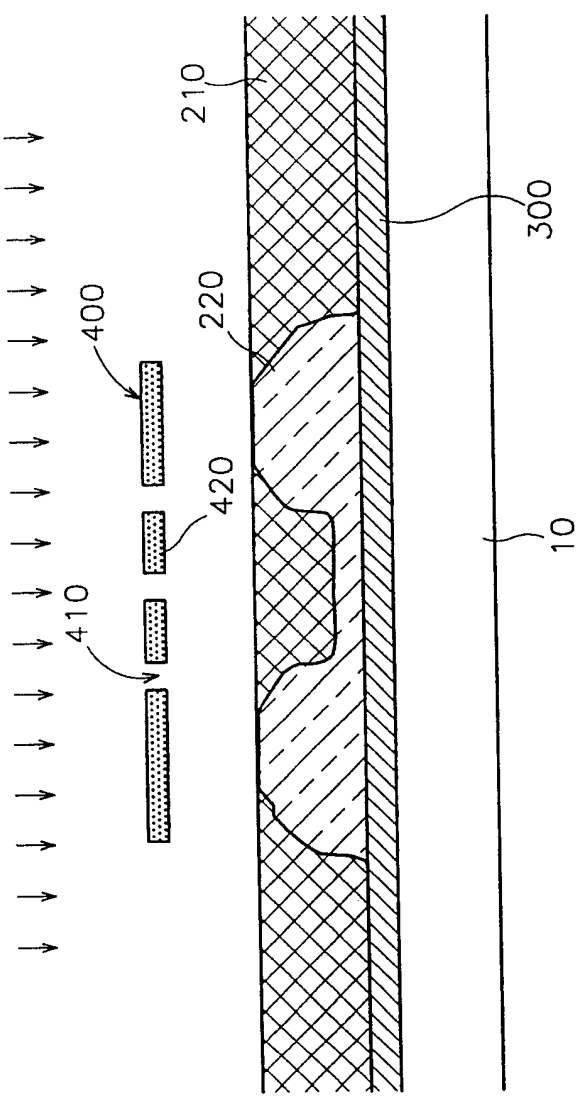


图 7B

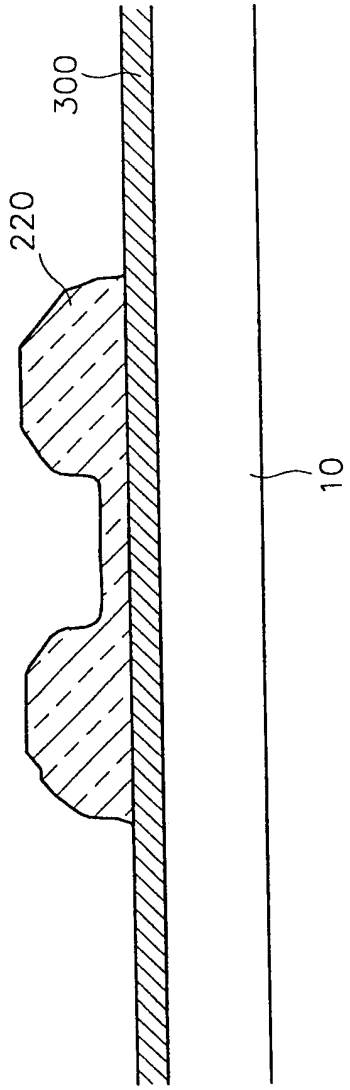
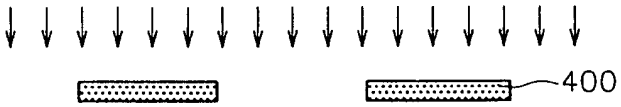


图 7C



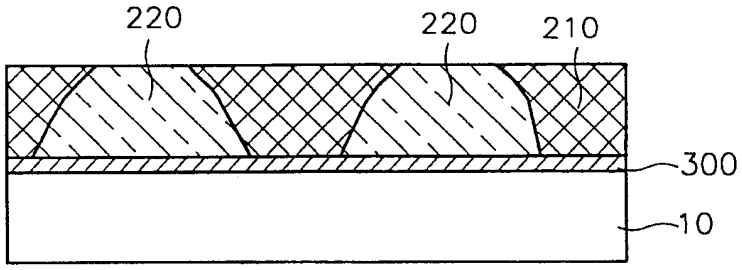


图 8A

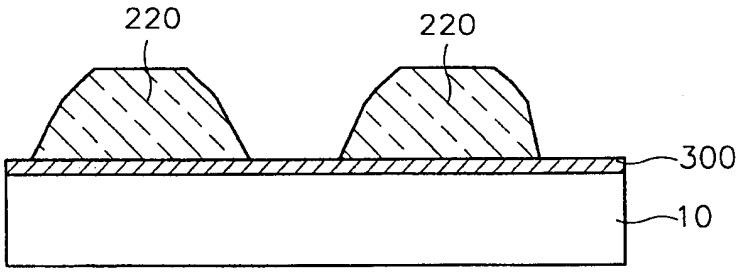


图 8B

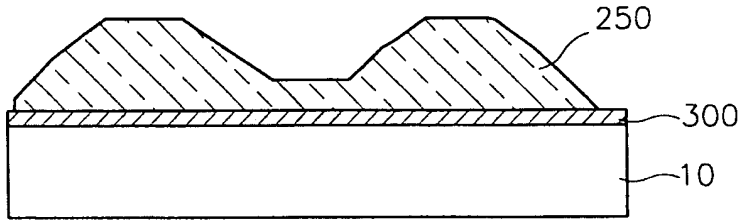


图 8C

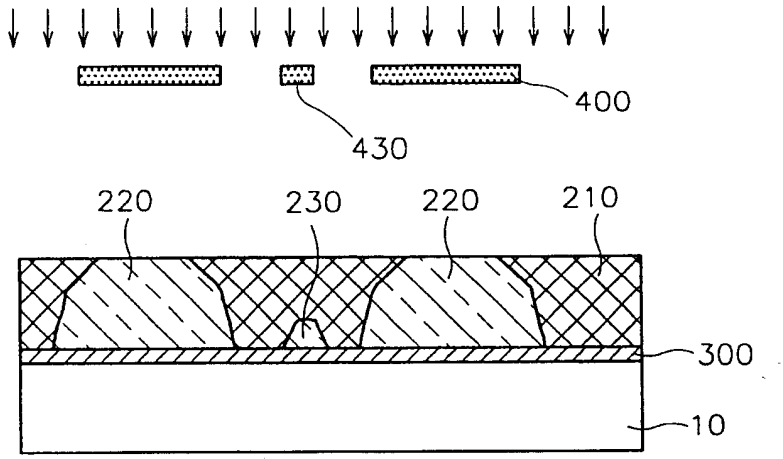


图 9A

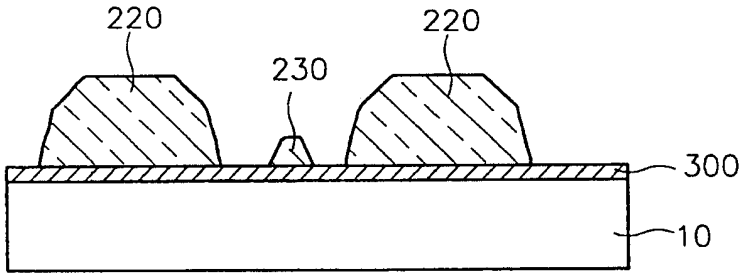


图 9B

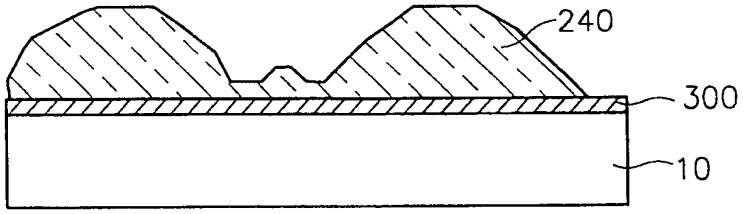


图 9C

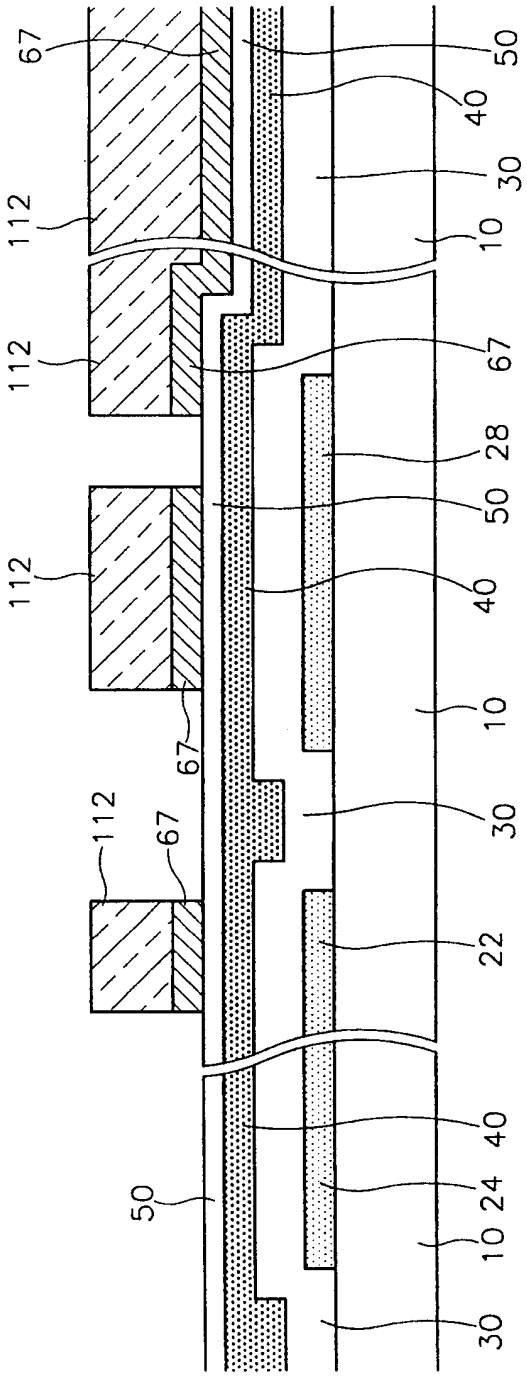

67
50
40
30
112
10
112
67
28
50
112
40
10
67
112
67
30
22
40
50
24
10
30

图 10A

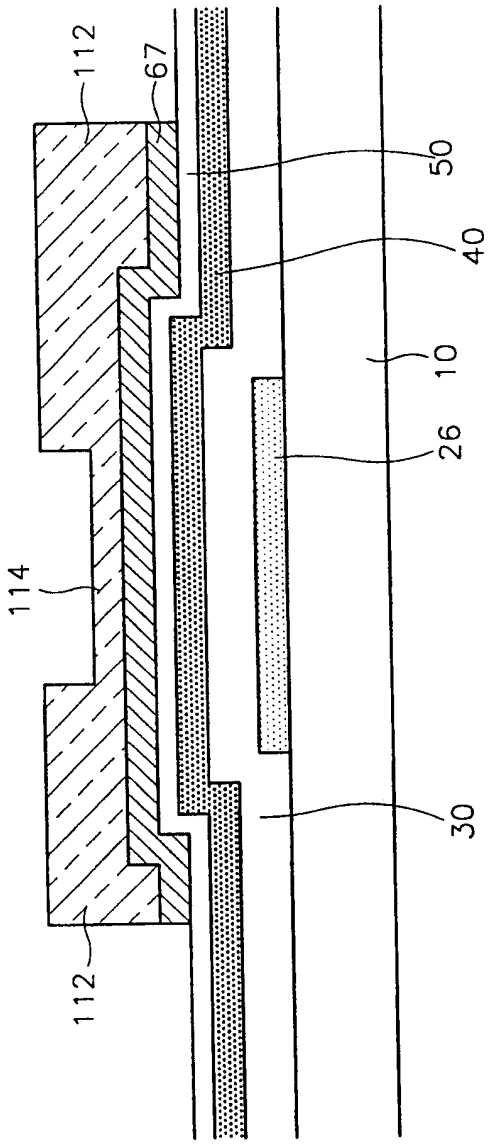


图 10B

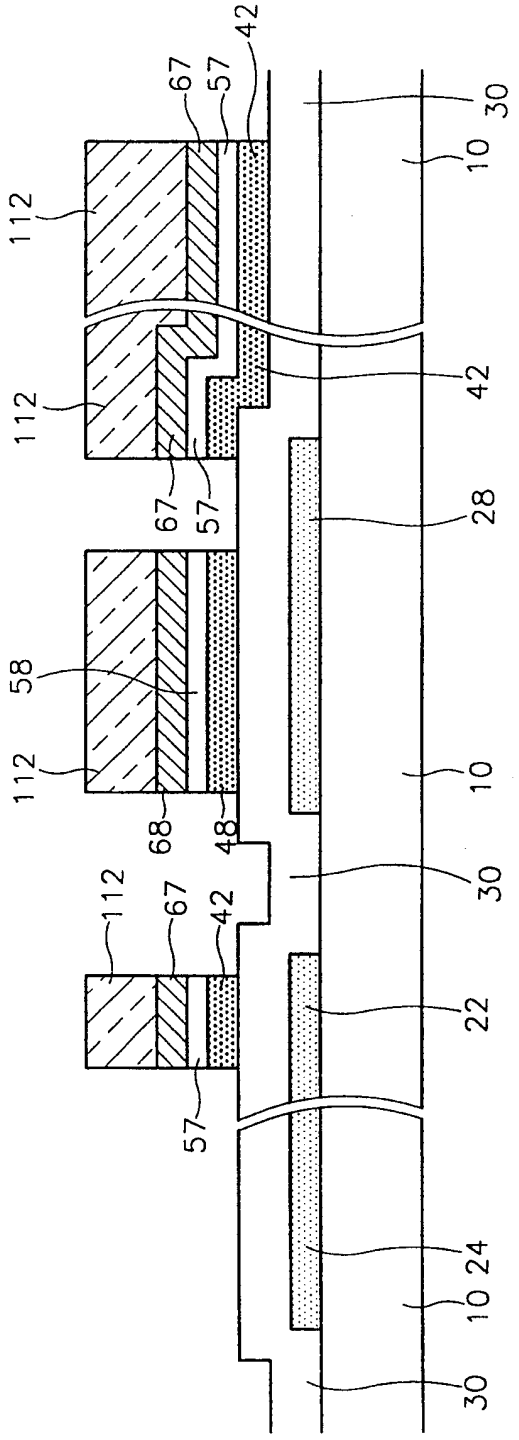

42
67
57
30
10
112
112
42
67
57
28
58
112
10
68
48
30
112
67
42
22
57
24
10
30

图 11A

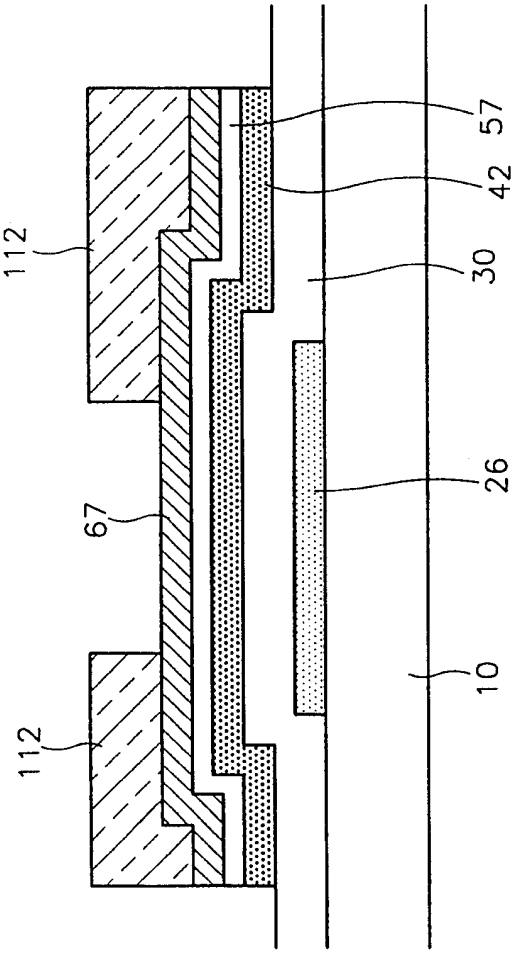


图 11B

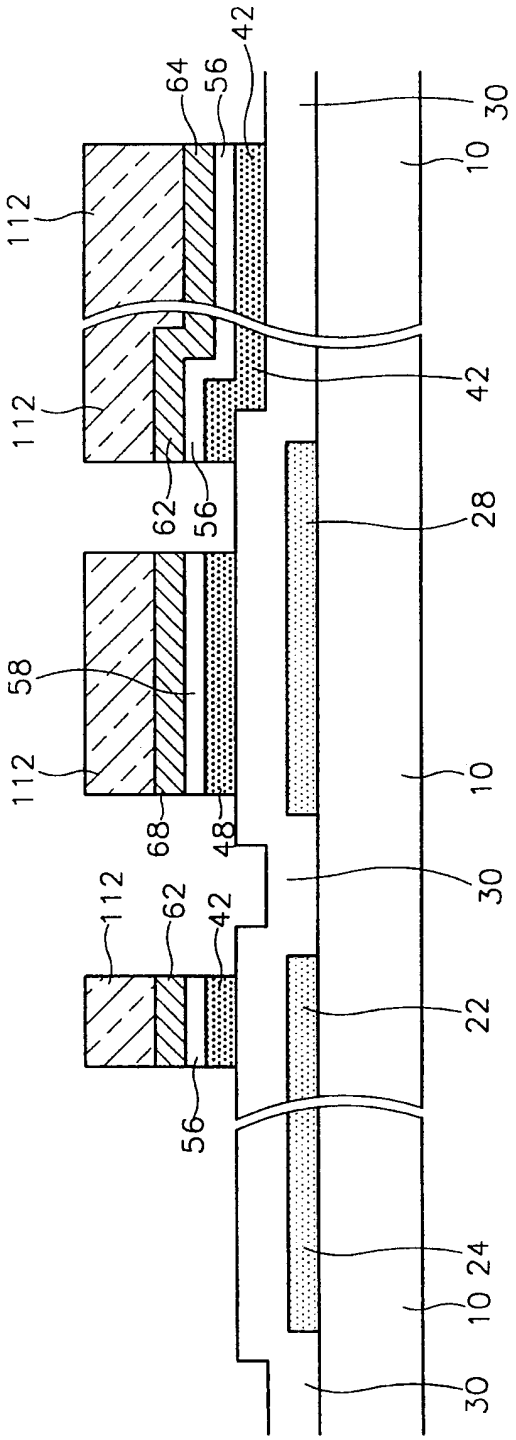

42
64
56
30
10
112
112
42
62
56
28
58
112
10
68
48
30
112
62
42
22
56
24
10
30

图 12A

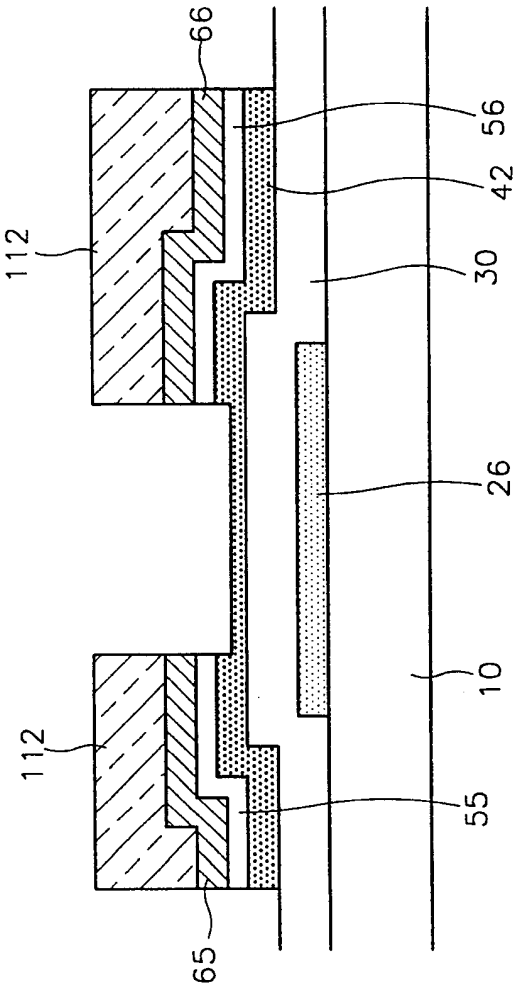


图 12B

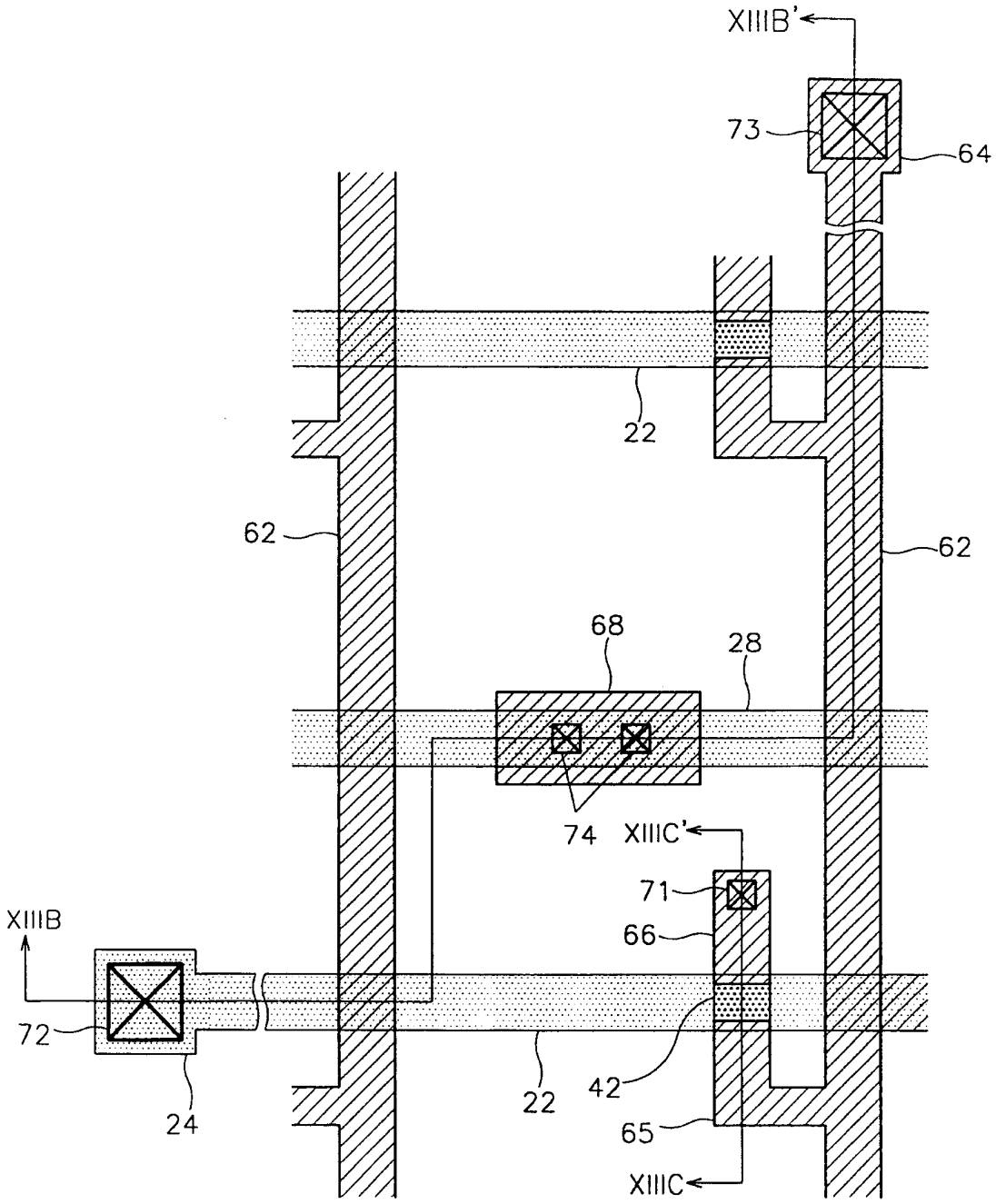

XIIIB'
73
64
22
62
62
68
28
74
XIIIC'
71
66
XIIIB
72
24
22
42
65
XIIIC

图 13A

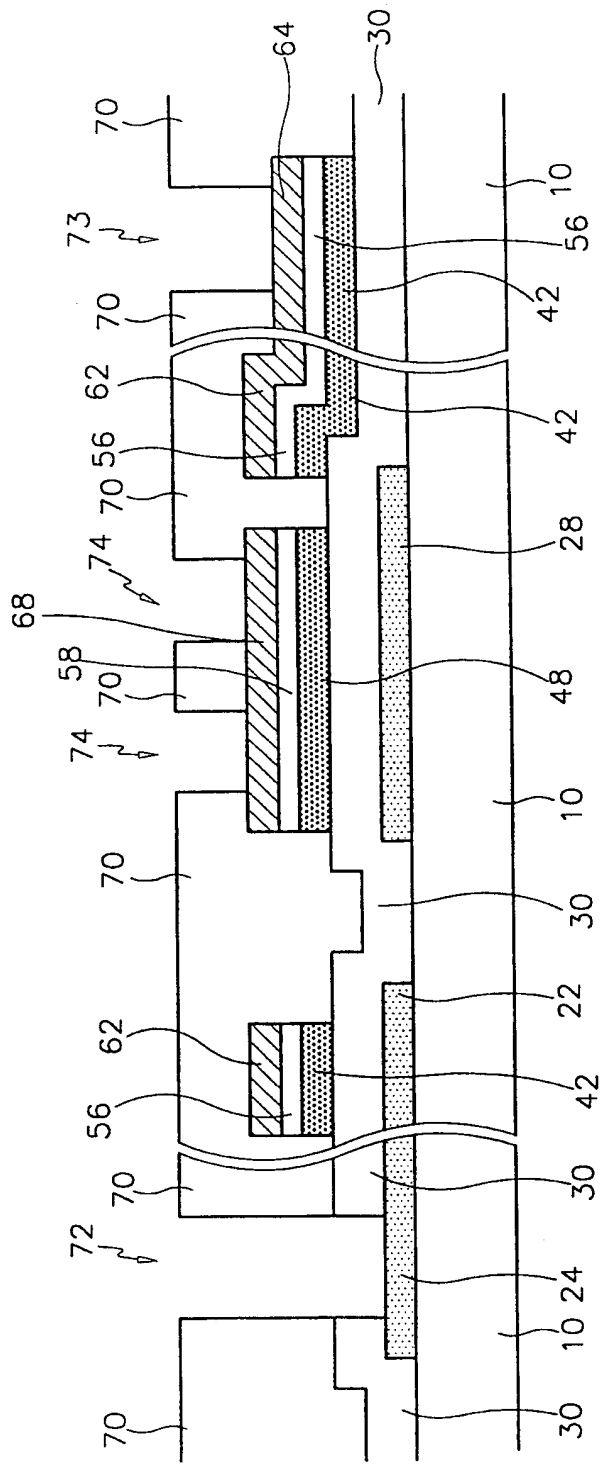

64
30
70
10
73
56
42
70
62
42
56
70
28
74
68
58
70
48
74
10
70
30
62
22
42
56
70
30
72
24
10
70
30

图 13B

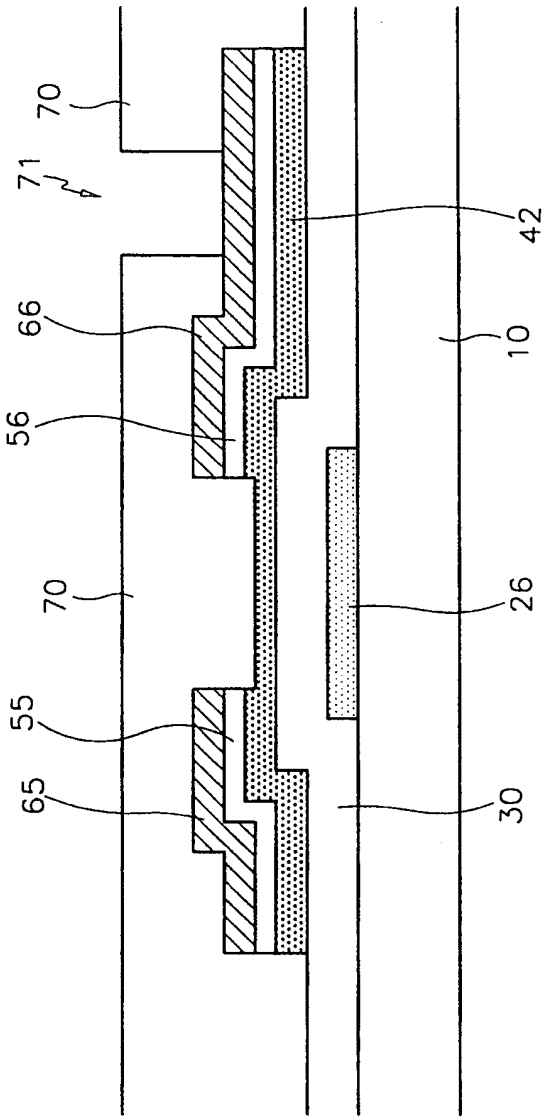


图 13C

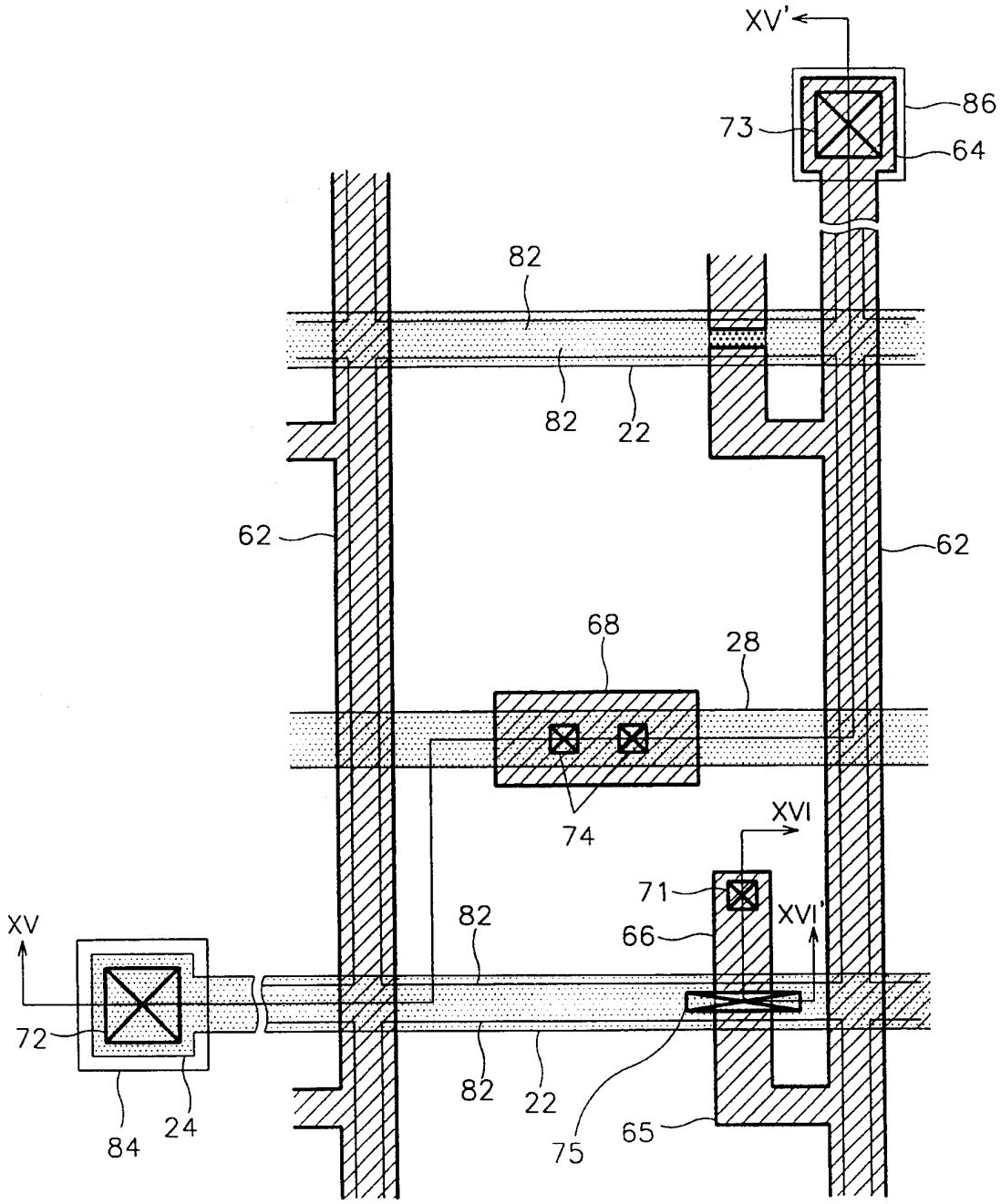

XV'
86
73
64
82
82
22
62
62
68
28
74
XVI
71
XVI'
66
XV
82
72
82
22
84
24
75
65

图 14

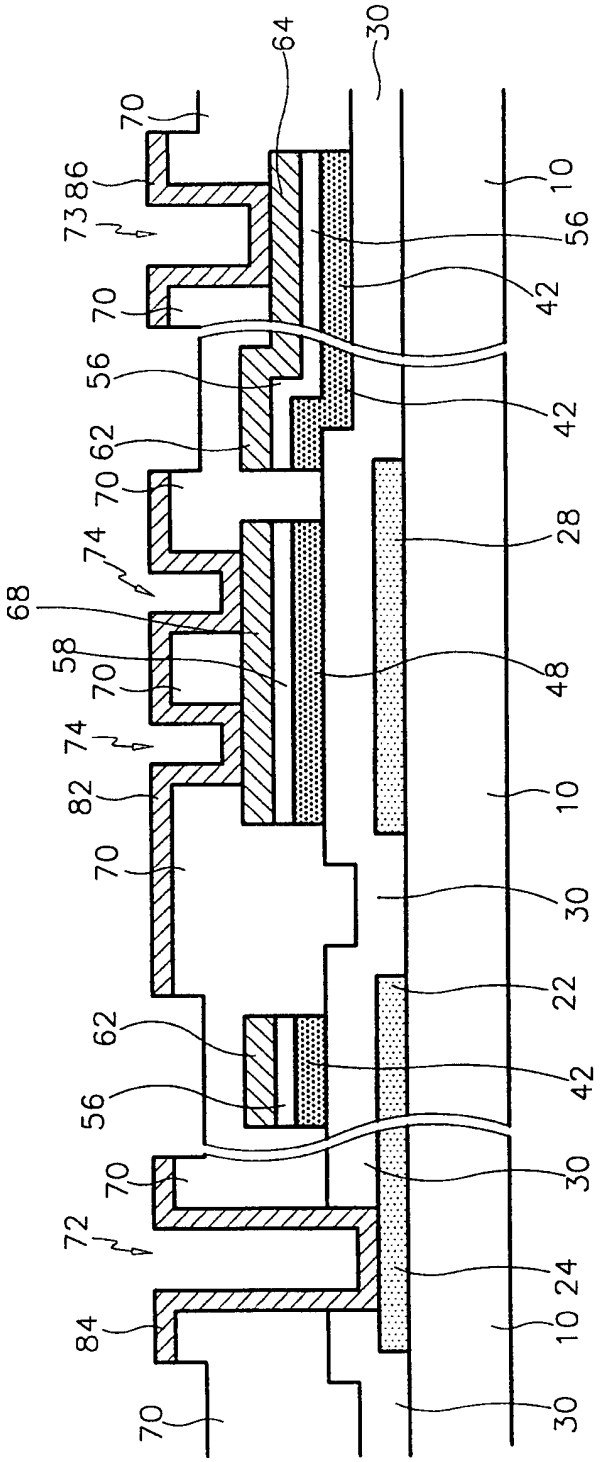

64
30
70
73
86
10
56
70
42
56
42
62
70
74
28
68
58
70
48
74
82
10
70
30
62
22
56
42
70
30
72
24
84
10
70
30

图 15

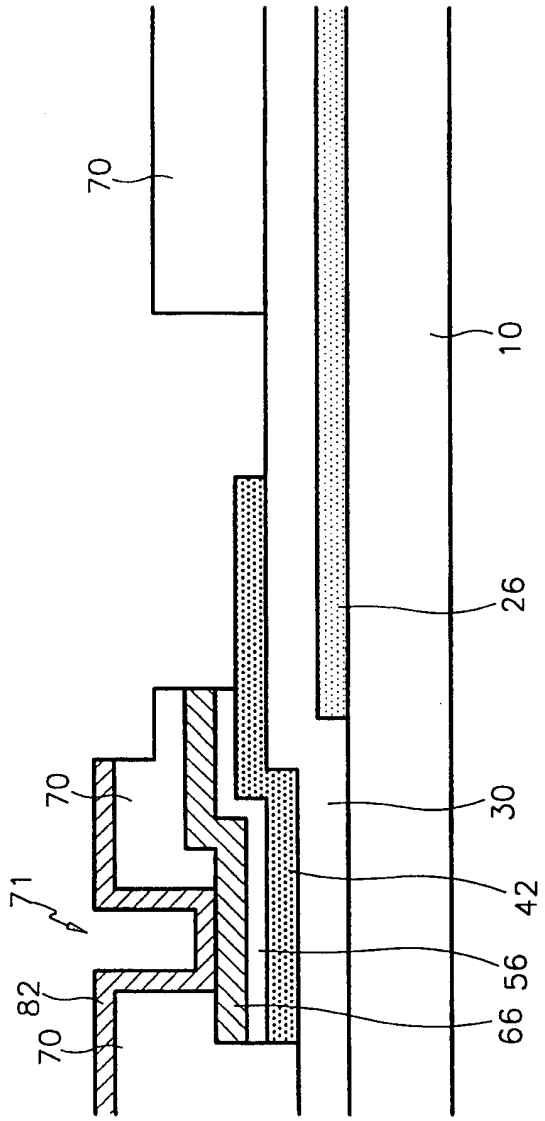


图 16

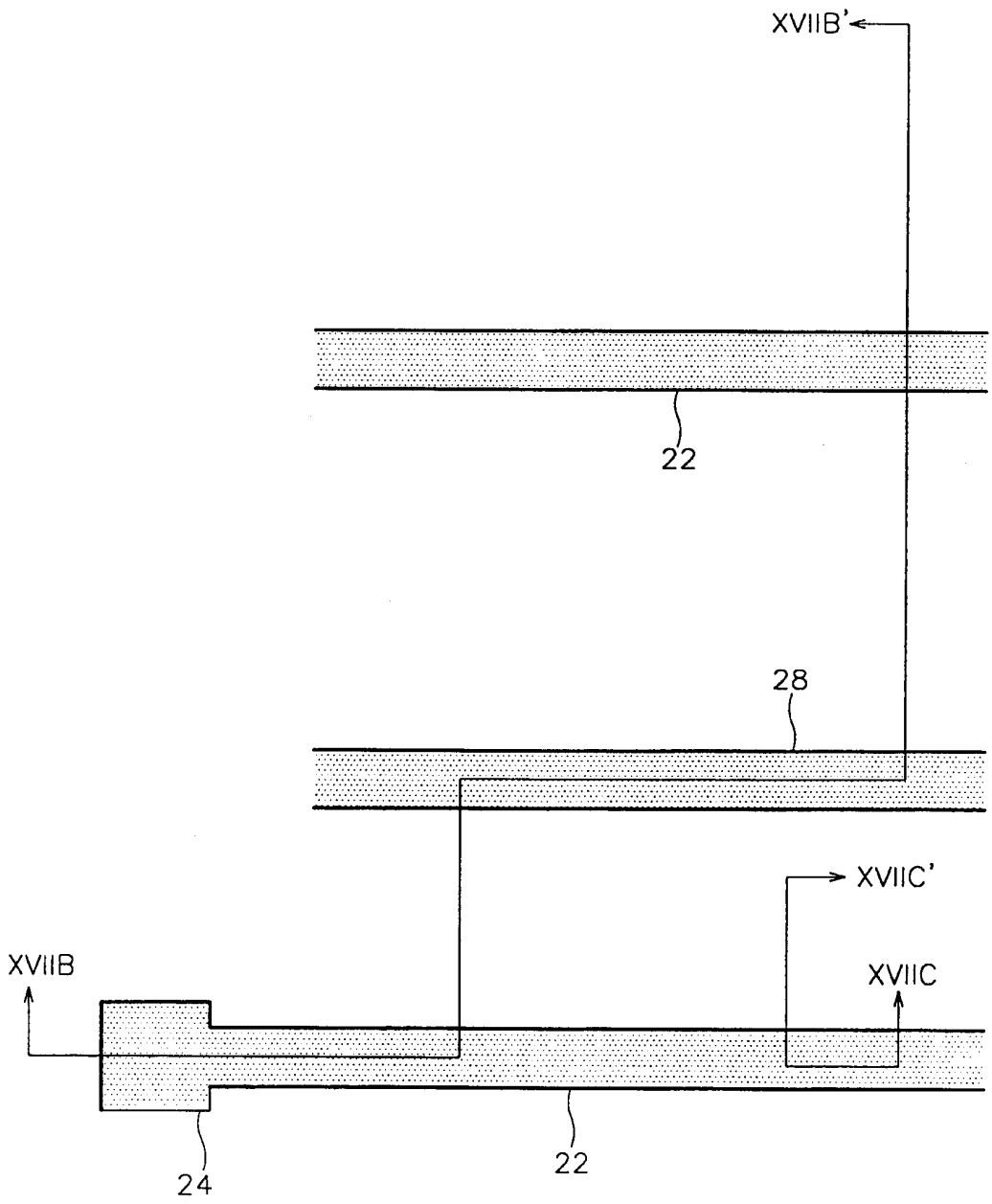


图 17A

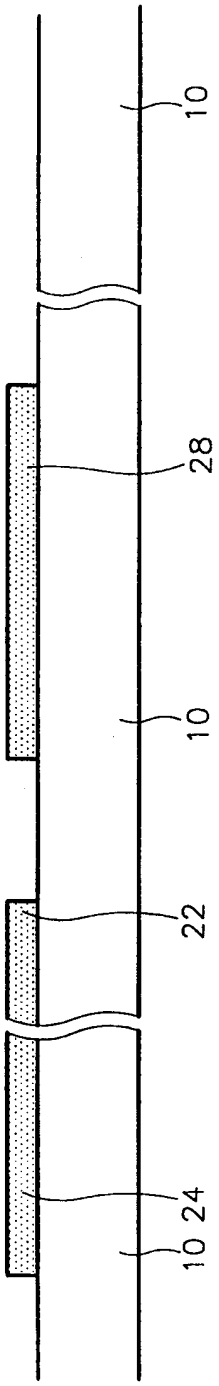


图 17B

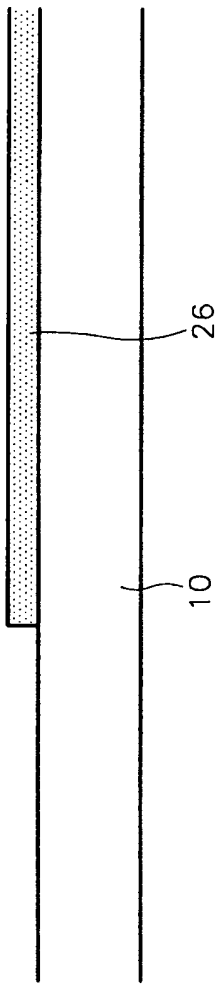


图 17C

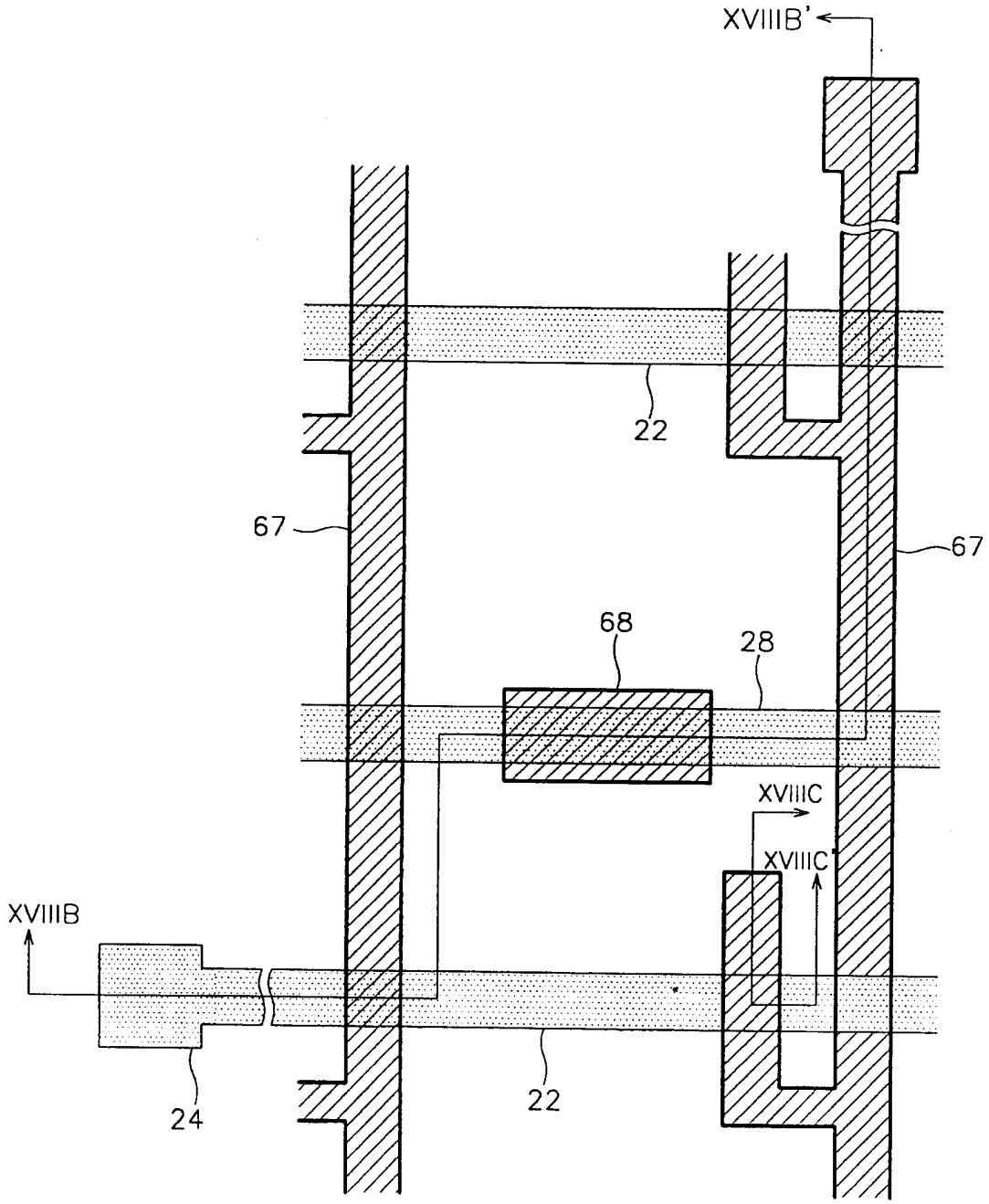


图 18A

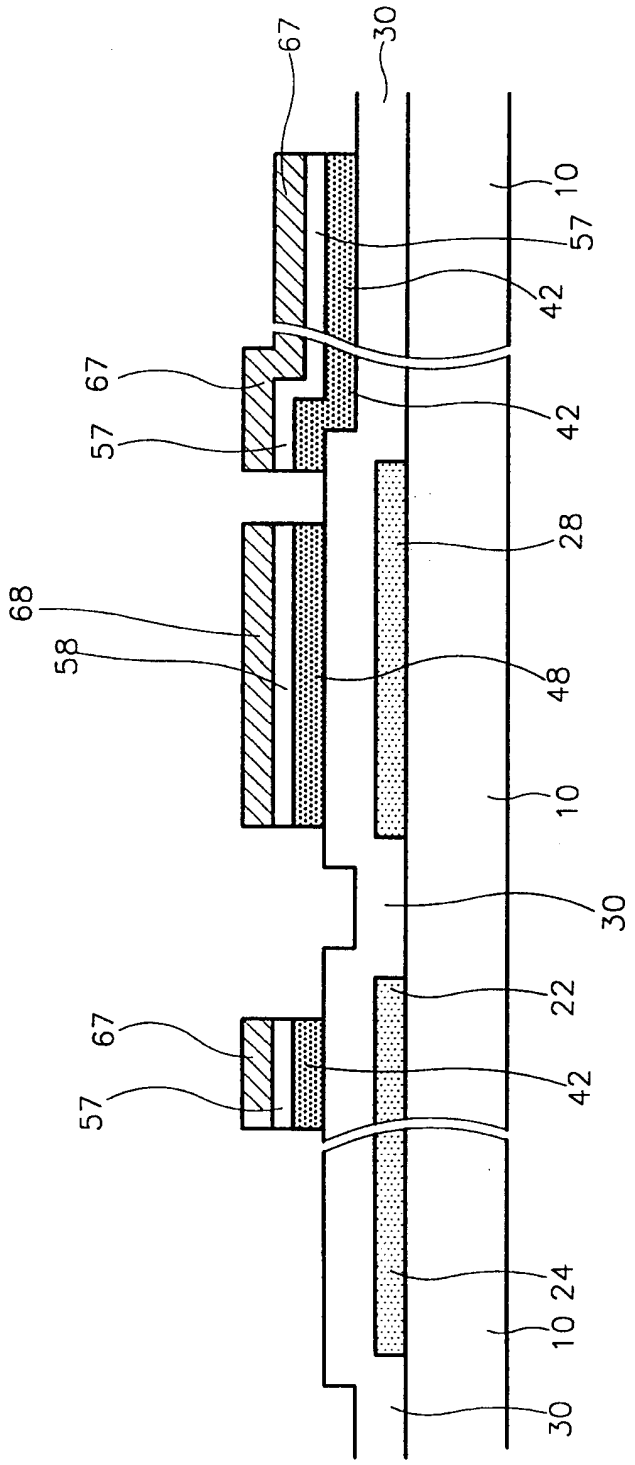


图 18B

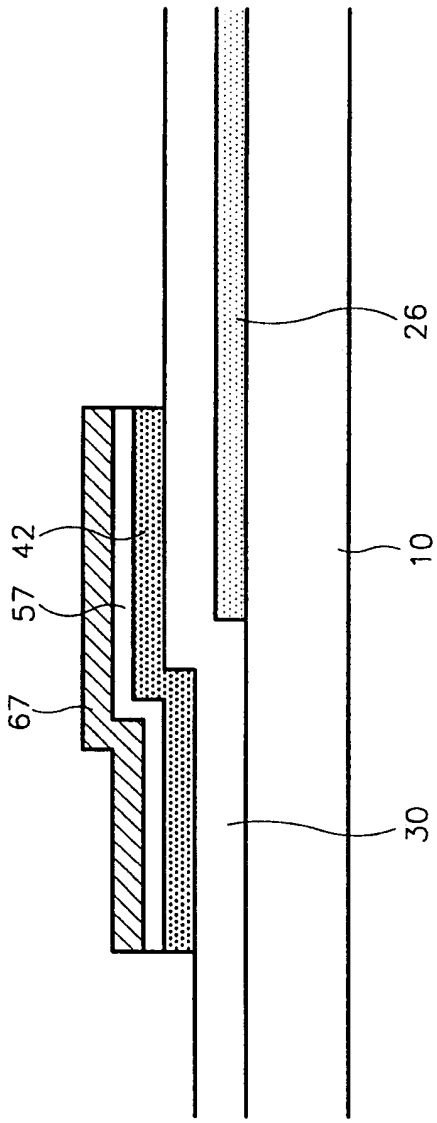


图 18C

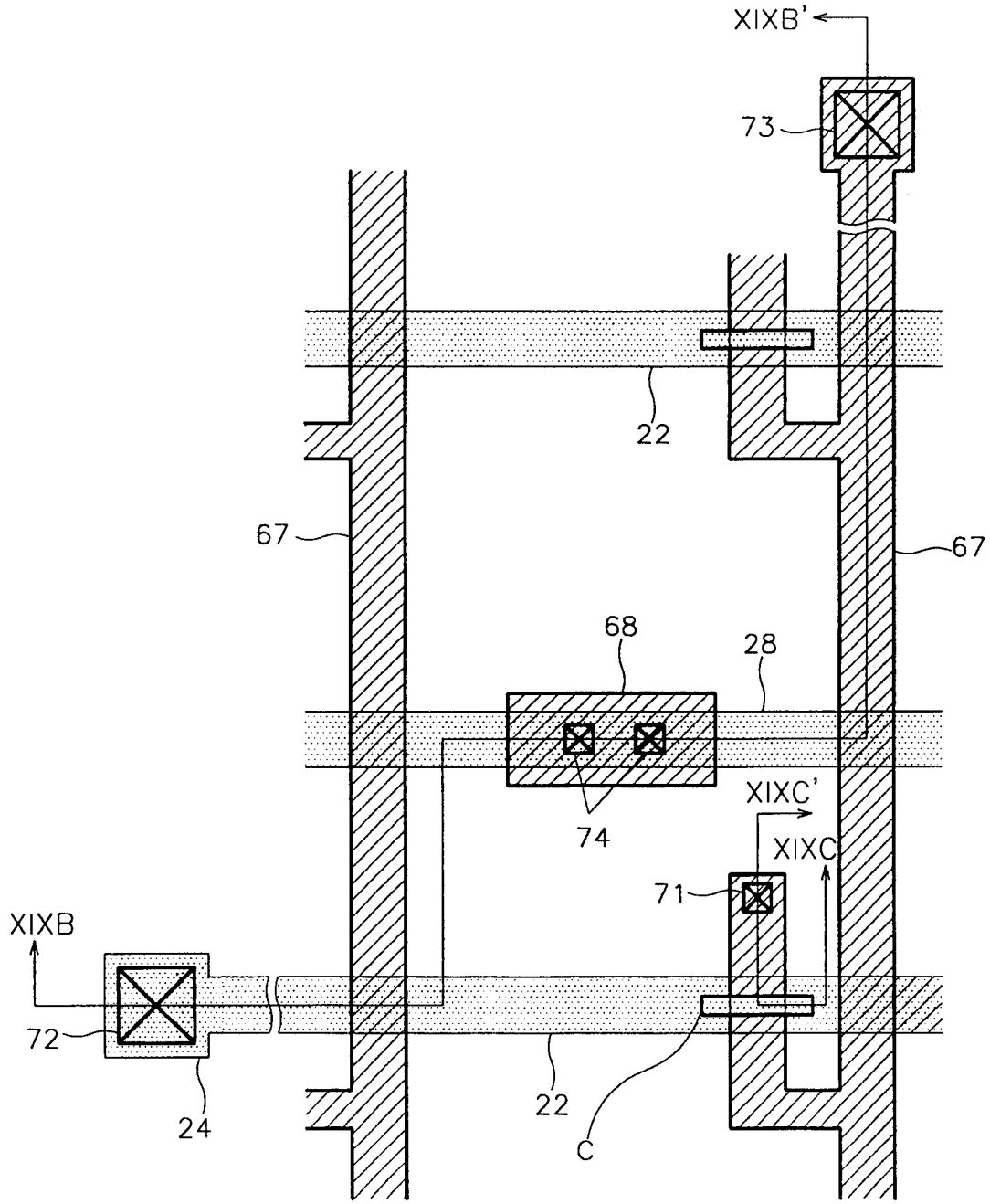


图 19A

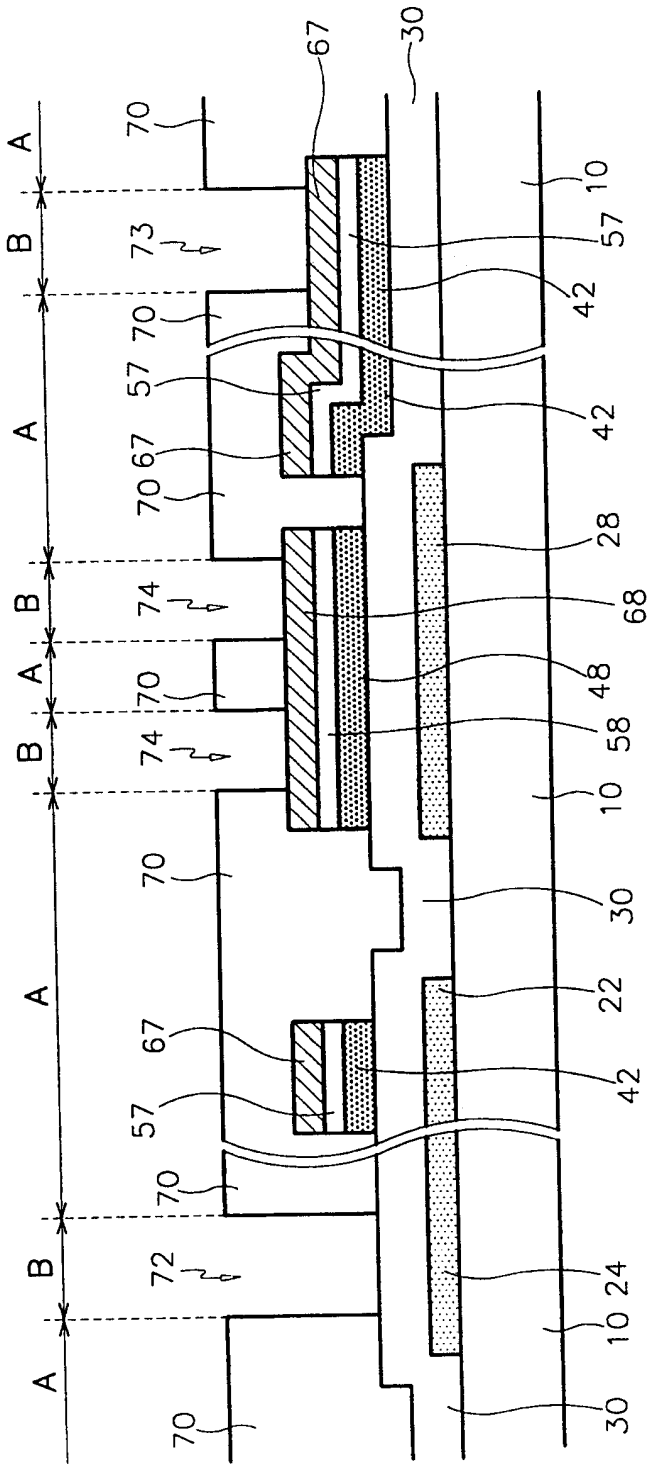

A
B
A
B
A
B
A
70
73
70
57
67
70
74
70
74
70
67
57
70
72
70
67
30
57
42
42
28
68
48
58
10
30
22
42
24
10
30

图 19B

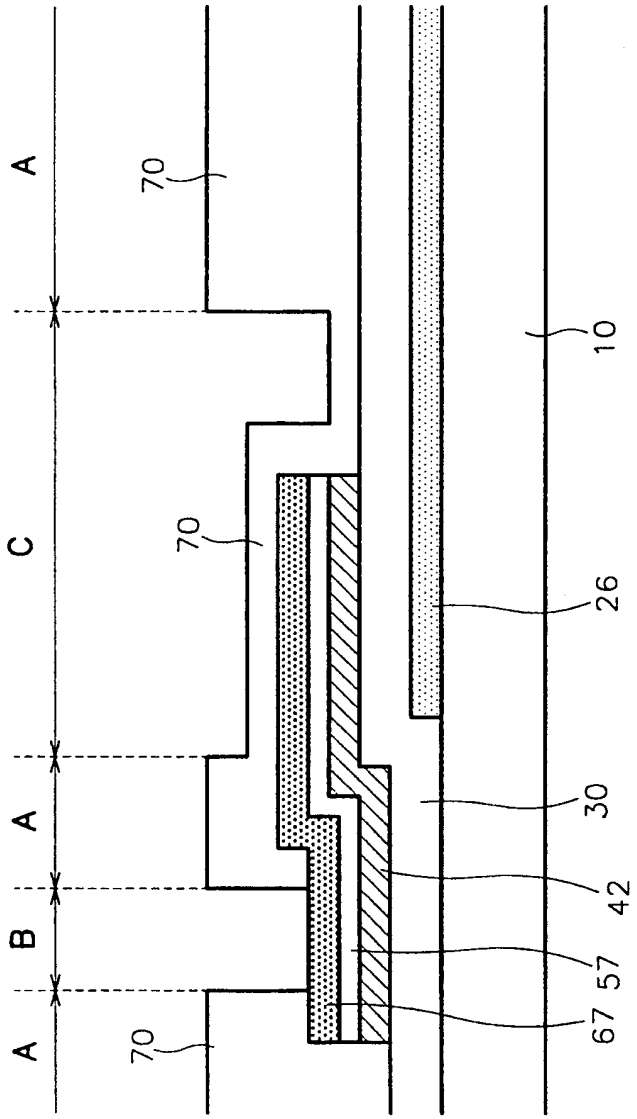


图 19C

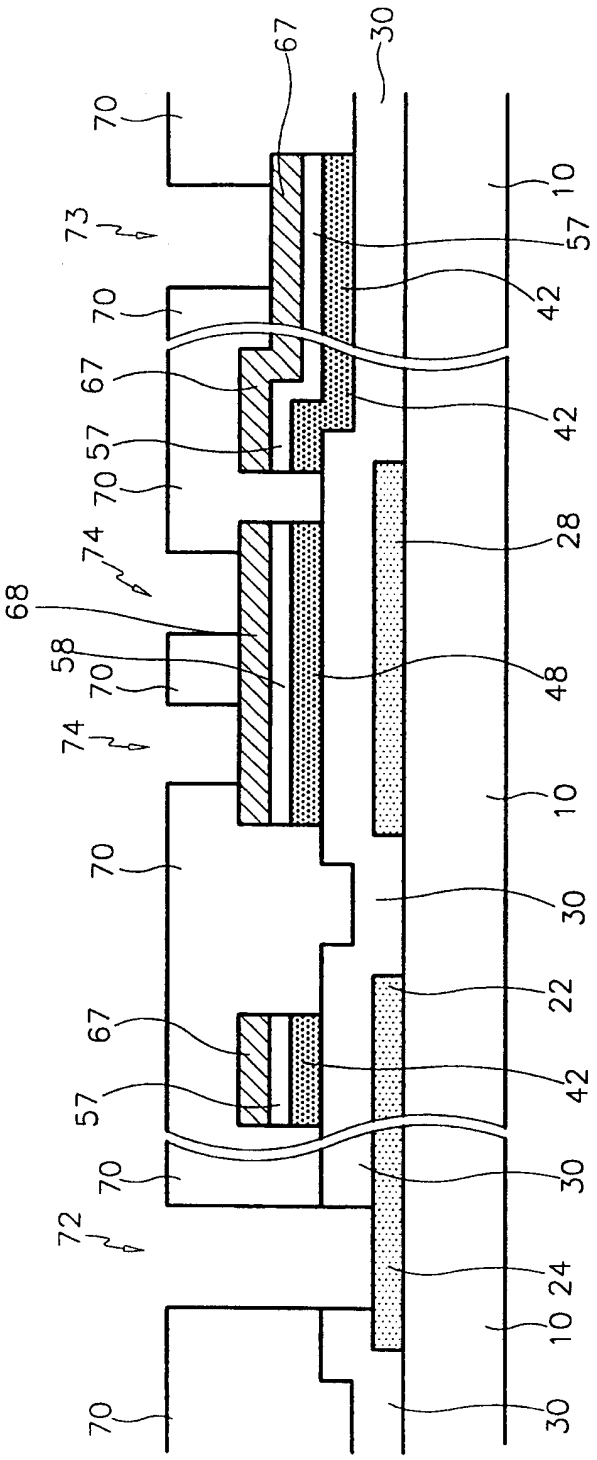

67
30
70
10
73
57
70
42
67
42
57
70
74
28
68
58
70
48
74
10
70
30
67
22
42
57
70
30
72
24
10
70
30

图 20

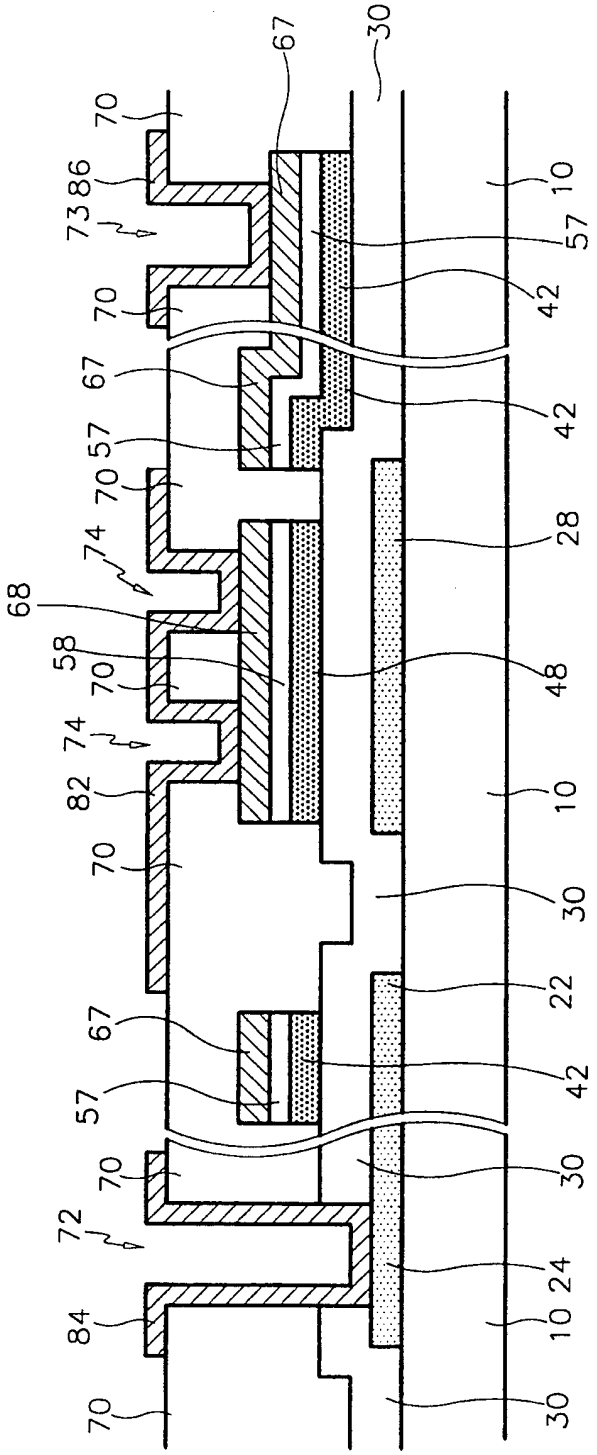

67
30
70
86
73
10
57
70
42
67
42
57
70
28
74
68
58
70
48
74
82
10
70
30
67
22
57
42
70
30
72
24
84
10
70
30

图 21A

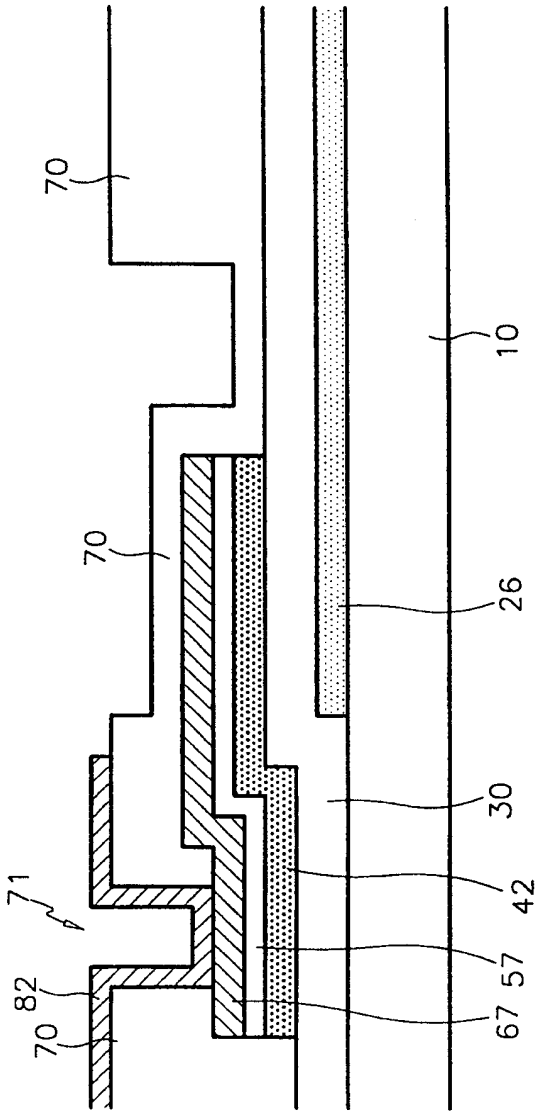


图 21B

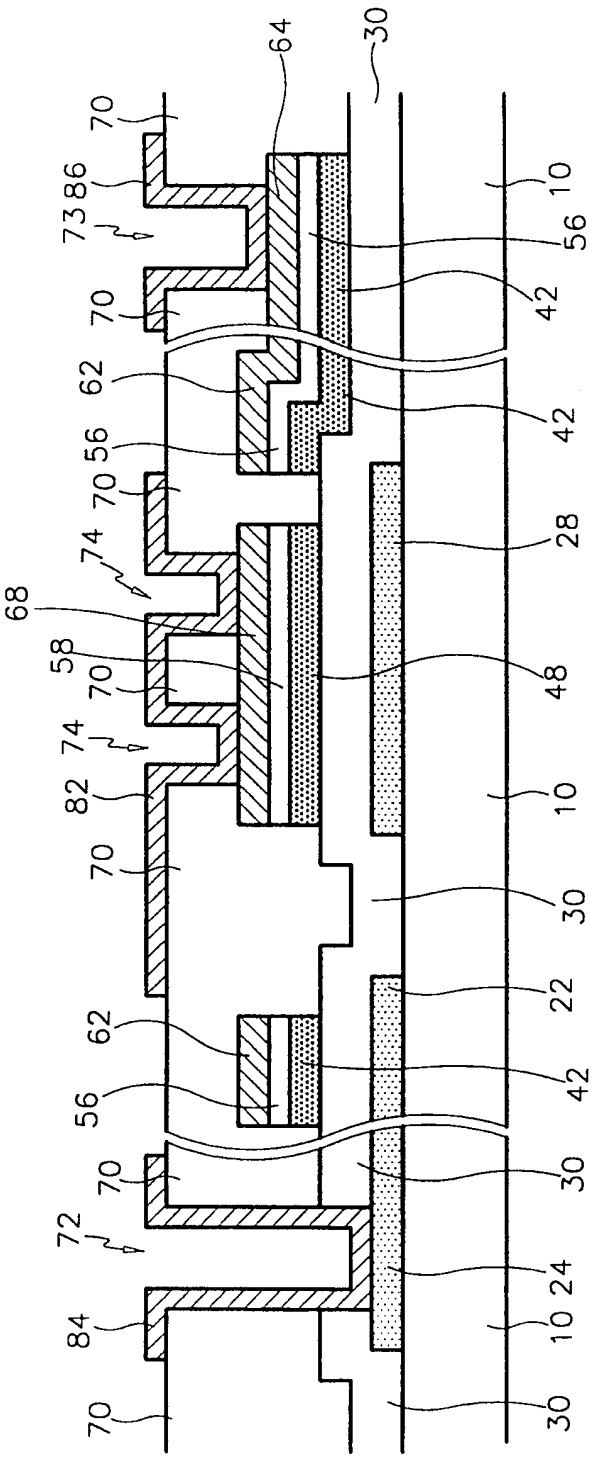

64
30
70
73
86
10
56
42
62
42
56
70
74
28
68
58
70
48
74
82
10
70
30
22
62
42
56
70
30
72
24
84
10
70
30

图 22

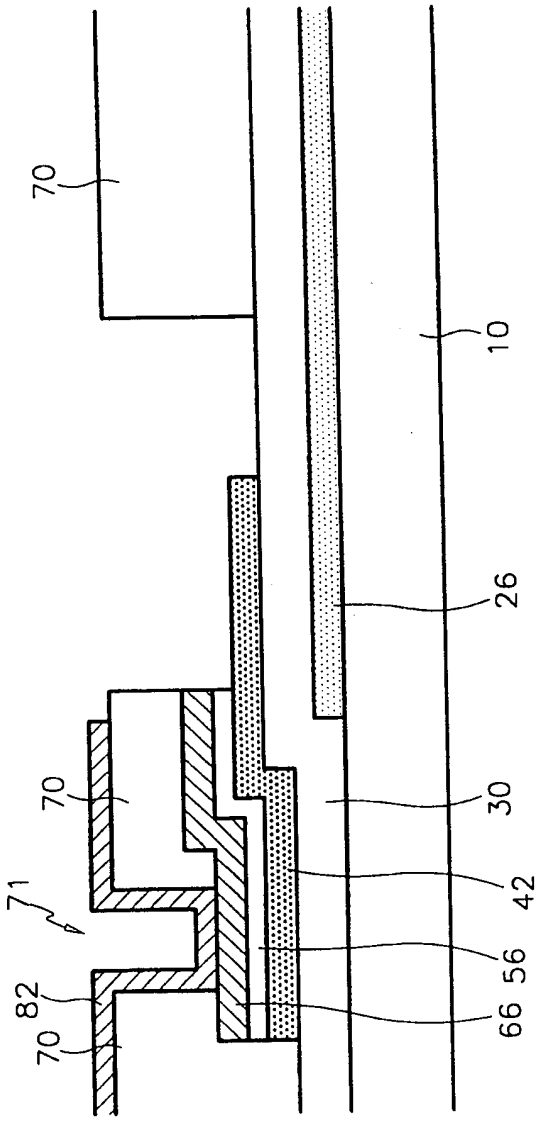


图 23

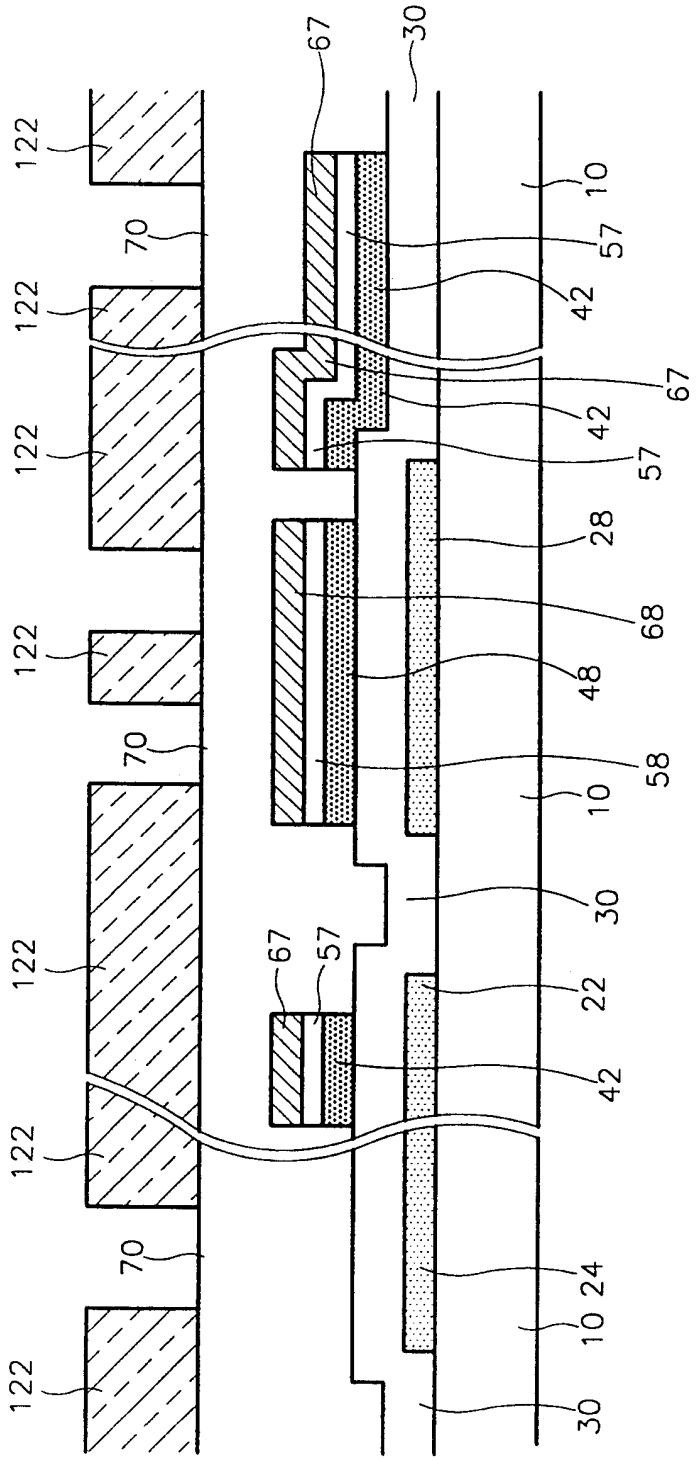


图 24A

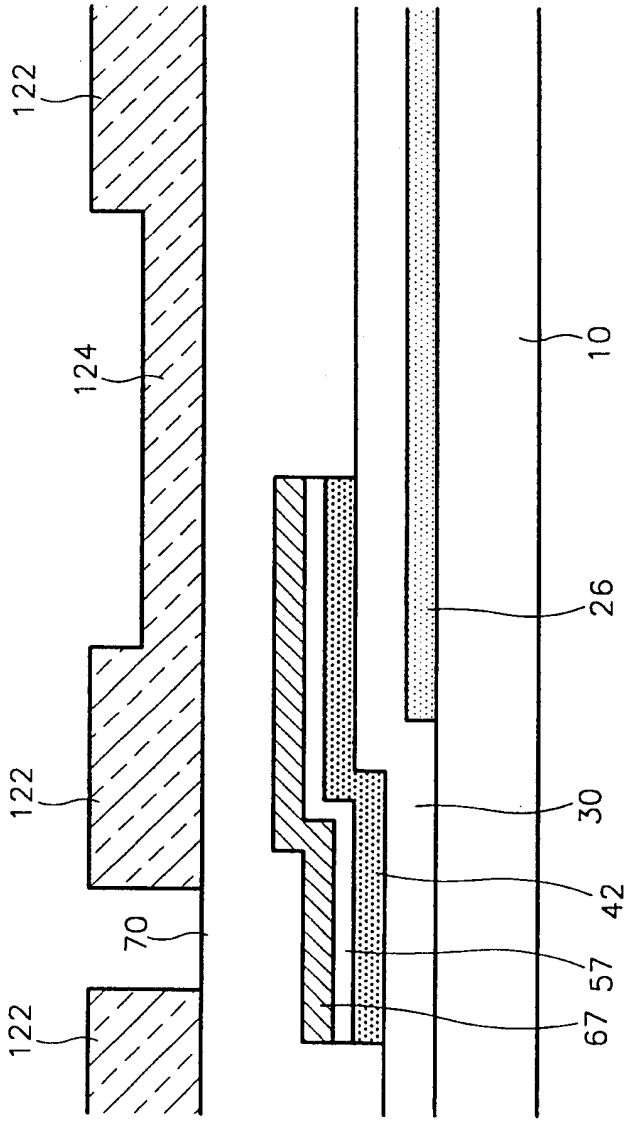


图 24B

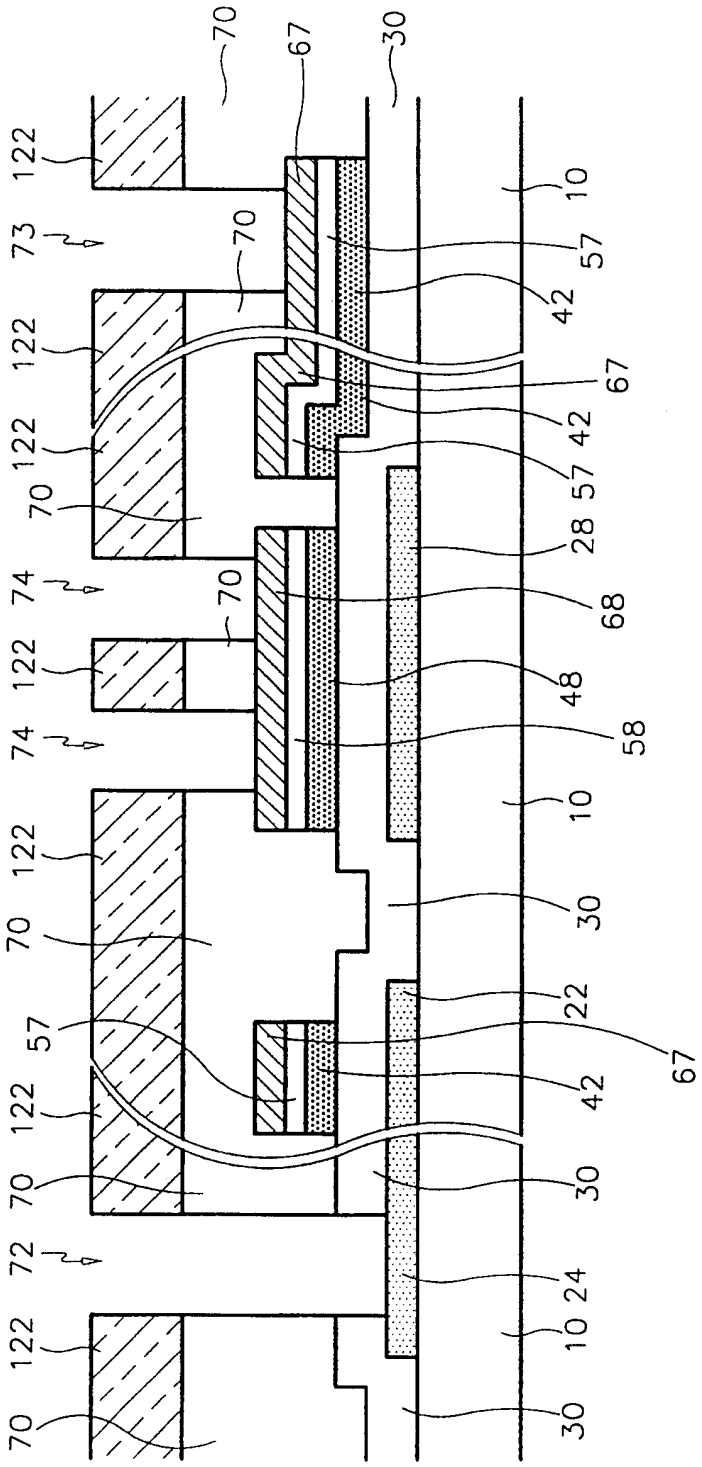

70
67
30
122
73
70
57
42
10
122
67
122
42
57
70
28
74
70
68
122
48
74
58
122
10
70
30
57
22
67
122
42
70
30
72
24
122
10
70
30

图 25A

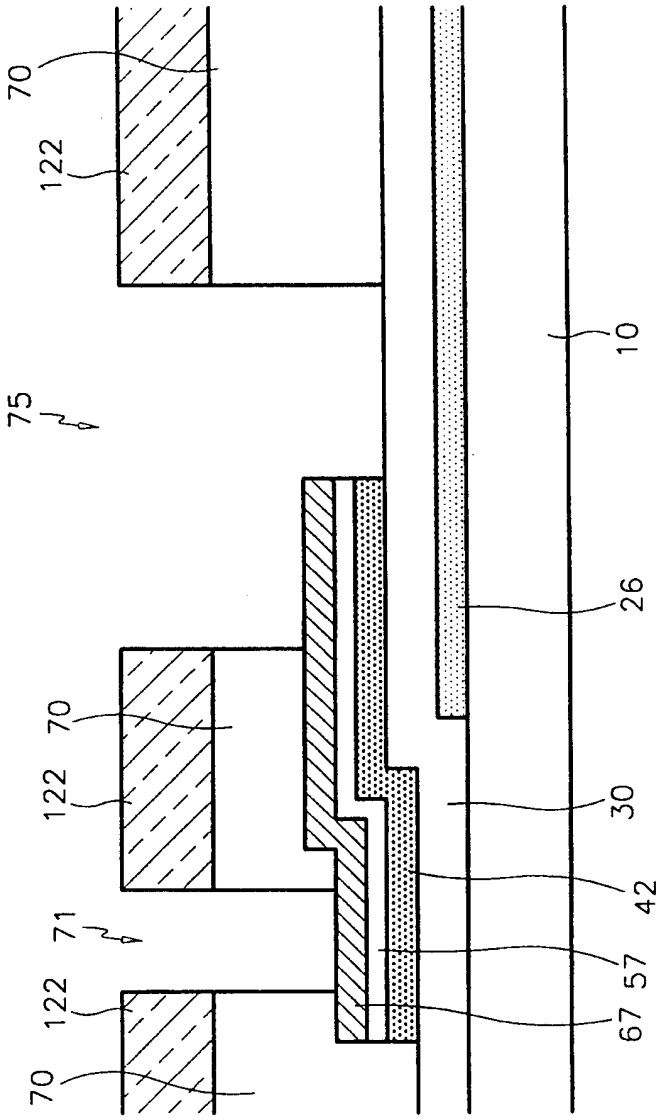


图 25B

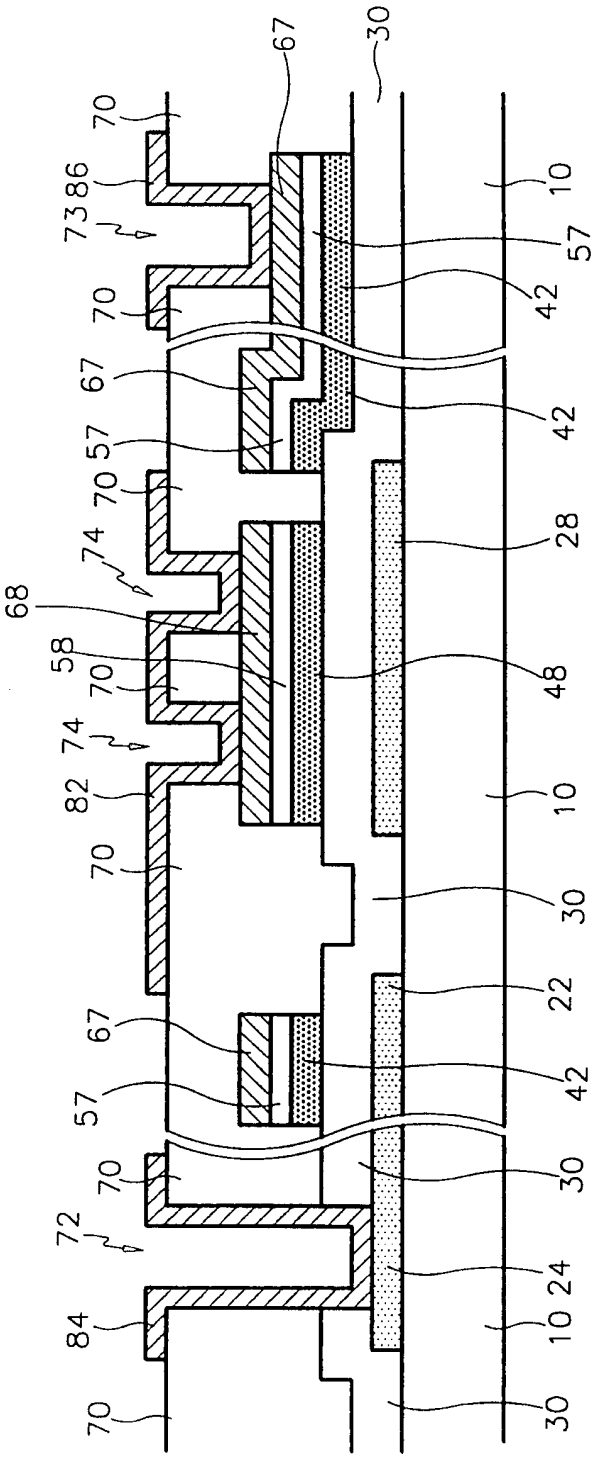

67
30
70
73
86
10
57
42
70
67
42
57
70
74
28
68
58
70
48
74
82
10
70
30
67
22
42
57
70
72
30
84
24
10
70
30

图 26A

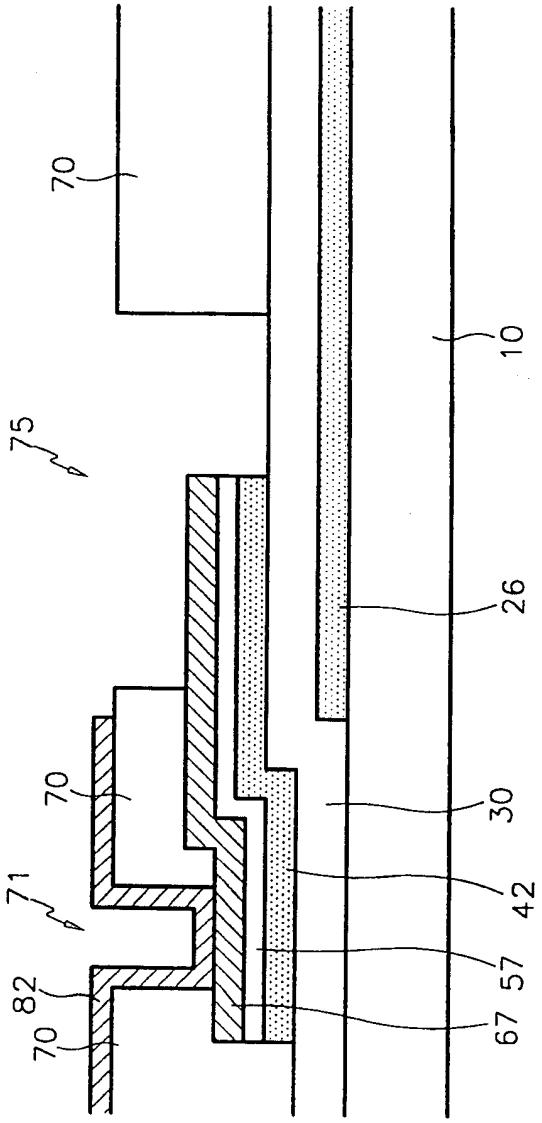


图 26B

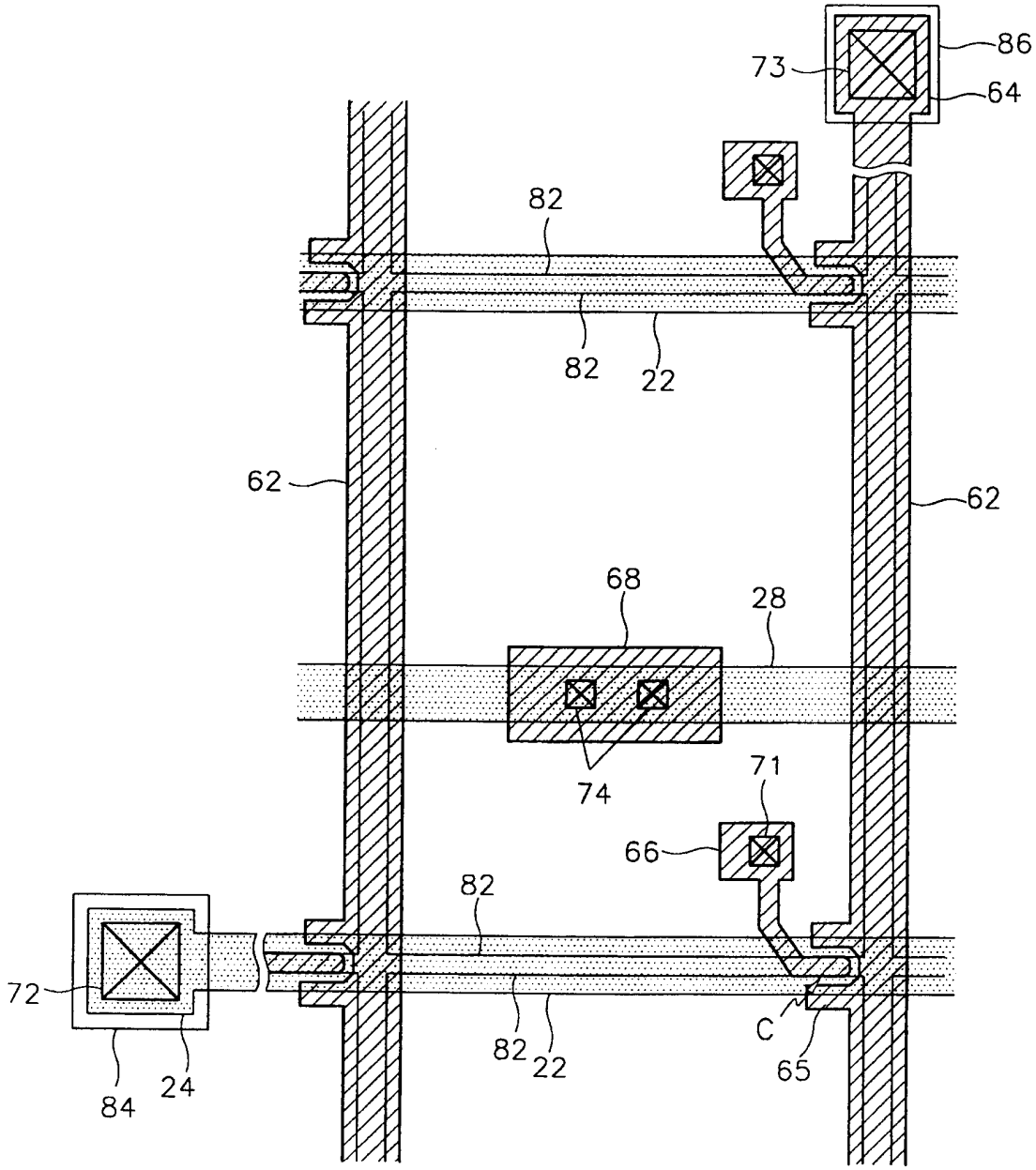


图 27

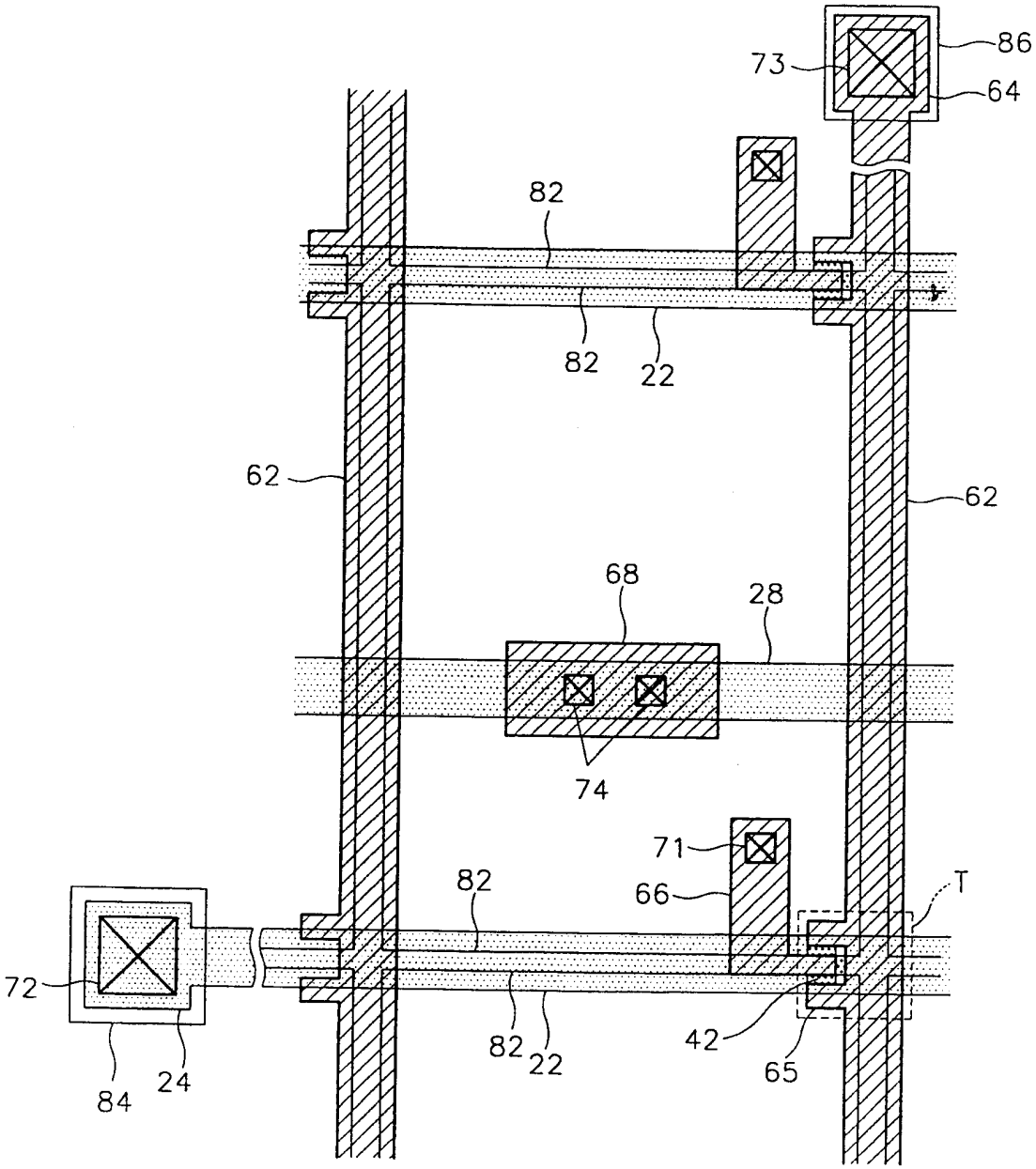


图 28

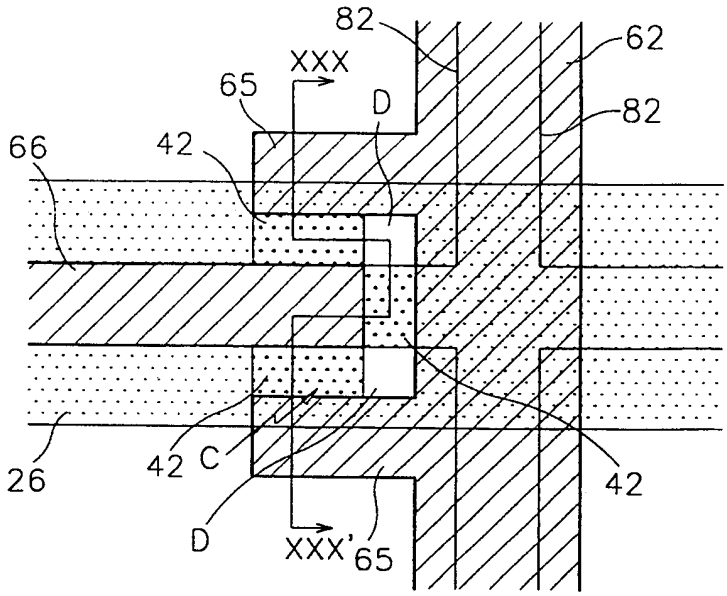

82
62
XXX
65
D
82
66
42
42
C
26
42
D
XXX'
65

图 29

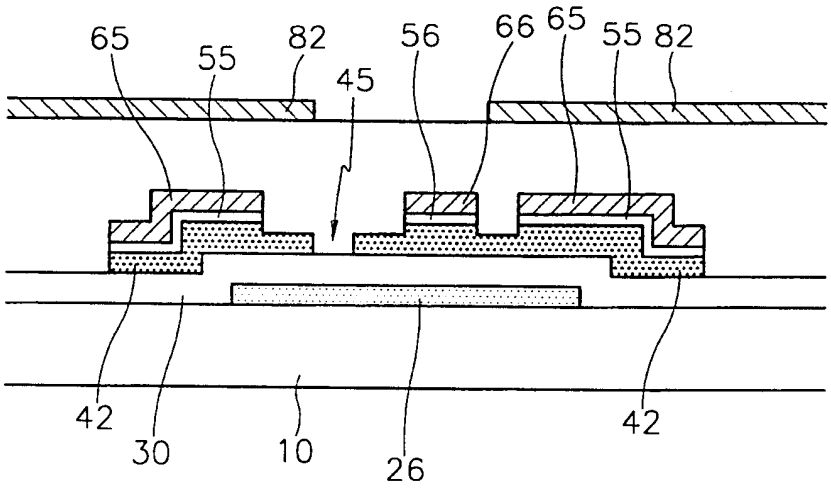

65
55
82
45
56
66
65
55
82
42
30
10
26
42

图 30

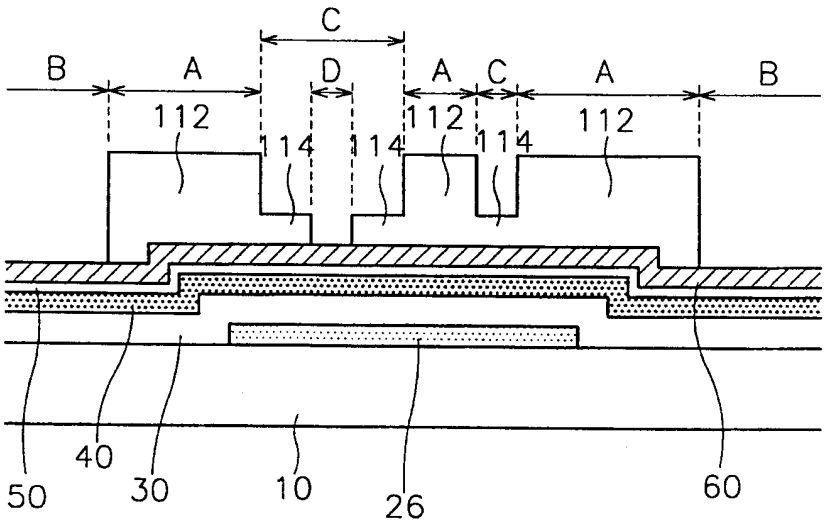


图 31

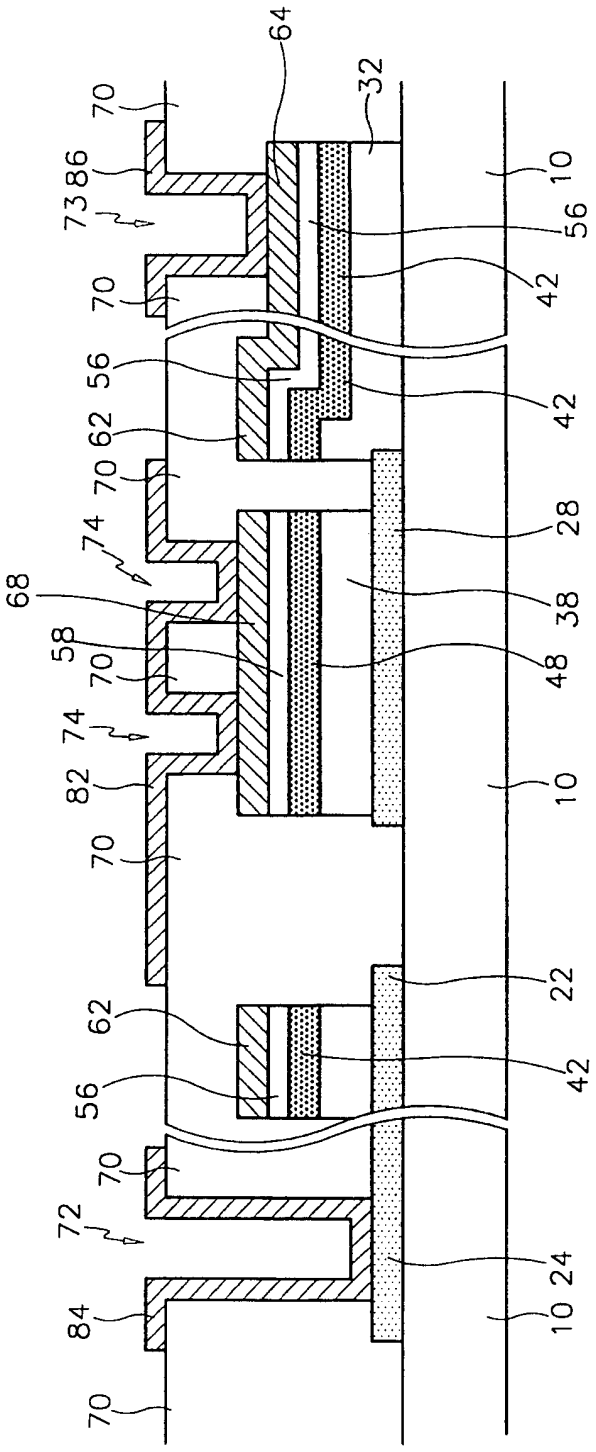

64
32
70
73
86
10
56
42
70
56
42
62
70
74
28
68
38
58
70
48
74
82
10
70
22
62
42
56
70
72
24
84
10
70

图 32

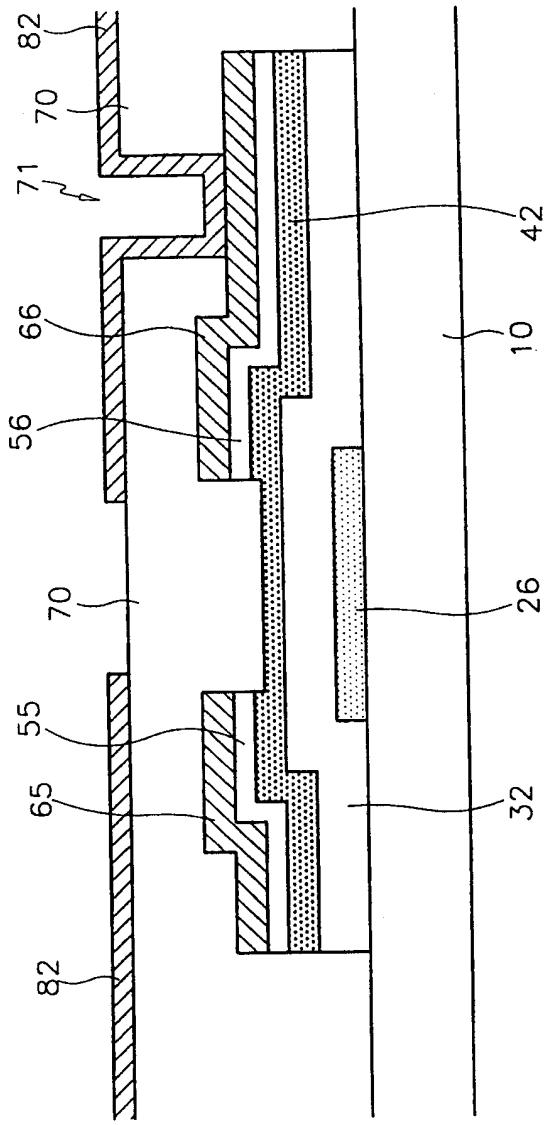


图 33

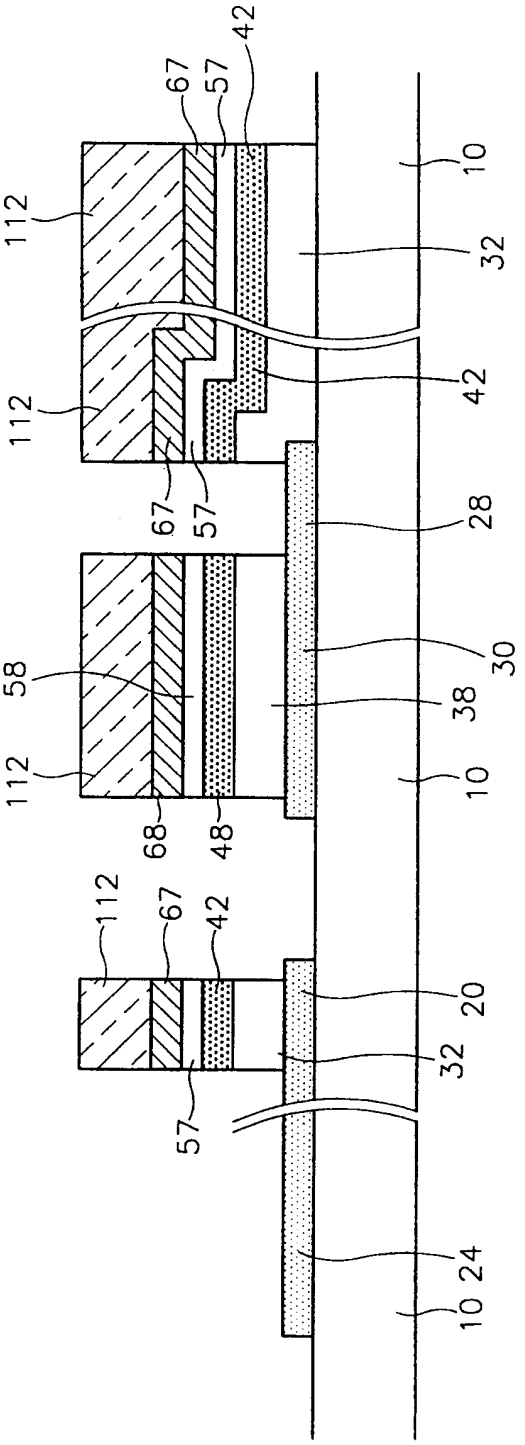

42
67
57
10
112
32
112
42
67
57
28
58
30
38
112
10
68
48
112
67
42
20
32
57
24
10

图 34A

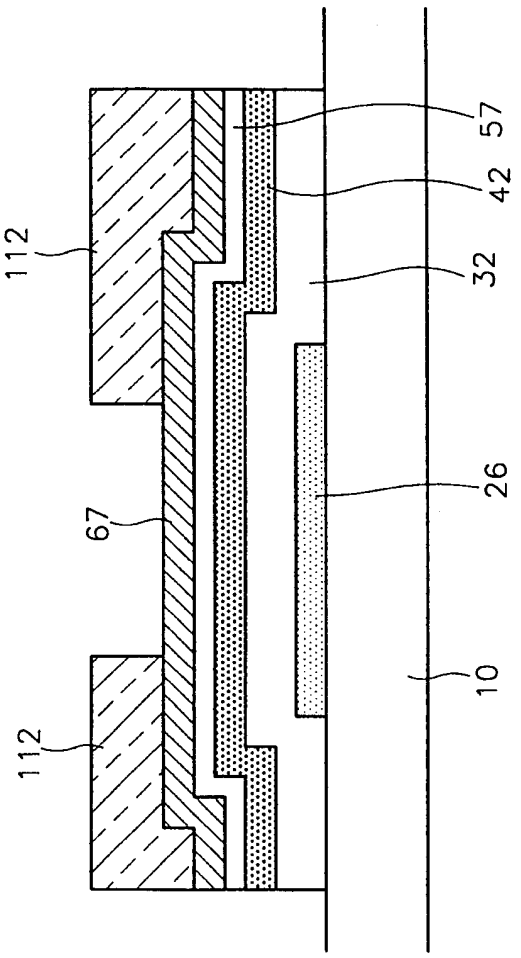


图 34B

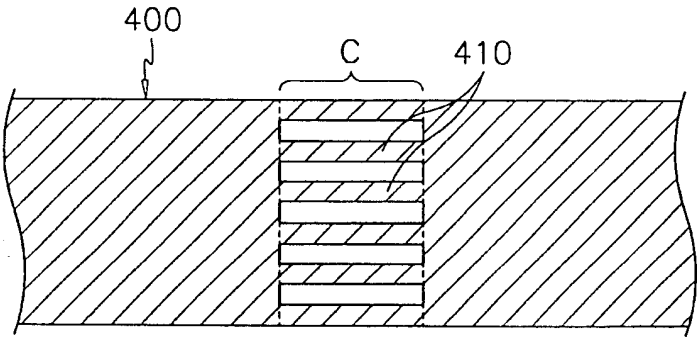


图 35A

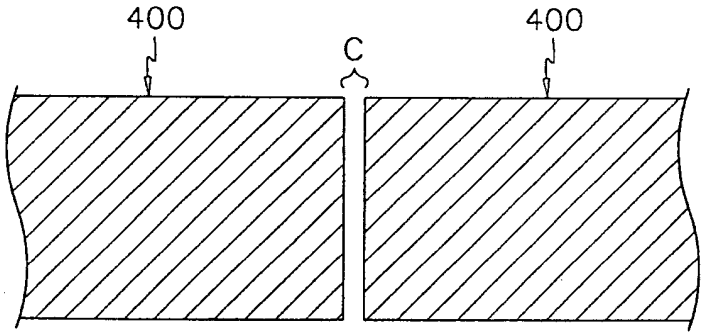


图 35B

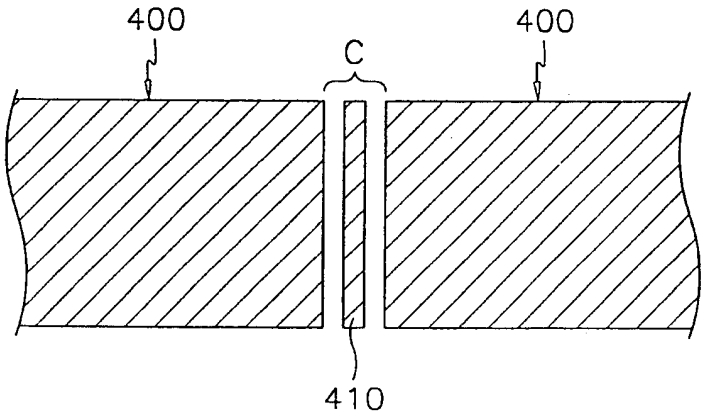


图 35C

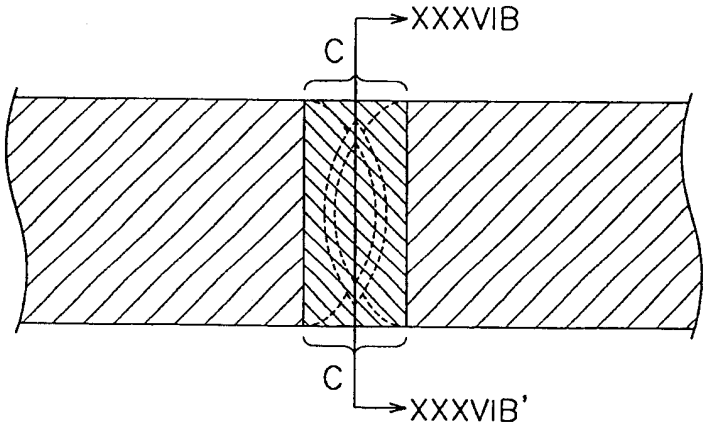


图 36A

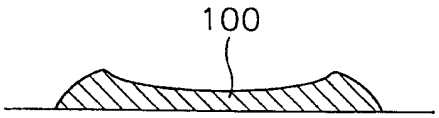


图 36B

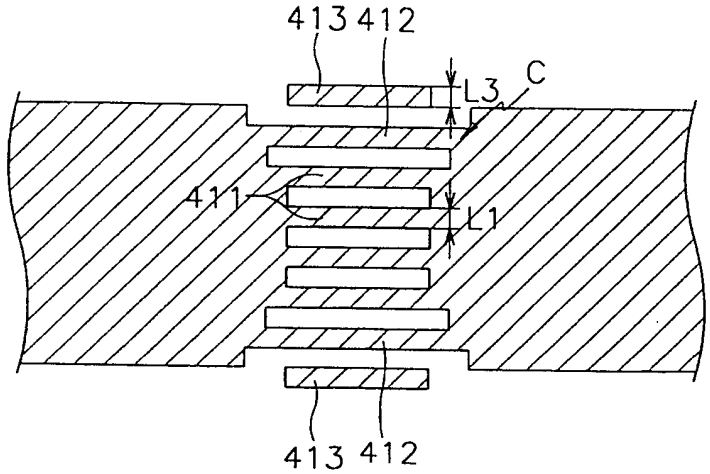


图 37A

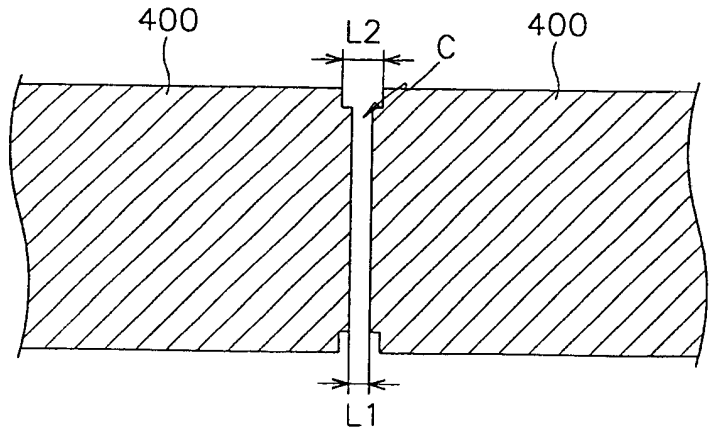


图 37B

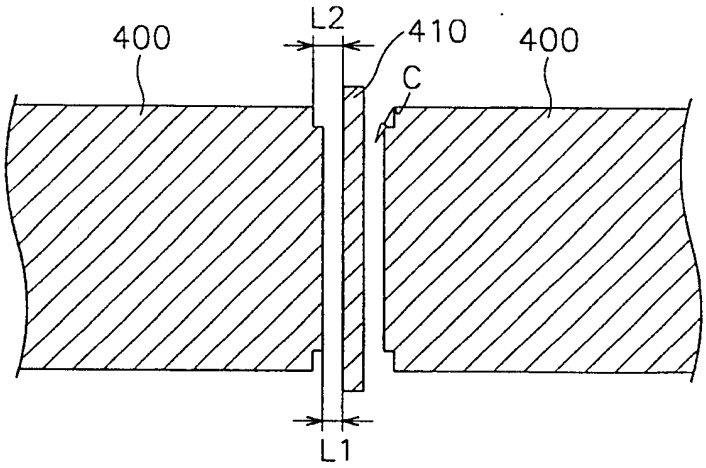


图 37C

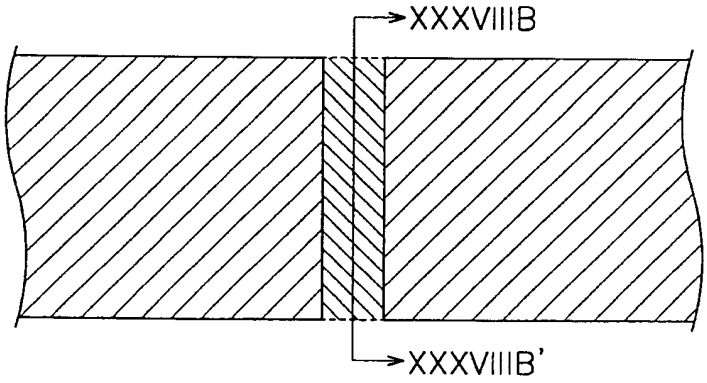


图 38A

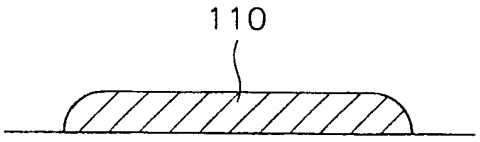


图 38B

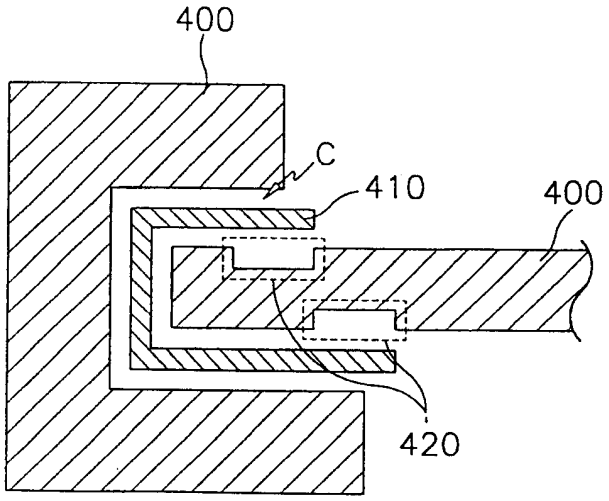


图 39A

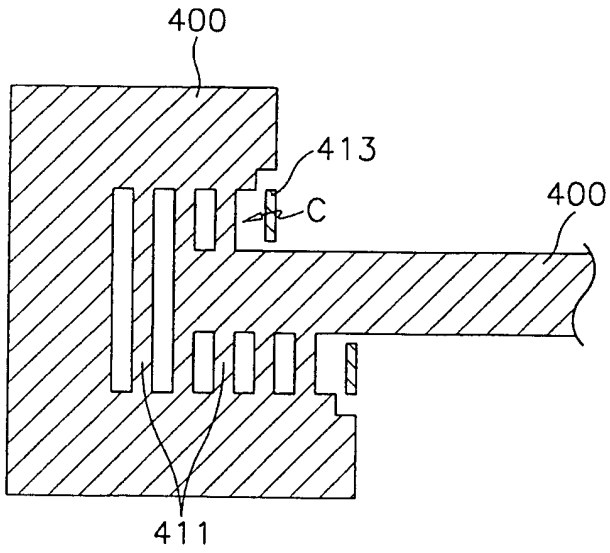


图 39B

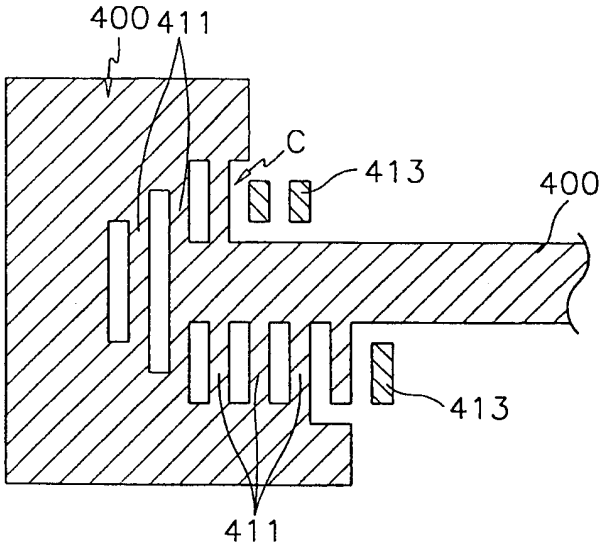


图 39C

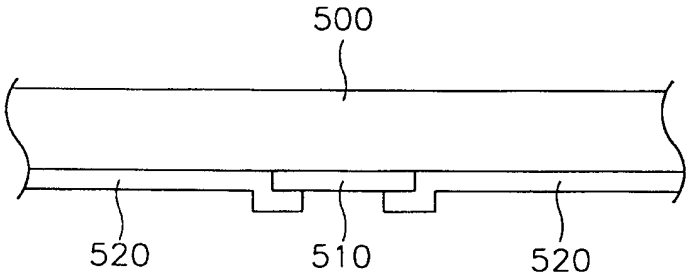


图 40A

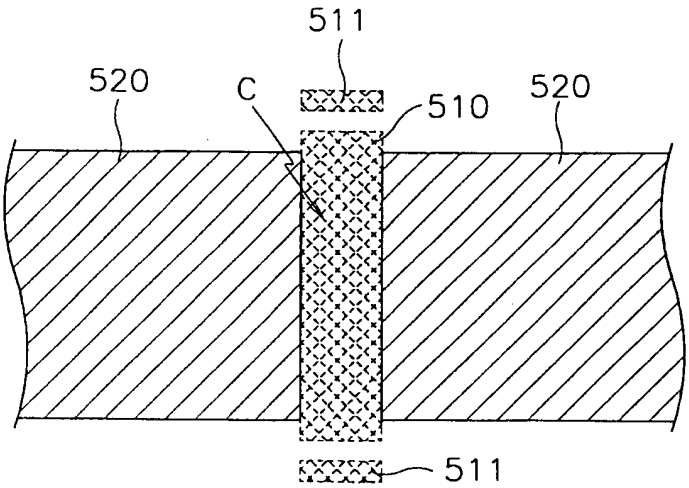


图 40B

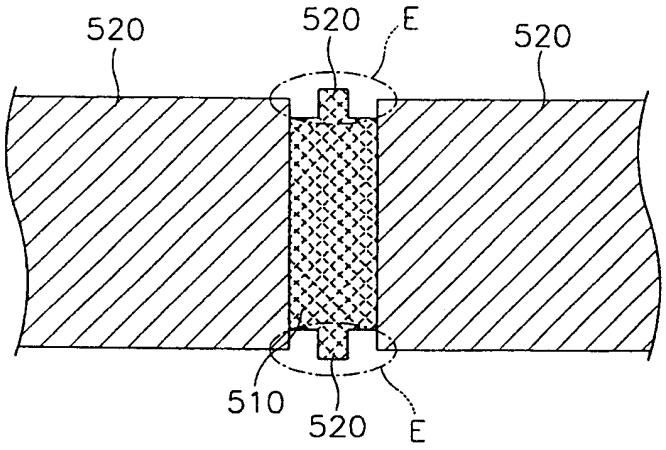


图 40C

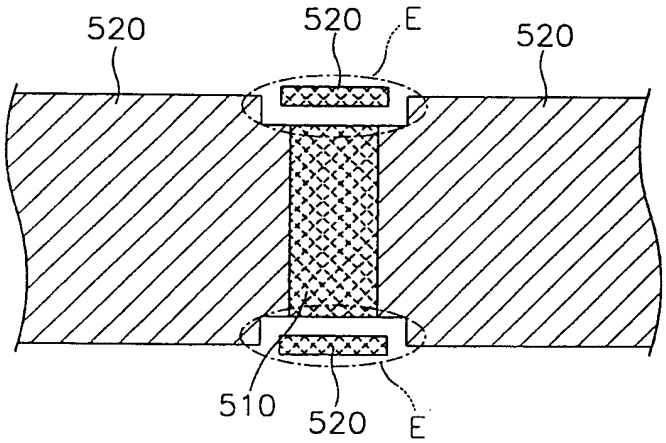


图 40D

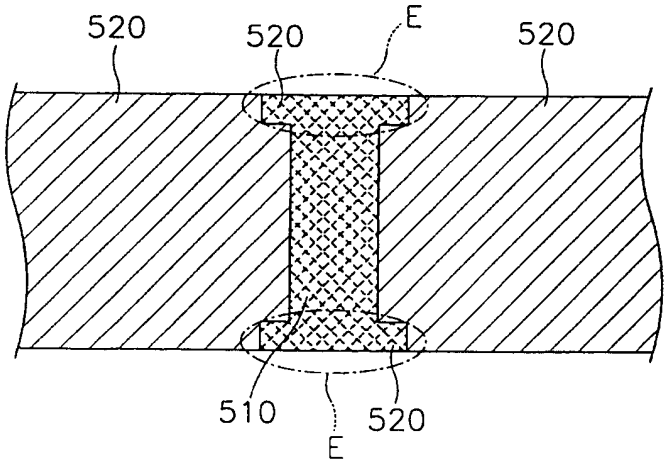


图 40E

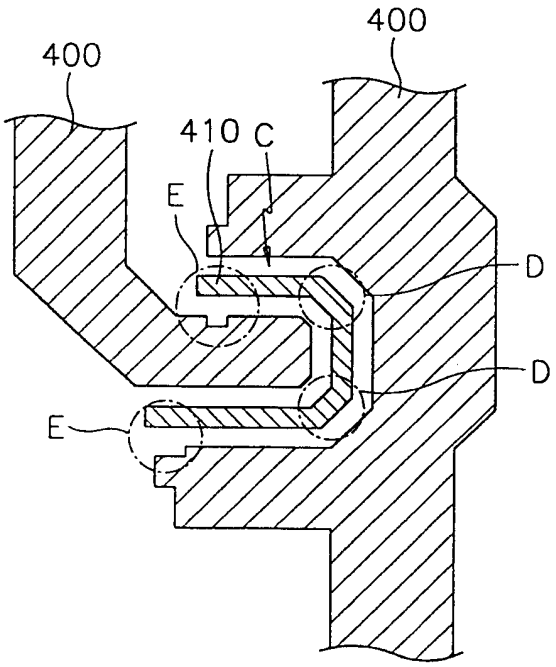


图 41

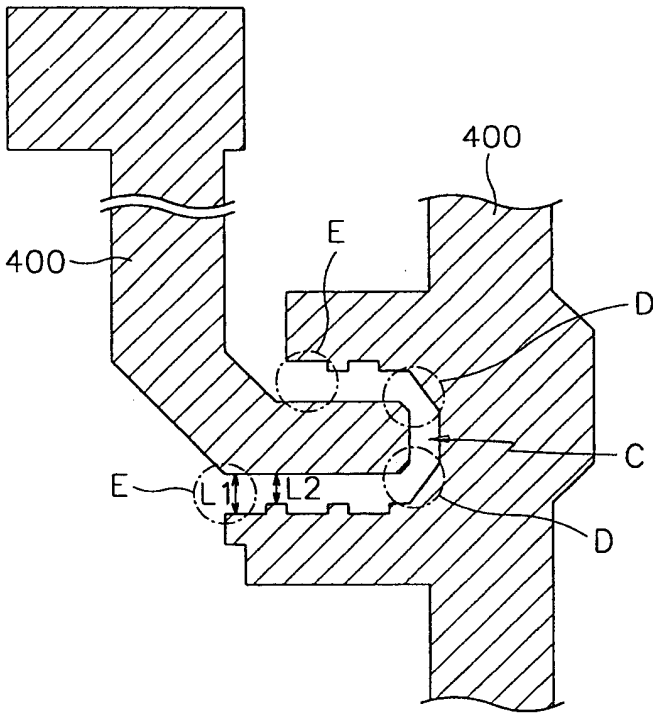


图 42