



(12)发明专利申请

(10)申请公布号 CN 110806663 A

(43)申请公布日 2020.02.18

(21)申请号 201910971866.X

(51)Int.CI.

(22)申请日 2014.08.28

602F 1/1343(2006.01)

(30)优先权数据

2013-190864 2013.09.13 JP

2013-249904 2013.12.03 JP

2014-047241 2014.03.11 JP

2014-106477 2014.05.22 JP

(62)分案原申请数据

201480050133.8 2014.08.28

(71)申请人 株式会社半导体能源研究所

地址 日本神奈川

(72)发明人 久保田大介 初见亮

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 程晨

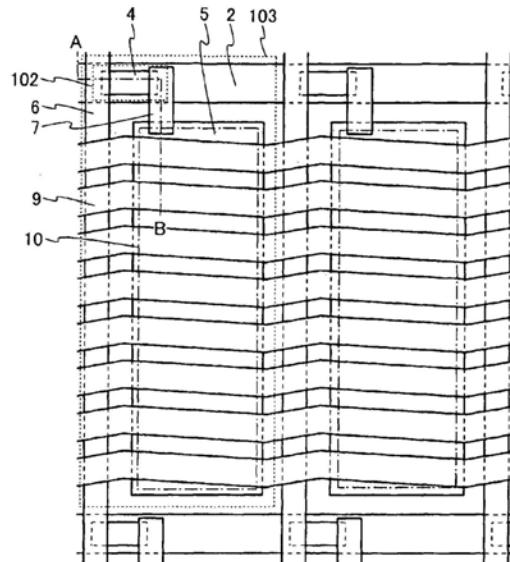
权利要求书1页 说明书48页 附图51页

(54)发明名称

显示装置

(57)摘要

本发明提供一种显示质量好的显示装置,在其中在像素中包括信号线、扫描线、晶体管、像素电极以及公共电极的显示装置中,该公共电极的重叠于信号线的区域的延伸方向与重叠于像素电极的区域的延伸方向在平面形状中不同,并且该延伸方向在信号线与像素电极之间彼此交叉。由此,能够抑制像素的透射率的变化;因此,可以抑制闪烁。



1. 一种显示装置，
信号线；
扫描线；
晶体管；
像素电极；以及
公共电极，
其中，所述晶体管与所述信号线、所述扫描线及所述像素电极电连接，
所述公共电极包括与所述信号线重叠的第一区域以及与所述像素电极重叠的第二区域，
所述第一区域的延伸方向与所述第二区域的延伸方向不同，
并且，所述第一区域与所述第二区域的连接部在平面形状中位于所述信号线与所述像素电极之间。

显示装置

[0001] 本申请是申请号为201480050133.8、申请日为2014年8月28日、名称为“显示装置”的发明专利申请的分案申请。

技术领域

[0002] 本发明涉及一种物体、方法或制造方法。此外，本发明涉及一种工艺 (process)、机器 (machine)、产品 (manufacture) 或组成物 (composition of matter)。本发明的一个方式尤其涉及一种半导体装置、显示装置、发光装置、蓄电装置、它们的驱动方法或它们的制造方法。尤其是，本发明的一个方式涉及显示装置及其制造方法。

背景技术

[0003] 近年来，液晶被应用于多种装置；尤其是，具有薄型且轻量特征的液晶显示装置（液晶显示器）被应用于广泛领域的显示器中。

[0004] 作为对包括在液晶显示装置中的液晶施加电场的方法，可以举出垂直电场方式和水平电场方式。作为水平电场方式的液晶显示面板，有将像素电极与公共电极不彼此重叠地设置的平面内转换 (IPS: in-plane switching) 模式和像素电极与公共电极隔着绝缘膜彼此重叠的边缘电场转换 (FFS: fringe field switching) 模式。

[0005] FFS模式的液晶显示装置在像素电极中具有狭缝状的开口，并且液晶分子的取向通过在该开口中对液晶施加在像素电极与公共电极之间产生的电场而控制。

[0006] FFS模式的液晶显示装置具有高开口率、广视角以及改善图像对比度的效果，所以近年来被广泛地使用（参照专利文献1）。

[0007] 在显示装置中，每1秒钟改变所显示的图像几十次。每1秒钟的图像切换次数被称为刷新频率。该刷新频率也被称为驱动频率。这样的人眼难以识别的高速画面切换被认为是造成眼睛疲劳的原因。于是，非专利文献1及2提出了降低LCD的刷新频率以减少图像改写操作次数。此外，刷新频率得到降低的驱动可以减少显示装置的耗电量。

[0008] [参照文献]

[0009] [专利文献]

[0010] [专利文献1]日本专利申请公开2000-89255号公报

[0011] [非专利文献1]S.Amano et al., “Low Power LC Display Using In-Ga-Zn-Oxide TFT Based On Variable Frame Frequency”, SID International Symposium Digest of Technical Papers, 2010, pp626-629

[0012] [非专利文献2]R.Hatsumi et al., “Driving Method of FFS-Mode OS-LCD for Reducing Eye Strain”, SID International Symposium Digest of Technical Papers, 2013, pp.338-341

发明内容

[0013] 在作为显示装置的一个例子的液晶显示装置中，在保持一个图像的期间中像素的

透射率的变化优选少。通过维持存储在电极之间的电荷来减少施加于显示元件的电压的变动,以使得能够维持像素的透射率。

[0014] 并且,在以低刷新频率进行的液晶显示装置的驱动中,当像素的透射率的变化大于作为用于显示一个图像的灰度值中的偏差可接受的变化时,使用者感到图像的闪烁(flicker)。也就是说,这导致显示装置的显示质量的下降。

[0015] 于是,本发明的一个方式的目的是提供一种显示质量好的显示装置。本发明的一个方式的另一目的是提供一种寄生电容所导致的布线延迟得到减少的显示装置。本发明的一个方式的另一目的是提供一种漏光少且对比度优良的显示装置。本发明的一个方式的另一目的是提供一种开口率高且包括能够增大电荷容量的电容器的显示装置。本发明的一个方式的另一目的是提供一种耗电量低的显示装置。本发明的一个方式的另一目的是提供一种包括电特性好的晶体管的显示装置。本发明的一个方式的另一目的是提供一种新颖的显示装置。本发明的一个方式的另一目的是提供一种以较少的工序数制造高开口率且广视角的显示装置的方法。本发明的一个方式的另一目的是提供一种制造显示装置的新颖的方法。

[0016] 注意,这些目的的记载并不妨碍其他目的的存在。在本发明的一个方式中,并不需要实现所有上述目的。可以从说明书、附图、权利要求书等的记载中明确并导出其他目的。

[0017] 根据本发明的一个方式,在像素中包括信号线、扫描线、晶体管、像素电极以及公共电极的显示装置中,包括公共电极,在该公共电极中,重叠于信号线的区域的延伸方向与重叠于像素电极的区域的延伸方向在平面形状中不同,并且,这些延伸方向在信号线与像素电极之间彼此交叉。

[0018] 在公共电极中,重叠于信号线的区域的延伸方向与重叠于像素电极的区域的延伸方向不同,并且这些延伸方向在信号线与像素电极之间交叉,因此在信号线与公共电极之间产生的电场方向与在像素电极与公共电极之间产生的电场方向交叉。由此,设置在重叠于信号线的区域中的第一液晶分子的取向方向与设置在重叠于像素电极的区域中的第二液晶分子的取向方向不同;因此,第一液晶分子的取向和第二液晶分子的取向不容易互相影响。

[0019] 每当对信号线施加不同的电压时,设置在重叠于信号线的区域中的第一液晶分子的取向方向就变化。另一方面,被施加固定电压的设置在重叠于像素电极的区域中的第二液晶分子不受第一液晶分子的取向方向的变化的影响,该第二液晶分子在一定的方向上取向。因此,能够抑制像素的透射率的变化;从而可减小闪烁。

[0020] 根据本发明的另一个方式,显示装置在绝缘表面上包括用作信号线的导电膜、用作扫描线的导电膜、晶体管、像素电极以及公共电极。该晶体管与用作信号线的导电膜、用作扫描线的导电膜及像素电极电连接。公共电极包括重叠于用作信号线的导电膜的第一区域以及重叠于像素电极的第二区域。第一区域的延伸方向与第二区域的延伸方向不同,在顶面形状上,由第一区域与第二区域形成的角具有第一角度,由第一区域与用作信号线的导电膜的垂直线形成的角具有第二角度。第一角度大于90°且小于180°,第二角度大于0°且小于90°,第一角度与第二角度的和大于135°且小于180°。

[0021] 另外,显示装置可以包括晶体管上的氧化物绝缘膜以及氧化物绝缘膜上的氮化物绝缘膜,该氧化物绝缘膜可以具有使像素电极的一部分露出的开口。

[0022] 此外,像素电极被设置为矩阵状。

[0023] 在公共电极中,在与用作扫描线的导电膜平行或大致平行的方向上,第一区域和第二区域被交替地配置。公共电极可以与用作扫描线的导电膜交叉,并且也可以具有与第一区域或第二区域连接的区域。

[0024] 半导体膜及像素电极与栅极绝缘膜接触。半导体膜及像素电极包含In-Ga氧化物膜、In-Zn氧化物膜或In-M-Zn氧化物膜(M为Al、Ga、Y、Zr、Sn、La、Ce或Nd)。半导体膜及像素电极可以具有包括第一膜及第二膜的多层结构,该第一膜的金属元素的原子比可以与第二膜不同。

[0025] 根据本发明的一个方式,可以提供一种显示质量好的显示装置。可以提供一种寄生电容所导致的布线延迟得到减少的显示装置。可以提供一种漏光少且对比度优良的显示装置。可以提供一种开口率高且包括能够增大电荷容量的电容器的显示装置。可以提供一种耗电量低的显示装置。可以提供一种包括电特性好的晶体管的显示装置。可以以较少的工序数制造高开口率且广视角的显示装置。可以提供一种新颖的显示装置。注意,这些效果的记载并不妨碍其他效果的存在。本发明的一个方式并不一定需要实现上述所有效果。可以从说明书、附图、权利要求书等的记载中明确并导出其他效果。

附图说明

[0026] 图1A及1B是说明显示装置的一个方式的截面图及俯视图。

[0027] 图2A至2D是说明显示装置的一个方式的俯视图。

[0028] 图3A及3B是说明显示装置的一个方式的俯视图。

[0029] 图4是说明显示装置的一个方式的截面图。

[0030] 图5A及5B是说明显示装置的一个方式的方框图及电路图。

[0031] 图6是说明显示装置的一个方式的俯视图。

[0032] 图7是说明显示装置的一个方式的截面图。

[0033] 图8是说明显示装置的一个方式的截面图。

[0034] 图9是说明显示装置的一个方式的截面图。

[0035] 图10A至10D是说明制造显示装置的方法的一个方式的截面图。

[0036] 图11A至11D是说明制造显示装置的方法的一个方式的截面图。

[0037] 图12A至12C是说明制造显示装置的方法的一个方式的截面图。

[0038] 图13A及13B是说明显示装置的一个方式的俯视图及截面图。

[0039] 图14是说明显示装置的一个方式的俯视图。

[0040] 图15是说明显示装置的一个方式的俯视图。

[0041] 图16A及16B是说明显示装置的一个方式的截面图。

[0042] 图17A及17B是说明显示装置的驱动方法的例子的示意图。

[0043] 图18说明显示模块。

[0044] 图19A至19D是根据一个实施方式的电子设备的外观图。

[0045] 图20A及20B示出样品1及样品2的透射率。

[0046] 图21示出样品3的透射率。

[0047] 图22是说明显示装置的一个方式的截面图。

- [0048] 图23是说明显示装置的一个方式的截面图。
- [0049] 图24是说明显示装置的一个方式的俯视图。
- [0050] 图25是说明显示装置的一个方式的俯视图。
- [0051] 图26是说明显示装置的一个方式的截面图。
- [0052] 图27A至27C是说明制造显示装置的方法的一个方式的截面图。
- [0053] 图28是说明显示装置的一个方式的俯视图。
- [0054] 图29是示出元件衬底的摩擦角度与漏光之间的关系的图。
- [0055] 图30A及30B是液晶显示装置的显示部的观察结果。
- [0056] 图31A是用于计算的像素形状的俯视图,图31B及31C示出计算结果。
- [0057] 图32A是用于计算的像素形状的俯视图,图32B及32C示出计算结果。
- [0058] 图33是示出电压-透射率特性的图。
- [0059] 图34是显示在液晶显示装置上的图像的照片。
- [0060] 图35是示出透射率的测定结果的图。
- [0061] 图36是示出导电率的测定结果的图。
- [0062] 图37是示出电阻率的测定结果的图。
- [0063] 图38是示出导电率的温度依赖性的图。
- [0064] 图39A至39D说明氧化物导电体膜的成膜模型。
- [0065] 图40A及40B是示出电压-透射率特性的计算结果的图。
- [0066] 图41是晶体管的截面STEM图像。
- [0067] 图42是示出晶体管的电特性。
- [0068] 图43是示出晶体管的电特性。
- [0069] 图44A及44B是IGZO膜的XRD及XRR测定结果。
- [0070] 符号说明
- [0071] F1a:电场、F1b:电场、F2a:电场、F2b:电场、F3:电场、1:衬底、2:导电膜、3:绝缘膜、4:半导体膜、4a:半导体膜、4b:半导体膜、5:像素电极、5a:像素电极、5b:像素电极、6:导电膜、6a:导电膜、6b:导电膜、7:导电膜、7a:导电膜、7b:导电膜、8:绝缘膜、8a:绝缘膜、8b:绝缘膜、9:公共电极、9a:区域、9b:区域、9c:连接部、9d:方向、9e:方向、9f:弯曲部、10:点划线、11:衬底、12:导电膜、13:导电膜、15:氮化物绝缘膜、16:氧化物绝缘膜、17:氧化物绝缘膜、18:氧化物半导体膜、19a:氧化物半导体膜、19b:像素电极、19c:氧化物半导体膜、19f:氧化物半导体膜、20:导电膜、21a:导电膜、21b:导电膜、21b_1:区域、21b_2:区域、21c:公共线、22:氧化物绝缘膜、23:氧化物绝缘膜、24:氧化物绝缘膜、25:氧化物绝缘膜、26:氮化物绝缘膜、26b:绝缘膜、27:氮化物绝缘膜、28:导电膜、29:公共电极、29a:公共电极、29a_1:区域、29a_2:区域、29b:导电膜、30:公共电极、32:氧化物半导体膜、37a:多层膜、37b:多层膜、38a:多层膜、38b:多层膜、39a:氧化物半导体膜、39b:氧化物半导体膜、40:开口、41a:开口、42:开口、49a:氧化物半导体膜、49b:氧化物半导体膜、60:绝缘膜、61:衬底、62:遮光膜、63:着色膜、64:绝缘膜、65:绝缘膜、66:液晶层、67:导电膜、69:公共电极、70:氧化物半导体膜、71:氧化物半导体膜、73:氮化物绝缘膜、75:氧化物导电体膜、101:像素部、102:晶体管、102a:晶体管、102b:晶体管、102c:晶体管、103:像素、103a:像素、103b:像素、103c:像素、103d:像素、103e:像素、103f:像素、104:扫描线驱动电路、105:电容器、105a:电容器、105b:

电容器、105c:电容器、106:信号线驱动电路、107:导电膜、109:导电膜、115:公共线、121:液晶元件、1001:主体、1002:框体、1003a:显示部、1003b:显示部、1004:键盘按钮、1021:主体、1022:固定部、1023:显示部、1024:操作按钮、1025:外部储存槽、1030:框体、1031:框体、1032:显示面板、1033:扬声器、1034:麦克风、1035:操作键、1036:指向装置、1037:照相机镜头、1038:外部连接端子、1040:太阳能电池、1041:外部储存槽、1050:电视装置、1051:框体、1052:记录媒体再现录像部、1053:显示部、1054:外部连接端子、1055:支架、1056:外部存储器、8000:显示模块、8001:上盖、8002:下盖、8003:FPC、8004:触摸面板、8005:FPC、8006:显示面板、8007:背光灯单元、8008:光源、8009:框架、8010:印刷板、8011:电池

具体实施方式

[0072] 以下将参照附图详细说明本发明的实施方式及实施例。注意,本发明不局限于以下说明,本领域技术人员很容易地理解其方式和详细内容在不脱离本发明的宗旨及其范围内可以被变换为各种形式。因此,本发明不应该被解释为仅限定在以下的实施方式及实施例中的记载。此外,在以下的实施方式及实施例中,在不同的附图中同一部分或具有类似功能的部分通过同一符号或同一阴影线表示,并且不重复其说明。

[0073] 此外,在本说明书所说明的每一个附图中,有时为了明确起见,各组件的大小、膜厚度或区域被夸大。因此,本发明的实施方式不限定于该尺度。

[0074] 此外,本说明书中的“第一”,“第二”及“第三”等词语是为了避免组件之间的混同而使用的,这些词语在数目上不限定组件。因此,例如“第一”可以适当地替换为“第二”或“第三”等。

[0075] 例如,当电路工作中的电流方向变化时,“源极”和“漏极”的功能有时互换。因此,在本说明书中,词语“源极”和“漏极”分别可以用来表示漏极和源极。

[0076] 此外,电压是指两个点的电位之间的差,而电位是指静电场中的某一给定点处的单位电荷的静电能(电位能量)。注意,一般来说,某一点的电位与标准电位之间的差简单地被称为电位或电压,在很多情况下,电位和电压被用作同义词。因此,在本说明书中,除了特别指定的情况以外,“电位”可换言为“电压”,“电压”可换言为“电位”。

[0077] 另外,在本说明书等中,词语“电连接”包括通过具有某种电功能的物体来连接组件的情况。只要能够在通过该物体连接的组件之间发送和接收电信号,则对“具有某种电功能的物体”就没有特别的限制。“具有某种电功能的物体”的例子除电极和布线外还有晶体管等开关元件、电阻器、电感器、电容器和具有各种功能的元件。

[0078] 实施方式1

[0079] 在本实施方式中,参照附图说明本发明的一个实施方式的显示装置。

[0080] 图1A是包括在FFS模式的液晶显示装置中的显示部的像素103的俯视图,图1B是沿着图1A中的点划线A-B的截面图。在图1A中,省略了衬底1、绝缘膜3、绝缘膜8、绝缘膜60、衬底61、遮光膜62、着色膜63、绝缘膜64、绝缘膜65及液晶层66。

[0081] 如图1A及1B所示,FFS模式的液晶显示装置是有源矩阵型的液晶显示装置,并在设置在显示部中的每一个像素103中包括晶体管102及像素电极5。

[0082] 如图1B所示,液晶显示装置包括衬底1上的晶体管102、与晶体管102连接的像素电极5、与晶体管102及像素电极5接触的绝缘膜8、与绝缘膜8接触的公共电极9以及与绝缘膜8

及公共电极9接触且用作取向膜的绝缘膜60。

[0083] 此外,设置有:与衬底61接触的遮光膜62及着色膜63;与衬底61、遮光膜62及着色膜63接触的绝缘膜64;以及与绝缘膜64接触且用作取向膜的绝缘膜65。液晶层66设置在绝缘膜60与绝缘膜65之间。此外,虽然未图示,但偏振片设置在衬底1及衬底61各自的外侧。

[0084] 晶体管102可以适当地为正交错型晶体管、反交错型晶体管或共面型晶体管等。另外,作为晶体管102,可以使用由栅极绝缘膜和栅电极以U字型包围半导体膜的鳍型(FIN-type)晶体管。在采用反交错型晶体管的情况下,可以适当地使用沟道蚀刻结构或沟道保护结构等。

[0085] 本实施方式中的晶体管102是具有沟道蚀刻结构的反交错型晶体管。晶体管102包括衬底1上的用作栅电极的导电膜2、衬底1及导电膜2上的用作栅极绝缘膜的绝缘膜3、隔着绝缘膜3与导电膜2重叠的半导体膜4以及与半导体膜4接触的导电膜6及导电膜7。导电膜2被用作作为扫描线的导电膜和栅电极这两者。换言之,栅电极是扫描线的一部分。导电膜6被用作作为信号线的导电膜以及源电极和漏电极中的一个。换言之,源电极和漏电极中的一个是信号线的一部分。导电膜7被用作源电极和漏电极中的另一个。由此,晶体管102与用作扫描线的导电膜2及用作信号线的导电膜6电连接。虽然此处导电膜2被用作扫描线和栅电极,但也可以分开形成栅电极和扫描线。导电膜6被用作信号线以及源电极和漏电极中的一个,但是也可以分开形成信号线以及源电极和漏电极中的一个。

[0086] 在晶体管102中,硅、硅锗或氧化物半导体等半导体材料可以适当地被用于半导体膜4。半导体膜4可以适当地具有非晶结构、微晶结构、多晶结构或单晶结构等。

[0087] 像素电极5设置在用作栅极绝缘膜的绝缘膜3上。像素电极5与导电膜7连接。换言之,像素电极5与晶体管102电连接。

[0088] 如图1A所示,在像素103中像素电极5为矩形形状。由于本实施方式的显示装置是有源矩阵型的液晶显示装置,所以像素电极5被配置为矩阵状。像素电极5及公共电极9是分别使用具有透光性的膜而形成的。

[0089] 像素电极5的形状不局限于矩形形状,而可以按照像素103的形状采用各种形状。优选的是,在像素103中,像素电极5大面积地形成在由用作扫描线的导电膜2和用作信号线的导电膜6包围的区域中。由此,可以提高像素103的开口率。

[0090] 绝缘膜8设置在晶体管102及像素电极5上。此处,作为绝缘膜8,描述绝缘膜8a和绝缘膜8b,绝缘膜8a覆盖晶体管102且具有使像素电极5部分露出的开口(图1A中的点划线10),绝缘膜8b位于绝缘膜8a及像素电极5上。另外,作为绝缘膜8,可以只设置绝缘膜8b,或者也可以设置具有平坦性的其他绝缘膜来代替绝缘膜8a及绝缘膜8b。

[0091] 公共电极9的顶面可以具有锯齿形状。当公共电极9的该锯齿形状的重复单元进行重复的方向与公共电极9的延伸方向一致时,用作信号线的导电膜6的延伸方向与公共电极9的延伸方向交叉。

[0092] 公共电极9的顶面也可以具有波浪形状。当公共电极9的该波浪形状的重复单元进行重复的方向与公共电极9的延伸方向一致时,用作信号线的导电膜6的延伸方向与公共电极9的延伸方向交叉。

[0093] 公共电极9的延伸方向与用作信号线的导电膜6的延伸方向彼此交叉的角度优选大于或等于45°且小于或等于135°。当上述延伸方向以上述范围内的角度彼此交叉时,能够

减少闪烁。

[0094] 在一个像素中,公共电极9具有条状图案。当电压被施加到像素电极5时,如图1B中的虚线箭头所示那样在像素电极5与公共电极9之间产生抛物线状的电场。由此,可以使包含在液晶层66中的液晶分子进行取向。

[0095] 设置在第m行第n列的像素中的像素电极被配置在用作第n列的信号线的导电膜与用作第n+1列的信号线的导电膜之间。公共电极9优选在该像素电极与用作第n列的信号线的导电膜之间以及在该像素电极与用作第n+1列的信号线的导电膜之间具有弯曲部。由此,在公共电极9中,与用作各列中的信号线的导电膜6交叉的方向彼此平行或大致平行。并且,在各像素中的与像素电极5交叉的方向彼此平行或大致平行。由此,一个像素中的公共电极9的形状与另一个像素中的公共电极的形状相同或大致相同;由此,可以减少每一个像素中的液晶分子的取向的不整齐。

[0096] 此处,参照图2A详细说明公共电极9的平面形状。图2A至2D分别是用作信号线的导电膜6及像素电极5附近的放大俯视图。

[0097] 公共电极9包括第一区域9a及第二区域9b。在一个像素中,设置有多个第一区域9a及多个第二区域9b。此外,在一个像素中,多个第一区域9a被配置为彼此平行或大致平行,并且多个第二区域9b被配置为彼此平行或大致平行。在公共电极9中,第一区域9a与第二区域9b在连接部9c处彼此连接。第一区域9a部分地与用作信号线的导电膜6重叠,第二区域9b部分地与像素电极5重叠。在平面形状中,连接部9c位于用作信号线的导电膜6与像素电极5之间。另外,连接部9c可以与像素电极5的端部和用作信号线的导电膜6的端部中的一个以上的端部重叠。第一区域9a和第二区域9b在与用作信号线的导电膜6交叉的方向上交替地配置。

[0098] 第一区域9a在第一方向9d上延伸,第二区域9b在第二方向9e上延伸。第一方向9d与第二方向9e是不同的方向且彼此交叉。

[0099] 在公共电极9的平面形状图中,弯曲部9f位于用作信号线的导电膜6与像素电极5之间。另外,弯曲部9f可以与像素电极5的端部及用作信号线的导电膜6的端部中的一个以上的端部重叠。

[0100] 第一区域9a与第二区域9b之间的角度即第一方向9d与第二方向9e之间的角度、换言之弯曲部9f的角度θ1大于90°且小于180°,优选大于135°且小于180°。

[0101] 第一区域9a与用作信号线的导电膜6的垂直线(在图2A中由虚线示出)之间的角度、即第一区域9a的延伸方向与用作信号线的导电膜6的垂直线之间的角度、换言之在弯曲部9f处的第一区域9a与用作信号线的导电膜6的垂直线之间的角度θ2大于0°且小于90°,优选大于0°且小于45°。

[0102] 在角度θ1及角度θ2的上述范围内,在被施加电压时的设置在第一区域9a中的液晶分子的取向方向与设置在第二区域9b中的液晶分子的取向方向可以设成彼此不同。当取向方向不同时,由布线电位产生的第一区域9a中的取向状态和第二区域9b中的取向状态不容易互相影响。也就是说,第二区域9b中的取向状态不容易受到由布线电位引起的第一区域9a中的取向状态的影响。因此,像素电极5可以做成不容易受到在用作信号线的导电膜6与公共电极9之间产生的电场的影响,并且可以减少闪烁。

[0103] 当公共电极9具有角度θ2的上述范围内的条状时,公共电极9在与用作信号线的导

电膜6交叉的方向上延伸。由此,可以减少与用作信号线的导电膜6重叠的面积以及在公共电极9与导电膜7之间的寄生电容。当角度θ2大于或等于45°时,公共电极9变窄且有高电阻;因此,角度θ2优选小于45°。

[0104] 角度θ1与角度θ2的和大于或等于135°且小于180°。

[0105] 当角度θ1与角度θ2的和在上述范围内时,在各列中公共电极9的第一区域9a与用作信号线的导电膜6交叉的方向是彼此平行或大致平行的。在各像素中公共电极9的第二区域9b与像素电极5交叉的方向是彼此平行或大致平行的。由此,一个像素中的公共电极9的形状与另一个像素中的公共电极9的形状相同或大致相同;由此,可以减少每一个像素中的液晶分子的取向中的不整齐。

[0106] 在像素电极5与公共电极9彼此重叠的区域中,像素电极5、绝缘膜8b及公共电极9形成电容器。由于像素电极5及公共电极9是分别使用具有透光性的膜而形成的,所以可以提高开口率和电容器的容量。另外,当使用介电常数高的材料来形成配置在像素电极5与公共电极9之间的绝缘膜8b时,能够在电容器中储存大量电荷。作为介电常数高的材料,可以举出氮化硅、氧化铝、氧化镓、氧化钇、氧化铪、硅酸铪(HfSiO_x)、添加有氮的硅酸铪(HfSi_{x0yN}_z)、添加有氮的铝酸铪(HfAl_{x0yN}_z)等。

[0107] 遮光膜62被用作黑矩阵。着色膜63被用作滤色片。例如,在液晶显示装置为黑白显示装置的情况下,不一定必须设置着色膜63。

[0108] 着色膜63是使特定波长区域的光透过的着色膜。例如,可以使用使红色波长区域的光透过的红色(R)膜、使绿色波长区域的光透过的绿色(G)膜或使蓝色波长区域的光透过的蓝色(B)膜等。

[0109] 遮光膜62优选具有阻挡特定波长区域的光的功能,并且可以是例如金属膜或包含黑色颜料等的有机绝缘膜。

[0110] 绝缘膜65被用作平坦化层或者抑制着色膜63中的杂质扩散到液晶元件一侧。

[0111] 虽然未图示,但在衬底1与衬底61之间设置密封剂。液晶层66由衬底1、衬底61及密封剂封闭。用于保持液晶层66的厚度(也称为单元间隙(cell gap))的间隔物也可以设置在绝缘膜60与绝缘膜64之间。

[0112] 接着,参照图2A至2D说明本实施方式的液晶显示装置的驱动方法。

[0113] 说明在像素中的显示元件的驱动方法,其中初始状态下的黑色显示通过对像素电极的电压施加而变为白色显示,即,说明常黑模式的显示元件的驱动方法。注意,此处的显示元件是指像素电极5、公共电极9及包括在液晶层66中的液晶分子。虽然在本实施方式中说明常黑模式的显示元件的驱动方法,但可以适当地使用常白模式的显示元件的驱动方法。

[0114] 在黑色显示的情况下,将使晶体管开启的电压施加于用作扫描线的导电膜,并将0V施加于用作信号线的导电膜及公共电极。其结果是,将0V施加于像素电极。换言之,在像素电极与公共电极之间不产生电场,因此液晶分子不工作。

[0115] 在白色显示的情况下,将使晶体管开启的电压施加于用作扫描线的导电膜,将使液晶分子工作的电压、例如6V施加于用作信号线的导电膜,并且将0V施加于公共电极。其结果是,将6V施加于像素电极。换言之,在像素电极与公共电极之间产生电场,因此液晶分子工作。

[0116] 此处,使用负型液晶材料进行说明。在初始状态下液晶分子取向于与用作信号线的导电膜平行或大概平行的方向。将初始状态下的液晶分子的取向称为初始取向。通过对像素电极与公共电极之间施加电压,液晶分子在与衬底平行的面中转动。虽然在本实施方式中使用负型液晶材料,但也可以适当地使用正型液晶材料。

[0117] 偏振片设置在图1B中的衬底1及衬底61各自的外侧。设置在衬底1外侧的偏振片的偏振器与设置在衬底61外侧的偏振片的偏振器被放置成互相正交,也就是说,被放置为正交尼科耳状态。因此,当液晶分子在与用作扫描线的导电膜2及用作信号线的导电膜6平行的方向上取向时,光被偏振片吸收而显示黑色。虽然在本实施方式中使用正交尼科耳状态下的偏振片来进行说明,但也可以适当地使用平行尼科耳状态下的偏振片。

[0118] 此处说明在将不同的电压施加于像素电极5和公共电极9的情况下,在用作信号线的导电膜6与公共电极9之间以及在像素电极5与公共电极9之间产生的电场。在公共电极9的第一区域9a中,在用作信号线的导电膜6与公共电极9之间产生图2B中的虚线箭头所示的电场F1a,并且在公共电极9的第二区域9b中,在像素电极5与公共电极9之间产生图2B中的虚线箭头所示的电场F1b。

[0119] 电场F1a与电场F1b的方向不同。换言之,在第一区域9a与第二区域9b中电场方向不同,并且这些电场方向之间的差异很大。因此,第一区域9a中的液晶分子的取向与第二区域9b中的液晶分子的取向不容易互相影响。

[0120] 一般而言,刷新频率低的液晶显示装置具有保持期间及刷新期间。此处,参照图2D进行说明。保持期间是对用作信号线的导电膜6施加0V或任意的固定电位以保持像素电极5的电位的期间。刷新期间是对用作信号线的导电膜6施加写入电压以重写(刷新)像素电极5的电位的期间。在刷新期间和保持期间中,不同的电压从而被施加于用作信号线的导电膜6。因此,用作信号线的导电膜6附近的液晶分子的取向在刷新期间与保持期间之间不同。因此,在刷新期间和保持期间中,设置在邻接的像素中的像素电极5与公共电极9之间的电场所引起的第二区域9b中的液晶分子的取向状态通过用作信号线的导电膜6附近的液晶分子而以不同方式受到影响。因此,像素的透射率变化而导致闪烁。

[0121] 然而,通过使用本实施方式所示的形状的公共电极,电场方向在第一区域9a和第二区域9b中是不同的,因此,用作信号线的导电膜6附近的液晶分子的取向状态和由设置在邻接的像素中的像素电极5与公共电极9之间的电场而引起的像素电极5附近的液晶分子的取向状态不容易如图2B所示那样互相影响。由此,像素的透射率的变化得到抑制。因此,能够减少图像中的闪烁。

[0122] 此处,作为比较例子,图2C示出公共电极69的与用作信号线的导电膜6重叠的区域与导电膜7的垂直线(在图2C中由虚线示出)平行地延伸的例子。公共电极69在与像素电极5重叠的区域和导电膜7的垂直线之间具有指定的角度。另外,在公共电极69中,与像素电极5重叠的区域也可以与导电膜7的垂直线平行。

[0123] 此处,参照图2D,说明在将不同的电压施加于图2C的像素电极5和公共电极69的情况下在像素电极5与公共电极69之间产生的电场。在公共电极69中,在与用作信号线的导电膜6重叠的区域中,在用作信号线的导电膜6与公共电极69之间产生图2D中的虚线箭头所示的电场F2a,并且在与像素电极5重叠的区域中,在像素电极5与公共电极69之间产生图2D中的虚线箭头所示的电场F2b。

[0124] 电场F2a与电场F2b的方向不同,但是,该电场方向之间的差异很小。因此,与用作信号线的导电膜6重叠的区域中的液晶分子容易受到用作信号线的导电膜以及邻接的像素中的像素电极的电压的影响,并且具有单畴(mono-domain)结构。因此,在图像中发生闪烁。尤其是,当信号线与公共电极彼此垂直交叉时,对液晶分子的旋转方向没有规定;因此,像素电极附近的液晶分子的取向状态容易受到用作信号线的导电膜6附近的液晶分子的影响;因此,容易发生闪烁。

[0125] 由此,包括如本实施方式所示的公共电极9那样具有锯齿形状的公共电极的显示装置是闪烁少且显示质量好的显示装置。

[0126] 接着,参照图3A及3B说明具有条形的公共电极9的效果。

[0127] 图3A及3B分别是包括在FFS模式的液晶显示装置的像素部中的像素的俯视图。分别在图3A及3B中,示出相邻的两个像素103a及103b。

[0128] 像素103a包括用作扫描线的导电膜2、半导体膜4a、用作信号线的导电膜6a、导电膜7a、像素电极5a及公共电极9。像素103b包括用作扫描线的导电膜2、半导体膜4b、用作信号线的导电膜6b、导电膜7b、像素电极5b及公共电极9。

[0129] 在图3A及3B中,公共电极9的顶面具有锯齿形状,并且在与用作信号线的导电膜6a及6b交叉的方向上延伸。换言之,公共电极9跨在像素103a及103b上。

[0130] 图3A示出初始状态(黑色显示),图3B示出驱动状态。

[0131] 在图3A及3B的像素103a及103b中,公共电极9在与用作信号线的导电膜6a及6b交叉的方向上延伸;因此,在初始状态(黑色显示)下,液晶分子L在与用作信号线的导电膜6a及6b平行或大致平行的方向上取向。

[0132] 接着,说明如图3B那样像素103a进行黑色显示并且像素103b进行白色显示的情况。对用作信号线的导电膜6a及公共电极9施加0V。对用作信号线的导电膜6b施加6V。其结果是,将6V施加于像素103b中的像素电极5b,在用作信号线的导电膜6b与公共电极9之间产生图3B中的虚线箭头所示的电场F1a,在像素电极5与公共电极9之间产生图3B中的虚线箭头所示的电场F1b,据此,液晶分子L进行取向。此处,液晶分子L旋转45°。

[0133] 在像素103a中像素电极5a为0V,设置在像素电极5a附近的用作信号线的导电膜6b为6V。然而,由于用作信号线的导电膜6b与公共电极9彼此交叉,在像素电极5a与用作信号线的导电膜6b之间产生电场F3。电场F3的方向大概垂直于液晶分子的初始取向的方向。此处,由于使用负型液晶材料,所以即使产生电场F3,液晶分子L也不容易工作,从而可以抑制闪烁。

[0134] 由此,在包括本实施方式所示的公共电极的液晶显示装置中,用作信号线的导电膜与公共电极之间的电场和像素电极与公共电极之间的电场之间的方向产生差异,并且该差异形成大的角度。因此,设置在用作信号线的导电膜附近的液晶分子不容易受到邻接的像素的像素电极及用作信号线的导电膜的电压的影响,从而可以减少液晶分子的取向无序。

[0135] 在刷新频率低的液晶显示装置中,即使在保持期间中,用作信号线的导电膜6附近的液晶分子的取向也不容易受到邻接的像素中的像素电极与公共电极之间的电场的影响。由此,能够维持在保持期间中的像素的透射率,并且可以减少闪烁。

[0136] 另外,当设置有在与用作信号线的导电膜交叉的方向上延伸的公共电极时,液晶

显示装置可以减少漏光并且具有优良的对比度。

[0137] 本实施方式的公共电极不形成在衬底的整个表面上。因此，能够减少公共电极与用作信号线的导电膜重叠的区域，从而可以减少在用作信号线的导电膜与公共电极之间产生的寄生电容。其结果是，在使用大的衬底形成的显示装置中，能够减少布线延迟。

[0138] 本实施方式所叙述的结构及方法等可以与其他实施方式所示的某些结构及方法等适当地组合而使用。

[0139] <变形例子1>

[0140] 参照图4说明图1A及1B中的液晶显示装置的变形例子。图4所示的液晶显示装置在衬底61上包括导电膜67。具体而言，导电膜67设置在绝缘膜64与绝缘膜65之间。

[0141] 导电膜67使用透光导电膜而形成。导电膜67的电位优选与公共电极9的电位相同。换言之，公共电位优选被施加于导电膜67。

[0142] 当将用于驱动液晶分子的电压施加于导电膜6时，在导电膜6与公共电极9之间产生电场。该电场是垂直电场。在FFS模式中，液晶分子由于水平电场而在与衬底平行的方向上取向。然而，当产生垂直电场时，导电膜6与公共电极9之间的液晶分子由于该垂直电场的影响而在与衬底垂直的方向上取向，因此发生闪烁。

[0143] 然而，通过在隔着液晶层66与公共电极9相对一侧设置导电膜67以使得公共电极9和导电膜67具有相同电位，能够抑制由于导电膜6与公共电极9之间的电场所引起的液晶分子的在与衬底垂直的方向上的取向变化。据此，该区域中的液晶分子的取向状态变得稳定。因此，可以减少闪烁。

[0144] <变形例子2>

[0145] 在图6所示的公共电极29中，第一区域与第二区域彼此连接。第一区域具有条形且弯曲成锯齿状态，并且与用作信号线的导电膜21a的延伸方向交叉。第二区域是在与用作信号线的导电膜21a平行或大致平行的方向上延伸的区域。图6中的公共电极29不与用作信号线的导电膜21a重叠；因此，可以减少公共电极29的寄生电容。

[0146] 然而，第二区域不被用作显示区域。因此，像素103a、像素103b及像素103c的面积变窄，导致低开口率。

[0147] 于是，如在图28所示的公共电极29处那样，通过在用作信号线的导电膜21a上设置与第一区域连接的第二区域，可以增大像素103d、像素103e及像素103f的面积。另外，第二区域不在与用作信号线的导电膜21a平行或大致平行的方向上延伸，并与导电膜21a的一重叠。因此，可以减少用作信号线的导电膜21a与公共电极29之间产生的寄生电容，并且可以减小像素的面积及像素的开口率。此外，在图28中的像素可以具有50%或更高的例如50.8%的开口率。

[0148] 另外，在图28的公共电极29中，第二区域有规则地与第一区域耦合，但是也可以无规则地与第一区域耦合。

[0149] 注意，本实施方式中叙述的结构及方法等可以与其他实施方式中叙述的某些结构及方法等适当地组合而使用。

[0150] 实施方式2

[0151] 在本实施方式中，参照附图说明本发明的一个方式的显示装置。在本实施方式中，使用氧化物半导体膜来作为包含在晶体管中的半导体膜。

[0152] 图5A所示的显示装置包括像素部101；扫描线驱动电路104；信号线驱动电路106；互相平行或大致平行地配置且其电位由扫描线驱动电路104控制的m个用作扫描线的导电膜107；以及互相平行或大致平行地配置且其电位由信号线驱动电路106控制的n个用作信号线的导电膜109。像素部101还包括配置为矩阵状的多个像素103。另外，沿着用作信号线的导电膜109设置有互相平行或大致平行地配置的公共线115。扫描线驱动电路104及信号线驱动电路106有时被统称为驱动电路部。

[0153] 用作扫描线的各导电膜107与在像素部101中配置为m行n列的像素103中的对应行的n个像素103电连接。用作信号线的各导电膜109与配置为m行n列的像素103中的对应列的m个像素103电连接。注意，m和n分别都是1或更大的整数。各公共线115与配置为m行n列的像素103中的对应列的m个像素103电连接。

[0154] 图5B示出可以用于图5A所示的显示装置中的像素103的电路结构的例子。

[0155] 图5B的像素103包括液晶元件121、晶体管102和电容器105。

[0156] 液晶元件121的一对电极中的一个与晶体管102连接，其电位根据像素103的规格适当地设定。液晶元件121的一对电极中的另一个与公共线115连接，并对其施加公共电位。液晶元件121的液晶分子的取向状态根据被写入到晶体管102的数据而控制。

[0157] 液晶元件121是利用液晶分子的光学调制作用来控制光的透过或非透过的元件。液晶分子的光学调制作用由施加到液晶分子的电场（包括水平电场、纵向电场及倾斜方向电场）而控制。液晶元件121的例子是向列液晶、胆甾相（cholesteric）液晶、近晶液晶、热致液晶、溶致液晶、铁电液晶以及反铁电液晶。

[0158] 使用FFS模式来作为包括液晶元件121的显示装置的驱动方法。

[0159] 液晶元件也可以使用包含呈现蓝相（blue phase）的液晶材料和手性材料的液晶组成物而形成。呈现蓝相的液晶的响应速度快，为1msec或更短，并且具有光学各向同性；所以，不一定需要取向处理，且视角依赖性小。

[0160] 在图5B的像素103的结构中，晶体管102的源电极和漏电极中的一个与用作信号线的导电膜109电连接，源电极和漏电极中的另一个与液晶元件121的一对电极中的一个电连接。晶体管102的栅电极与用作扫描线的导电膜107电连接。晶体管102具有通过打开或关闭来控制是否写入数据信号的功能。

[0161] 在图5B的像素103中，电容器105的一对电极中的一个与晶体管102连接。电容器105的一对电极中的另一个与公共线115电连接。公共线115的电位根据像素103的规格适当地设定。电容器105被用作用于储存被写入的数据的存储电容器。在本实施方式中，电容器105的一对电极中的一个与液晶元件121的一对电极中的一个的一部分或全部。电容器105的一对电极中的另一个与液晶元件121的一对电极中的另一个的一部分或全部。

[0162] 说明包括在显示装置中的元件衬底的具体结构。图6是多个像素103a、103b和103c的俯视图。

[0163] 在图6中，用作扫描线的导电膜13在与用作信号线的导电膜大致正交的方向（附图中的横向）上延伸。用作信号线的导电膜21a在与用作扫描线的导电膜大致正交的方向（附图中的纵向）上延伸。另外，用作扫描线的导电膜13与扫描线驱动电路104（参照图5A）电连接，而用作信号线的导电膜21a与信号线驱动电路106（参照图5A）电连接。

[0164] 晶体管102设置在用作扫描线的导电膜和用作信号线的导电膜交叉的区域中。晶

体管102包括用作栅电极的导电膜13；栅极绝缘膜(图6中未图示)；栅极绝缘膜上的形成有沟道区域的氧化物半导体膜19a；以及用作源电极和漏电极的导电膜21a及导电膜21b。导电膜13还被用作扫描线的导电膜，并且导电膜13的与氧化物半导体膜19a重叠的区域被用作晶体管102的栅电极。此外，导电膜21a还被用作信号线的导电膜，并且导电膜21a的与氧化物半导体膜19a重叠的区域被用作晶体管102的源电极或漏电极。此外，在图6的俯视图中，用作扫描线的导电膜的端部位于氧化物半导体膜19a的端部的外侧。由此，用作扫描线的导电膜被用作阻挡来自如背光灯等光源的光的遮光膜。因此，包含在晶体管中的氧化物半导体膜19a不被照射光，所以晶体管的电特性的变动可以得到抑制。

[0165] 导电膜21b与像素电极19b电连接。公共电极29隔着绝缘膜地设置在像素电极19b上。以点划线所示的开口40设置于被设置在像素电极19b上的绝缘膜。像素电极19b在开口40中与氮化物绝缘膜(图6中未图示)接触。

[0166] 公共电极29包括在与用作信号线的导电膜交叉的方向上延伸的条形区域(第一区域)。该条形区域(第一区域)连接于在与用作信号线的导电膜平行或大致平行的方向上延伸的区域(第二区域)。因此，在像素中公共电极29的条形区域(第一区域)的电位相同。

[0167] 电容器105形成在像素电极19b与公共电极29重叠的区域。像素电极19b及公共电极29分别具有透光性。也就是说，电容器105具有透光性。

[0168] 如图6所示，本实施方式中的液晶显示装置是FFS模式的液晶显示装置，并且设置有包括在与用作信号线的导电膜交叉的方向上延伸的条形区域的公共电极。因此，该显示装置可以具有优良的对比度。

[0169] 由于电容器105的透光性，在像素103中电容器105可以形成得较大(在大面积内形成)。由此，可以提供开口率提高到例如50%或更高、优选提高到60%或更高且具有大容量电容器的显示装置。例如，在液晶显示装置等高分辨率显示装置中，像素的面积小，由此电容器的面积也小。因此，在高分辨率显示装置中储存在电容器中的电荷量小。然而，由于本实施方式的电容器105具有透光性，所以当该电容器105设置在像素中时，在像素中可以获得足够的电容且可以提高开口率。典型的是，电容器105可以适当地用于像素密度为200像素每英寸(ppi)或更大、300ppi或更大、或者500ppi或更大的高分辨率显示装置。

[0170] 在液晶显示装置中，电容器的电容值越大，越能够延长在施加电场的状态下可以保持液晶元件的液晶分子的取向为固定期间。当在显示静态图像的显示装置中可以延长上述期间时，能够减少重写图像数据的次数，从而可以降低耗电量。另外，根据本实施方式的结构，即使在高分辨率显示装置中也可以提高开口率，因此可以高效地使用来自背光灯等光源的光，从而可以降低显示装置的耗电量。

[0171] 另外，本发明的一个实施方式的俯视图不局限于图6。上述显示装置可以具有各种各样的结构。例如，如图28所示，公共电极29的连接区域(第二区域)也可以形成在用作信号线的导电膜上。

[0172] 接着，图7是沿着图6中的点划线A-B和C-D的截面图。图7所示的晶体管102是沟道蚀刻型晶体管。注意，沟道长度方向上的晶体管102及电容器105显示在沿着点划线A-B的截面图中，沟道宽度方向上的晶体管102显示在沿着点划线C-D的截面图中。

[0173] 图7中的晶体管102具有单栅结构，其包括衬底11上的用作栅电极的导电膜13。此外，晶体管102包括形成在衬底11及用作栅电极的导电膜13上的氮化物绝缘膜15、形成在氮

化物绝缘膜15上的氧化物绝缘膜17、隔着氮化物绝缘膜15及氧化物绝缘膜17与用作栅电极的导电膜13重叠的氧化物半导体膜19a以及与氧化物半导体膜19a接触的用作源电极和漏电极的导电膜21a及21b。此外，氧化物绝缘膜23形成在氧化物绝缘膜17、氧化物半导体膜19a和用作源电极和漏电极的导电膜21a及21b上，氧化物绝缘膜25形成在氧化物绝缘膜23上。氮化物绝缘膜27形成在氮化物绝缘膜15、氧化物绝缘膜23、氧化物绝缘膜25及导电膜21b上。像素电极19b形成在氧化物绝缘膜17上。像素电极19b连接于用作源电极和漏电极的导电膜21a和21b中的一个，此处，连接于导电膜21b。公共电极29形成在氮化物绝缘膜27上。

[0174] 像素电极19b、氮化物绝缘膜27和公共电极29彼此重叠的区域被用作电容器105。

[0175] 注意，本发明的一个实施方式的截面图不局限于图7。上述显示装置可以具有各种各样的结构。例如，像素电极19b可以具有狭缝。像素电极19b可以是梳齿状。该情况下的截面图的例子显示在图8中。或者，如图9所示，绝缘膜26b也可以设置在氮化物绝缘膜27上。例如，可以设置有机树脂膜来作为绝缘膜26b。由此，绝缘膜26b可以具有平坦的表面。换言之，作为一个例子，绝缘膜26b可以被用作平坦化膜。或者，可以形成电容器105b，以使得公共电极29与导电膜21b彼此重叠。该情况下的截面图的例子显示在图22及图23中。这样的结构可以将电容器105b用作保持像素电极的电位的电容器。因此，通过采用这样的结构，可以增加电容器的电容。

[0176] 下面详细说明显示装置的结构。

[0177] 只要衬底11的材料具有足以至少承受后续的加热处理的耐热性，则对衬底11的材料等没有特别的限制。例如，可以使用玻璃衬底、陶瓷衬底、石英衬底或蓝宝石衬底来作为衬底11。另外，可以使用由硅或碳化硅等制造的单晶半导体衬底或多晶半导体衬底、由硅锗等制造的化合物半导体衬底、SOI (Silicon On Insulator: 绝缘体上硅) 衬底等来作为衬底11。此外，可以使用进一步设置有半导体元件的任意的上述衬底来作为衬底11。在使用玻璃衬底作为衬底11的情况下，可以使用具有任意的如下尺寸的玻璃衬底：第6代 (1500mm × 1850mm)、第7代 (1870mm × 2200mm)、第8代 (2200mm × 2400mm)、第9代 (2400mm × 2800mm) 和第10代 (2950mm × 3400mm)。由此，可以制造大型显示装置。

[0178] 或者，可以使用柔性衬底作为衬底11，并且晶体管102可以直接设置在柔性衬底上。或者，可以在衬底11与晶体管102之间设置分离层。该分离层可以在将分离层上形成的显示装置的一部分或全部从衬底11分离并转置到其他衬底上的情况下使用。此时，晶体管102可以转置到耐热性低的衬底或柔性衬底上。

[0179] 用作栅电极的导电膜13可以使用选自铝、铬、铜、钽、钛、钼和钨中的金属元素；包含任意的上述金属元素作为成分的合金；以组合的方式包含任意的上述金属元素的合金等来形成。另外，也可以使用选自锰和锆中的一种或多种金属元素。用作栅电极的导电膜13可以具有单层结构或者两层或更多层的叠层结构。例如，可以举出包含硅的铝膜的单层结构、铝膜层叠在钛膜上的两层结构、钛膜层叠在氮化钛膜上的两层结构、钨膜层叠在氮化钛膜上的两层结构、钨膜层叠在氮化钽膜或氮化钨膜上的两层结构、铜膜层叠在钛膜上的两层结构以及依次层叠有钛膜、铝膜及钛膜的三层结构。另外，可以使用包含铝与选自钛、钽、钨、钼、铬、钕和钪中的一种或更多种元素的膜、合金膜或氮化膜。

[0180] 用作栅电极的导电膜13也可以使用诸如铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物或

者添加有氧化硅的铟锡氧化物等透光导电材料来形成。此外,可以具有使用上述透光导电材料与上述金属元素而形成的叠层结构。

[0181] 氮化物绝缘膜15可以是不容易透过氧的氮化物绝缘膜。另外,可以使用不容易透过氧、氢及水的氮化物绝缘膜。作为不容易透过氧的氮化物绝缘膜以及不容易透过氧、氢及水的氮化物绝缘膜,可以举出氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。可以使用诸如氧化铝膜、氧氮化铝膜、氧化镓膜、氧氮化镓膜、氧化钇膜、氧氮化钇膜、氧化铪膜、氧氮化铪膜等氧化物绝缘膜,来代替不容易透过氧的氮化物绝缘膜以及不容易透过氧、氢及水的氮化物绝缘膜。

[0182] 氮化物绝缘膜15的厚度优选大于或等于5nm且小于或等于100nm,更优选大于或等于20nm且小于或等于80nm。

[0183] 氧化物绝缘膜17可以被形成为具有例如使用氧化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氧化铪膜、氧化镓膜以及Ga-Zn类金属氧化物膜中的一种或多种的单层结构或叠层结构。

[0184] 氧化物绝缘膜17也可以使用如硅酸铪(HfSiO_x)、添加有氮的硅酸铪(HfSi_{x0yN}_z)、添加有氮的铝酸铪(HfAl_{x0yN}_z)、氧化铪或者氧化钇等相对介电常数高的材料来形成,以便可以减少晶体管的栅极漏电流。

[0185] 氧化物绝缘膜17的厚度优选大于或等于5nm且小于或等于400nm,更优选大于或等于10nm且小于或等于300nm,进一步优选大于或等于50nm且小于或等于250nm。

[0186] 典型的是,氧化物半导体膜19a使用In-Ga氧化物、In-Zn氧化物、In-M-Zn氧化物(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)来形成。

[0187] 在氧化物半导体膜19a包含In-M-Zn氧化物的情况下,当假设In与M之和为100atomic%时,In与M的比率优选为如下:In的原子百分比高于25atomic%且M的原子百分比低于75atomic%,更优选为In的原子百分比高于34atomic%且M的原子百分比低于66atomic%。

[0188] 氧化物半导体膜19a的能隙为2eV或更大,优选为2.5eV或更大,更优选为3eV或更大。通过使用能隙宽的氧化物半导体,可以降低晶体管102的关态电流(off-state current)。

[0189] 氧化物半导体膜19a的厚度大于或等于3nm且小于或等于200nm,优选大于或等于3nm且小于或等于100nm,更优选大于或等于3nm且小于或等于50nm。

[0190] 在氧化物半导体膜19a为In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,优选的是,用来形成In-M-Zn氧化物膜的溅射靶材的金属元素的原子比满足 $\text{In} \geq M$ 及 $Zn \geq M$ 。作为这种溅射靶材的金属元素的原子比,优选为 $\text{In}:M:Zn=1:1:1$ 、 $\text{In}:M:Zn=1:1:1.2$ 、 $\text{In}:M:Zn=3:1:2$ 。注意,在要形成的氧化物半导体膜19a的原子比中,各金属元素的比率在上述溅射靶材的原子比的±40%的范围内变化,作为误差范围。

[0191] 使用载流子密度低的氧化物半导体膜作为氧化物半导体膜19a。例如,使用如下氧化物半导体膜作为氧化物半导体膜19a,该氧化物半导体膜的载流子密度为 $1 \times 10^{17}/\text{cm}^3$ 或更小,优选为 $1 \times 10^{15}/\text{cm}^3$ 或更小,更优选为 $1 \times 10^{13}/\text{cm}^3$ 或更小,进一步优选为 $1 \times 10^{11}/\text{cm}^3$ 或更小。

[0192] 注意,不局限于上述组成,根据所要求的晶体管的半导体特性及电特性(例如,场

效应迁移率以及阈值电压)可以使用具有适当的组成的材料。另外,为了获得所要求的晶体管的半导体特性,优选的是,适当地设定氧化物半导体膜19a的载流子密度、杂质浓度、缺陷密度、金属元素与氧的原子比、原子间距离、密度等。

[0193] 作为氧化物半导体膜19a优选使用杂质浓度低且缺陷态密度低的氧化物半导体膜,此时,晶体管可以具有更优良的电特性。这里,将杂质浓度低且缺陷态密度低(氧空位量少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体很少有载流子发生源,所以有时具有低载流子密度。因此,有沟道区域形成于该氧化物半导体膜的晶体管很少具有负阈值电压(很少为常导通)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度,所以有时具有较少的载流子陷阱。此外,高纯度本征或实质上高纯度本征的氧化物半导体膜具有极低的关态电流;即使当元件具有 $1 \times 10^6 \mu\text{m}$ 的沟道宽度、 $10 \mu\text{m}$ 的沟道长度(L)时,在1V至10V的源电极与漏电极间的电压(漏极电压)下,关态电流也可以低于或等于半导体参数分析仪的测定极限,即低于或等于 $1 \times 10^{-13} \text{ A}$ 。因此,有沟道区域形成于该氧化物半导体膜的晶体管有时具有变动小的电特性及高可靠性。作为杂质的例子,可举出氢、氮、碱金属或碱土金属。

[0194] 包含在氧化物半导体膜中的氢与键合于金属原子的氧起反应,成为水,并且在氧从此处脱离了的晶格(或氧从此处脱离了的部分)中形成氧空位。由于氢进入该氧空位,有时生成用作载流子的电子。另外,有时,氢的一部分与键合于金属原子的氧键合,从而产生用作载流子的电子。因此,包括包含氢的氧化物半导体的晶体管容易为常导通。

[0195] 由此,优选的是,除了氧化物半导体膜19a中的氧空位以外还尽可能减少氢。具体而言,在氧化物半导体膜19a中,用二次离子质谱分析法(SIMS:secondary ion mass spectrometry)测得的氢浓度被设定为小于或等于 $5 \times 10^{19} \text{ atoms/cm}^3$,优选小于或等于 $1 \times 10^{19} \text{ atoms/cm}^3$,更优选小于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$,进一步优选小于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,更进一步优选小于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$,再更进一步优选小于或等于 $1 \times 10^{16} \text{ atoms/cm}^3$ 。

[0196] 当作为第14族元素之一的硅或碳被包含在氧化物半导体膜19a时,在氧化物半导体膜19a中氧空位增加,氧化物半导体膜19a成为n型膜。因此,氧化物半导体膜19a的硅或碳的浓度(用SIMS测得的浓度)被设定为小于或等于 $2 \times 10^{18} \text{ atoms/cm}^3$,优选小于或等于 $2 \times 10^{17} \text{ atoms/cm}^3$ 。

[0197] 用二次离子质谱分析法测得的氧化物半导体膜19a中的碱金属或碱土金属的浓度被设定为小于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,优选小于或等于 $2 \times 10^{16} \text{ atoms/cm}^3$ 。碱金属及碱土金属当与氧化物半导体键合时有可能生成载流子,此时晶体管的关态电流有可能增大。由此,优选降低氧化物半导体膜19a中的碱金属或碱土金属的浓度。

[0198] 此外,当含有氮时,该氧化物半导体膜19a由于用作载流子的电子的产生以及载流子密度的增加而容易具有n型导电率。因此,包括含有氮的氧化物半导体的晶体管容易为常导通。因此,优选尽可能减少该氧化物半导体膜中的氮;通过SIMS测得的氮浓度例如优选设定为小于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$ 。

[0199] 氧化物半导体膜19a例如可以具有非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(c-axis aligned crystalline oxide semiconductor:CAAC-OS)、多晶结构、下述微晶结构或非晶结构。在非单晶结构中,非晶结构具有最大缺陷态密度,而CAAC-

OS具有最小缺陷态密度。

[0200] 氧化物半导体膜19a例如可以具有非晶结构。具有非晶结构的氧化物半导体膜例如分别具有无秩序的原子排列且没有结晶成分。或者,具有非晶结构的氧化物膜例如完全具有非晶结构,而没有结晶部分。

[0201] 另外,氧化物半导体膜19a也可以为具有以下所示的两种或更多种区域的混合膜:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域。该混合膜有时例如包括单层结构,该单层结构具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域中的两种或更多种区域。另外,混合膜有时包括具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域中的两种或更多种区域的叠层结构。

[0202] 像素电极19b是通过对与氧化物半导体膜19a同时形成的氧化物半导体膜进行加工而形成的。因此,像素电极19b包含与氧化物半导体膜19a类似的金属元素。并且,像素电极19b具有与氧化物半导体膜19a类似或不同的结晶结构。通过对与氧化物半导体膜19a同时形成的氧化物半导体膜添加杂质或氧空位,从而该氧化物半导体膜具有导电率,因而被用作像素电极19b。包含在氧化物半导体膜中的杂质的例子是氢。除氢外,作为杂质,也可以包含硼、磷、锡、锑、稀有气体元素、碱金属、碱土金属等。或者,像素电极19b与氧化物半导体膜19a同时地形成,并且由于包含因等离子体损伤等而产生氧空位而具有提高了的导电率。或者,像素电极19b与氧化物半导体膜19a同时地形成,并且由于包含因等离子体损伤等而产生氧空位以及杂质而具有提高了的导电率。

[0203] 氧化物半导体膜19a和像素电极19b都形成在氧化物绝缘膜17上,但是它们的杂质浓度不同。具体而言,像素电极19b具有高于氧化物半导体膜19a的杂质浓度。例如,包含在氧化物半导体膜19a中的氢浓度小于或等于 $5 \times 10^{19} \text{ atoms/cm}^3$,优选小于或等于 $5 \times 10^{18} \text{ atoms/cm}^3$,进一步优选小于或等于 $1 \times 10^{18} \text{ atoms/cm}^3$,更进一步优选小于或等于 $5 \times 10^{17} \text{ atoms/cm}^3$,再更进一步优选小于或等于 $1 \times 10^{16} \text{ atoms/cm}^3$ 。包含在像素电极19b中的氢浓度大于或等于 $8 \times 10^{19} \text{ atoms/cm}^3$,优选大于或等于 $1 \times 10^{20} \text{ atoms/cm}^3$,进一步优选大于或等于 $5 \times 10^{20} \text{ atoms/cm}^3$ 。包含在像素电极19b中的氢浓度大于或等于包含在氧化物半导体膜19a中的氢浓度的2倍,优选大于或等于10倍。

[0204] 当与氧化物半导体膜19a同时形成的氧化物半导体膜暴露于等离子体时,氧化物半导体膜受到损伤,能够产生氧空位。例如,当利用等离子体CVD法或溅射法在氧化物半导体膜上形成膜时,氧化物半导体膜被暴露于等离子体而产生氧空位。或者,当在用于形成氧化物绝缘膜23及氧化物绝缘膜25的蚀刻处理中氧化物半导体膜暴露于等离子体时,产生氧空位。或者,当氧化物半导体膜暴露于诸如氧和氢的混合气体、氢、稀有气体、氨这样的等离子体时,产生氧空位。其结果是,氧化物半导体膜的导电率得到提高,由此该氧化物半导体膜具有导电率且被用作像素电极19b。

[0205] 换言之,像素电极19b使用导电率高的氧化物半导体膜形成。这还可以说是,像素电极19b使用导电率高的金属氧化物膜形成。

[0206] 在使用氮化硅膜作为氮化物绝缘膜27的情况下,氮化硅膜包含氢。当氮化物绝缘膜27中的氢扩散到与氧化物半导体膜19a同时形成的氧化物半导体膜中时,在该氧化物半导体膜中氢和氧键合而生成用作载流子的电子。当通过等离子体CVD法或溅射法形成氮化

硅膜时,氧化物半导体膜暴露于等离子体,在该氧化物半导体膜中生成氧空位。当包含在氮化硅膜中的氢进入该氧空位时,生成用作载流子的电子。其结果是,氧化物半导体膜的导电率增高,从而该氧化物半导体膜被用作像素电极19b。

[0207] 当对包含氧空位的氧化物半导体添加氢时,氢进入氧空位位点而在导带附近形成施主能级。其结果是,氧化物半导体的导电率增高,从而该氧化物半导体成为导电体。成为导电体的氧化物半导体可以被称为氧化物导电体。换言之,像素电极19b使用氧化物导电体膜而形成。氧化物半导体由于具有大能隙,通常具有可见光透射性。氧化物导电体是在导带附近具有施主能级的氧化物半导体。因此,由于该施主能级引起的吸收的影响小,并且氧化物导电体具有与氧化物半导体相同程度的可见光透射性。

[0208] 此处,参照图39A至39D说明氧化物半导体膜成为氧化物导电体膜的模型。

[0209] 如图39A所示,形成氧化物半导体膜71。

[0210] 如图39B所示,在氧化物半导体膜71上形成氮化物绝缘膜73。氢H包含在氮化物绝缘膜73中。当形成氮化物绝缘膜73时,氧化物半导体膜71暴露于等离子体,并且在氧化物半导体膜71中形成氧空位V_o。

[0211] 如图39C所示,包含在氮化物绝缘膜73中的氢H扩散到氧化物半导体膜71。氢H进入氧空位V_o而在导带附近形成施主能级。由此,如图39D所示,氧化物半导体膜的导电率增高,形成氧化物导电体膜75。氧化物导电体膜75被用作像素电极。

[0212] 像素电极19b具有低于氧化物半导体膜19a的电阻率。像素电极19b的电阻率优选大于或等于氧化物半导体膜19a的电阻率的 1×10^{-8} 倍且低于 1×10^{-1} 倍。典型地,像素电极19b的电阻率大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且低于 $1 \times 10^4 \Omega \text{ cm}$,优选大于或等于 $1 \times 10^{-3} \Omega \text{ cm}$ 且低于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0213] 用作源电极和漏电极的导电膜21a和21b分别被形成为具有包括铝、钛、铬、镍、铜、钇、锆、钼、银、钽和钨等金属中的任意金属或包含这些金属中的任意金属作为主要成分的合金的单层结构或叠层结构。例如,可以举出包含硅的铝膜的单层结构、铝膜层叠在钛膜上的两层结构、铝膜层叠在钨膜上的两层结构、铜膜层叠在铜-镁-铝合金膜上的两层结构、铜膜层叠在钛膜上的两层结构、铜膜层叠在钨膜上的两层结构、依次层叠有钛膜或氮化钛膜、铝膜或铜膜和钛膜或氮化钛膜的三层结构以及依次层叠有钼膜或氮化钼膜、铝膜或铜膜和钼膜或氮化钼膜的三层结构。另外,也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0214] 作为氧化物绝缘膜23或氧化物绝缘膜25,优选使用包含比化学计量组成更多的氧的氧化物绝缘膜。这里,作为氧化物绝缘膜23,形成使氧透过的氧化物绝缘膜,并且作为氧化物绝缘膜25,形成包含比化学计量组成更多的氧的氧化物绝缘膜。

[0215] 氧化物绝缘膜23是使氧透过的氧化物绝缘膜。由此,从设置在氧化物绝缘膜23上的氧化物绝缘膜25脱离的氧可以经过氧化物绝缘膜23移动到氧化物半导体膜19a。另外,在以后形成氧化物绝缘膜25时,氧化物绝缘膜23还被用作缓和对氧化物半导体膜19a的损伤的膜。

[0216] 可以使用其厚度大于或等于5nm且小于或等于150nm、优选大于或等于5nm且小于或等于50nm的氧化硅膜或氧氮化硅膜等来作为氧化物绝缘膜23。注意,在本说明书中,“氧氮化硅膜”是指含氧量多于含氮量的膜,而“氮氧化硅膜”是指含氮量多于含氧量的膜。

[0217] 此外,优选的是,氧化物绝缘膜23中的缺陷量较少,典型的是,用电子自旋共振(ESR)测得的在g=2.001处出现的信号的自旋密度小于或等于 3×10^{17} spins/cm³。在g=2.001处出现信号是由于硅的悬空键。这是因为若氧化物绝缘膜23中的缺陷密度高,氧则与该缺陷键合,透过氧化物绝缘膜23中的氧量减少。

[0218] 此外,优选的是,在氧化物绝缘膜23与氧化物半导体膜19a之间的界面处的缺陷量较少,典型的是,用ESR测得的由于氧化物半导体膜19a中的氧空位而在g=1.89或更大且1.96或更小处出现的信号的自旋密度小于或等于 1×10^{17} spins/cm³,更优选小于或等于检测下限。

[0219] 另外,在氧化物绝缘膜23中,有时从外部进入氧化物绝缘膜23的所有氧移动到氧化物绝缘膜23的外部。或者,有时从外部进入氧化物绝缘膜23的一些氧残留在氧化物绝缘膜23中。或者,有时氧从外部进入氧化物绝缘膜23并且包含在氧化物绝缘膜23中的氧移动到氧化物绝缘膜23的外部,由此在氧化物绝缘膜23中发生氧的移动。

[0220] 氧化物绝缘膜25被形成为与氧化物绝缘膜23接触。氧化物绝缘膜25使用以多于化学计量组成的比率含有氧的氧化物绝缘膜而形成。通过加热,一部分的氧从以多于化学计量组成的比率含有氧的氧化物绝缘膜脱离。以多于化学计量组成的比率含有氧的氧化物绝缘膜是在TDS分析中换算为氧原子的氧的脱离量大于或等于 1.0×10^{18} atoms/cm³、优选大于或等于 3.0×10^{20} atoms/cm³的氧化物绝缘膜。注意,上述TDS分析中的膜表面的温度优选高于或等于100℃且低于或等于700℃,或者高于或等于100℃且低于或等于500℃。

[0221] 可以使用其厚度大于或等于30nm且小于或等于500nm、优选大于或等于50nm且小于或等于400nm的氧化硅膜或氧氮化硅膜等来作为氧化物绝缘膜25。

[0222] 优选的是,氧化物绝缘膜25中的缺陷量较少,典型的是,用ESR测得的在g=2.001处出现的信号的自旋密度低于 1.5×10^{18} spins/cm³,更优选低于或等于 1×10^{18} spins/cm³。氧化物绝缘膜25与氧化物绝缘膜23相比,被设置得离氧化物半导体膜19a更远;所以,氧化物绝缘膜25也可以具有高于氧化物绝缘膜23的缺陷密度。

[0223] 与氮化物绝缘膜15同样地,氮化物绝缘膜27可以是不容易使氧透过的氮化物绝缘膜。另外,可以使用不容易使氧、氢以及水透过的氮化物绝缘膜。

[0224] 氮化物绝缘膜27使用其厚度大于或等于50nm且小于或等于300nm、优选大于或等于100nm且小于或等于200nm的氮化硅膜、氮氧化硅膜、氮化铝膜或氮氧化铝膜等来形成。

[0225] 在以多于化学计量组成的比率含有氧的氧化物绝缘膜被包括在氧化物绝缘膜23或氧化物绝缘膜25的情况下,包含在氧化物绝缘膜23或氧化物绝缘膜25中的氧的一部分可以移动到氧化物半导体膜19a,由此可以降低包含在氧化物半导体膜19a中的氧空位量。

[0226] 使用包含氧空位的氧化物半导体膜的晶体管的阈值电压容易地向负方向变动,这种晶体管有常导通的倾向。这是因为由于在氧化物半导体膜中的氧空位而产生电荷,从而导致电阻降低。具有常导通特性的晶体管产生各种问题,诸如在工作时容易产生工作故障以及在非工作时耗电量增大。另外,还有如下问题:由于随时间的变化或应力测试,晶体管的电特性的变动量增大,典型地,阈值电压的变动量增大。

[0227] 但是,在本实施方式的晶体管102中,设置在氧化物半导体膜19a上的氧化物绝缘膜25或氧化物绝缘膜23以多于化学计量组成的比率含有氧。并且,氧化物半导体膜19a、氧化物绝缘膜23及氧化物绝缘膜25被氮化物绝缘膜15及氧化物绝缘膜17包围。其结果是,包

含在氧化物绝缘膜23或氧化物绝缘膜25中的氧高效地移动到氧化物半导体膜19a，由此氧化物半导体膜19a的氧空位量可以得到减少。因此，得到具有常闭 (normally-off) 特性的晶体管。另外，可以降低由于随时间的变化或应力测试而引起的晶体管的电特性的变动量、典型的是阈值电压的变动量。

[0228] 公共电极29使用透光膜、优选使用透光导电膜而形成。作为透光导电膜，可以举出包含氧化钨的铟氧化物膜、包含氧化钨的铟锌氧化物膜、包含氧化钛的铟氧化物膜、包含氧化钛的铟锡氧化物膜、铟锡氧化物(以下称为ITO)膜、铟锌氧化物膜、添加有氧化硅的铟锡氧化物膜等。

[0229] 公共电极29的形状与实施方式1所示的公共电极9的形状是类似的，用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向交叉。因此，在用作信号线的导电膜21a与公共电极29之间的电场和像素电极19b与公共电极29之间的电场之间产生方向上的差异，并且该差异形成大的角度。因此，用作信号线的导电膜附近的液晶分子的取向状态和由于设置在邻接的像素中的像素电极与公共电极之间的电场而产生的像素电极附近的液晶分子的取向状态不容易互相影响。由此，像素的透射率的变化得到抑制。因此，能够减少图像中的闪烁。

[0230] 在刷新频率低的液晶显示装置中，即使在保持期间中，用作信号线的导电膜21a附近的液晶分子的取向也不容易影响到由于在邻接的像素中的像素电极与公共电极29之间的电场所引起的像素电极附近的液晶分子的取向状态。由此，能够维持在保持期间中的像素的透射率，并且可以减少闪烁。

[0231] 公共电极29包括在与用作信号线的导电膜21a交叉的方向上延伸的条形区域。由此，在像素电极19b及导电膜21a的附近，能够防止液晶分子的未预期的取向，从而可以抑制漏光。其结果是，可以制造对比度优良的显示装置。

[0232] 在本实施方式所述的显示装置的元件衬底上，与晶体管的氧化物半导体膜同时地形成像素电极。该像素电极被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此，不需要形成另外的导电膜的工序以形成电容器，可以减少显示装置的制造工序数量。该电容器具有透光性。其结果是，可以增大电容器的占有面积，并且可以提高像素中的开口率。

[0233] 接着，参照图10A至10D、图11A至11D以及图12A至12C说明图7中的晶体管102及电容器105的制造方法。

[0234] 如图10A所示，在衬底11上形成成为导电膜13的导电膜12。导电膜12通过溅射法、诸如金属有机化学气相沉积(MOCVD)法、金属化学气相沉积法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法的化学气相沉积(CVD)法、蒸镀法、脉冲激光沉积(PLD)法等来形成。当采用金属有机化学气相沉积(MOCVD)法、金属化学气相沉积法或原子层沉积(ALD)法时，该导电膜由于等离子体而受到的损伤少。

[0235] 此处，使用玻璃衬底作为衬底11。此外，作为导电膜12，通过溅射法形成100nm厚的钨膜。

[0236] 接着，在导电膜12上通过使用第一光掩模的光刻工艺形成掩模。然后，如图10B所示，利用该掩模而对导电膜12的一部分进行蚀刻来形成用作栅电极的导电膜13。然后，去除掩模。

[0237] 另外,用作栅电极的导电膜13也可以通过电镀法、印刷法、喷墨法等代替上述形成方法来形成。

[0238] 这里,通过干蚀刻法蚀刻钨膜来形成用作栅电极的导电膜13。

[0239] 接着,如图10C所示,在用作栅电极的导电膜13上形成氮化物绝缘膜15以及以后成为氧化物绝缘膜17的氧化物绝缘膜16。然后,在氧化物绝缘膜16上形成以后成为氧化物半导体膜19a及像素电极19b的氧化物半导体膜18。

[0240] 氮化物绝缘膜15及氧化物绝缘膜16通过溅射法、诸如金属有机化学气相沉积(MOCVD)法、金属化学气相沉积法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法的化学气相沉积(CVD)法、蒸镀法、脉冲激光沉积(PLD)法、涂敷法、印刷法等来形成。当采用金属有机化学气相沉积(MOCVD)法或原子层沉积(ALD)法时,氮化物绝缘膜15及氧化物绝缘膜16由于等离子体而受到的损伤少。当采用原子层沉积(ALD)法时,可以提高氮化物绝缘膜15及氧化物绝缘膜16的覆盖范围。

[0241] 这里,作为氮化物绝缘膜15,通过使用硅烷、氮以及氨作为源气体的等离子体CVD法形成300nm厚的氮化硅膜。

[0242] 在形成氧化硅膜、氧氮化硅膜或氮氧化硅膜来作为氧化物绝缘膜16的情况下,优选使用包含硅的沉积气体及氧化性气体来作为源气体。包含硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷和氟化硅烷。作为氧化性气体,可以举出氧、臭氧、一氧化二氮和二氧化氮作为例子。

[0243] 此外,在形成氧化镓膜来作为氧化物绝缘膜16的情况下,可以采用金属有机化学沉积(MOCVD)法。

[0244] 这里,作为氧化物绝缘膜16,通过使用硅烷及一氧化二氮作为源气体的等离子体CVD法形成50nm厚的氧氮化硅膜。

[0245] 氧化物半导体膜18通过溅射法、诸如金属有机化学沉积(MOCVD)法、原子层沉积(ALD)法或等离子体增强化学气相沉积(PECVD)法的化学气相沉积(CVD)法、脉冲激光沉积法、激光烧蚀法、涂敷法等来形成。当采用金属有机化学沉积(MOCVD)法、金属化学沉积法或原子层沉积(ALD)法时,氧化物半导体膜18由于等离子体而受到的损伤较少,并且氧化物绝缘膜16受到的损伤较少。当采用原子层沉积(ALD)法时,可以提高氧化物半导体膜18的覆盖范围。

[0246] 在通过溅射法形成氧化物半导体膜的情况下,作为用来生成等离子体的电源装置,可以适当地使用RF电源装置、AC电源装置、DC电源装置等。

[0247] 作为溅射气体,适当地使用稀有气体(典型的是氩)、氧气、稀有气体和氧的混合气体。在使用稀有气体和氧的混合气体的情况下,优选提高氧相对于稀有气体的比例。

[0248] 此外,可以根据要形成的氧化物半导体膜的组成而适当地选择靶材。

[0249] 为了获得高纯度本征或实质上高纯度本征的氧化物半导体膜,不仅需要将处理室抽气到高真空,而且还需要使溅射气体高度纯化。作为用作溅射气体的氧气或氩气,使用露点为-40℃或更低、优选为-80℃或更低、进一步优选为-100℃或更低、更进一步优选为-120℃或更低的高纯度气体,由此能够尽可能地防止水分等混入氧化物半导体膜中。

[0250] 此处,通过使用In-Ga-Zn氧化物靶材($In:Ga:Zn=1:1:1$)的溅射法形成35nm厚的In-Ga-Zn氧化物膜来作为氧化物半导体膜。

[0251] 然后,通过使用第二光掩模的光刻工艺在氧化物半导体膜18上形成掩模之后,使用该掩模来部分蚀刻氧化物半导体膜。据此,形成如图10D所示那样被实施了元件隔离的氧化物半导体膜19a及氧化物半导体膜19c。此后,去除掩模。

[0252] 此处,通过在氧化物半导体膜18上形成掩模,并通过湿蚀刻法选择性地蚀刻氧化物半导体膜18的一部分,从而形成氧化物半导体膜19a及19c。

[0253] 接着,如图11A所示,形成在以后成为导电膜21a及21b的导电膜20。

[0254] 可以适当地通过与形成导电膜12类似的方法来形成导电膜20。

[0255] 这里,通过溅射法依次层叠50nm厚的钨膜和300nm厚的铜膜。

[0256] 接着,通过使用第三光掩模的光刻工艺在导电膜20上形成掩模。然后,使用该掩模来蚀刻导电膜20,从而如图11B所示那样形成用作源电极和漏电极的导电膜21a及21b。此后去除掩模。

[0257] 这里,通过光刻工艺在铜膜上形成掩模。然后,使用该掩模来蚀刻钨膜及铜膜,从而形成导电膜21a及21b。通过湿蚀刻法蚀刻铜膜。接着,通过使用SF₆的干蚀刻法蚀刻钨膜,由此在铜膜的表面上形成氟化物。借助于该氟化物,使来自铜膜的铜元素的扩散减少,从而可以降低氧化物半导体膜19a中的铜浓度。

[0258] 接着,如图11C所示,在氧化物半导体膜19a及19c和导电膜21a及21b上形成以后成为氧化物绝缘膜23的氧化物绝缘膜22及以后成为氧化物绝缘膜25的氧化物绝缘膜24。可以适当地通过与形成氮化物绝缘膜15及氧化物绝缘膜16类似的方法分别形成氧化物绝缘膜22及氧化物绝缘膜24。

[0259] 另外,在形成氧化物绝缘膜22之后,优选在不暴露于大气的状态下连续形成氧化物绝缘膜24。在形成氧化物绝缘膜22之后,在不暴露于大气的状态下,调节源气体的流量、压力、高频电力和衬底温度中的至少一项来连续形成氧化物绝缘膜24,由此可以减少氧化物绝缘膜22与氧化物绝缘膜24之间的界面处的由大气成分引起的杂质浓度,并且氧化物绝缘膜24中的氧可以移动到氧化物半导体膜19a;由此可以减少氧化物半导体膜19a中的氧空位量。

[0260] 作为氧化物绝缘膜22,可以在如下条件下形成氧化硅膜或氧氮化硅膜:在高于或等于280℃且低于或等于400℃的温度下保持设置在等离子体CVD装置的被抽成真空的处理室内的衬底,将源气体导入处理室,处理室内的压力大于或等于20Pa且小于或等于250Pa,优选大于或等于100Pa且小于或等于250Pa,并且对设置在处理室内的电极供应高频电力。

[0261] 优选使用含有硅的沉积气体及氧化性气体来作为氧化物绝缘膜22的源气体。含有硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷和氟化硅烷。作为氧化性气体,可以举出氧、臭氧、一氧化二氮和二氧化氮作为例子。

[0262] 通过使用上述条件,可以形成使氧透过的氧化物绝缘膜来作为氧化物绝缘膜22。另外,通过设置氧化物绝缘膜22,在后续形成氧化物绝缘膜25的工序中,可以降低对氧化物半导体膜19a的损伤。

[0263] 可以在如下条件下形成氧化硅膜或氧氮化硅膜来作为氧化物绝缘膜22:在高于或等于280℃且低于或等于400℃的温度下保持设置在等离子体CVD装置的被抽成真空的处理室内的衬底,将源气体导入处理室,处理室内的压力大于或等于100Pa且小于或等于250Pa,并且对设置在处理室内的电极供应高频电力。

[0264] 在上述成膜条件下,在上述衬底温度的范围内硅与氧的键合力变强。由此,作为氧化物绝缘膜22,可以形成使氧透过、致密且硬的氧化物绝缘膜,典型的是,可以形成在25℃下使用0.5wt%氢氟酸进行蚀刻时的蚀刻速率低于或等于10nm/分钟、优选低于或等于8nm/分钟的氧化硅膜或氧氮化硅膜。

[0265] 在进行加热的同时形成氧化物绝缘膜22;所以,在该工序中包含在氧化物半导体膜19a中的氢、水等可以脱离。包含在氧化物半导体膜19a中的氢与在等离子体中产生的氧自由基键合,从而形成水。由于在氧化物绝缘膜22的形成工序中衬底被加热,所以由氧与氢的键合而形成的水从氧化物半导体膜脱离。就是说,当通过等离子体CVD法形成氧化物绝缘膜22时,可以减少包含在氧化物半导体膜19a中的氢和水的量。

[0266] 另外,由于在氧化物绝缘膜22的形成工序中进行加热,所以氧化物半导体膜19a被露出的状态下的加热时间可缩短。由此,可以减少因加热处理从氧化物半导体膜脱离的氧量。就是说,可以减少氧化物半导体膜中的氧空位量。

[0267] 另外,当氧化性气体量相对于包含硅的沉积气体量的比率为100或更大时,可以减少氧化物绝缘膜22中的含氢量。其结果是,可以减少混入氧化物半导体膜19a中的氢量;由此,可以抑制晶体管的阈值电压的负向偏移。

[0268] 此处,作为氧化物绝缘膜22,通过等离子体CVD法形成50nm厚的氧氮化硅膜,在该等离子体CVD法中,使用流量为30sccm的硅烷及流量为4000sccm的一氧化二氮作为源气体,处理室内的压力为200Pa,衬底温度为220℃,并且使用27.12MHz的高频电源将150W的高频电力供应到平行平板电极。在上述条件下,可以形成使氧透过的氧氮化硅膜。

[0269] 作为氧化物绝缘膜24,可以在如下条件下形成氧化硅膜或氧氮化硅膜:在高于或等于180℃且低于或等于280℃、优选高于或等于200℃且低于或等于240℃的温度下保持设置在等离子体CVD装置的被抽成真空的处理室内的衬底,将源气体导入处理室,处理室内的压力大于或等于100Pa且小于或等于250Pa,优选大于或等于100Pa且小于或等于200Pa,并且对设置在处理室内的电极供应高于或等于0.17W/cm²且低于或等于0.5W/cm²、优选高于或等于0.25W/cm²且低于或等于0.35W/cm²的高频电力。

[0270] 优选使用包含硅的沉积气体及氧化性气体来作为氧化物绝缘膜24的源气体。包含硅的沉积气体的典型例子包括硅烷、乙硅烷、丙硅烷和氟化硅烷。作为氧化性气体,可以举出氧、臭氧、一氧化二氮和二氧化氮作为例子。

[0271] 作为氧化物绝缘膜24的成膜条件,对具有上述压力的处理室中供应具有上述功率密度的高频电力,由此在等离子体中的源气体的降解效率得到提高,氧自由基增加,并且促进源气体的氧化;因此,氧化物绝缘膜24中的含氧量成为大于化学计量组成。另一方面,在上述温度范围内的衬底温度下形成的膜中,硅与氧之间的键合较低,因此,膜中的氧的一部分因后续工序的加热处理而脱离。由此,可以形成以多于化学计量组成的比率含有氧并且因加热而氧的一部分从中脱离的氧化物绝缘膜。另外,氧化物绝缘膜22设置在氧化物半导体膜19a上。所以,在氧化物绝缘膜24的形成工序中,氧化物绝缘膜22被用作氧化物半导体膜19a的保护膜。其结果是,在减少对氧化物半导体膜19a的损伤的同时可以使用功率密度高的高频电力形成氧化物绝缘膜24。

[0272] 此处,作为氧化物绝缘膜24,通过等离子体CVD法形成400nm厚的氧氮化硅膜,在该等离子体CVD法中,使用流量为200sccm的硅烷及流量为4000sccm的一氧化二氮作为源气

体,处理室内的压力为200Pa,衬底温度为220℃,使用27.12MHz的高频电源将1500W的高频电力供应到平行平板电极。此外,等离子体CVD装置是电极面积为6000cm²的平行平板型等离子体CVD装置,所供应的电功率被转换成的每单位面积的电功率(电功率密度)为0.25W/cm²。

[0273] 另外,当形成用作源电极和漏电极的导电膜21a及21b时,氧化物半导体膜19a由于导电膜的蚀刻受到损伤,从而在氧化物半导体膜19a的背沟道一侧(氧化物半导体膜19a的和与用作栅电极的导电膜13相对的一侧相反的一侧)产生氧空位。但是,通过使用以多于化学计量组成的比率含有氧的氧化物绝缘膜作为氧化物绝缘膜24,通过加热处理可以修复在该背沟道一侧产生的氧空位。据此,可以减少包含在氧化物半导体膜19a中的缺陷,因此,可以提高晶体管102的可靠性。

[0274] 接着,通过使用第四光掩模的光刻工艺在氧化物绝缘膜24上形成掩模。接着,如图11D所示,使用该掩模来蚀刻氧化物绝缘膜22的一部分及氧化物绝缘膜24的一部分,以形成具有开口40的氧化物绝缘膜25和氧化物绝缘膜23。此后,去除掩模。

[0275] 在上述工序中,优选通过干蚀刻法来蚀刻氧化物绝缘膜22及24。其结果是,在蚀刻处理中氧化物半导体膜19c被暴露于等离子体;从而可以增加氧化物半导体膜19c中的氧空位量。

[0276] 接着,进行加热处理。该加热处理典型地在高于或等于150℃且低于或等于400℃、优选高于或等于300℃且低于或等于400℃、更优选高于或等于320℃且低于或等于370℃的温度下进行。

[0277] 电炉或RTA装置等可以用于上述加热处理。通过使用RTA装置,若加热时间短则可在高于或等于衬底的应变点的温度下进行加热处理。由此,可以缩短加热处理时间。

[0278] 加热处理可以在氮、氧、超干燥空气(含水量为20ppm或更少、优选为1ppm或更少、更优选为10ppb或更少的空气)或稀有气体(氩、氦等)的气氛下进行。上述氮、氧、超干燥空气或稀有气体的气氛优选不含有氢、水等。

[0279] 通过该加热处理,包含在氧化物绝缘膜25中的氧的一部分可以移动到氧化物半导体膜19a中,从而可以减少包含在氧化物半导体膜19a中的氧空位量。

[0280] 在水、氢等被包含在氧化物绝缘膜23及氧化物绝缘膜25中并且氮化物绝缘膜26对水及氢等具有阻挡性的情况下,当以后形成氮化物绝缘膜26并进行加热处理时,包含在氧化物绝缘膜23及氧化物绝缘膜25中的水、氢等移动到氧化物半导体膜19a,从而在氧化物半导体膜19a中产生缺陷。然而,通过上述加热,包含在氧化物绝缘膜23及氧化物绝缘膜25中的水、氢等可以脱离;由此,可以减少晶体管102的电特性的不均匀,并且可以抑制阈值电压的变动。

[0281] 注意,当边进行加热边在氧化物绝缘膜22上形成氧化物绝缘膜24时,氧可以移动到氧化物半导体膜19a来减少氧化物半导体膜19a中的氧空位量;由此,不一定需要进行上述加热处理。

[0282] 上述加热处理也可以在形成氧化物绝缘膜22及24之后进行。但是,上述加热处理优选在形成氧化物绝缘膜23及25之后进行,因为可以以如下方式形成具有更高的导电率的膜:氧不移动到氧化物半导体膜19c,并且,由于氧化物半导体膜19c露出,氧从氧化物半导体膜19c脱离,从而产生氧空位。

[0283] 此处,在氮及氧的混合气氛下以350°C进行1小时的加热处理。

[0284] 然后,如图12A所示,形成氮化物绝缘膜26。

[0285] 可以适当地通过与形成氮化物绝缘膜15及氧化物绝缘膜16类似的方法形成氮化物绝缘膜26。通过使用溅射法、CVD法等形成氮化物绝缘膜26,氧化物半导体膜19c被暴露于等离子体;由此,可以增加氧化物半导体膜19c中的氧空位量。

[0286] 氧化物半导体膜19c具有提高的导电率且被用作像素电极19b。当通过等离子体CVD法形成氮化硅膜来作为氮化物绝缘膜26时,包含在氮化硅膜中的氢扩散到氧化物半导体膜19c;由此,可以增强像素电极19b的导电率。

[0287] 在通过等离子体CVD法形成氮化硅膜来作为氮化物绝缘膜26的情况下,优选在高于或等于300°C且低于或等于400°C、进一步优选在高于或等于320°C且低于或等于370°C的温度下保持设置在等离子体CVD装置的被抽成真空的处理室中的衬底,从而,可以形成致密的氮化硅膜。

[0288] 在形成氮化硅膜的情况下,优选使用包含硅的沉积气体、氮及氨作为源气体。作为源气体,使用比氮少量的氨,由此在等离子体中氨离解而产生活性种。该活性种切断包含硅的沉积气体中含有的氢与硅之间的键合以及氮分子之间的三键。其结果是,可以形成缺陷少且致密的氮化硅膜,其中,硅与氮的键合得到促进,硅与氢的键合较少。另一方面,当在源气体中的氨量多于氮量时,包含硅的沉积气体的离解及氮的离解不进展,导致形成不致密的氮化硅膜,在该氮化硅膜中,硅与氢之间的键合残留,缺陷增多。由此,在源气体中,氨与氮的流量比优选设定为大于或等于5且小于或等于50,更优选大于或等于10且小于或等于50。

[0289] 此处,在等离子体CVD装置的处理室内,通过等离子体CVD法形成50nm厚的氮化硅膜来作为氮化物绝缘膜26,在该等离子体CVD法中,使用流量为50sccm的硅烷、流量为5000sccm的氮以及流量为100sccm的氨作为源气体,处理室的压力为100Pa,衬底温度为350°C,用27.12MHz的高频电源对平行平板电极供应1000W的高频电力。等离子体CVD装置是平行平板型等离子体CVD装置,其中,电极面积为6000cm²,所供应的电功率被转换成的每单位面积的电功率(电功率密度)为 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0290] 接着,可以进行加热处理。典型地,该加热处理在高于或等于150°C且低于或等于400°C、优选高于或等于300°C且低于或等于400°C、更优选高于或等于320°C且低于或等于370°C的温度下进行。其结果是,可以降低阈值电压的负向偏移。另外,可以降低阈值电压的变动量。

[0291] 接着,虽然未图示,但通过使用第五光掩模的光刻工艺形成掩模。然后,使用该掩模来蚀刻氮化物绝缘膜15、氧化物绝缘膜16、氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜26各自的一部分,从而形成氮化物绝缘膜27以及使与导电膜13同时形成的连接端子的一部分露出的开口。或者,蚀刻氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜26各自的一部分来形成氮化物绝缘膜27以及使与导电膜21a及21b同时形成的连接端子的一部分露出的开口。

[0292] 接着,如图12B所示,在氮化物绝缘膜27上形成以后成为公共电极29的导电膜28。

[0293] 导电膜28通过溅射法、CVD法、蒸镀法等而形成。

[0294] 然后,通过使用第六光掩模的光刻工艺在导电膜28上形成掩模。接着,如图12C所

示,使用该掩模来蚀刻导电膜28的一部分,形成公共电极29。虽然未图示,但公共电极29连接于与导电膜13同时形成的连接端子或者与导电膜21a及21b同时形成的连接端子。此后,去除掩模。

[0295] 通过上述工序,可以制造晶体管102及电容器105。

[0296] 本实施方式的显示装置的元件衬底设置有顶面形状为锯齿形状的公共电极,该公共电极包括在与用作信号线的导电膜交叉的方向上延伸的条形区域。因此,上述显示装置可以具有优良的对比度。另外,在刷新频率低的液晶显示装置中可以减少闪烁。

[0297] 在本实施方式的显示装置的元件衬底中,在形成晶体管的氧化物半导体膜的同时形成像素电极;由此,可以使用六个光掩模制造晶体管102及电容器105。像素电极被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此,不需要形成另外的导电膜的工序以形成电容器,可以减少显示装置的制造工序数量。电容器具有透光性。其结果是,可以增大电容器的占有面积,并且可以提高像素中的开口率。此外,可以减小显示装置的耗电量。

[0298] 注意,本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0299] <变形例子1>

[0300] 参照图13A及13B说明将与公共电极连接的公共线设置在实施方式1所示的显示装置中的结构。

[0301] 图13A是包括在显示装置中的像素103a、103b和103c的俯视图,图13B是沿着图13A中的点划线A-B及C-D的截面图。

[0302] 如图13A所示,公共电极29的顶面具有锯齿形状,用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向交叉。

[0303] 为了容易理解公共电极29的结构,在图13A中用阴影线来说明公共电极29的形状。公共电极29包括以左斜下的阴影表示的区域以及以右斜下的阴影表示的区域。以左斜下的阴影表示的区域是具有锯齿形状的条形区域(第一区域),并且用作信号线的导电膜21a的延伸方向与公共电极29的延伸方向交叉。以右斜下的阴影表示的区域是与条形区域(第一区域)连接的连接区域(第二区域)且在与用作信号线的导电膜21a平行或大致平行的方向上延伸。

[0304] 公共线21c与公共电极29的连接区域(第二区域)重叠。

[0305] 公共线21c可以设置在每一个像素中。或者,公共线21c可以设置在每多个像素中。例如,如图13A所示,对三个像素设置一个公共线21c,以使得可以减少在显示装置的平面中的公共线所占的面积。或者,可以对四个或更多个像素设置一个公共线。其结果是,能够提高像素的面积及像素的开口率。

[0306] 在像素电极19b与公共电极29彼此重叠的区域中,液晶分子不容易被在像素电极19b与公共电极29的连接区域(第二区域)之间产生的电场驱动。因此,在公共电极29的连接区域(第二区域)中与像素电极19b重叠的区域的面积减少,由此能够增加液晶分子被驱动的区域,从而可以提高开口率。例如,如图13A所示,公共电极29的连接区域(第二区域)被设置为不与像素电极19b重叠,由此能够减少像素电极19b与公共电极29彼此重叠的区域的面积,从而能够提高像素的开口率。

[0307] 如图13B所示,公共线21c可以与用作信号线的导电膜21a同时形成。公共电极29在形成在氧化物绝缘膜23、氧化物绝缘膜25及氮化物绝缘膜27中的开口42中与公共线21c连接。

[0308] 由于导电膜21a的材料具有比公共电极29的材料低的电阻率,所以能够降低公共电极29及公共线21c的电阻。

[0309] 注意,本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0310] 实施方式3

[0311] 在本实施方式中,参照附图说明与实施方式2的显示装置不同的显示装置及其制造方法。本实施方式与实施方式2的不同之处在于包括在高清晰显示装置中的晶体管包括能够减少漏光的源电极及漏电极。注意,与实施方式2类似的结构此处不再说明。

[0312] 图14是本实施方式的显示装置的俯视图。该显示装置的特征之一是用作源电极和漏电极中的一个的导电膜21b在俯视图中具有L字形。换言之,导电膜21b具有在俯视图中在与用作扫描线的导电膜13垂直的方向上延伸的区域21b_1与在与该导电膜13平行或大致平行的方向上延伸的区域21b_2彼此连接的形状。该区域21b_2在俯视图中与导电膜13、像素电极19b及公共电极29中的至少一个重叠。或者,导电膜21b包括在与该导电膜13平行或大致平行的方向上延伸的区域21b_2,该区域21b_2在俯视图中位于导电膜13与像素电极19b或公共电极29之间。

[0313] 由于在高清晰显示装置中的像素的面积得到减小,所以公共电极29与用作扫描线的导电膜13之间的距离减小。在进行黑色显示的像素中,当使晶体管导通的电压被施加到用作扫描线的导电膜13时,在用于黑色显示的像素电极19b与用作扫描线的导电膜13之间产生电场。其结果是,液晶分子向未预期的方向转动,这导致漏光。

[0314] 然而,在本实施方式的显示装置所包括的晶体管中,用作源电极和漏电极中的一个的导电膜21b包括与导电膜13、像素电极19b和公共电极29中的至少一个重叠的区域21b_2或者在俯视图中位于导电膜13与像素电极19b或公共电极29之间的区域21b_2。其结果是,区域21b_2遮挡用作扫描线的导电膜13的电场,并且能够抑制在该导电膜13与像素电极19b之间产生的电场,从而可以减少漏光。

[0315] 另外,导电膜21b也可以与公共电极29彼此重叠。该重叠区域可以被用作电容器。因此,通过这样的结构,可以增加电容器的容量。图24示出该情况的例子。

[0316] 本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0317] 实施方式4

[0318] 在本实施方式中,参照附图说明与实施方式2及3的显示装置不同的显示装置及其制造方法。本实施方式与实施方式2的不同之处在于高清晰显示装置包括能够减少漏光的公共电极。注意,与实施方式2类似的结构此处不再说明。

[0319] 图15是本实施方式的显示装置的俯视图。公共电极29a包括在与用作信号线的导电膜21a交叉的方向上延伸的条形区域29a_1以及与该条形区域连接且与用作扫描线的导电膜13重叠的区域29a_2。

[0320] 由于在高清晰显示装置中的像素的面积得到减小,所以像素电极19b与用作扫描

线的导电膜13之间的距离减小。当将电压施加到用作扫描线的导电膜13时,在该导电膜13与像素电极19b之间产生电场。其结果是,液晶分子向未预期的方向转动,这导致漏光。

[0321] 然而,本实施方式的显示装置包括具有与用作扫描线的导电膜13交叉的区域29a_2的公共电极29a。因此,能够抑制在公共电极29a与用作扫描线的导电膜13之间产生的电场,从而可以减少漏光。

[0322] 另外,导电膜21b也可以与公共电极29彼此重叠。该重叠区域可以被用作电容器。因此,通过这样的结构,可以增加电容器的容量。图25示出该情况的例子。

[0323] 本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0324] 实施方式5

[0325] 在本实施方式中,参照附图说明与实施方式2的显示装置不同的显示装置及其制造方法。本实施方式与实施方式2的不同之处在于晶体管具有将氧化物半导体膜设置在不同的栅电极之间的结构、即双栅结构。注意,与实施方式2类似的结构此处不再说明。

[0326] 对包括在显示装置中的元件衬底的具体结构进行说明。如图26所示,本实施方式的元件衬底与实施方式2的不同之处在于设置有用作栅电极的导电膜29b,该导电膜29b与用作栅电极的导电膜13、氧化物半导体膜19a、导电膜21a和21b以及氧化物绝缘膜25各自的一部分或全部重叠。用作栅电极的导电膜29b在开口41a及41b中与用作栅电极的导电膜13连接。

[0327] 图26所示的晶体管102a是沟道蚀刻型晶体管。注意,沿着线A-B的截面图示出沟道长度方向上的晶体管102a以及电容器105a,沿着线C-D的截面图示出沟道宽度方向上的晶体管102a以及用作栅电极的导电膜13与用作栅电极的导电膜29b之间的连接部。

[0328] 图26的晶体管102a具有双栅结构,且包括衬底11上的用作栅电极的导电膜13。此外,晶体管102a包括形成在衬底11及用作栅电极的导电膜13上的氮化物绝缘膜15;形成在氮化物绝缘膜15上的氧化物绝缘膜17;隔着氮化物绝缘膜15及氧化物绝缘膜17与用作栅电极的导电膜13重叠的氧化物半导体膜19a;以及与氧化物半导体膜19a接触的用作源电极和漏电极的导电膜21a及21b。另外,氧化物绝缘膜23形成在氧化物绝缘膜17、氧化物半导体膜19a和用作源电极和漏电极的导电膜21a及21b上,氧化物绝缘膜25形成在氧化物绝缘膜23上。氮化物绝缘膜27形成在氮化物绝缘膜15、氧化物绝缘膜23、氧化物绝缘膜25及导电膜21b上。像素电极19b形成在氧化物绝缘膜17上。像素电极19b连接于用作源电极和漏电极的导电膜21a及21b中的一个,此处,连接于导电膜21b。公共电极29及用作栅电极的导电膜29b形成在氮化物绝缘膜27上。

[0329] 如沿着线C-D的截面图所示,用作栅电极的导电膜29b在设置在氮化物绝缘膜15及氮化物绝缘膜27中的开口41a中与用作栅电极的导电膜13连接。也就是说,用作栅电极的导电膜13和用作栅电极的导电膜29b具有相等的电位。

[0330] 由此,通过对晶体管102a的各栅电极施加同一电位的电压,可以降低初始特性的不均匀,并且可以抑制-GBT应力测试之后的晶体管102a的劣化以及不同的漏极电压之间的通态电流(on-state current)的上升电压的变动。另外,在氧化物半导体膜19a中载流子流动的区域在膜厚度方向上逐渐增大,以使得载流子的迁移量增多。其结果是,晶体管102a的通态电流增高。典型的是,场效应迁移率高于或等于 $20\text{cm}^2/\text{V}\cdot\text{s}$ 。

[0331] 在本实施方式的晶体管102a上,形成有被实施了元件隔离的氧化物绝缘膜23及25。该彼此分离的氧化物绝缘膜23及25与氧化物半导体膜19a重叠。在沟道宽度方向上的截面图中,氧化物绝缘膜23及25的端部位于氧化物半导体膜19a的外侧。并且,在图26的沟道宽度方向上,用作栅电极的导电膜29b隔着氧化物绝缘膜23及25与氧化物半导体膜19a的侧面相对。

[0332] 氧化物半导体膜的通过蚀刻等而被加工的端部由于该加工受到损伤而产生缺陷,并且由于杂质附着等而被污染。由此,氧化物半导体膜的端部通过电场等压力的施加容易被活化,从而容易成为n型(具有低电阻)。因此,与用作栅电极的导电膜13重叠的氧化物半导体膜19a的端部容易成为n型。当该成为n型的端部被设置在用作源电极及漏电极的导电膜21a与21b之间时,成为n型的区域被用作载流子路径,引起寄生沟道。但是,如沿着线C-D的截面图所示,当用作栅电极的导电膜29b在沟道宽度方向上隔着氧化物绝缘膜23及25与氧化物半导体膜19a的侧面相对时,借助于用作栅电极的导电膜29b的电场,可以抑制在氧化物半导体膜19a的侧面或包含该侧面及该侧面附近的区域中产生寄生沟道。其结果是,可以获得具有例如在阈值电压下的漏极电流上升急剧等优良电特性的晶体管。

[0333] 在电容器105a中,像素电极19b与氧化物半导体膜19a同时形成,且由于包含杂质而具有提高的导电率。或者,像素电极19b与氧化物半导体膜19a同时形成,且由于包含因等离子体损伤等产生的氧空位而具有提高的导电率。或者,像素电极19b与氧化物半导体膜19a同时形成,且由于包含因等离子体损伤等产生的氧空位和杂质而具有提高的导电率。

[0334] 在本实施方式所述的显示装置的元件衬底上,与晶体管的氧化物半导体膜同时形成像素电极。像素电极还被用作电容器的一个电极。公共电极还被用作电容器的另一个电极。由此,不需要形成另外的导电膜的工序以形成电容器,并且可以减少半导体装置的制造工序数。该电容器具有透光性。其结果是,可以增大电容器所占的面积,并且可以提高像素的开口率。

[0335] 下面说明晶体管102a的详细结构。注意,具有与实施方式2相同符号的组件此处不再说明。

[0336] 用作栅电极的导电膜29b可以使用与实施方式2的公共电极29类似的材料而形成。

[0337] 接着,参照图10A至10D、图11A至11D、图12A以及图27A至27C说明图26的晶体管102a及电容器105a的制造方法。

[0338] 与实施方式2同样地,通过图10A至12A所示的工序,在衬底11上形成用作栅电极的导电膜13、氮化物绝缘膜15、氧化物绝缘膜16、氧化物半导体膜19a、像素电极19b、用作源电极及漏电极的导电膜21a及21b、氧化物绝缘膜22、氧化物绝缘膜24以及氮化物绝缘膜26。在这些工序中,进行使用第一光掩模至第四光掩模的光刻工艺。

[0339] 接着,在氮化物绝缘膜26上通过使用第五光掩模的光刻工艺形成掩模,然后使用该掩模来蚀刻氮化物绝缘膜26的一部分;从而如图27A所示,形成具有开口41a及41b的氮化物绝缘膜27。

[0340] 接着,如图27B所示,在用作栅电极的导电膜13、导电膜21b及氮化物绝缘膜27上形成将成为公共电极29及用作栅电极的导电膜29b的导电膜28。

[0341] 接着,在导电膜28上通过使用第六光掩模的光刻工艺形成掩模。接着,如图27C所示,用该掩模来蚀刻导电膜28的一部分以形成公共电极29及用作栅电极的导电膜29b。然

后,去除掩模。

[0342] 通过上述工序,可以制造晶体管102a,并且还可以制造电容器105a。

[0343] 在本实施方式的晶体管中,当用作栅电极的公共电极29在沟道宽度方向上隔着氧化物绝缘膜23及25与氧化物半导体膜19a的侧面相对时,借助于用作栅电极的导电膜29b的电场,可以抑制在氧化物半导体膜19a的侧面或包含该侧面及该侧面附近的区域中产生寄生沟道。其结果是,可以获得具有例如在阈值电压下的漏极电流上升急剧等优良电特性的晶体管。

[0344] 本实施方式所述的显示装置的元件衬底设置有包括在与信号线交叉的方向上的延伸的条形区域的公共电极。因此,该显示装置可以具有优良的对比度。

[0345] 在本实施方式所述的显示装置的元件衬底上,与晶体管的氧化物半导体膜同时形成像素电极。像素电极还被用作电容器的一个电极。公共电极被用作电容器的另一个电极。由此,不需要形成另外的导电膜的工序以形成电容器,并且可以减少半导体装置的制造工序数。电容器具有透光性。其结果是,可以增大电容器的占有面积,并且可以提高像素的开口率。

[0346] 本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0347] 实施方式6

[0348] 在本实施方式中,参照附图说明包括与上述实施方式相比能够进一步减少氧化物半导体膜中的缺陷量的晶体管的显示装置。本实施方式所说明的晶体管与实施方式2至5中的任意晶体管的不同之处在于设置有包括多个氧化物半导体膜的多层膜。此处,使用实施方式2的晶体管说明其详细内容。

[0349] 图16A及16B分别示出包括在显示装置中的元件衬底的截面图。图16A及16B是沿着图6中的点划线A-B及C-D的截面图。

[0350] 图16A的晶体管102b包括隔着氮化物绝缘膜15及氧化物绝缘膜17与用作栅电极的导电膜13重叠的多层膜37a以及与多层膜37a接触的用作源电极和漏电极的导电膜21a及21b。氧化物绝缘膜23、氧化物绝缘膜25以及氮化物绝缘膜27形成在氮化物绝缘膜15及氧化物绝缘膜17、多层膜37a以及用作源电极和漏电极的导电膜21a及21b上。

[0351] 图16A的电容器105b包括形成在氧化物绝缘膜17上的多层膜37b、与多层膜37b接触的氮化物绝缘膜27以及与氮化物绝缘膜27接触的公共电极29。多层膜37b被用作像素电极。

[0352] 在本实施方式所述的晶体管102b中,多层膜37a包括氧化物半导体膜19a及氧化物半导体膜39a。也就是说,多层膜37a具有两层结构。另外,氧化物半导体膜19a的一部分被用作沟道区域。此外,氧化物绝缘膜23被形成为与多层膜37a接触,氧化物绝缘膜25被形成为与氧化物绝缘膜23接触。也就是说,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。

[0353] 氧化物半导体膜39a是包括构成氧化物半导体膜19a的元素中的一种或更多种的氧化物膜。因此,在氧化物半导体膜19a与39a之间的界面处不容易产生界面散射。由此,因为在该界面处载流子的移动不被阻碍,所以晶体管可以具有高场效应迁移率。

[0354] 氧化物半导体膜39a典型地是In-Ga氧化物膜、In-Zn氧化物膜、In-M-Zn氧化物膜

(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)。与氧化物半导体膜19a相比,氧化物半导体膜39a的导带底端的能量较接近于真空能级,典型的是,氧化物半导体膜39a的导带底端的能量和氧化物半导体膜19a的导带底端的能量之间的差异为0.05eV或更大、0.07eV或更大、0.1eV或更大、或者0.15eV或更大中的任一者,并且为2eV或更小、1eV或更小、0.5eV或更小、或者0.4eV或更小中的任一者。也就是说,氧化物半导体膜39a的电子亲和力与氧化物半导体膜19a的电子亲和力之差为0.05eV或更大、0.07eV或更大、0.1eV或更大、或者0.15eV或更大中的任一者,并且为2eV或更小、1eV或更小、0.5eV或更小、或者0.4eV或更小中的任一者。

[0355] 氧化物半导体膜39a优选包含In,因为可以提高载流子迁移率(电子迁移率)。

[0356] 当氧化物半导体膜39a包含比In的原子比更大的原子比的Al、Ga、Y、Zr、Sn、La、Ce或Nd时,可以获得如下效果:(1)氧化物半导体膜39a的能隙扩大;(2)氧化物半导体膜39a的电子亲和力减小;(3)来自外部的杂质的扩散减少;(4)与氧化物半导体膜19a相比绝缘性增高;(5)由于Al、Ga、Y、Zr、Sn、La、Ce或Nd是与氧的键合力强的金属元素,所以不容易产生氧空位。

[0357] 在氧化物半导体膜39a为In-M-Zn氧化物膜的情况下,当In和M的总和假设为100atomic%时In及M的比率优选为如下:In的原子百分比低于50atomic%且M的原子百分比高于50atomic%;更优选的是,In的原子百分比低于25atomic%且M的原子百分比高于75atomic%。

[0358] 另外,在氧化物半导体膜19a及39a分别为In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,氧化物半导体膜39a中的M原子(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的比率高于氧化物半导体膜19a中的M原子的比率。作为典型的例子,氧化物半导体膜39a中的M的比率为氧化物半导体膜19a中的M的比率的1.5倍或更高,优选为2倍或更高,更优选为3倍或更高。

[0359] 另外,在氧化物半导体膜19a及氧化物半导体膜39a分别为In-M-Zn氧化物膜(M表示Al、Ga、Y、Zr、Sn、La、Ce或Nd)的情况下,当氧化物半导体膜39a中满足 $In:M:Zn = x_1:y_1:z_1$ [原子比],且氧化物半导体膜19a中满足 $In:M:Zn = x_2:y_2:z_2$ [原子比]时, y_1/x_1 高于 y_2/x_2 。优选的是, y_1/x_1 为 y_2/x_2 的1.5倍或更高。更优选的是, y_1/x_1 为 y_2/x_2 的2倍或更高。进一步优选的是, y_1/x_1 为 y_2/x_2 的3倍或更高。

[0360] 在氧化物半导体膜19a是In-M-Zn氧化物膜(M是Al、Ga、Y、Zr、Sn、La、Ce或Nd)并且金属元素的原子比为 $In:M:Zn = x_1:y_1:z_1$ 的靶材被用来形成氧化物半导体膜19a的情况下, x_1/y_1 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6, z_1/y_1 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6。注意,当 z_1/y_1 大于或等于1且小于或等于6时,容易形成作为氧化物半导体膜19a的后面说明的CAAC-OS膜。靶材的金属元素的原子比的典型例子是 $In:M:Zn = 1:1:1$ 、 $In:M:Zn = 1:1:1.2$ 、 $In:M:Zn = 3:1:2$ 。

[0361] 在氧化物半导体膜39a是In-M-Zn氧化物膜(M是Al、Ga、Y、Zr、Sn、La、Ce或Nd)并且金属元素的原子比为 $In:M:Zn = x_2:y_2:z_2$ 的靶材被用来形成氧化物半导体膜39a的情况下, x_2/y_2 优选小于 x_1/y_1 , z_2/y_2 优选大于或等于1/3且小于或等于6,更优选大于或等于1且小于或等于6。注意,当 z_2/y_2 大于或等于1且小于或等于6时,容易形成作为氧化物半导体膜39a的后面说明的CAAC-OS膜。靶材的金属元素的原子比的典型例子是 $In:M:Zn = 1:3:2$ 、 $In:M:Zn = 1:3:4$ 、 $In:M:Zn = 1:3:6$ 、 $In:M:Zn = 1:3:8$ 、 $In:M:Zn = 1:4:4$ 、 $In:M:Zn = 1:4:5$ 、 $In:M:Zn =$

1:6:8。

[0362] 另外,氧化物半导体膜19a及氧化物半导体膜39a各自的金属元素中的各金属元素的原子比的比率在上述原子比的±40%的范围内变动,作为误差范围。

[0363] 在以后形成氧化物绝缘膜25时氧化物半导体膜39a还被用作缓和对氧化物半导体膜19a的损伤的膜。

[0364] 氧化物半导体膜39a的厚度大于或等于3nm且小于或等于100nm,优选大于或等于3nm且小于或等于50nm。

[0365] 氧化物半导体膜39a例如与氧化物半导体膜19a同样地可以具有非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(CAAC-OS:c-axis aligned crystalline oxide semiconductor)、多晶结构、微晶结构或非晶结构。

[0366] 氧化物半导体膜39a例如也可以具有非晶结构。具有非晶结构的氧化物半导体膜例如分别具有无秩序的原子排列且不具有结晶成分。或者,具有非晶结构的氧化物膜例如具有完全非晶结构,而不具有结晶部。

[0367] 此外,氧化物半导体膜19a及39a也可以分别是包含如下区域中的两种或更多种的混合膜:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域。混合膜有时具有单层结构,该单层结构例如包括具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域中的两种或更多种。另外,混合膜有时具有叠层结构,其中例如层叠有如下区域中的两种或更多种:具有非晶结构的区域、具有微晶结构的区域、具有多晶结构的区域、CAAC-OS区域和具有单晶结构的区域。

[0368] 此处,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,如果载流子陷阱因杂质及缺陷而形成在氧化物半导体膜39a与氧化物绝缘膜23之间,在氧化物半导体膜19a中流过的电子则不容易被载流子陷阱俘获,因为在该载流子陷阱与氧化物半导体膜19a之间有间隔。据此,能够增大晶体管的通态电流量,而且能够提高场效应迁移率。当电子被载流子陷阱俘获时,该电子成为固定负电荷。其结果是,晶体管的阈值电压变动。然而,由于氧化物半导体膜19a与载流子陷阱之间的间隔,能够抑制电子被载流子陷阱俘获,从而能够减小阈值电压的变动。

[0369] 由于氧化物半导体膜39a能够遮蔽来自外部的杂质,所以可以减少从外部移动到氧化物半导体膜19a的杂质质量。另外,氧空位不容易形成在氧化物半导体膜39a中。其结果是,能够减少氧化物半导体膜19a中的杂质浓度及氧空位量。

[0370] 此外,氧化物半导体膜19a及39a不仅通过简单地层叠各膜而形成,而且被形成为具有连续接合(此处,特指在各膜之间导带底端的能量连续变化的结构)。换言之,设置有在各膜之间的界面不存在杂质的叠层结构,该杂质形成俘获中心或再结合中心等缺陷能级。如果在层叠的氧化物半导体膜19a与氧化物半导体膜39a之间存在杂质,则能带的连续性被破坏,载流子在界面处被俘获或被再结合而消失。

[0371] 为了形成上述连续能带,需要使用包括负载制动室的多室沉积装置(溅射装置)以不暴露于大气中的方式连续形成各膜。优选使用低温泵等吸附式真空抽气泵将溅射装置的各室抽气到高真空(到 5×10^{-7} Pa至 1×10^{-4} Pa左右)以尽可能多地去除对氧化物半导体膜来说是杂质的水等。或者,优选组合涡轮分子泵和冷阱来防止气体以防止气体的倒流,尤其是

防止包含碳或氢的气体从排气系统倒流到处理室内。

[0372] 如图16B的晶体管102c那样,可以设置有多层膜38a代替多层膜37a。

[0373] 另外,如图16B的电容器105c那样,可以设置有多层膜38b代替多层膜37b。

[0374] 多层膜38a包括氧化物半导体膜49a、氧化物半导体膜19a及氧化物半导体膜39a。也就是说,多层膜38a具有三层结构。此外,氧化物半导体膜19a被用作沟道区域。

[0375] 氧化物半导体膜49a可以使用与氧化物半导体膜39a类似的材料及形成方法而形成。

[0376] 多层膜38b包括氧化物半导体膜49b、氧化物半导体膜19f及氧化物半导体膜39b。换言之,多层膜38b具有三层结构。多层膜38b被用作像素电极。

[0377] 氧化物半导体膜19f可以适当地使用与像素电极19b类似的材料及形成方法而形成。氧化物半导体膜49b可以适当地使用与氧化物半导体膜39b类似的材料及形成方法而形成。

[0378] 此外,氧化物绝缘膜17与氧化物半导体膜49a相接触。也就是说,氧化物半导体膜49a设置在氧化物绝缘膜17与氧化物半导体膜19a之间。

[0379] 多层膜38a与氧化物绝缘膜23相接触。另外,氧化物半导体膜39a与氧化物绝缘膜23相接触。也就是说,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。

[0380] 优选的是,氧化物半导体膜49a的厚度小于氧化物半导体膜19a的厚度。当氧化物半导体膜49a的厚度大于或等于1nm且小于或等于5nm、优选大于或等于1nm且小于或等于3nm时,可以减少晶体管的阈值电压的变动量。

[0381] 在本实施方式所述的晶体管中,氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,如果载流子陷阱因杂质及缺陷而形成在氧化物半导体膜39a与氧化物绝缘膜23之间,在氧化物半导体膜19a中流过的电子则不容易被载流子陷阱俘获,因为在该载流子陷阱与氧化物半导体膜19a之间有间隔。据此,能够增大晶体管的通态电流量,而且能够提高场效应迁移率。当电子被载流子陷阱俘获时,该电子成为固定负电荷。其结果是,晶体管的阈值电压变动。然而,由于氧化物半导体膜19a与载流子陷阱之间的间隔,能够抑制电子被载流子陷阱俘获,从而能够减小阈值电压的变动。

[0382] 由于氧化物半导体膜39a能够遮蔽来自外部的杂质,所以可以减少从外部移动到氧化物半导体膜19a的杂质量。此外,氧空位不容易形成在氧化物半导体膜39a中。其结果是,能够减少氧化物半导体膜19a中的杂质浓度及氧空位量。

[0383] 另外,氧化物半导体膜49a设置在氧化物绝缘膜17与氧化物半导体膜19a之间,并且氧化物半导体膜39a设置在氧化物半导体膜19a与氧化物绝缘膜23之间。因此,能够降低氧化物半导体膜49a与氧化物半导体膜19a之间的界面附近的硅或碳的浓度、氧化物半导体膜19a中的硅或碳的浓度、或者氧化物半导体膜39a与氧化物半导体膜19a之间的界面附近的硅或碳的浓度。其结果是,在多层膜38a中,用恒定光电流法导出的吸收系数低于 $1 \times 10^{-3}/\text{cm}$,优选低于 $1 \times 10^{-4}/\text{cm}$,从而定域能级密度极低。

[0384] 具有这种结构的晶体管102c在包括氧化物半导体膜19a的多层膜38a中的缺陷极少;因此,能够提高晶体管的电特性,典型的是,能够增大通态电流且提高场效应迁移率。另外,在应力测试的一个例子的BT应力测试及BT光应力测试中,阈值电压的变动量少,由此可

可靠性高。

[0385] 本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0386] 实施方式7

[0387] 在本实施方式中,说明能够用于包括在上述实施方式所说明的显示装置中的晶体管的氧化物半导体膜的一个实施方式。

[0388] 氧化物半导体膜可以包括如下氧化物半导体中的一种或多种:具有单晶结构的氧化物半导体(以下称为单晶氧化物半导体);具有多晶结构的氧化物半导体(以下称为多晶氧化物半导体);具有微晶结构的氧化物半导体(以下称为微晶氧化物半导体);以及具有非晶结构的氧化物半导体(以下称为非晶氧化物半导体)。此外,氧化物半导体膜也可以包括CAAC-OS膜。此外,氧化物半导体膜也可以包括非晶氧化物半导体以及具有晶粒的氧化物半导体。下面以CAAC-OS及微晶氧化物半导体作为其典型例子来说明。

[0389] <CAAC-OS>

[0390] CAAC-OS膜是具有多个结晶部的氧化物半导体膜之一。包括在CAAC-OS膜中的结晶部分别具有c轴取向性。在平面TEM图像中,包括在CAAC-OS膜中的结晶部的面积大于或等于2500nm²,优选大于或等于5μm²,更优选大于或等于1000μm²。此外,在截面TEM图像中,当该结晶部在CAAC-OS膜中的比率大于或等于50%、优选大于或等于80%、更优选大于或等于95%时,该CAAC-OS膜是具有类似于单晶的物理性质的薄膜。

[0391] 在CAAC-OS膜的透射电子显微镜(TEM:transmission electron microscope)观察图像中,难以观察到结晶部之间的明确边界、即晶界(grain boundary)。因此,在CAAC-OS膜中,不容易发生由于晶界而引起的电子迁移率的降低。

[0392] 根据在大致平行于样品面的方向上观察的CAAC-OS膜的TEM图像(截面TEM图像),在结晶部中金属原子排列为层状。各金属原子层具有反映着形成有CAAC-OS膜的面(以下,将其上形成有CAAC-OS膜的面称为形成面)或CAAC-OS膜的顶面的形态,且被排列为平行于CAAC-OS膜的形成面或顶面。在本说明书中,“平行”是指两条直线之间形成的角度大于或等于-10°且小于或等于10°的情况,因此还包括角度大于或等于-5°且小于或等于5°的情况。此外,“垂直”是指两条直线之间形成的角度大于或等于80°且小于或等于100°的情况,因此还包括角度大于或等于85°且小于或等于95°的情况。

[0393] 另一方面,根据在大致垂直于样品面的方向上观察的CAAC-OS膜的TEM图像(平面TEM图像),在结晶部中金属原子排列为三角形状或六角形状。但是,在不同的结晶部之间没有金属原子的排列规律性。

[0394] 此外,在CAAC-OS膜的电子衍射图样中,呈现具有取向性的斑点(亮点)。

[0395] 根据截面TEM图像及平面TEM图像的结果,在CAAC-OS膜的结晶部中观察到取向性。

[0396] 使用X射线衍射(XRD:X-ray diffraction)装置对CAAC-OS膜进行结构分析。例如,当利用out-of-plane法分析CAAC-OS膜时,在衍射角(2θ)为31°附近时峰值频繁出现。该峰值来源于In-Ga-Zn氧化物结晶的(00x)面(x为整数),这显示CAAC-OS膜中的结晶具有c轴取向性,并且该c轴在大致垂直于CAAC-OS膜的形成面或顶面的方向上取向。

[0397] 另一方面,当利用在大致垂直于c轴的方向上X线入射到样品中的in-plane法分析CAAC-OS膜时,在2θ为56°附近时峰值频繁出现。该峰值来源于In-Ga-Zn氧化物结晶的(110)

面。此处,在将 2θ 固定为 56° 附近并且以样品面的法线向量为轴(ϕ 轴)旋转样品的条件下进行分析(ϕ 扫描)。在该样品是In-Ga-Zn氧化物的单晶氧化物半导体膜的情况下,出现六个峰值。该六个峰值来源于相等于(110)面的结晶面。另一方面,在CAAC-OS膜的情况下,即使将 2θ 固定为 56° 附近来进行 ϕ 扫描也不能观察到明确的峰值。

[0398] 根据上述结果,在具有c轴取向的CAAC-OS膜中,虽然a轴及b轴的方向在结晶部之间彼此不同,但是c轴在平行于形成面的法线向量或顶面的法线向量的方向上取向。因此,在上述截面TEM图像中观察到的排列为层状的各金属原子层相当于与结晶的a-b面平行的面。

[0399] 此外,结晶是在沉积CAAC-OS膜的同时形成的或者是通过加热处理等晶化处理而形成的。如上所述,结晶的c轴在平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量的方向上取向。由此,例如,在CAAC-OS膜的形状因蚀刻等而变化的情况下,该c轴不一定需要平行于CAAC-OS膜的形成面的法线向量或顶面的法线向量。

[0400] 此外,CAAC-OS膜中的晶化度不一定需要均匀。例如,在朝向CAAC-OS膜中的结晶部的结晶生长从膜的顶面附近产生的情况下,有时顶面附近的晶化度高于形成面附近的晶化度。另外,当将杂质添加于CAAC-OS膜时,被添加了杂质的区域的晶化度变化,并且CAAC-OS膜中的晶化度根据区域而不同。

[0401] 另外,当利用out-of-plane法分析CAAC-OS膜时,除了在 31° 附近的 2θ 峰值之外,还在 36° 附近有可能观察到 2θ 峰值。在 36° 附近的 2θ 峰值显示在CAAC-OS膜的一部分中包含不具有c轴取向的结晶部。优选的是,在CAAC-OS膜中,在 31° 附近出现 2θ 峰值而在 36° 附近不出现 2θ 峰值。

[0402] CAAC-OS膜是杂质浓度低的氧化物半导体膜。杂质是氧化物半导体膜的主要成分以外的元素,诸如氢、碳、硅或过渡金属元素。尤其是,如硅等与氧的键合力比包含在氧化物半导体膜中的金属元素更强的元素通过夺取氧化物半导体膜的氧来打乱氧化物半导体膜的原子排列,导致结晶性下降。另外,铁或镍等重金属、氩、二氧化碳等具有大原子半径(分子半径),所以当包含在氧化物半导体膜内时,打乱氧化物半导体膜的原子排列,导致结晶性下降。包含在氧化物半导体膜中的杂质有可能被用作载流子陷阱或载流子发生源。

[0403] CAAC-OS膜是缺陷态密度低的氧化物半导体膜。氧化物半导体膜中的氧空位成为载流子陷阱,或当俘获氢时成为载流子发生源。

[0404] 杂质浓度低且缺陷态密度低(氧空位量少)的状态称为“高纯度本征”或“实质上高纯度本征”。高纯度本征或实质上高纯度本征的氧化物半导体膜很少有载流子发生源,所以可以具有低载流子密度。因此,包括该氧化物半导体膜的晶体管很少具有负阈值电压(很少为常导通)。高纯度本征或实质上高纯度本征的氧化物半导体膜具有很少的缺陷态密度,所以很少有载流子陷阱。因此,包括该氧化物半导体膜的晶体管具有变动小的电特性,且具有高可靠性。被氧化物半导体膜中的载流子陷阱俘获的电荷需要长时间才能被释放,有时像固定电荷那样动作。所以,包括杂质浓度高且缺陷态密度高的氧化物半导体膜的晶体管有时具有不稳定的电特性。

[0405] 通过在晶体管中使用CAAC-OS膜,由于可见光或紫外光的照射而引起的晶体管电特性的变动小。

[0406] <微晶氧化物半导体>

[0407] 在用TEM观察的图像中,有时在微晶氧化物半导体膜中难以明确地观察到结晶部。在很多情况下,微晶氧化物半导体中的结晶部大于或等于1nm且小于或等于100nm,或大于或等于1nm且小于或等于10nm。将尺寸为大于或等于1nm且小于或等于10nm或者大于或等于1nm且小于或等于3nm的微晶专门称为纳米晶体(nc:nanocrystal)。包括纳米晶的氧化物半导体膜称为nc-OS(nanocrystalline oxide semiconductor)膜。在用TEM观察的nc-OS膜的图像中,例如,有时难以明确地观察到晶界。

[0408] 在nc-OS膜中,微小区域(例如,大于或等于1nm且小于或等于10nm的区域,特别是,大于或等于1nm且小于或等于3nm的区域)具有周期性的原子排列。另外,在nc-OS膜中的不同的结晶部之间没有晶体定向的规律性。因此,观察不到膜整体的定向性。所以,有时nc-OS膜根据分析方法不能与非晶氧化物半导体膜区别。例如,在通过利用使用直径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,不显现出呈现结晶面的峰值。此外,光晕图案显示在使用其束径比结晶部的直径大(例如,大于或等于50nm)的电子束而得到的nc-OS膜的选区电子衍射图案中。另一方面,斑点显示在使用束径接近于或者小于或等于结晶部直径(例如,大于或等于1nm且小于或等于30nm)的电子束而得到的nc-OS膜的纳米束电子衍射图案中。另外,在nc-OS膜的纳米束电子衍射图案中,有时观察到圆圈(环状)的亮度高的区域。在nc-OS膜的纳米束电子衍射图案中,多个斑点也有时显示在环状区域内。

[0409] nc-OS膜是具有比非晶氧化物半导体膜高的规律性的氧化物半导体膜。因此,nc-OS膜具有比非晶氧化物半导体膜低的缺陷态密度。但是,在nc-OS膜中的不同的结晶部之间没有晶体定向的规律性;所以,nc-OS膜具有比CAAC-OS膜高的缺陷态密度。

[0410] <氧化物半导体膜及氧化物导电体膜>

[0411] 接着,将参照图38说明使用氧化物半导体而形成的膜(以下称为氧化物半导体膜(OS))的导电率的温度依赖性以及使用能够用于像素电极19b的氧化物导电体形成的膜(以下称为氧化物导电体膜(OC))的导电率的温度依赖性。在图38中,横轴表示测定温度(下部横轴表示 $1/T$,上部横轴表示T),纵轴表示导电率($1/\rho$)。氧化物半导体膜(OS)的测定结果由三角形表示,而氧化物导电体膜(OC)的测定结果由圆圈表示。

[0412] 注意,以如下方法准备包括氧化物半导体膜(OS)的样品:通过使用原子比为In:Ga:Zn=1:1:1.2的溅射靶材的溅射法在玻璃衬底上形成35nm厚的In-Ga-Zn氧化物膜,通过使用原子比为In:Ga:Zn=1:4:5的溅射靶材的溅射法在该35nm厚的In-Ga-Zn氧化物膜上形成20nm厚的In-Ga-Zn氧化物膜,在450℃的氮气气氛下进行加热处理,然后在450℃的氮及氧的混合气体气氛下进行加热处理,并且通过等离子体CVD法形成氧氮化硅膜。

[0413] 以如下方法准备包括氧化物导电体膜(OC)的样品:通过使用原子比为In:Ga:Zn=1:1:1的溅射靶材的溅射法在玻璃衬底上形成100nm厚的In-Ga-Zn氧化物膜,在450℃的氮气气氛下进行加热处理,然后在450℃的氮及氧的混合气体气氛下进行加热处理,并且通过等离子体CVD法形成氮化硅膜。

[0414] 从图38可知,氧化物导电体膜(OC)的导电率的温度依赖性低于氧化物半导体膜(OS)的导电率的温度依赖性。典型的是,在80K至290K的温度下氧化物导电体膜(OC)的导电率的变化范围是从大于-20%到小于+20%。或者,在150K至250K的温度下导电率的变化范围是从大于-10%到小于+10%。换言之,氧化物导电体是简并(degenerate)半导体,并可以

推测其传导带边缘与费米能级一致或大致一致。因此,该氧化物导电体膜例如可以用于电阻器、布线、电容器的电极、像素电极或公共电极。

[0415] 本实施方式所述的结构及方法等可以与其他实施方式所述的任意结构及方法等适当地组合而使用。

[0416] 实施方式8

[0417] 如实施方式2所述,在使用氧化物半导体膜的晶体管中,可以使关闭状态下的电流(关态电流)小。因此,可以在较长时间保持图像信号等电信号,可以设定较长的写入间隔。

[0418] 通过使用关态电流低的晶体管,本实施方式中的液晶显示装置可以以至少两种驱动方法(模式)显示图像。第一驱动模式是液晶显示装置的现有的驱动方法,其中在每一个帧中逐次改写数据。第二驱动模式是在执行数据写入之后停止数据改写的驱动方法,即是刷新频率减小的驱动模式。

[0419] 以第一驱动模式显示动态图像。不需要改变每一个帧的图像数据而能够显示静态图像;所以,不需要在每一个帧中改写数据。当以第二驱动模式驱动液晶显示装置来显示静态图像时,画面闪烁很小,并且可以减少耗电量。

[0420] 被用于本实施方式的液晶显示装置中的液晶元件包括面积大的电容器,该电容器可储存大容量电荷。因此,能够延长像素电极的电位的保持期间,可以应用刷新频率低的上述驱动模式。并且,即使液晶显示装置被用于刷新频率低的驱动模式,也能够长期间地抑制施加到液晶层的电压的变化。由此,可以进一步有效地防止使用者发觉画面闪烁。因此,可以降低耗电量,并且可以提高显示质量。

[0421] 此处,将说明降低刷新频率的效果。

[0422] 眼睛疲劳大致分为两种:神经疲劳和肌肉疲劳。神经疲劳是由于长时间一直观看液晶显示装置的发光、闪烁画面而引起的。这是因为该亮光刺激眼睛的网膜和神经以及大脑的缘故。肌肉疲劳是由于过度使用在调节焦点时工作的睫状肌而引起的。

[0423] 图17A是示出现有的液晶显示装置的显示的示意图。如图17A所示,在现有的液晶显示装置的显示中,进行每秒60次的图像改写。长时间一直观看这种画面时,使用者的视网膜、视神经、大脑有可能被刺激而引起眼睛疲劳。

[0424] 在本发明的一个方式中,关态电流极低的晶体管(例如,使用氧化物半导体的晶体管)被用于液晶显示装置的像素部。另外,液晶元件包括大面积电容器。通过这些要素,能够抑制储存在电容器的电荷泄漏,由此即使帧频率较低,也能够维持液晶显示装置的亮度。

[0425] 也就是说,如图17B所示,例如可以以每5秒钟1次的频率改写图像。这使得使用者可以尽可能久地观看同一图像,由此使用者所看到的画面闪烁减少。其结果是,对使用者的眼睛的网膜或神经或者大脑的刺激得到缓和,使得神经疲劳减轻。

[0426] 本发明的一个方式可以提供一种护眼(eye-friendly)液晶显示装置。

[0427] 实施方式9

[0428] 在本实施方式中,将说明使用本发明的一个方式的显示装置的电子设备的结构例子。另外,在本实施方式中,将参照图18说明使用本发明的一个方式的显示装置的显示模块。

[0429] 在图18的显示模块8000中,在上盖8001与下盖8002之间设置连接于FPC8003的触摸面板8004、连接于FPC8005的显示面板8006、背光灯单元8007、框架8009、印刷板8010以及

电池8011。注意,有时不设置背光灯单元8007、电池8011、触摸面板8004等。

[0430] 本发明的一个方式的显示装置例如可以用于显示面板8006。

[0431] 根据触摸面板8004及显示面板8006的尺寸,可以适当地改变上盖8001及下盖8002的形状和尺寸。

[0432] 触摸面板8004能够是电阻式触摸面板或电容式触摸面板,且可以被形成为与显示面板8006重叠。显示面板8006的对置衬底(密封衬底)可以具有触摸面板功能。光传感器可以设置在显示面板8006的各像素内,以形成光学触摸面板。触摸传感器用电极可以设置在显示面板8006的各像素内,以获得电容式触摸面板。

[0433] 背光灯单元8007包括光源8008。光源8008也可以设置在背光灯单元8007的端部,并且可以使用光扩散板。

[0434] 另外,波长转换构件可以设置在背光灯单元8007与显示面板8006之间。波长转换构件包括荧光颜料、荧光染料、量子点(quantum dot)等波长转换物质。这样波长转换物质可以吸收来自背光灯单元8007的光,并将该光的一部分或全部转换成其他波长的光。作为波长转换物质之一的量子点是直径为1nm至100nm的粒子。通过使用具有量子点的波长转换构件,可以提高显示装置的颜色再现性。而且,波长转换构件可以被用作导光板。

[0435] 框架8009保护显示面板8006且被用作遮断因印刷板8010的工作而产生的电磁波的电磁屏蔽。框架8009还可以被用作散热板。

[0436] 印刷板8010设置有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,可以使用外部的商业电源或者利用另行设置的电池8011的电源。在利用商业电源的情况下,可以省略电池8011。

[0437] 显示模块8000还可以设置有偏振片、光减速板、棱镜片等构件。

[0438] 图19A至19D分别是包括本发明的一个方式的显示装置的电子设备的外观图。

[0439] 电子设备的例子是电视装置(也称为电视或电视接收机)、计算机等的显示器、数码相机或数码摄像机等影像拍摄装置、数码相框、移动电话机(也称为移动电话或移动电话装置)、便携式游戏机、便携式信息终端、声音再现装置、弹珠机(pachinko machine)等大型游戏机等。

[0440] 图19A示出便携式信息终端,该便携式信息终端包括主体1001、框体1002、显示部1003a和1003b等。显示部1003b是触控面板。通过触摸显示在显示部1003b上的键盘按钮1004,可以操作屏幕,并且可以输入文本。当然,显示部1003a也可以是触控面板。使用上述实施方式所述的任意晶体管作为开关元件来制造液晶面板或有机发光面板,并将其用于显示部1003a或1003b,由此可以提供可靠性高的便携式信息终端。

[0441] 图19A所示的便携式信息终端可以具有如下功能:在显示部上显示各种信息(例如,静止图像、动态图像、文本图像);将日历、日期及时刻等显示在显示部上;操作或编辑显示在显示部上的信息;利用各种软件(程序)控制处理;等等。另外,外部连接端子(耳机端子、USB端子等)、记录介质插入部等也可以设置在框体的背面或侧面。

[0442] 图19A所示的便携式信息终端可以以无线方式发送且接收信息。通过无线通讯,可以从电子书籍服务器购买且下载所希望的书籍数据等。

[0443] 图19B示出便携式音乐播放机,该便携式音乐播放机在主体1021中包括显示部1023、用来将该便携式音乐播放机戴在耳朵上的固定部1022、扬声器、操作按钮1024以及外

部储存槽1025等。使用上述实施方式所述的任意晶体管作为开关元件来制造液晶面板或有机发光面板，并将其用于显示部1023，由此可以提供可靠性高的便携式音乐播放机。

[0444] 另外，当图19B所示的便携式音乐播放机具有天线、麦克风功能或无线通讯功能且与移动电话一起使用时，使用者可以在开车等的同时进行无线免提通话。

[0445] 图19C示出移动电话，该移动电话包括两个框体，框体1030及框体1031。框体1031包括显示面板1032、扬声器1033、麦克风1034、指向装置1036、照相机镜头1037、外部连接端子1038等。框体1030设置有对移动电话充电的太阳能电池1040、外部储存槽1041等。另外，天线内置于框体1031内。将上述实施方式所述的任意晶体管用于显示面板1032，由此可以提供可靠性高的移动电话。

[0446] 另外，显示面板1032包括触控面板。在图19C中用虚线示出作为影像被显示出来的多个操作键1035。另外，还包括用来使从太阳能电池1040输出的电压上升到各电路所需的电压的升压电路。

[0447] 在显示面板1032中，根据应用模式适当地改变显示方向。另外，该移动电话在同一面上具有照相机镜头1037和显示面板1032，所以可以被用作可视电话。扬声器1033及麦克风1034不仅用来进行音频通话，还可以用来进行可视通话、录音、播放等。再者，处于如图19C所示那样的展开状态的框体1030和1031通过滑动而可以变为彼此重叠的状态。所以，可以减小移动电话的尺寸，据此可实现适合于携带的移动电话。

[0448] 外部连接端子1038可以与AC适配器及各种电缆如USB电缆等连接，由此可以进行充电及与个人计算机等的数据通讯。另外，通过将记录介质插入外部储存槽1041，可以保存且移动大量数据。

[0449] 另外，除了上述功能之外，还可以提供红外线通信功能、电视接收功能等。

[0450] 图19D示出电视装置的例子。在电视装置1050中，显示部1053组装在框体1051中。图像可以显示在显示部1053上。此外，CPU内置于支撑框体1051的支架1055。将上述实施方式所述的任意晶体管用于显示部1053及CPU，由此可以提供可靠性高的电视装置1050。

[0451] 通过利用框体1051的操作开关或另行提供的遥控器可以操作电视装置1050。此外，该遥控器可以设置有显示从该遥控器输出的数据的显示部。

[0452] 另外，电视装置1050设置有接收机及调制解调器等。通过利用接收机，可以接收一般的电视广播。再者，当电视装置通过调制解调器连接于有线或无线方式的通信网络时，可以进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间)信息通讯。

[0453] 另外，电视装置1050设置有外部连接端子1054、记录媒体再现录像部1052以及外部储存槽。外部连接端子1054可以与各种电缆如USB电缆等连接，可以进行与个人计算机等的数据通讯。将盘状记录媒体插入记录媒体再现录像部1052中，可以进行读出储存在记录媒体中的数据以及将数据写入到记录媒体。另外，作为数据存储在插入于外部储存槽的外部存储器1056中的图像或视频等可以显示在显示部1053上。

[0454] 另外，在上述实施方式所述的晶体管的关态泄漏电流极小的情况下，当该晶体管被用于外部存储器1056或CPU时，电视装置1050可以具有高可靠性及充分降低的耗电量。

[0455] 本实施方式可以与本说明书所记载的其他任意实施方式适当地组合而使用。

[0456] 实施例1

[0457] 在本实施例中，通过计算来评价根据本发明的一个方式的液晶显示装置所包括的

像素的透射率的分布。

[0458] 首先,说明在本实施例中使用的样品。

[0459] 图15是样品1的俯视图,图7是样品1的衬底11一侧的截面图。样品1中的像素包括三个子像素。子像素包括横向延伸的用作扫描线的导电膜13、纵向延伸(与导电膜13正交)的用作信号线的导电膜21a以及它们内侧的区域。另外,公共电极29a包括在与用作信号线的导电膜21a交叉的方向上延伸的条形区域以及与导电膜21a平行且与条形区域连接的连接区域。公共电极29a包括在与用作信号线的导电膜21a交叉的方向上延伸的条形区域29a_1以及与该条形区域连接且与用作扫描线的导电膜13重叠的区域29a_2。公共电极29a的顶面在条形区域中具有锯齿形状,其延伸方向与用作信号线的导电膜21a交叉。

[0460] 另外,如图7所示的晶体管那样,每一个子像素包括晶体管102。晶体管102包括用作栅电极的导电膜13;形成在导电膜13上且用作栅极绝缘膜的氮化物绝缘膜15及氧化物绝缘膜17;隔着栅极绝缘膜与栅电极重叠且经与形成像素电极19b同一工序形成的氧化物半导体膜19a;与该氧化物半导体膜19a电连接且用作信号线的导电膜21a;以及与氧化物半导体膜19a及像素电极19b电连接的导电膜21b。

[0461] 另外,如图7所示,氧化物绝缘膜23及25形成在晶体管102上,氮化物绝缘膜27形成在氧化物绝缘膜25及像素电极19b上。公共电极29形成在氮化物绝缘膜27上。

[0462] 在样品1中包括隔着液晶层与公共电极29相对的如图4所示的导电膜67那样的导电膜67的像素称为样品2。

[0463] 作为比较例子,样品3是具有如下区域的样品,该区域在图15所示的像素中的公共电极29的顶面形状中与用作信号线的导电膜交叉,如在图2C所示的公共电极69中那样。

[0464] 另外,在样品1及样品2中,公共电极的折叠点处的角度(相当于图2A中的θ1)被设定为160°,用作信号线的导电膜的垂直线与公共电极之间的角度(相当于图2A中的θ2)被设定为15°。

[0465] 另外,在样品3中,公共电极的折叠点处的角度被设定为175°,用作信号线的导电膜的垂直线与公共电极之间的角度(相当于图2A的θ2)被设定为0°。

[0466] 以上述方式准备了样品1至3。样品1至3的像素的透射率可以由施加到像素电极与公共电极之间的水平电场来控制。

[0467] 接着,计算样品1至3的透射率。使用LCDMaster 3-D(由日本Shintech公司制造)并以FEM-Static模式进行计算。在计算中,尺寸为纵49.5μm、横49.5μm、纵深(高度)4μm,并采用周期性(periodic)边界条件。另外,导电膜13的厚度设定为200nm,氮化物绝缘膜15及氧化物绝缘膜17的总厚度设定为400nm,导电膜21a及导电膜21b各自的厚度设定为300nm,氧化物绝缘膜23及氧化物绝缘膜25的总厚度设定为500nm,氮化物绝缘膜27的厚度设定为100nm。此外,在样品1至3中的各样品中,像素电极的厚度设定为0nm,公共电极的厚度设定为100nm。样品2中的导电膜67的厚度设定为0nm。另外,液晶分子的预扭转角、扭转角和预倾角分别设定为90°、0°和3°。另外,为了减轻计算负荷,样品1至3的像素电极的厚度及样品2的导电膜67的厚度设定为0nm。

[0468] 在上述条件下,分别算出如下情况下的透射率:将用作扫描线的导电膜设定为-9V,将公共线设定为0V,使用作信号线的导电膜的电压与像素电极的电压相等,并且从0V至6V每次增加1V地施加电压的情况(这相当于刷新频率低的液晶显示装置中的刷新期间);以

及将用作信号线的导电膜固定为0V，并且从0V至6V每次增加1V地对像素电极施加电压的情况（这相当于刷新频率低的液晶显示装置中的保持期间）。

[0469] 像素电极的电压（以下记载为像素电压）与像素的透射率之间的关系显示在图20A和20B及图21中。样品1的计算结果显示在图20A中，样品2的计算结果显示在图20B中，样品3的计算结果显示在图21中。在图20A和20B及图21中，黑色圆圈表示在用作信号线的导电膜的电压（以下记载为信号线电压）与像素电压相等的情况下（相当于刷新期间）的透射率，白色圆圈表示在将信号线电压固定为0V的情况下（相当于保持期间）的透射率。在平行尼科耳状态的透射率为100%的条件下计算各样品的透射率。

[0470] 图20A及图20B显示在样品1及样品2中的各样品中随着像素电压的上升透射率也在上升。另外，当像素电压为6V时，信号线电压等于像素电压时的透射率与将信号线电压固定为0V时的透射率之间的差很小。这表明在保持期间及刷新期间中能够维持透射率，由此可以减少画面中的闪烁。

[0471] 另一方面，图21显示在样品3中随着像素电压的上升透射率也在上升。然而，将信号线电压固定为0V的情况下透射率的上升率低于信号线电压等于像素电压的情况下透射率的上升率。这表明：相比刷新期间，保持期间中的像素的亮度更低，因此发生画面中的闪烁。

[0472] 因此，设置具有如样品1及样品2那样的形状的公共电极是对减少刷新频率低的液晶显示装置中的画面中的闪烁很有效的。

[0473] 实施例2

[0474] 实施方式2至6所示的元件衬底可以减少制造工序中使用的掩模数量且可以实现像素的高开口率。然而，上述液晶元件形成在氧化物绝缘膜23及25等被部分蚀刻的区域中，由此在元件衬底内部产生台阶结构。于是，对取向膜的摩擦方向和漏光之间的关系进行调查。

[0475] 首先说明取向膜的取向方向和像素的漏光量之间的关系的调查结果。

[0476] 相对于用作信号线的导电膜21a的延伸方向以0°、45°及90°的角度对元件衬底进行摩擦处理。另外，对对置衬底进行取向处理以使其与元件衬底的摩擦方向成为反平行。然后，在元件衬底与对置衬底之间设置液晶层及密封剂来制造液晶显示装置。

[0477] 接着，测定从包括在该液晶显示装置中的像素的漏光量。在测定中，一对偏振片配置在液晶显示装置中以使偏振器成为正交尼科耳状态。摩擦方向的角度与偏振器的轴彼此平行。图29示出测定结果。漏光量的测定在各液晶显示装置中的五个点处进行。

[0478] 图29表明在摩擦方向与用作信号线的导电膜21a之间的角度为45°的显示装置中的漏光量多，而该角度为0°及90°的显示装置中的漏光量少。另外，还可以确认到通过以使摩擦方向与用作信号线的导电膜21a平行的方式进行取向处理，最能够抑制漏光。

[0479] 在本实施例中制造的液晶显示装置中，用作信号线的导电膜21a的密度是用作扫描线的导电膜13的密度的3倍。换言之，凸区域和凹区域在与用作信号线的导电膜21a平行的方向上延伸。由此，可确认到，通过在与用作信号线的导电膜21a平行的方向上进行取向处理，即使产生台阶结构，也可以抑制漏光。

[0480] 接着，说明取向处理方法与漏光量之间的关系的调查结果。

[0481] 图30A及30B是用显微镜观察的液晶显示装置中的显示部的照片。图30A是其中只

进行摩擦处理而形成取向膜的液晶显示装置的观察结果,图30B是其中进行摩擦处理及光取向处理而形成取向膜的液晶显示装置的观察结果。注意,在偏振片所包括的偏振器的配置为正交尼科耳状态并采用透过模式的条件下进行该显微镜观察。

[0482] 如图30A所示,可以确认到,在其中只进行摩擦处理而形成取向膜的液晶显示装置中发生局部性漏光。另一方面,如图30B所示,可以确认到,在其中进行摩擦处理及光取向处理而形成取向膜的液晶显示装置中,漏光得到了抑制。

[0483] 基于这些结果,可以确认到,通过使液晶分子的定向为水平并在与凹区域及凸区域的延伸方向平行的方向上进行取向处理,并且进行光定向处理,从而可以对具有台阶结构的元件衬底进行在面内整齐的取向处理。

[0484] 实施例3

[0485] 在本实施例中,如图31A所示,在具有在与用作信号线的导电膜21a大致交叉的方向上具有锯齿形状的狭缝的公共电极29的像素中,计算了液晶分子的取向状况。

[0486] 此处,使用由日本Shintech公司制造的液晶显示器用设计模拟器(LCD Master 3-D Full set FEM模式)来计算液晶分子的取向。另外,液晶元件中的单元间隙设定为4.0μm,像素结构假设为具有邻接的两个子像素。为进行一个子像素的白色显示而对像素电极19b施加5V的电压,为进行另一个子像素的黑色显示而对像素电极19b施加0V的电压,计算液晶分子的取向状态。并且,对用作信号线的导电膜21a施加0V或6V,以调查用作信号线的导电膜21a与公共电极29之间的电场的影响,并比较两个情况下的液晶分子的取向。为了进行计算,设想在对置衬底上配置实际的面板、遮光膜,以覆盖从用作的信号线的导电膜21a的端部起向内侧的1.5μm的区域。

[0487] 此外,作为比较例子,对图32A所示的具有直线形状的公共电极30的像素中的液晶分子的取向进行计算。

[0488] 对于以低刷新频率驱动的液晶显示装置,从挠曲电效应(flexo-electric effect)的观点来看,负型液晶材料是优选的。所以,在这里的计算中使用负型液晶材料。

[0489] 图31B及31C示出图31A所示的像素的计算结果。另外,图32A所示的像素的计算结果显示在图32B及图32C中。在图31A至31C及图32A至32C中,图31B及图32B示出当0V施加于用作信号线的导电膜21a时的计算结果,图31C及图32C示出当6V施加于用作信号线的导电膜21a时的计算结果。

[0490] 通过与用于图32B及图32C所示的白色显示的子像素进行比较,可以确认到根据施加于用作信号线的导电膜21a的电压而液晶分子的取向状态不同。另一方面,在用于图31B及图31C所示的白色显示的子像素中,在像素电极19b上的液晶分子的取向状态中确认不到很大的差别。

[0491] 这是因为如下缘故:公共电极29具有锯齿形状,液晶分子的旋转方向在用作信号线的导电膜21a上是顺时针,而在像素电极19b上是逆时针。其结果是,在用作信号线的导电膜21a和像素电极19b上液晶分子的取向状态不容易互相干涉。

[0492] 接着,利用上述计算结果,计算出当从0V至6V每次增加0.5V地对像素电极19b施加电压时的像素的电压-透射率特性。此时,施加于用作信号线的导电膜21a的电压Vd设定为0V或6V。计算结果显示在图40A及40B中。图40A示出图31A所示的像素的电压-透射率特性的计算结果,图40B示出图32A所示的像素的电压-透射率特性的计算结果。在图40A及40B中,

横轴表示像素电极19b的电压,纵轴表示像素的透射率。在图40A及40B的每一个中,圆圈及虚线表示当0V的电压施加于用作信号线的导电膜21a时得到的计算结果,方框及实线表示当6V的电压施加于用作信号线的导电膜21a时得到的计算结果。在图40A中,0V和6V(Vd)时的透射率的曲线几乎重叠。如图40A所示,在图31A至31C所示的公共电极30的结构中,根据施加于用作信号线的导电膜21a的电压而导致的像素透射率的变动小。

[0493] 另外,在图33中,通过使用当将0V的电压施加于用作信号线的导电膜21a时的电压-透射率特性作为基准,示出当将0V至6V的电压施加于用作信号线的导电膜21a时的电压-透射率特性之间的差异。在图33中,横轴表示像素电极19b的电压,纵轴表示透射率的差异。与在图31A至31C及图32A至32C所示的计算同样地,为了进行计算,设想将实际的面板、遮光膜配置在对置衬底上,以覆盖从用作信号线的导电膜21a的端部起向内侧的1.5μm的区域。

[0494] 在图33中,横轴表示施加于像素电极19b的电压,纵轴表示施加在每一个所施加的电压下的电压-透射率特性的差异。在图33中,实线表示图31A所示的像素的计算结果,虚线表示图32A所示的像素的计算结果。

[0495] 在图32A所示的公共电极30的结构中,随着施加于像素电极19b的电压上升,电压-透射率特性的差异变大。换言之,像素的透射率受到施加于用作信号线的导电膜21a的电压的很大的影响。

[0496] 另一方面,在图31A所示的公共电极29的形状中,即使施加于像素电极19b的电压上升,电压-透射率特性的差异也小。换言之,像素的透射率受到的施加于用作信号线的导电膜21a的电压的影响不大。

[0497] 因此,在用作信号线的导电膜21a上的液晶分子的旋转方向与像素电极19b上的液晶分子的旋转方向相反,由此可以减少用作信号线的导电膜的电场对液晶分子造成的影响。

[0498] 另外,设置在用作信号线的导电膜21a上的公共电极29的形状为狭缝状,并且氧化物绝缘膜23及25形成在用作信号线的导电膜21a上,因此可以充分地减少在用作信号线的导电膜21a与公共电极29之间产生的寄生电容。

[0499] 因此,根据本发明的一个方式的元件衬底对于以低刷新频率驱动的液晶显示装置也能够发挥作用。

[0500] 实施例4

[0501] 在本实施例中,使用实施方式2所示的元件衬底制造液晶显示装置。将说明该液晶显示装置的规格和显示图像。

[0502] 表1示出液晶显示装置的规格。

[0503] [表1]

[0504]	屏幕尺寸	4.29 英寸
	分辨率	1080×RGB (H) ×1920 (V) :全高清 (Full-HD)
	像素间距	49.5mm (H) ×49.5mm (V)
	像素密度	513ppi

[0505]	液晶模式	FFS (Fringe Field Switching: 边缘场切换)
	开口率	50. 80%
	FET	CAAC-IGZO
	工艺	六掩模工艺

[0506] 通过六掩模工艺制造了能够低频驱动的513-ppiFFS模式的液晶显示装置,其方式是,利用摩擦处理及光定向处理作为取向膜的取向处理,公共电极被加工为锯齿形状,与包括在晶体管中的氧化物半导体膜同时形成的具有导电率的氧化物半导体膜被用作像素电极19b。

[0507] 图34是在本实施例中制造的液晶显示装置所显示的图像的照片。如图34所示,根据本发明的一个方式的显示装置是高清晰的显示质量良好的液晶显示装置。在本实施例中制造的液晶显示装置能够低频驱动,因此实现低耗电量。

[0508] 实施例5

[0509] 在本实施例中,说明具有导电率的氧化物半导体膜的透射率、导电率及电阻率。

[0510] 首先,说明样品A1及样品A2的形成方法。

[0511] 先说明样品A1的形成方法。

[0512] 在玻璃衬底上形成50nm厚的In-Ga-Zn氧化物膜(下面称为IGZO膜),然后在其上层叠100nm厚的氮化硅膜。另外,样品A1包括具有导电率的氧化物半导体膜。

[0513] IGZO膜的成膜条件是如下:采用溅射法,使用金属氧化物靶材($In:Ga:Zn=1:1:1$);使用被氩稀释的包含33vol%的氧的溅射气体,压力为0.4Pa,成膜功率为200W,衬底温度为300℃。

[0514] 此外,氮化硅膜的成膜条件是如下:采用等离子体CVD法, SiH_4 、 N_2 和 NH_3 的气体流量比为50/5000/100sccm,压力为100Pa;成膜功率为1000W;衬底温度为350℃。通过以上工艺,制造了样品A1。

[0515] 接着,说明样品A2的制造方法。

[0516] 在样品A1的IGZO膜的成膜条件下,在玻璃衬底上形成样品A2的IGZO。通过以上工艺,制造了样品A2。样品A1包括氧化物半导体膜。

[0517] 接着,在样品A1及样品A2各自中测定可见光的透射率。测定出的透射率显示在图35中。在图35中,实线表示样品A1所包括的具有导电率的氧化物半导体膜(OC film)的透射率,虚线表示样品A2所包括的氧化物半导体膜(OS film)的透射率。

[0518] 在宽能量区域中样品A1及样品A2的透射率为80%或更高。换言之,具有导电率的氧化物半导体膜具有比氧化物半导体膜高的可见光区域的透光性。

[0519] 接着,测定具有导电率的氧化物半导体膜的导电率及电阻率。

[0520] 首先,说明样品A3的形成方法。

[0521] 在与样品A1类似的条件下,在玻璃衬底上形成35nm厚的IGZO膜,然后,在其上层叠100nm厚的氮化硅膜。接着,蚀刻氮化硅膜,以使具有导电率的氧化物半导体膜露出。通过以上工艺,制造了样品A3。

[0522] 接着,测定包括在样品A3中的具有导电率的氧化物半导体膜的导电率。图36(阿累

尼乌斯图,Arrhenius plot)示出具有导电率的氧化物半导体膜的导电率的1/T依赖性。在图36中,横轴表示1/T绝对温度,纵轴表示1/ρ。

[0523] 如图36所示,随着温度的上升,具有导电率的氧化物半导体膜的电阻略微上升。这表明具有导电率的氧化物半导体膜的导电率不呈现半导体性而呈现金属性作用。可推测这是因为在具有导电率的氧化物半导体膜中载流子简并化。

[0524] 图37示出样品A3的电阻率的测定结果。包含在样品A3中的具有导电率的氧化物半导体膜的电特性呈现良好的线性特性,电阻率为 $7 \times 10^{-3} \Omega \cdot \text{cm}$ 左右。

[0525] 根据透射率及电阻率的测定结果,具有导电率的氧化物半导体膜可以用作ITO的代替。

[0526] 另外,具有导电率的氧化物半导体膜呈现与氧化物半导体膜不同的物性,由此可以说具有导电率的氧化物半导体膜和氧化物半导体膜是不同的材料。

[0527] 实施例6

[0528] 在本实施例中,将说明晶体管的Vg-Id特性的测定结果。

[0529] 首先参照图10A至10D及图11A至11D说明包括在样品B1中的晶体管的制造工艺。

[0530] 首先,如图10A所示,使用玻璃衬底作为衬底11,在该衬底11上形成导电膜12。

[0531] 此处,通过溅射法形成100nm厚的钨膜作为导电膜12。

[0532] 如图10B所示,形成用作栅电极的导电膜13。

[0533] 此处,通过光刻工艺在导电膜12上形成掩模,然后部分蚀刻导电膜12,以形成导电膜13。

[0534] 如图10C所示,在导电膜13上依次形成氮化物绝缘膜15、氧化物绝缘膜16及氧化物半导体膜18。

[0535] 此处,作为氮化物绝缘膜15,通过等离子体CVD法形成50nm厚的第一氮化硅膜、300nm厚的第二氮化硅膜及50nm厚的第三氮化硅膜。作为氧化物绝缘膜16,通过等离子体CVD法形成50nm厚的氧氮化硅膜。作为氧化物半导体膜18,通过溅射法形成35nm厚的IGZO膜。另外,包含在所使用的溅射靶材中的In、Ga和Zn的原子比为1:1:1。成膜温度为170°C。

[0536] 接着,进行第一加热处理。此处,作为第一加热处理,在氮气气氛下以450°C进行1小时的加热处理之后,在氮气及氧气气氛下以450°C进行1小时的加热处理。

[0537] 然后,如图10D所示,形成氧化物半导体膜19a。此处,通过光刻工艺在氧化物半导体膜18上形成掩模后,蚀刻氧化物半导体膜18的一部分,以形成氧化物半导体膜19a。

[0538] 接着,如图11A所示,形成导电膜20。

[0539] 此处,作为导电膜20,通过溅射法依次形成50nm厚的钨膜、400nm厚的铝膜及100nm厚的钛膜。

[0540] 接着,如图11B所示,形成用作源电极及漏电极的导电膜21a及21b。此处,通过光刻工艺在导电膜20上形成掩模,然后,蚀刻导电膜20的一部分,以形成导电膜21a及21b。

[0541] 然后,如图11C所示,形成氧化物绝缘膜22及氧化物绝缘膜24。

[0542] 此处,通过等离子体CVD法形成50nm厚的氧氮化硅膜作为氧化物绝缘膜22。作为氧化物绝缘膜24,通过等离子体CVD法形成400nm厚的氧氮化硅膜。

[0543] 接着,通过第二加热处理,使水、氮、氢等从氧化物绝缘膜22及氧化物绝缘膜24脱离,将包含在氧化物绝缘膜24中的氧的一部分供应给氧化物半导体膜19a。此处,在氮及氧

的混合气氛下以350℃进行1小时的加热处理。

[0544] 接着,虽然未图示,但在氧化物绝缘膜24上形成氮化物绝缘膜。

[0545] 此处,通过等离子体CVD法形成100nm厚的氮化硅膜作为氮化物绝缘膜。

[0546] 接着,虽然未图示,部分蚀刻氮化物绝缘膜来形成使导电膜21a及21b的一部分露出的开口。

[0547] 然后,虽然未图示,在氮化物绝缘膜上形成平坦化膜。

[0548] 此处,将组成物涂敷在氮化物绝缘膜上,进行曝光及显影,以形成具有用来使一对电极部分曝光的开口的平坦化膜。作为平坦化膜,形成1.5μm厚的丙烯酸树脂。然后,在氮气气氛下以250℃进行1小时的加热处理。

[0549] 接着,虽然未图示,但形成与导电膜21a及21b的一部分连接的导电膜。

[0550] 此处,通过溅射法形成100nm厚的包含氧化硅的ITO。然后,在氮气气氛下以250℃进行1小时的加热处理。

[0551] 通过以上工艺,形成了包括晶体管的样品B1。

[0552] 另外,制造了包括晶体管的样品B2,其中,包括在样品B1的晶体管中的氧化物半导体膜19a及导电膜21a及21b被改变。

[0553] 包括在样品B2中的晶体管包括多层膜来代替氧化物半导体膜19a。作为多层膜,通过溅射法依次形成35nm厚的第一IGZO膜及20nm厚的第二IGZO膜。包含在用于第一IGZO膜的溅射靶材中的In、Ga和Zn的原子比为1:1:1,成膜温度为300℃,而包含在用于第二IGZO膜的溅射靶材中的In、Ga和Zn的原子比为1:4:5,成膜温度为200℃。

[0554] 在样品B2所包括的晶体管中,作为导电膜21a及21b,通过溅射法依次形成50nm厚的钨膜和200nm厚的铜膜。

[0555] 在样品B2所包括的晶体管中,在形成导电膜21a及21b后且形成氧化物绝缘膜22前,再增加如下工序,由此在导电膜21a及21b上形成硅化物膜。以下说明详细内容。在以350℃加热的同时,将导电膜21a及21b暴露于产生在氨气气氛中的等离子体,以使导电膜21a及21b的表面的氧化物减少。然后,在以220℃加热的同时,将导电膜21a及21b暴露于硅烷。其结果是,包含在导电膜21a及21b中的铜起到催化剂的作用,硅烷被分解为Si和H₂,在导电膜21a及21b的表面形成CuSi_x (x>0) 膜。

[0556] 此外,制造了包括晶体管的样品B3,其中包括在样品B1的晶体管中的氧化物半导体膜19a被改变。

[0557] 在样品B3中通过溅射法形成35nm厚的IGZO膜来作为氧化物半导体膜19a。使用了包含原子比为1:1:1的In、Ga和Zn的溅射靶材。成膜温度为100℃。此外,导电膜21a及21b分别是50nm厚的钨膜、400nm厚的铝膜及100nm厚的钛膜的叠层。

[0558] 另外,制造了样品B4,其中包括在样品B3中的氧化物半导体膜19a和导电膜21a及21b被改变。

[0559] 在样品B4中通过溅射法形成35nm厚的IGZO膜来作为氧化物半导体膜19a。使用包含原子比为1:1:1.2的In、Ga和Zn的溅射靶材。成膜温度为25℃。

[0560] 在样品B4所包括的晶体管中,作为导电膜21a及21b,分别通过溅射法依次形成50nm厚的钨膜及200nm厚的铜膜。

[0561] 此外,在各样品中的晶体管具有沟道蚀刻结构。另外,制造沟道长度(L)为3μm、沟

道宽度(W)为50μm的晶体管以及沟道长度(L)为6μm、沟道宽度(W)为50μm的晶体管。

[0562] 图41是样品B1中的沟道长度为3μm的晶体管的截面STEM图像。

[0563] 接着,测定包括在样品B1至样品B4中的晶体管的初始Vg-Id特性。此处,在如下条件下测定流过源极与漏极之间的电流(以下称为漏极电流)的特性变化、即Vg-Id特性,该条件包括:衬底温度为25℃,源极与漏极之间的电位差(以下称为漏极电压)为1V或10V,源极与栅极之间的电位差(以下称为栅极电压)在-15V至+15V的范围内变化。

[0564] 图42示出包括在样品B1及样品B2中的晶体管的Vg-Id特性。图43示出包括在样品B3及样品B4中的晶体管的Vg-Id特性。在图42及图43的图表中,横轴表示栅极电压Vg,纵轴表示漏极电流Id。另外,实线表示漏极电压Vd为1V和10V时的Vg-Id特性。

[0565] 如图42所示,包括在样品B1及样品B2中的晶体管具有良好的开关特性。换言之,即使导电膜21a及21b所包括的金属元素不同,样品B1及样品B2所包括的晶体管也呈现良好的Vg-Id特性。

[0566] 另一方面,如图43所示,在样品B4所包括的晶体管的Vg-Id特性中,阈值电压向负向偏移。另外,在阈值电压附近漏极电流缓慢增加。也就是说,S值(subthreshold swing,亚阈值摆幅)劣化。换言之,由于包含在导电膜21a及21b中的金属元素,包括在样品B3及样品B4中的晶体管的Vg-Id特性劣化。

[0567] 调查包括在样品B2及样品B4中的晶体管的IGZO膜的结构及膜密度和Vg-Id特性。在样品B2中,在衬底上形成IGZO膜,以使得其与导电膜21a及21b接触。该样品称为B2a。此外,在样品B4中,在衬底上形成IGZO膜,以使得其与导电膜21a及21b接触。该样品称为B4a。然后,使用X射线衍射(XRD:X-ray diffraction)装置进行各样品的IGZO膜的结构分析。另外,通过X射线反射率测定法(XRR:X-ray reflectometry)测定各样品的IGZO膜的膜密度。

[0568] 样品2a所包括的IGZO膜的XRD测定结果显示在图44A中,样品4a所包括的IGZO膜的XRR测定结果显示在图44B中。

[0569] 如图44A所示,由于衍射角(2θ)在31°附近处具有峰值,所以样品2a所包括的IGZO膜是CAAC-IGZO膜。另一方面,由于衍射角(2θ)在31°附近处没有峰值,因此样品4a所包括的IGZO膜是nc-IGZO膜。

[0570] 如图44B所示,样品2a所包括的IGZO膜的膜密度高于样品4a所包括的IGZO膜的膜密度。

[0571] 包括在样品B4中的晶体管具有与导电膜21a及21b接触nc-IGZO膜作为IGZO膜。nc-IGZO膜的膜密度低。由此,可以推测导电膜21a及21b所包含的铜容易扩散到用作栅极绝缘膜的氧化物绝缘膜16与氧化物半导体膜19a之间的界面。由于铜的扩散,在氧化物绝缘膜16与氧化物半导体膜19a之间的界面处形成载流子陷阱。其结果是,在样品B4所包括的晶体管的Vg-Id特性中,S值(subthreshold swing,亚阈值摆幅)劣化。

[0572] 另一方面,样品B2所包括的晶体管具有多层膜,并且在该多层膜中,与导电膜21a及21b接触的IGZO膜是CAAC-IGZO膜。CAAC-IGZO膜具有高膜密度以及层状结构,并没有晶界。因此,可以推测CAAC-IGZO膜被用作对铜的阻挡膜,可以防止导电膜21a及21b所包含的铜扩散到沟道区域。另外,硅化物膜形成在导电膜21a及21b的表面上,由此,硅化物膜防止铜从导电膜21a及21b扩散。其结果是,无论导电膜21a及21b所包含的金属元素如何,样品B2所包括的晶体管都呈现良好的Vg-Id特性。

[0573] 如上所述,当使用铜膜来作为导电膜21a及21b时,使用CAAC-IGZO膜来作为与导电膜21a及21b接触的氧化物半导体膜,由此可以制造具有良好电特性的晶体管。

[0574] 本申请基于2013年9月13日向日本专利局提交的日本专利申请第2013-190864号、2013年12月3日向日本专利局提交的日本专利申请第2013-249904号、2014年3月11日向日本专利局提交的日本专利申请第2014-047241号以及2014年5月22日向日本专利局提交的日本专利申请第2014-106477号,其全部内容通过引用纳入本文。

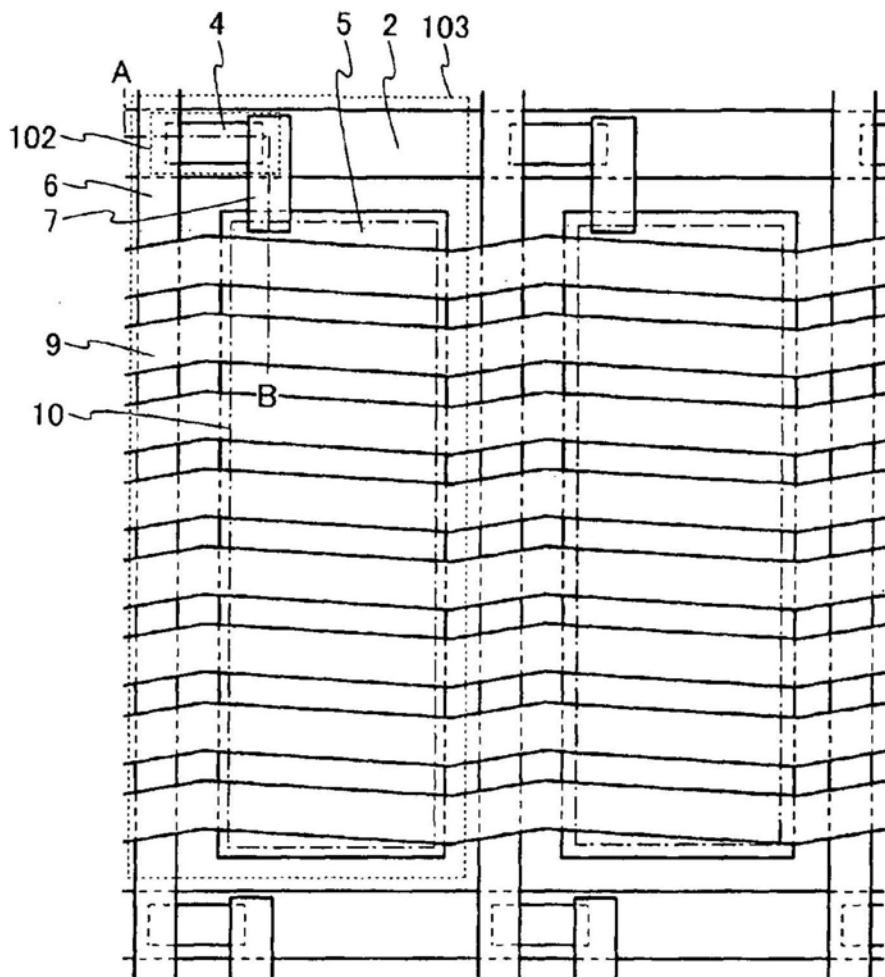


图1A

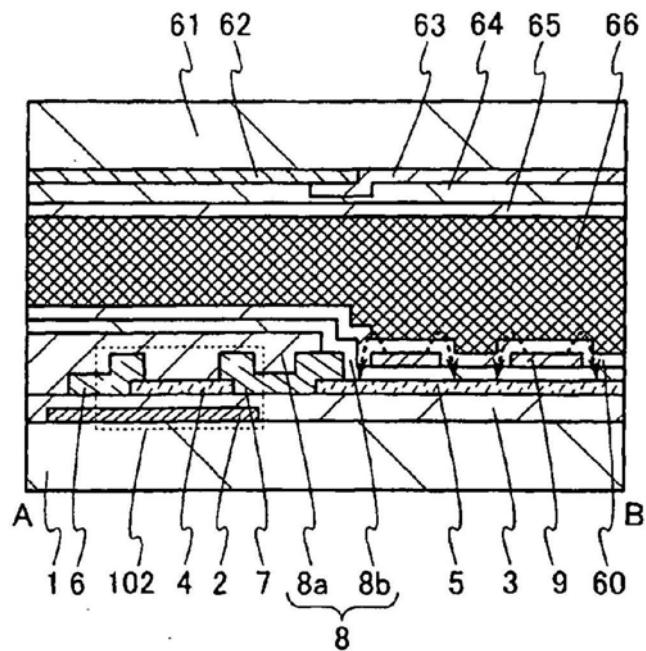


图1B

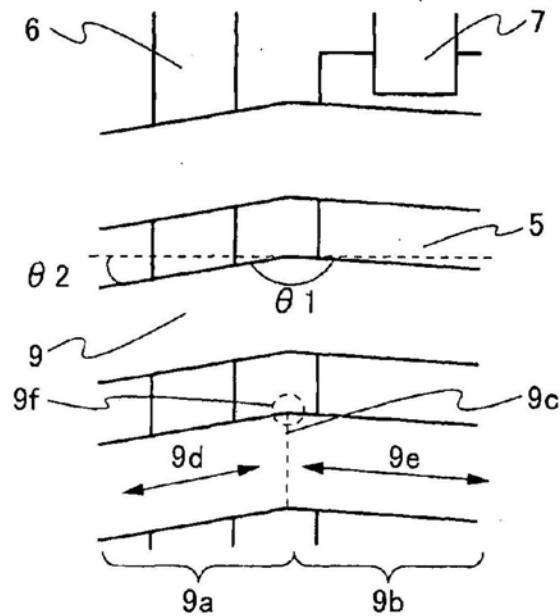


图2A

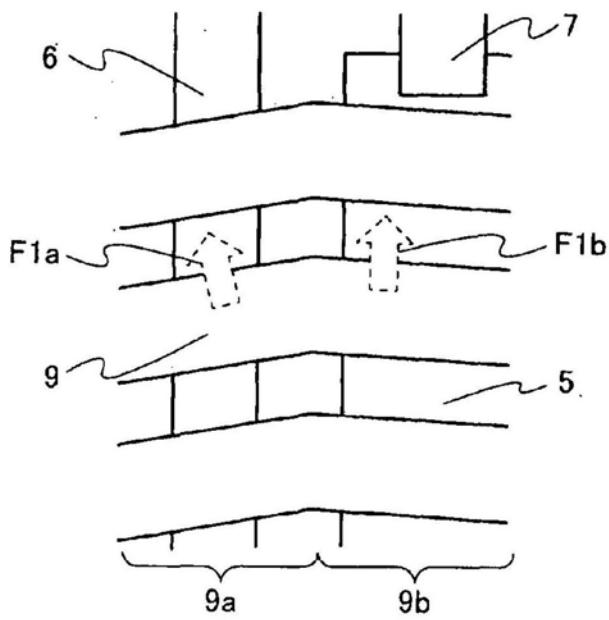


图2B

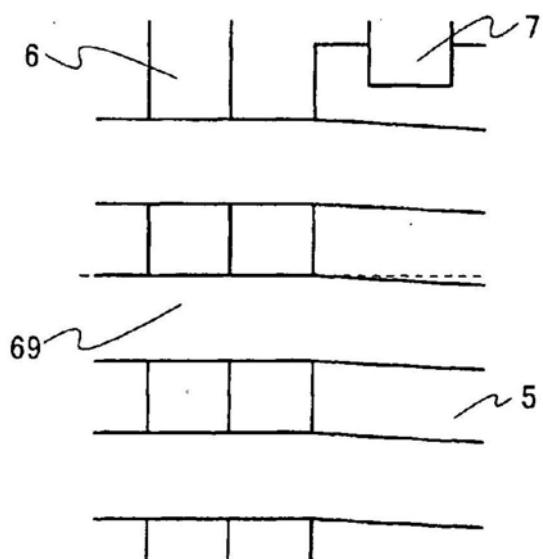


图2C

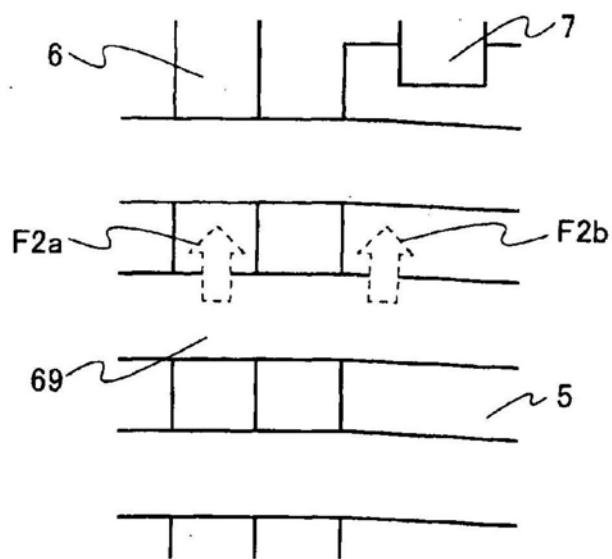


图2D

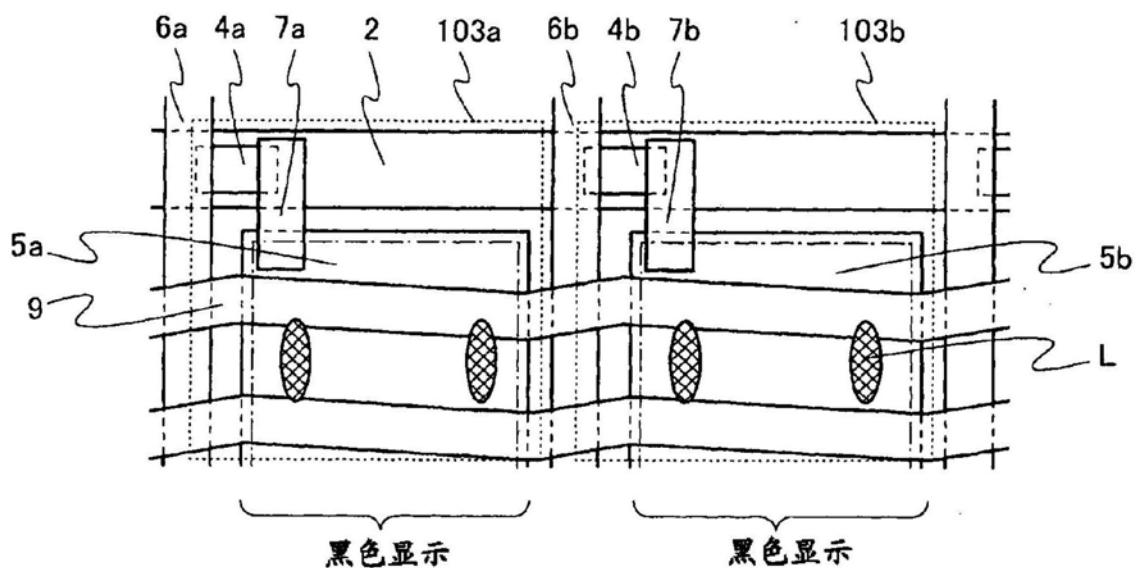


图3A

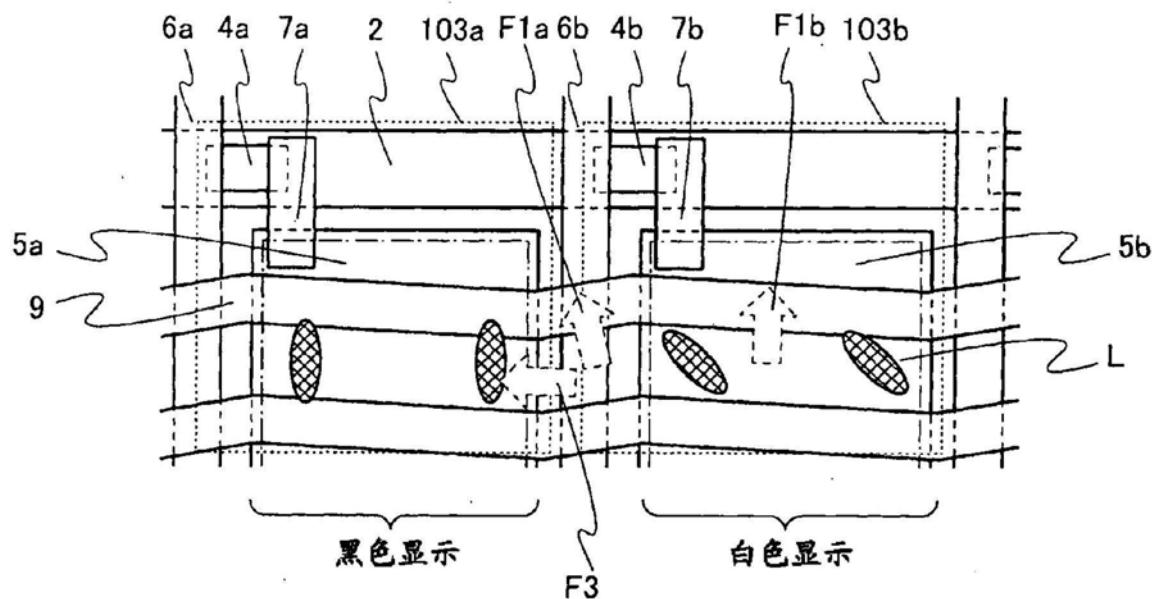


图3B

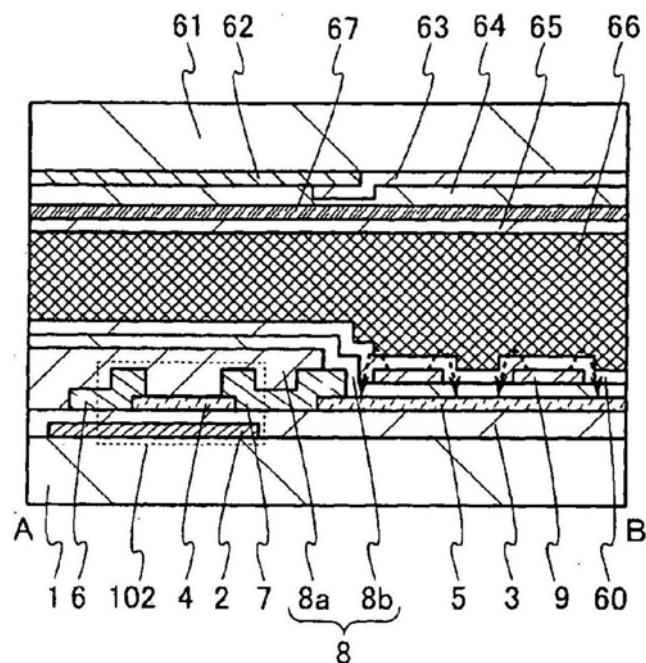


图4

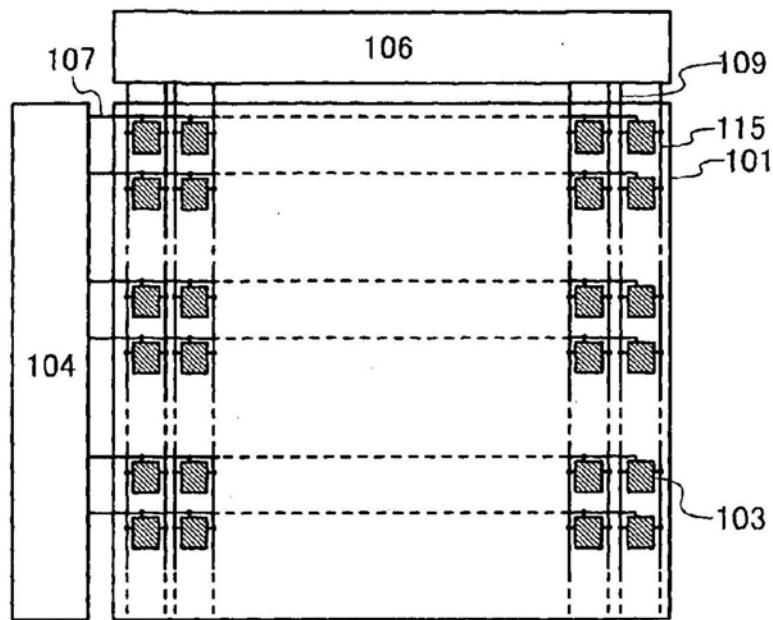


图5A

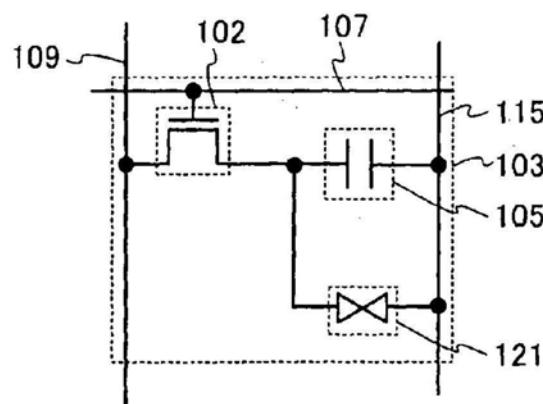


图5B

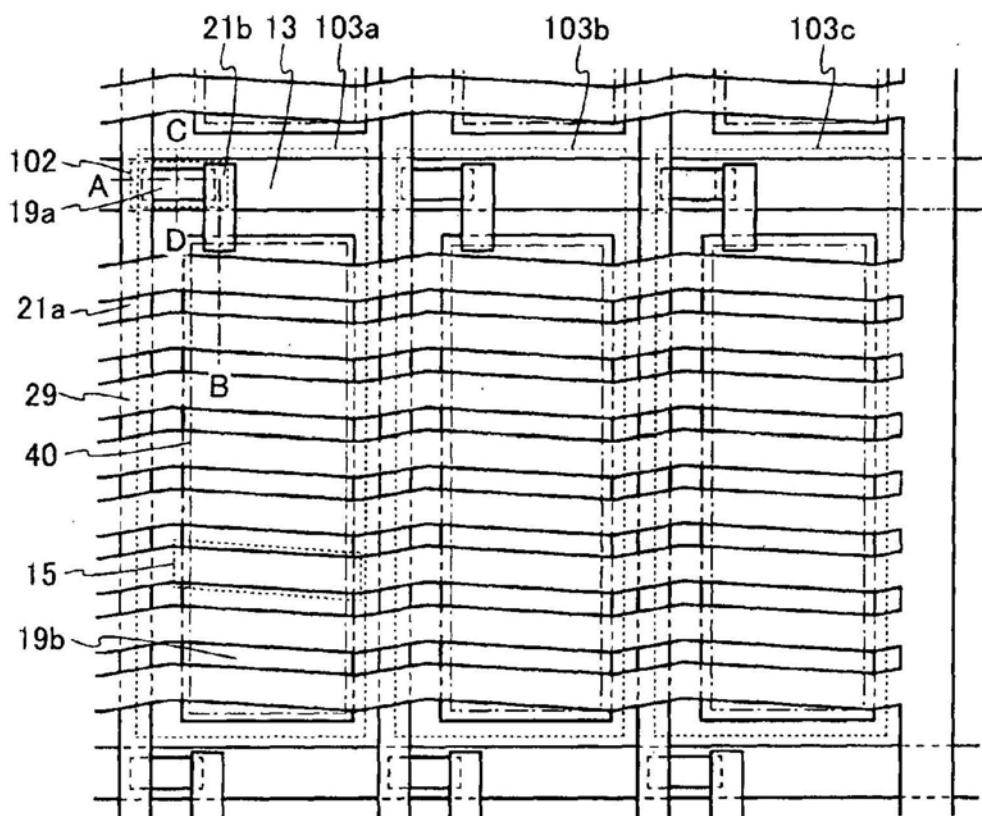


图6

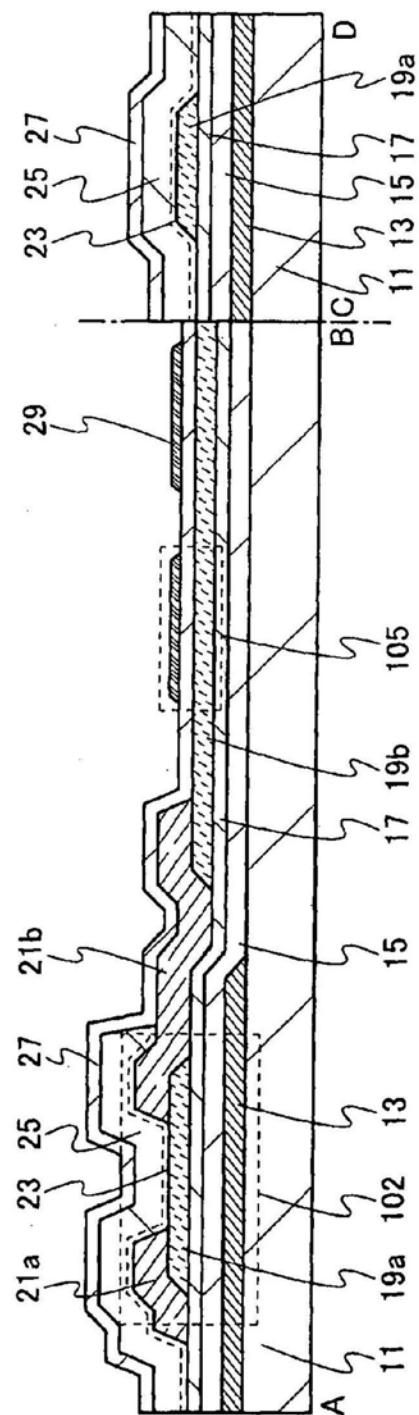


图7

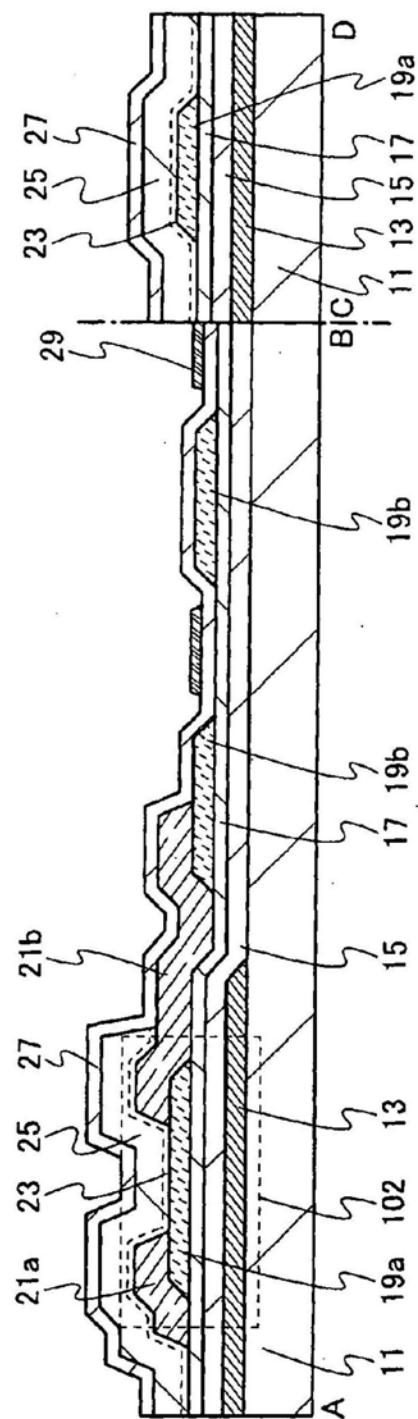


图8

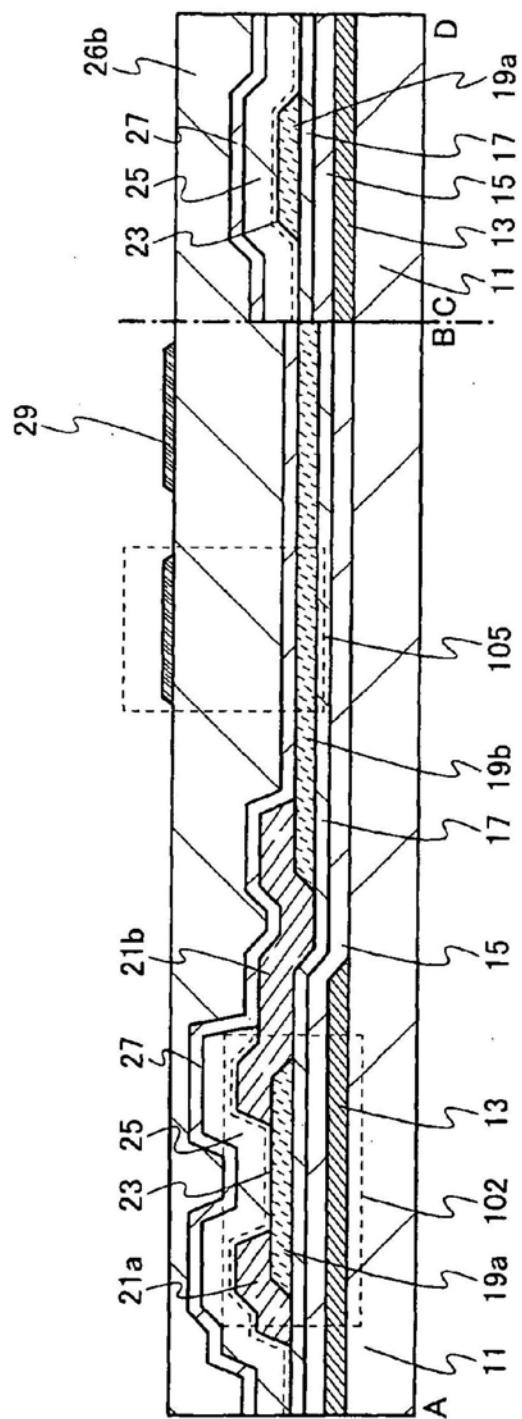


图9

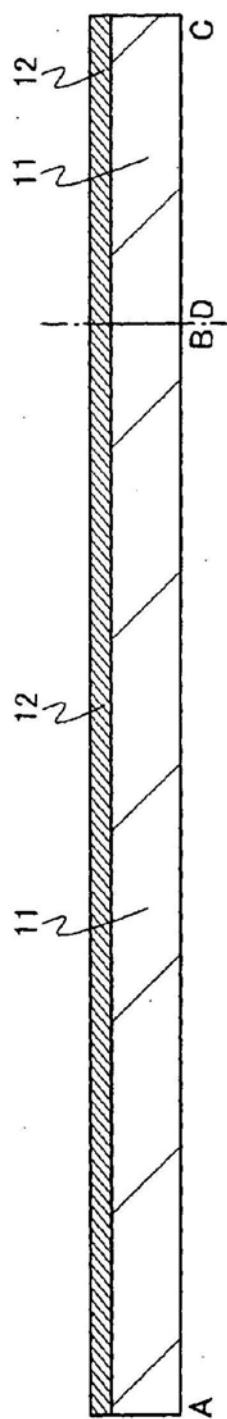


图10A

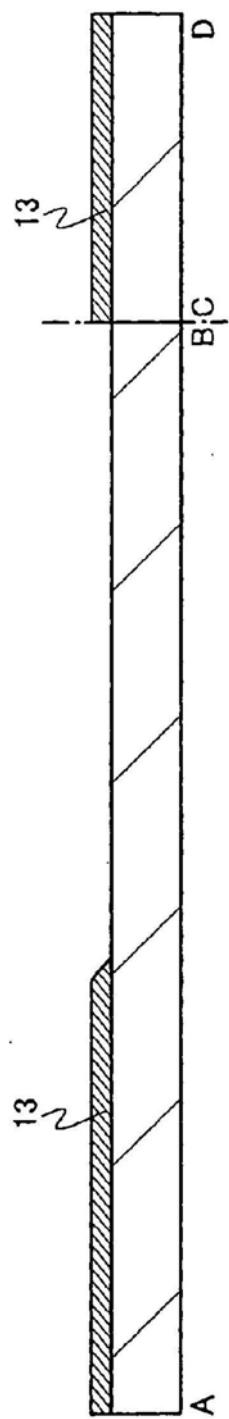


图10B

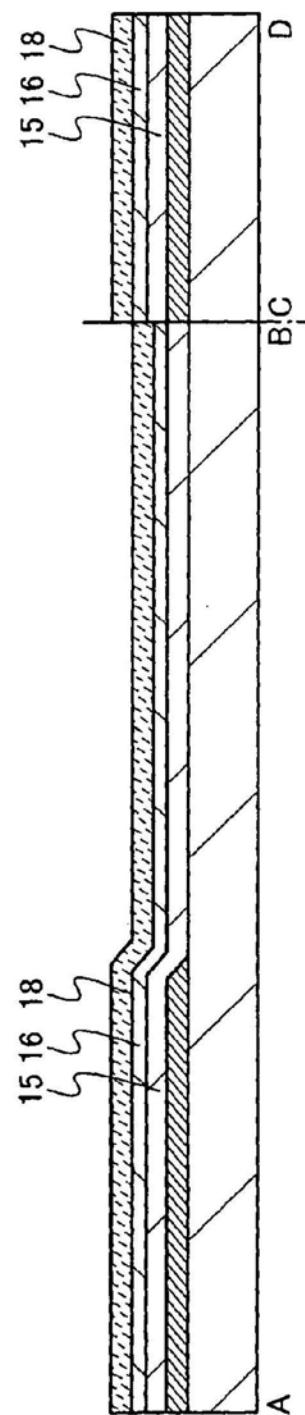


图10C

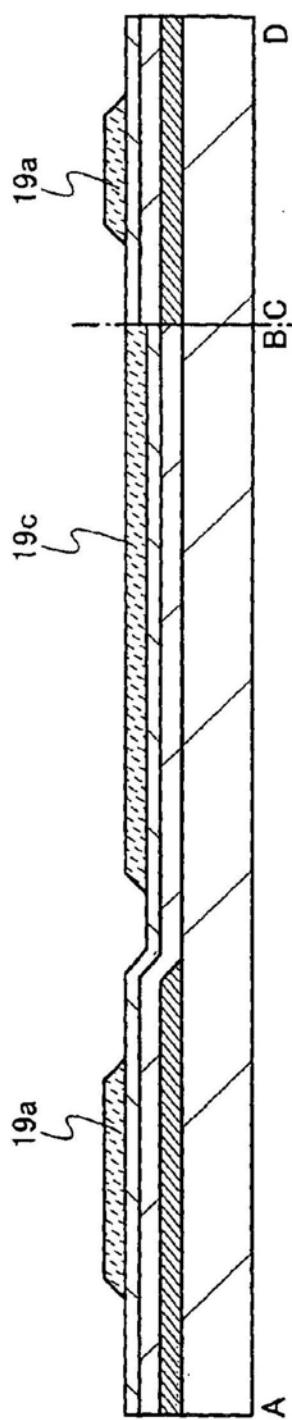


图10D

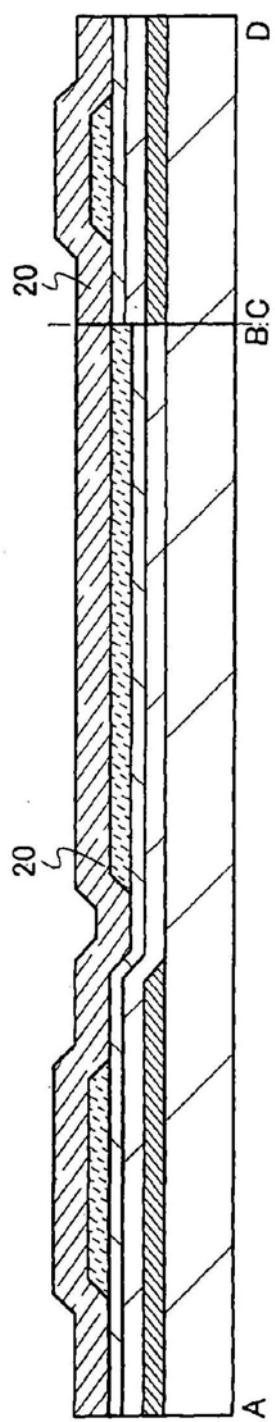


图11A

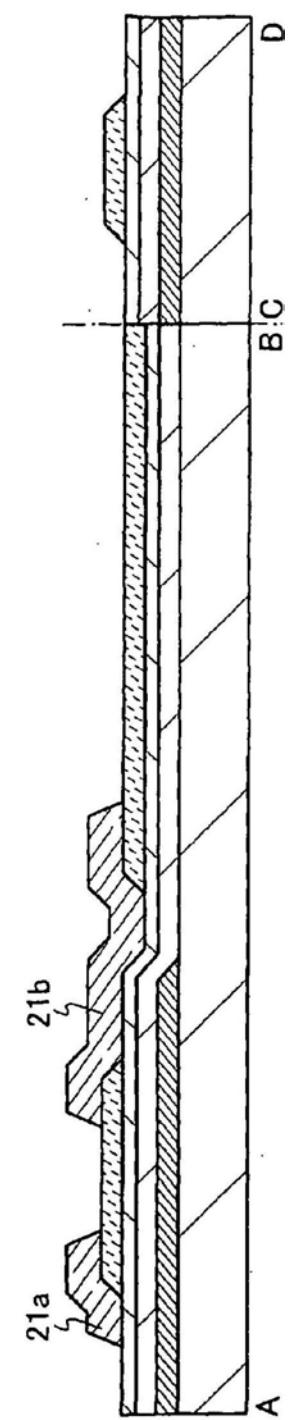


图11B

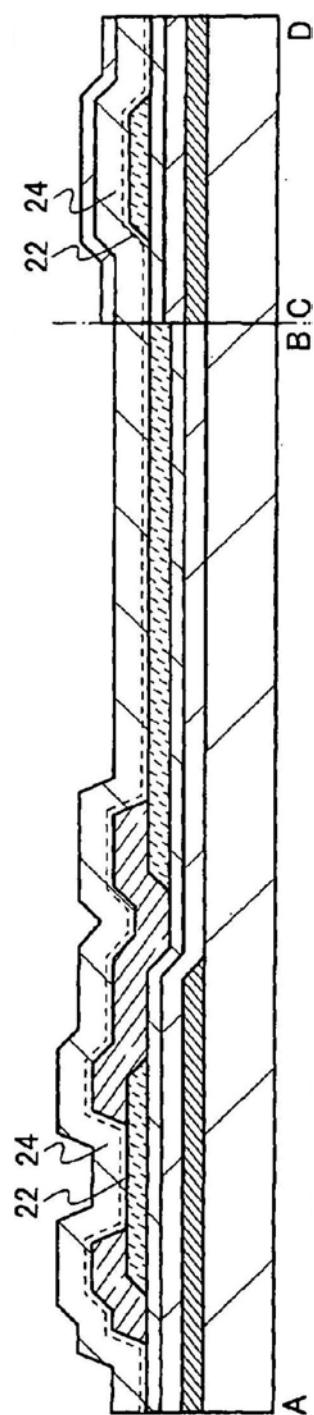


图11C

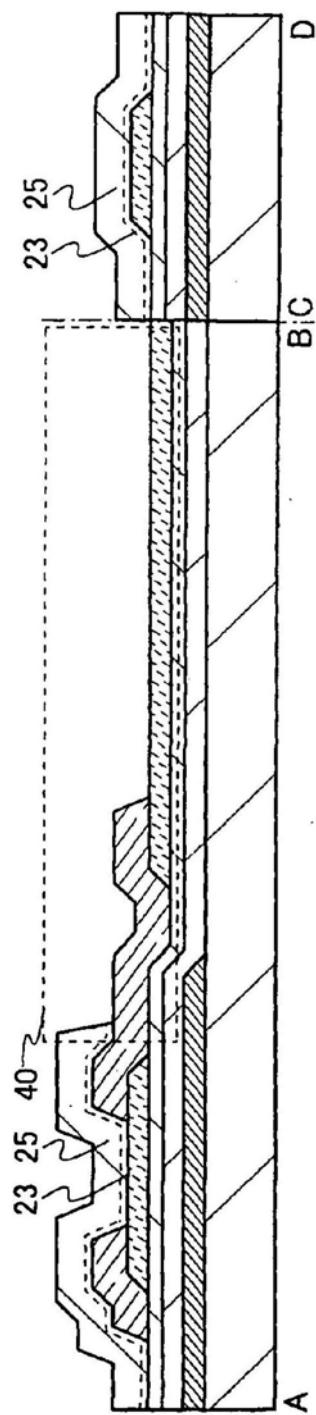


图11D

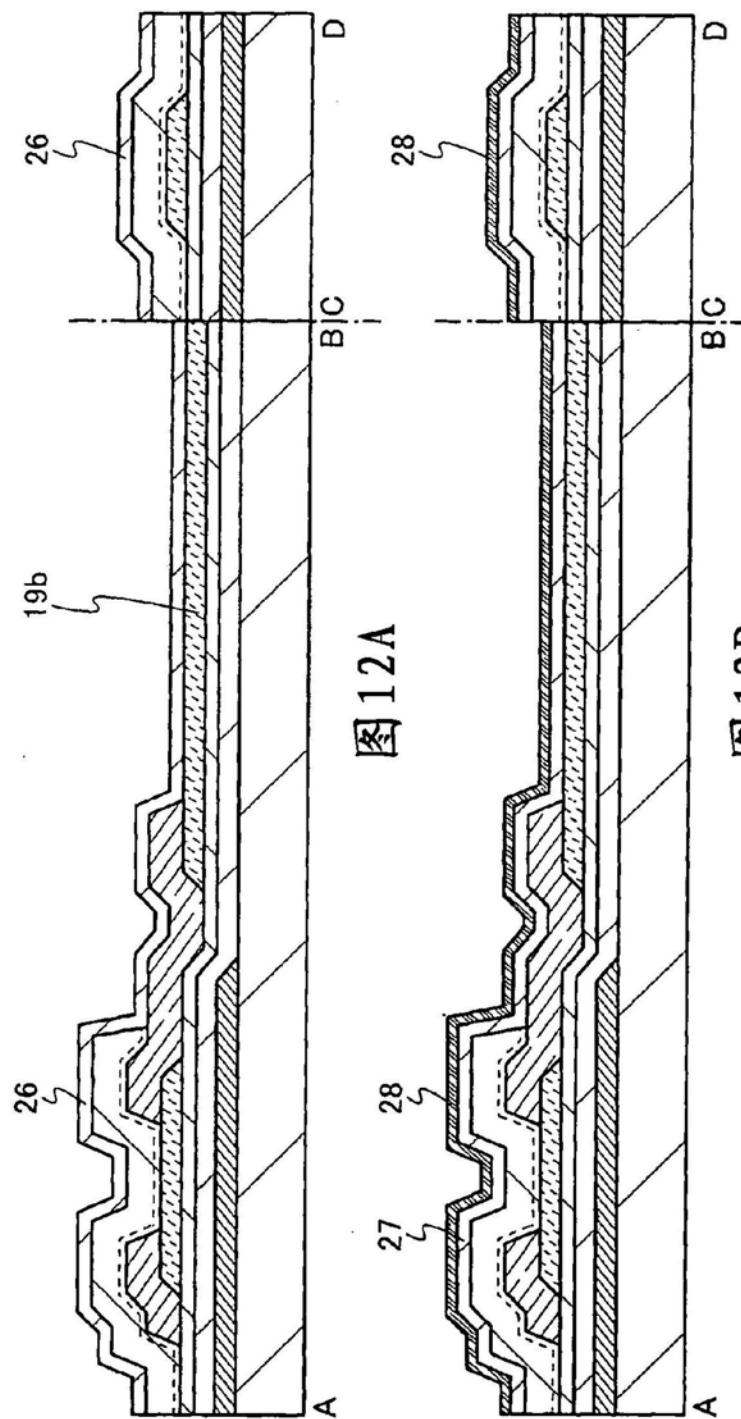


图 12A

图 12B

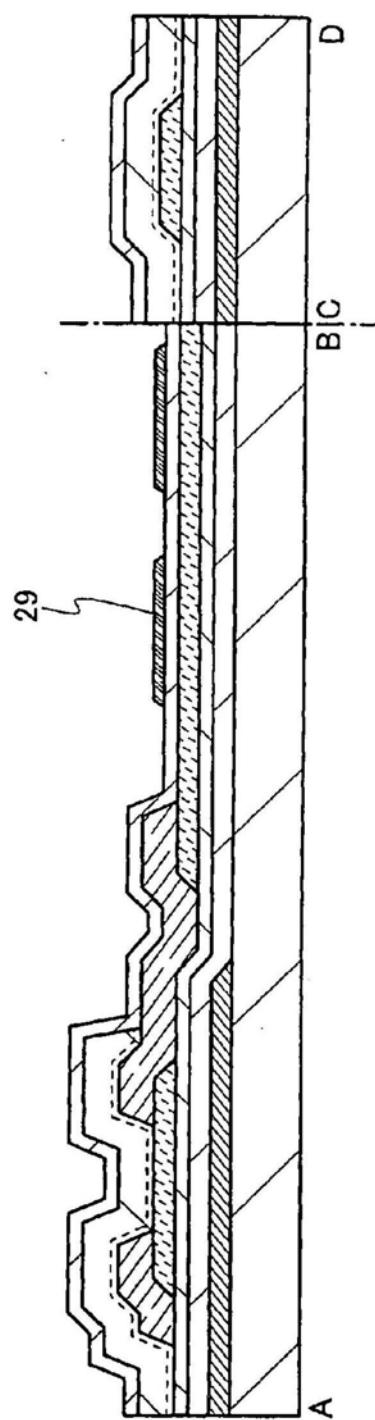


图12C

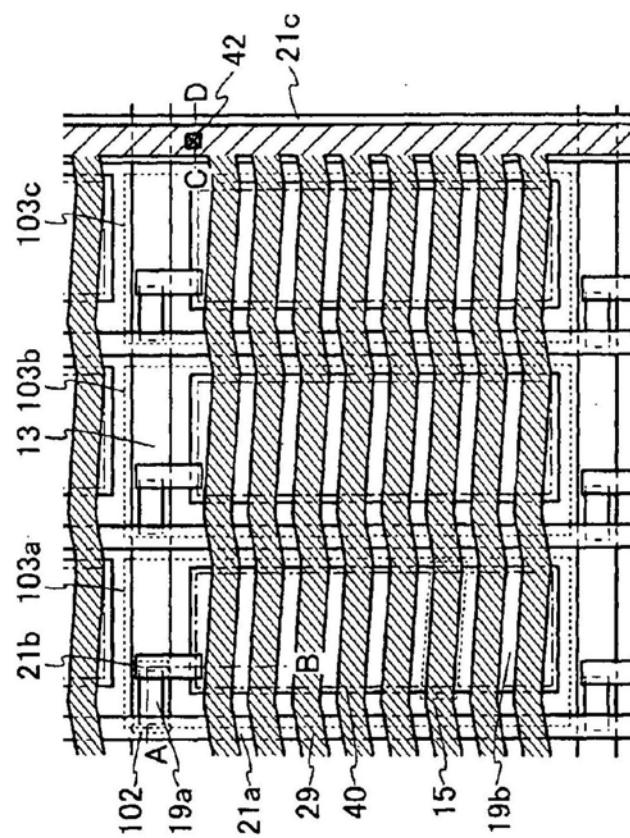


图13A

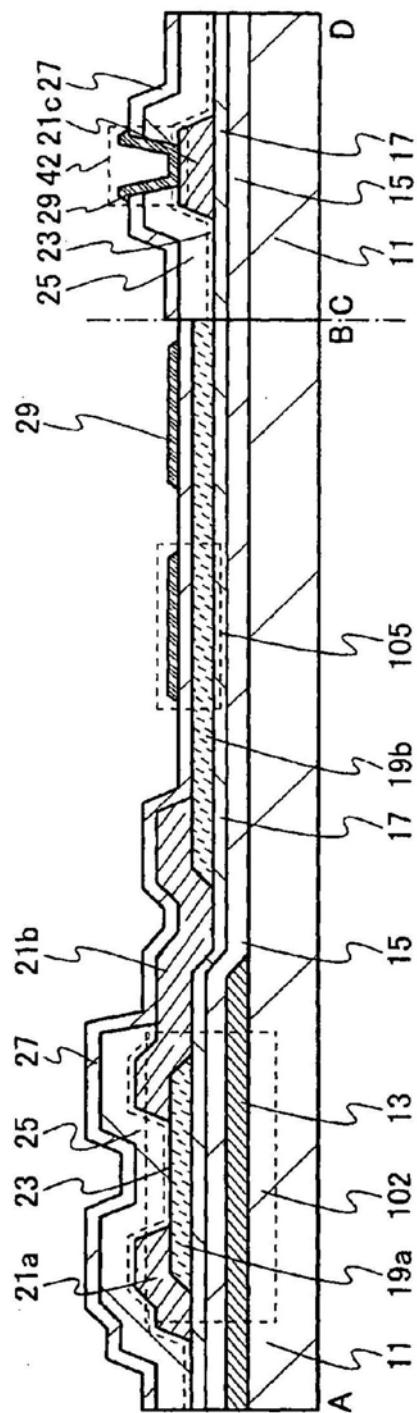


图13B

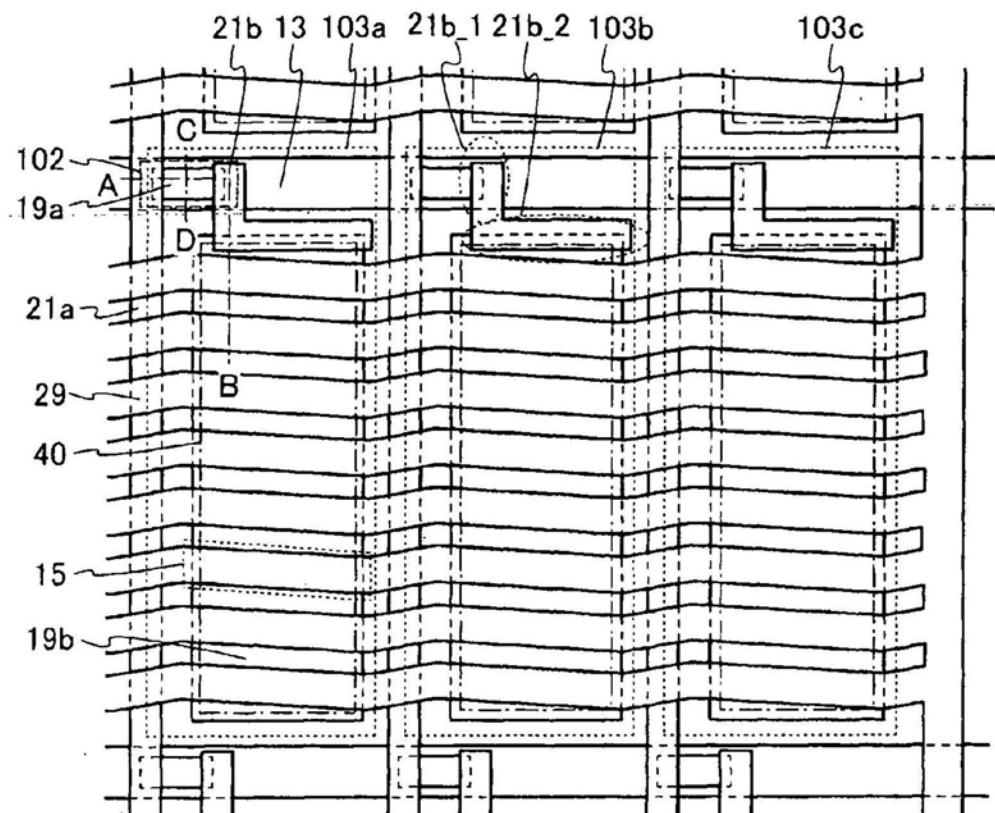


图14

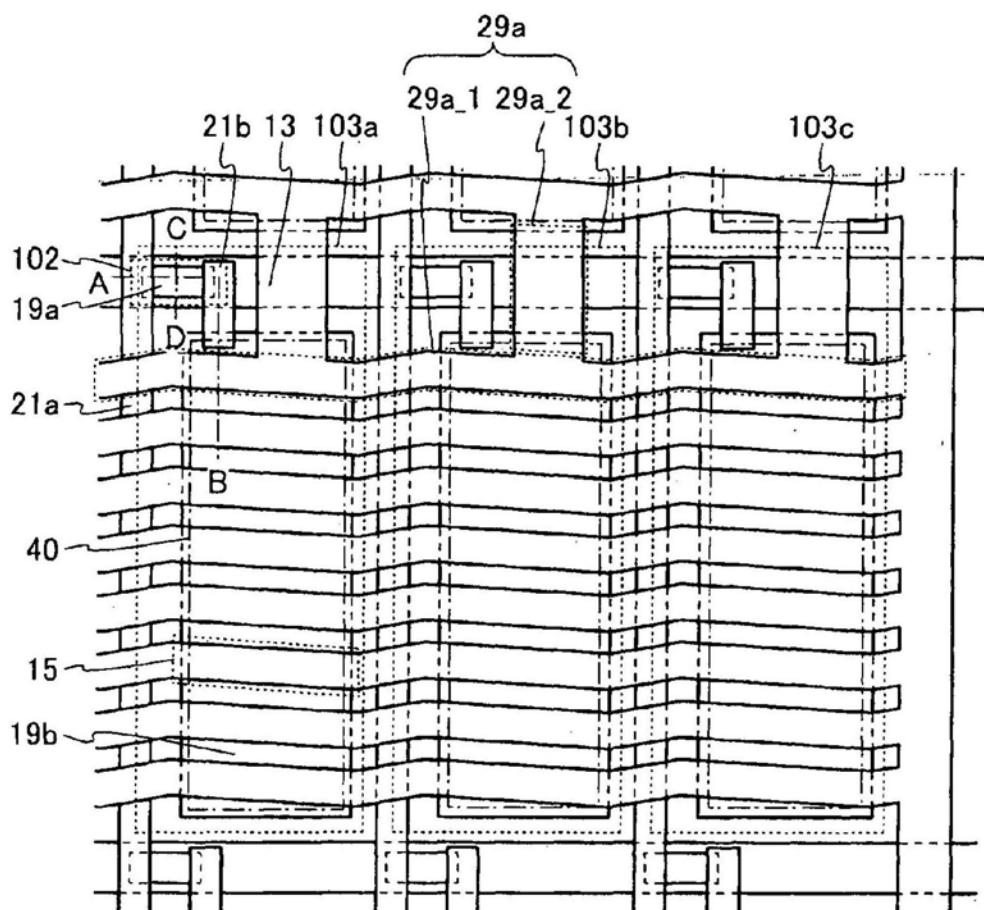


图15

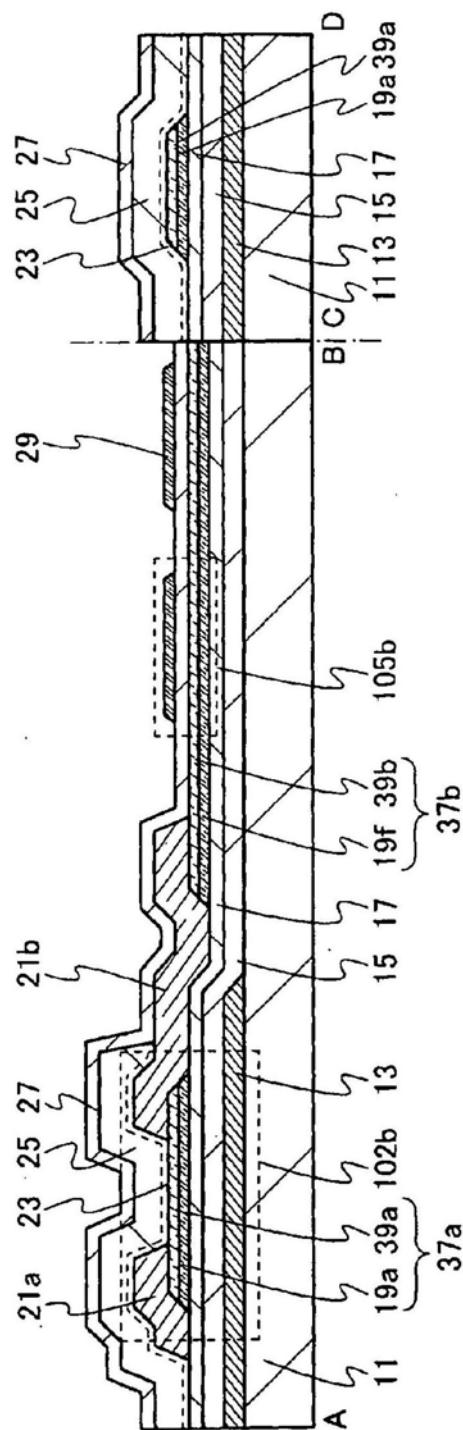


图16A

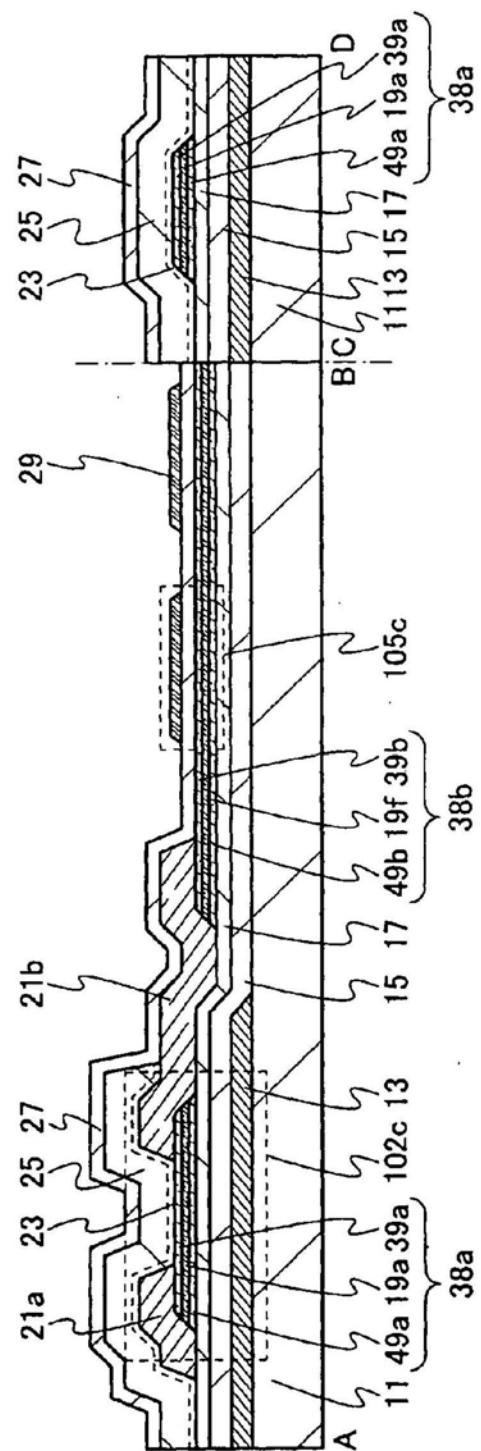


图16B

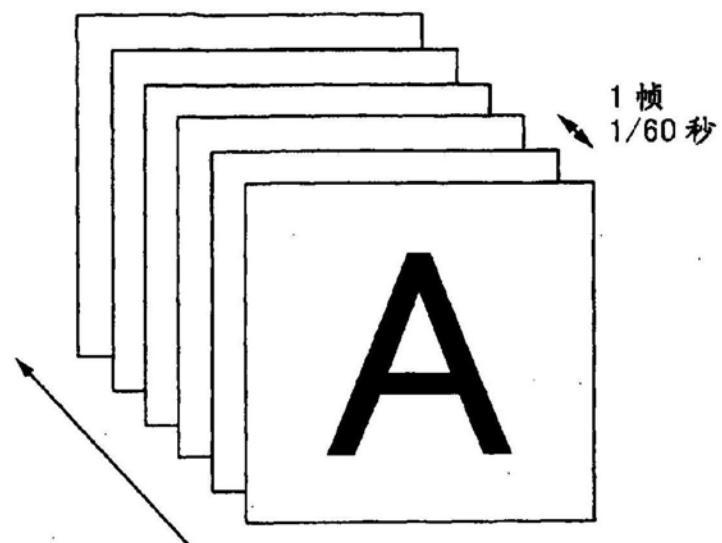


图17A

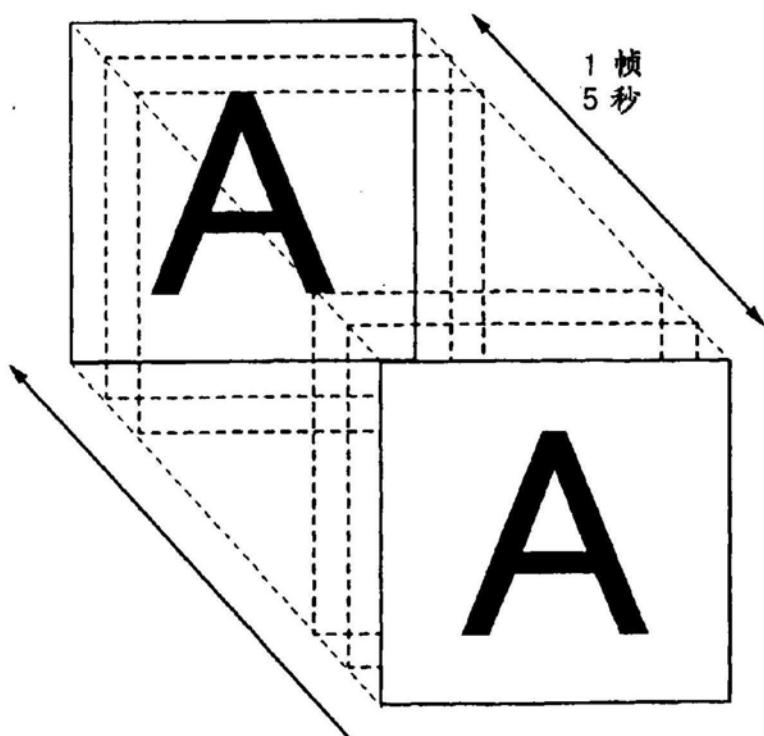


图17B

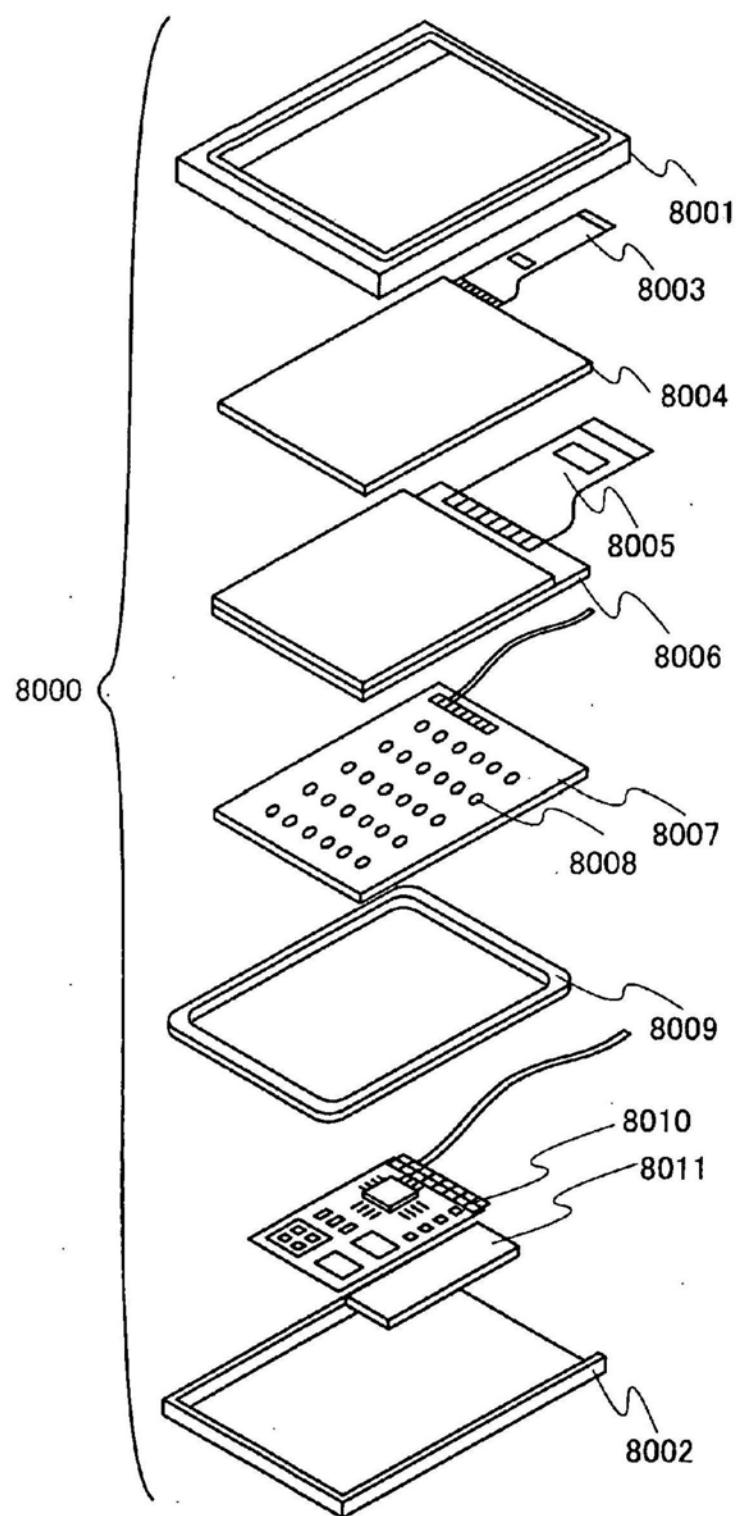


图18

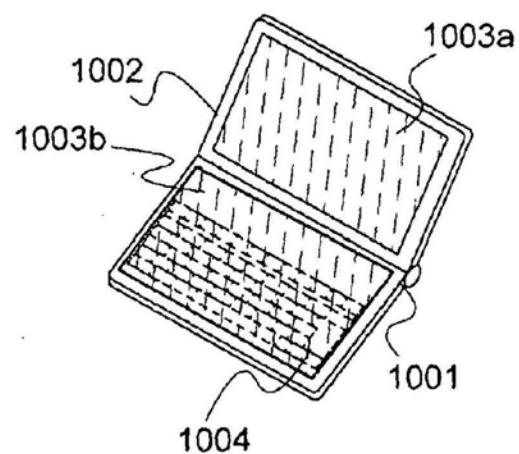


图19A

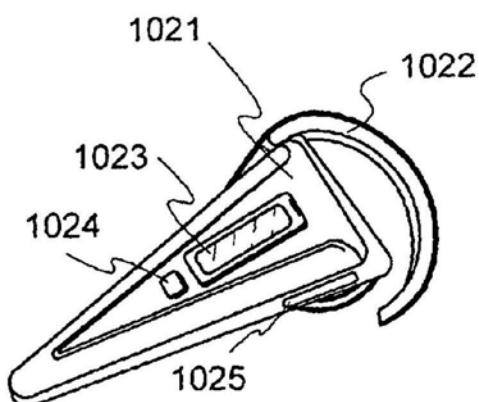


图19B

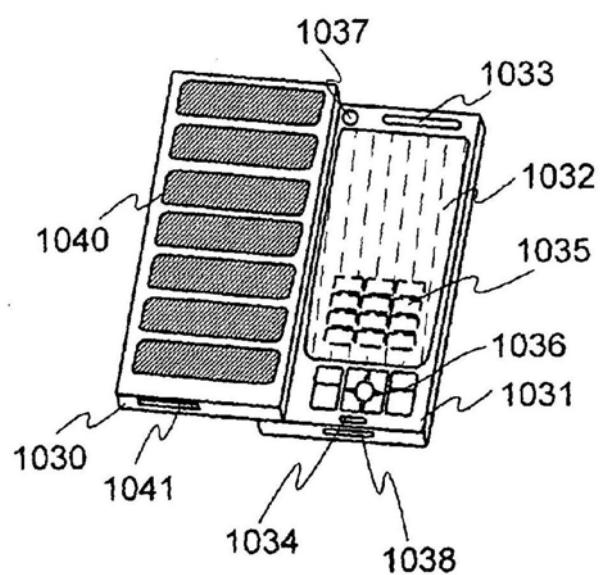


图19C

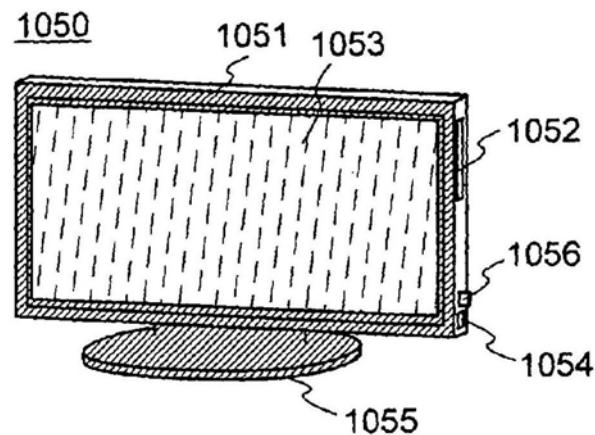


图19D

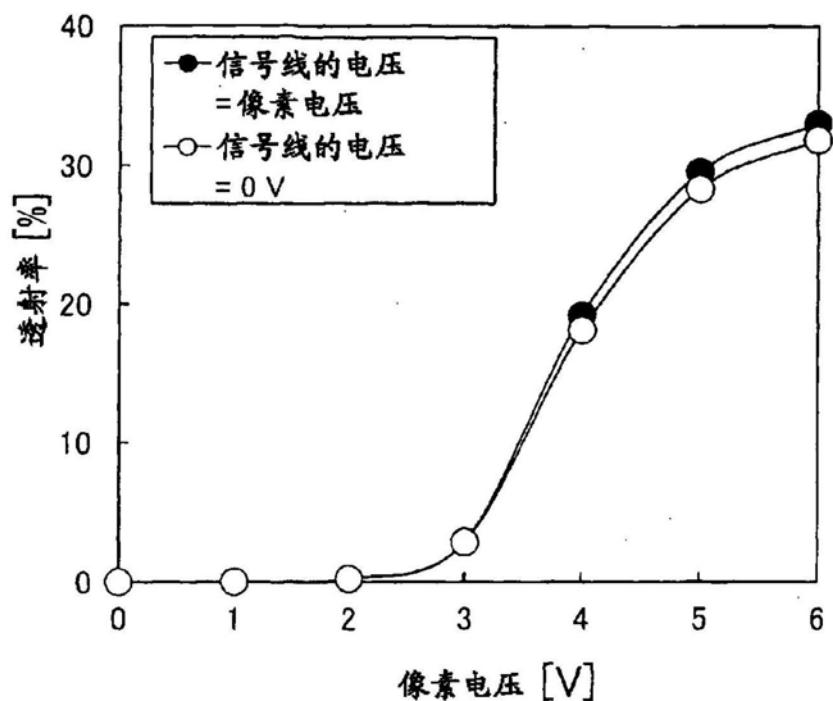
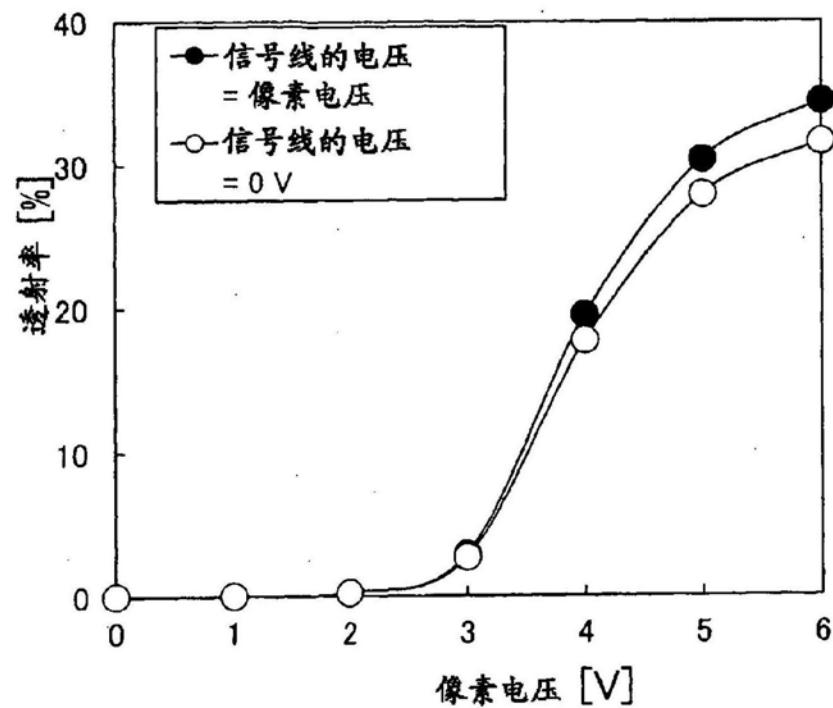
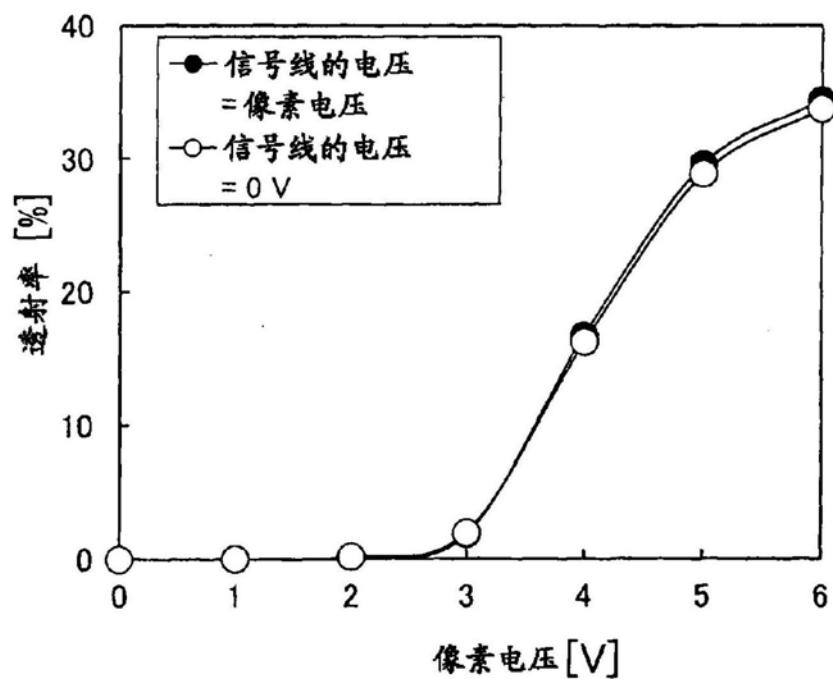


图20A



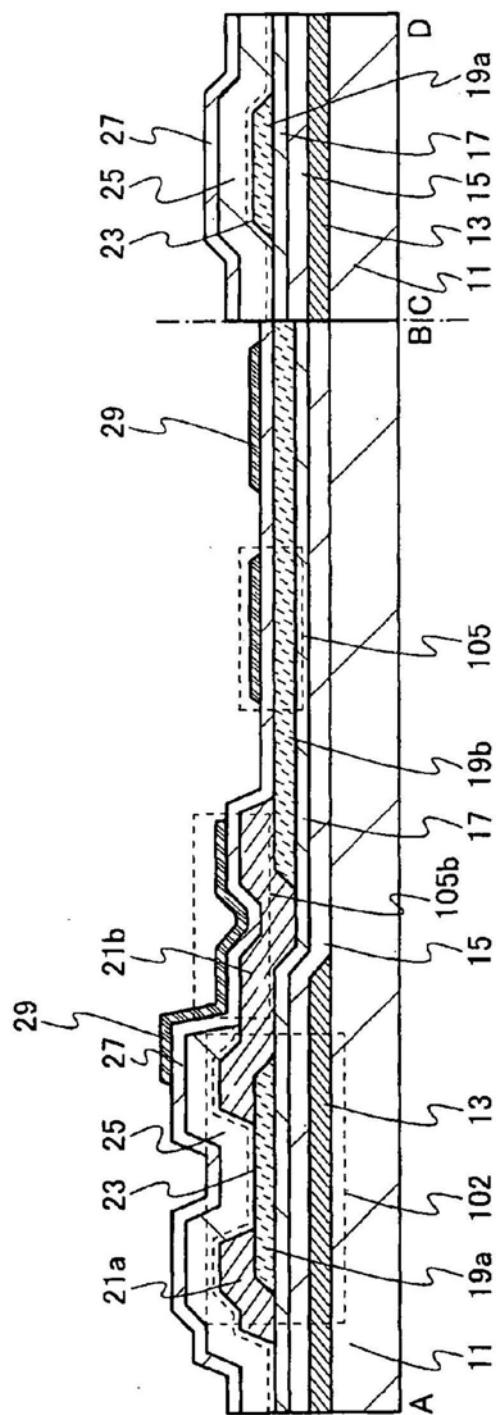


图22

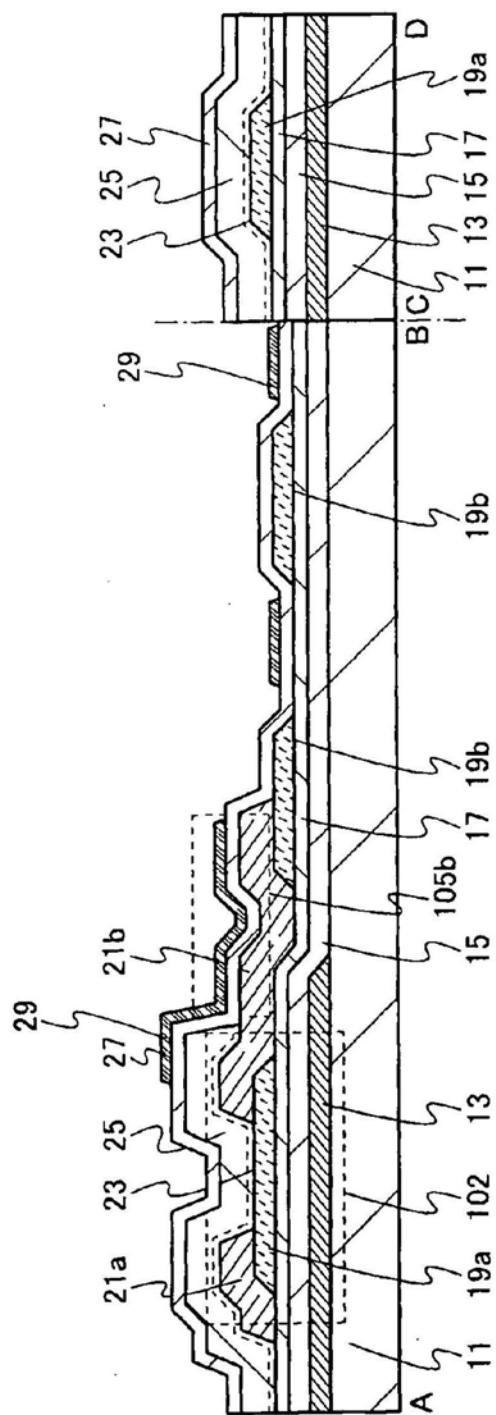


图23

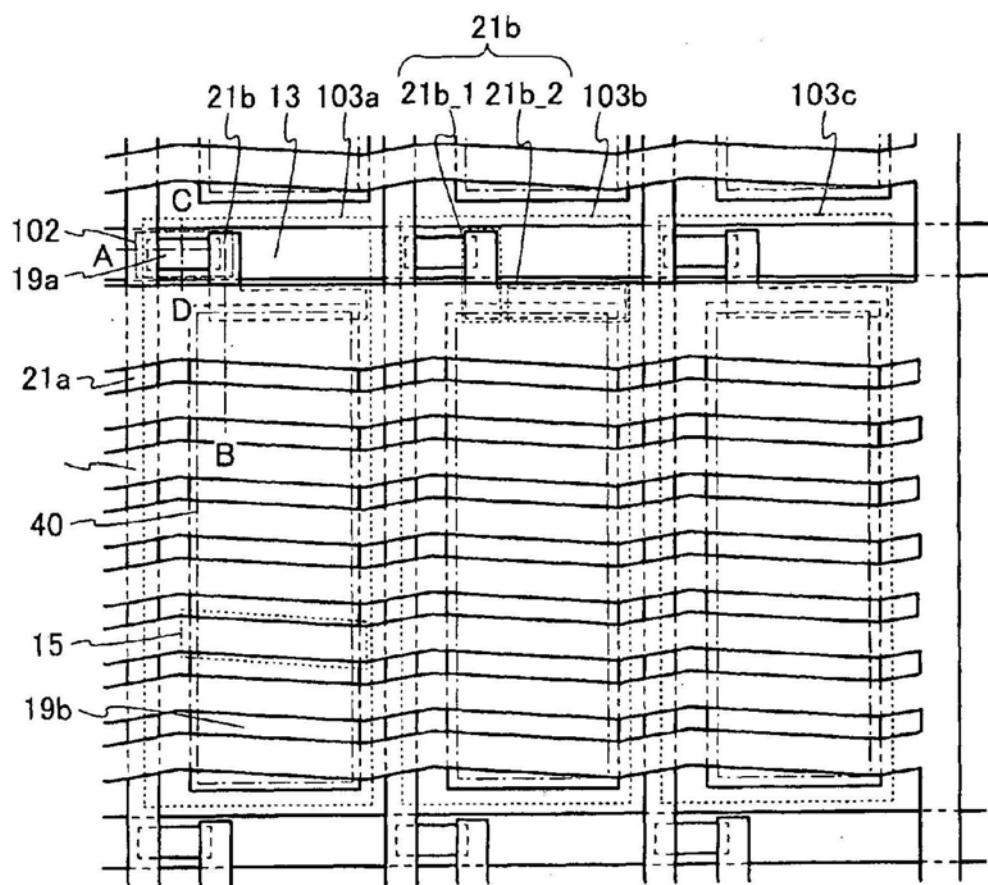


图24

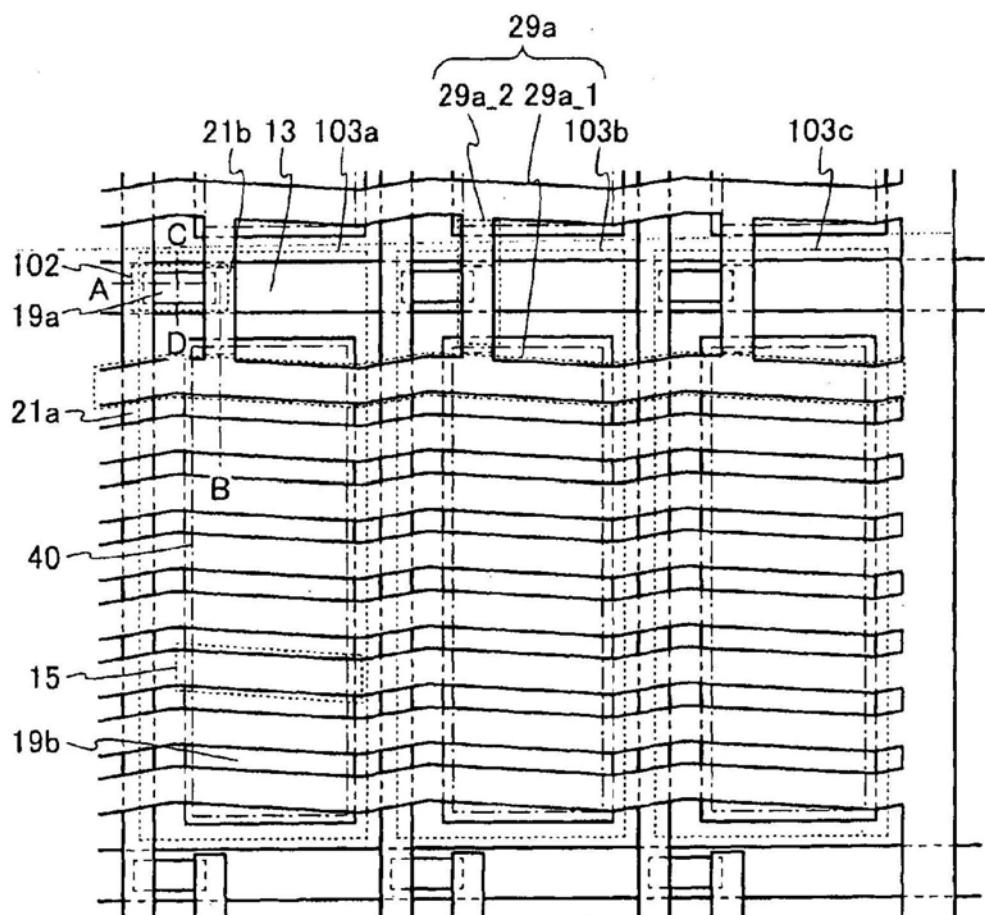


图25

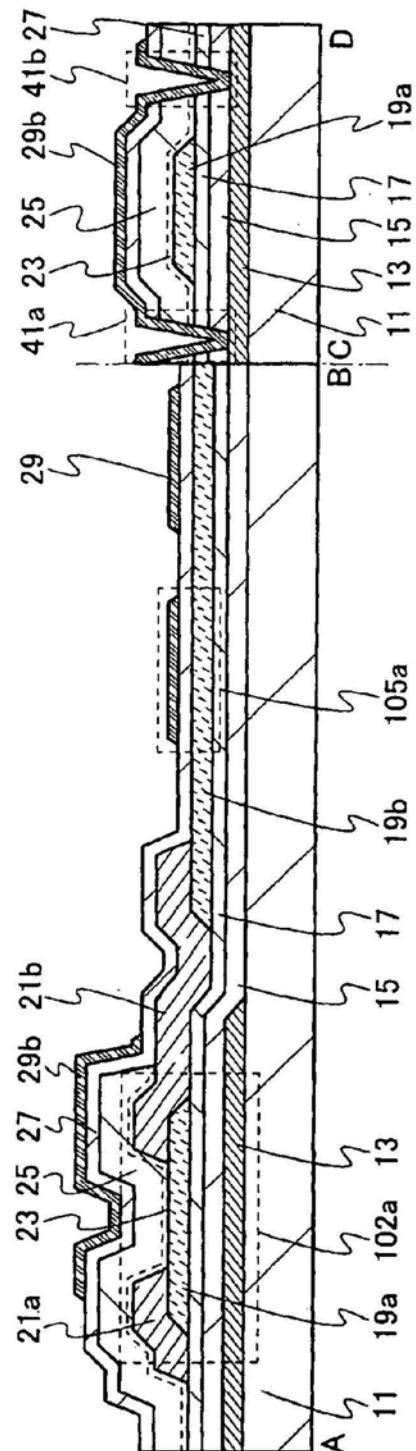


图26

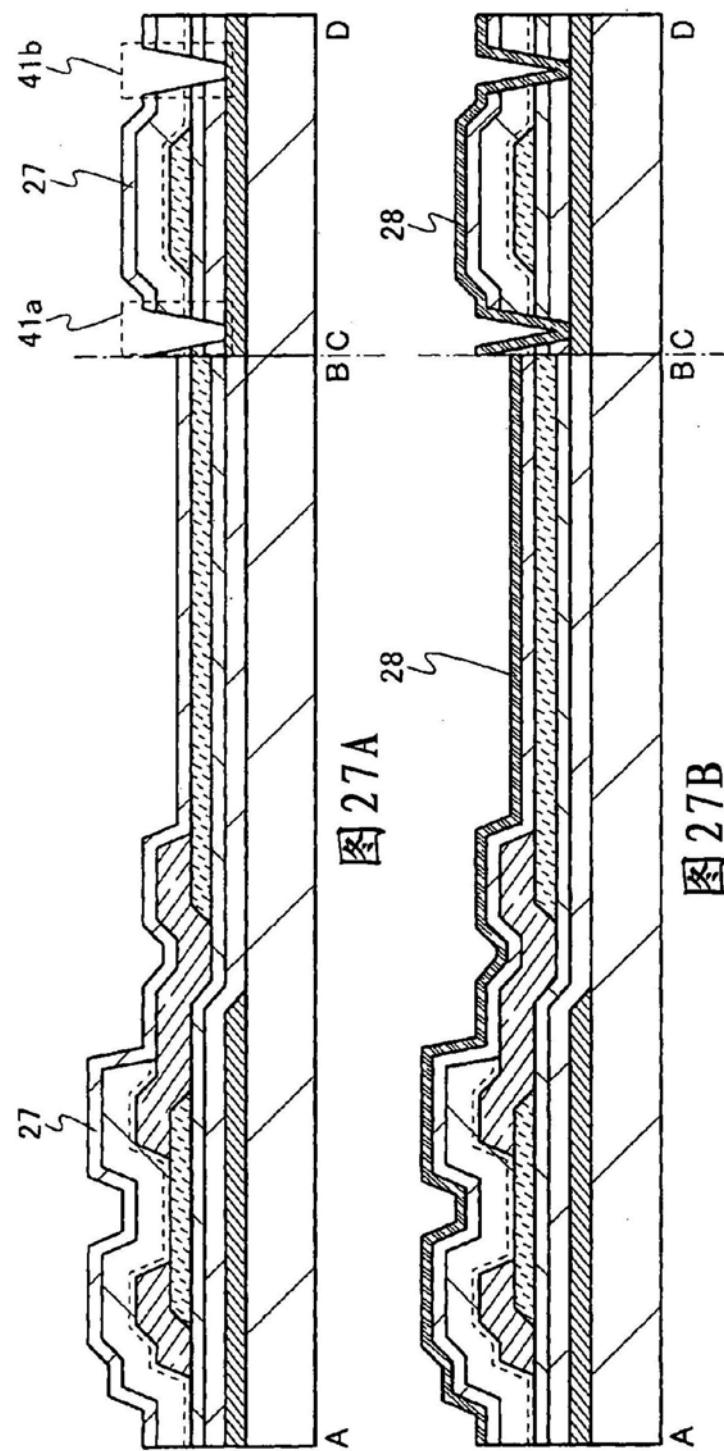


图 27A

图 27B

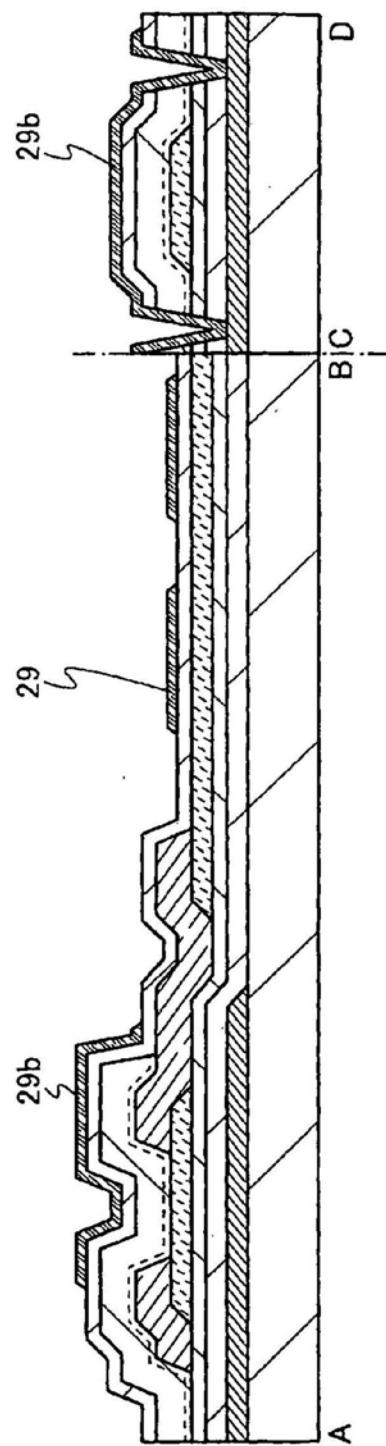


图27C

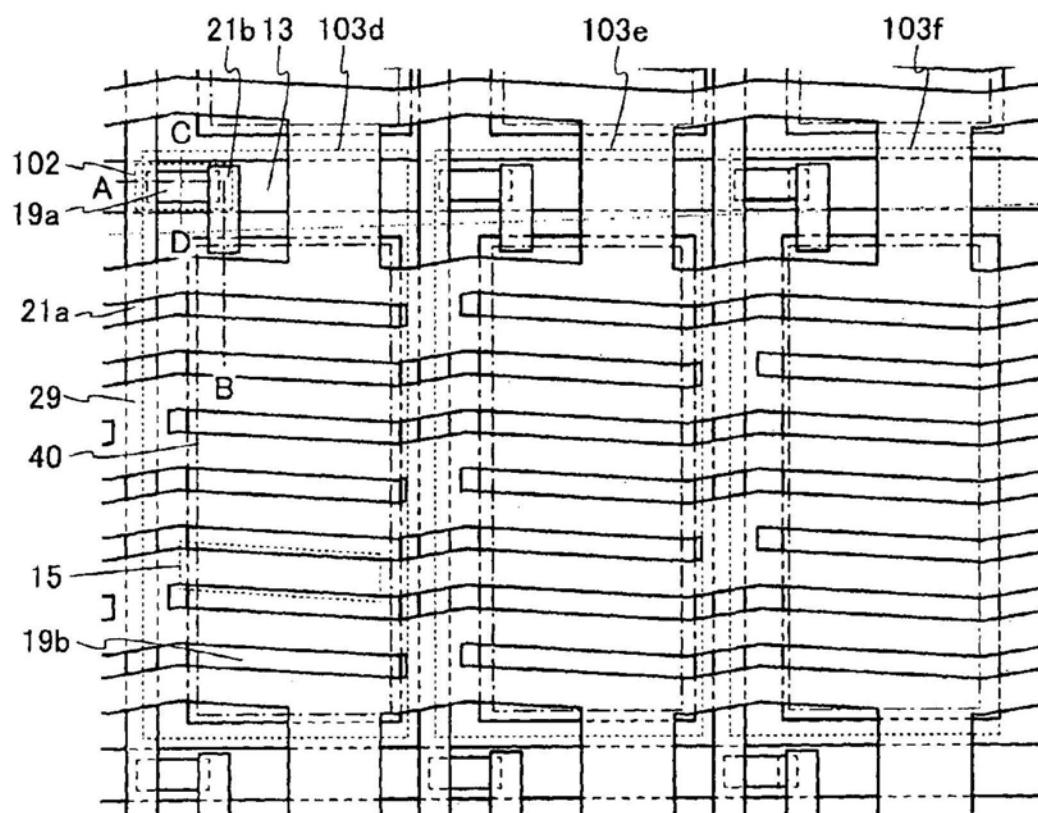


图28

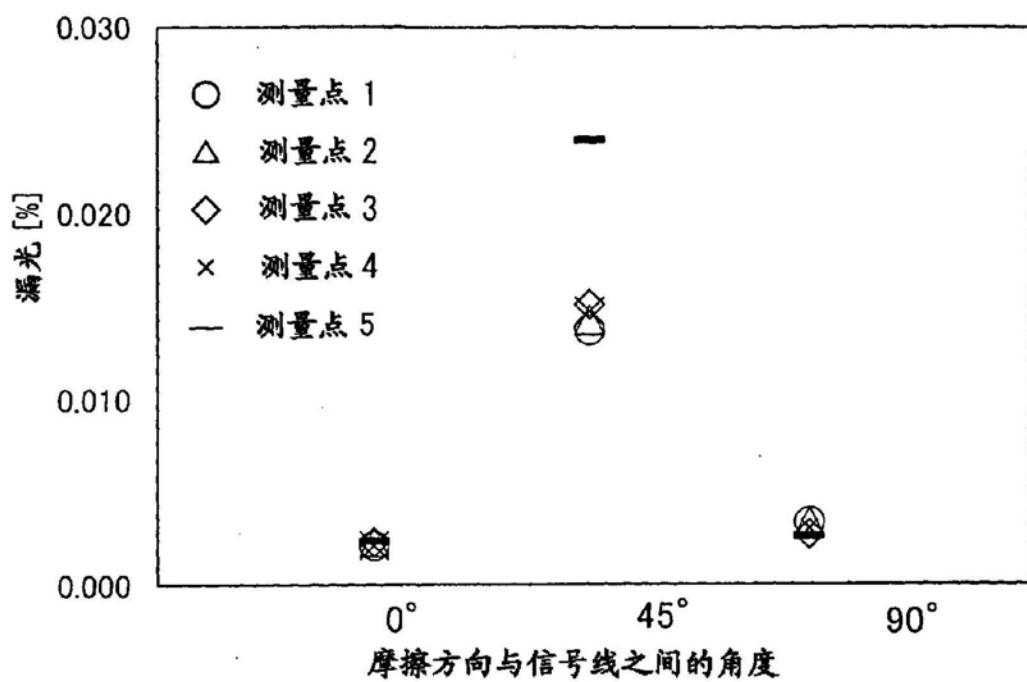


图29



图30A

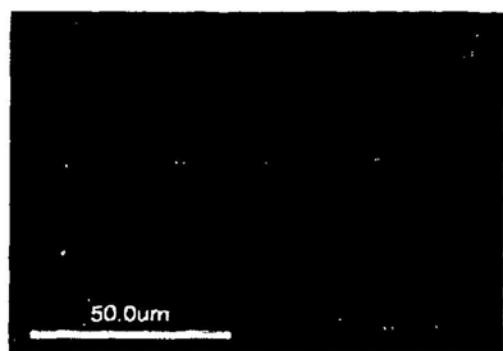


图30B

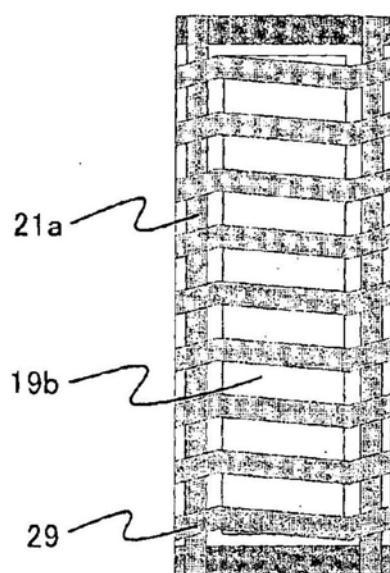


图31A

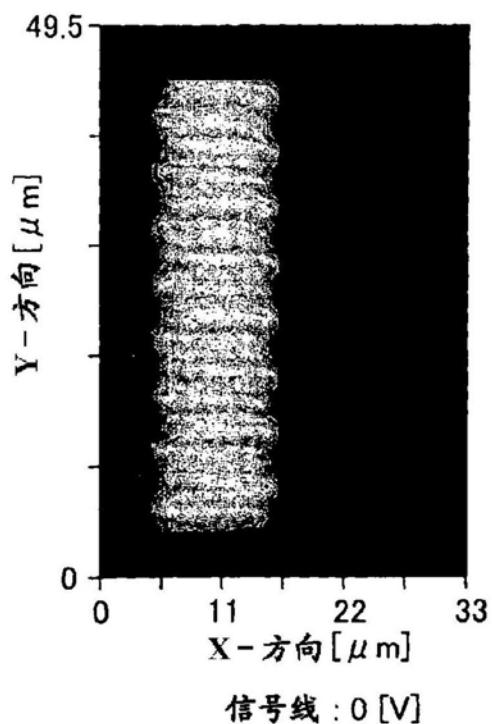


图31B

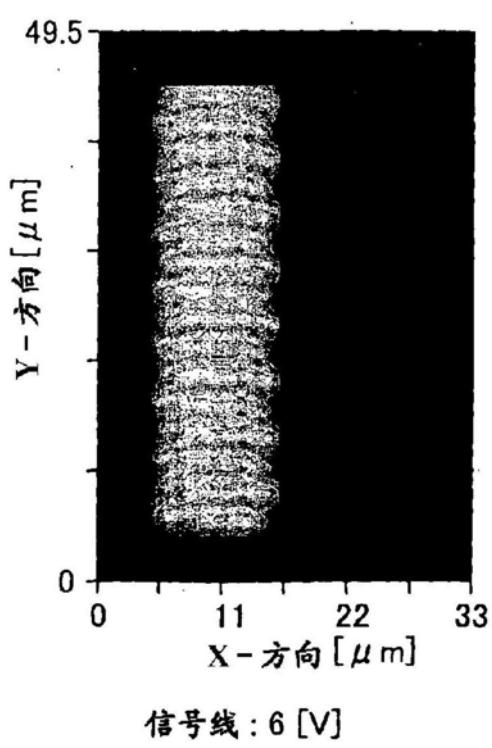


图31C

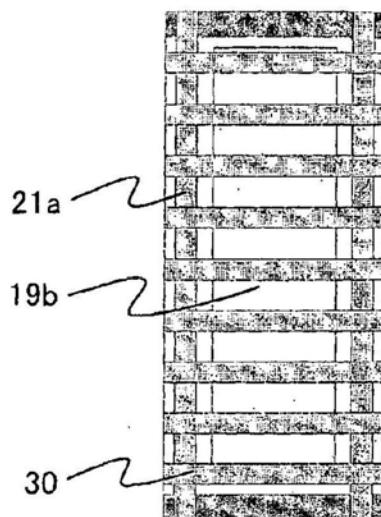
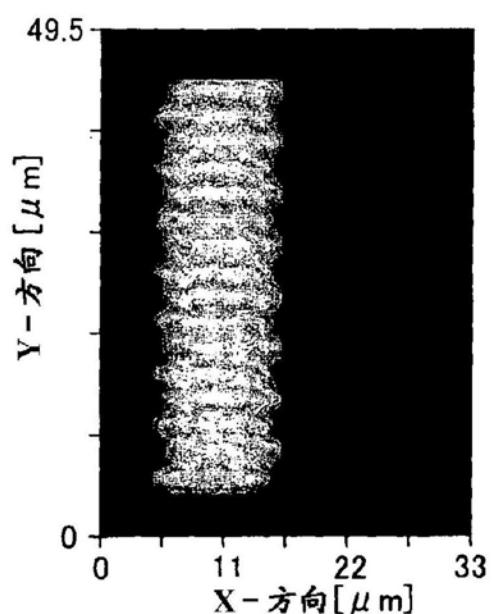
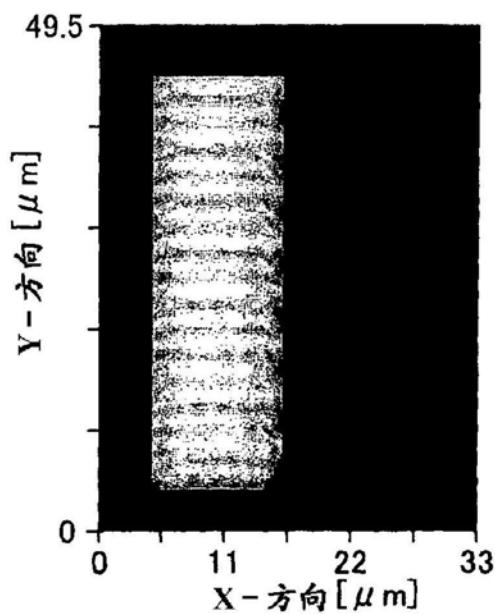


图32A



信号线: 0 [V]

图32B



信号线: 6 [V]

图32C

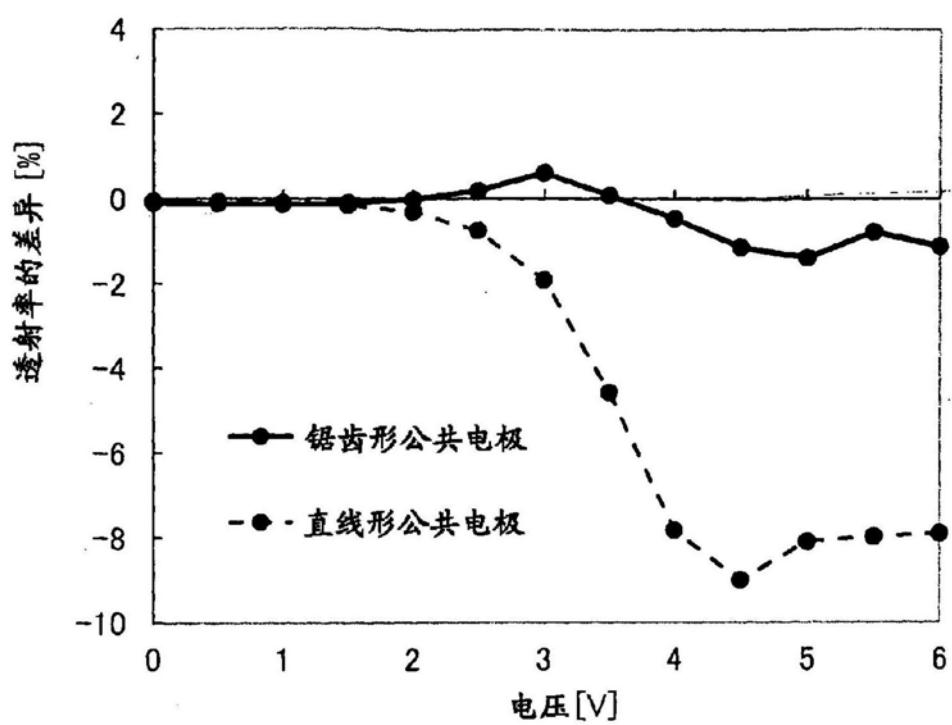


图33

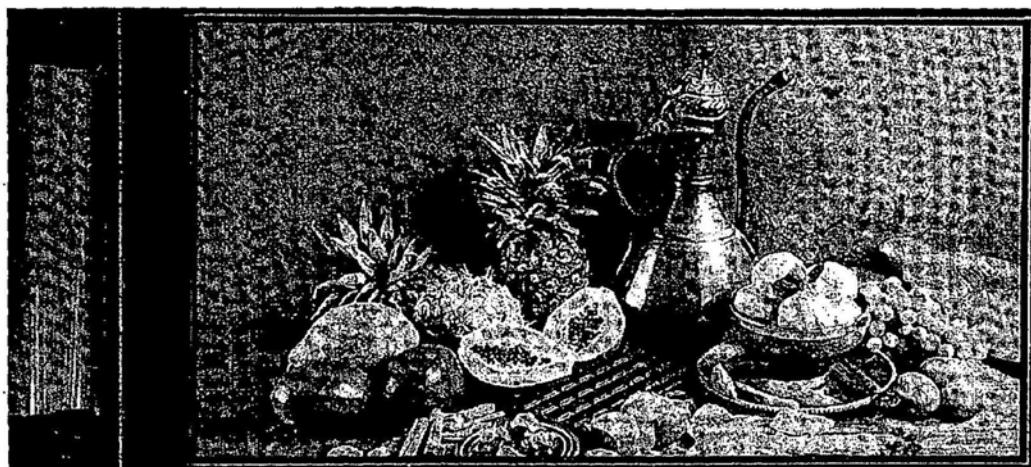


图34

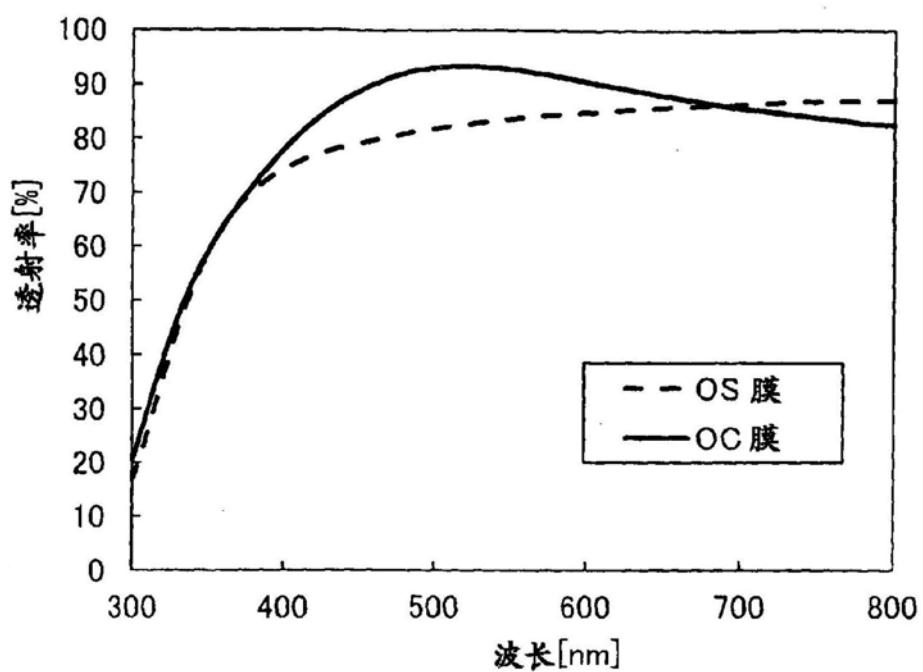


图35

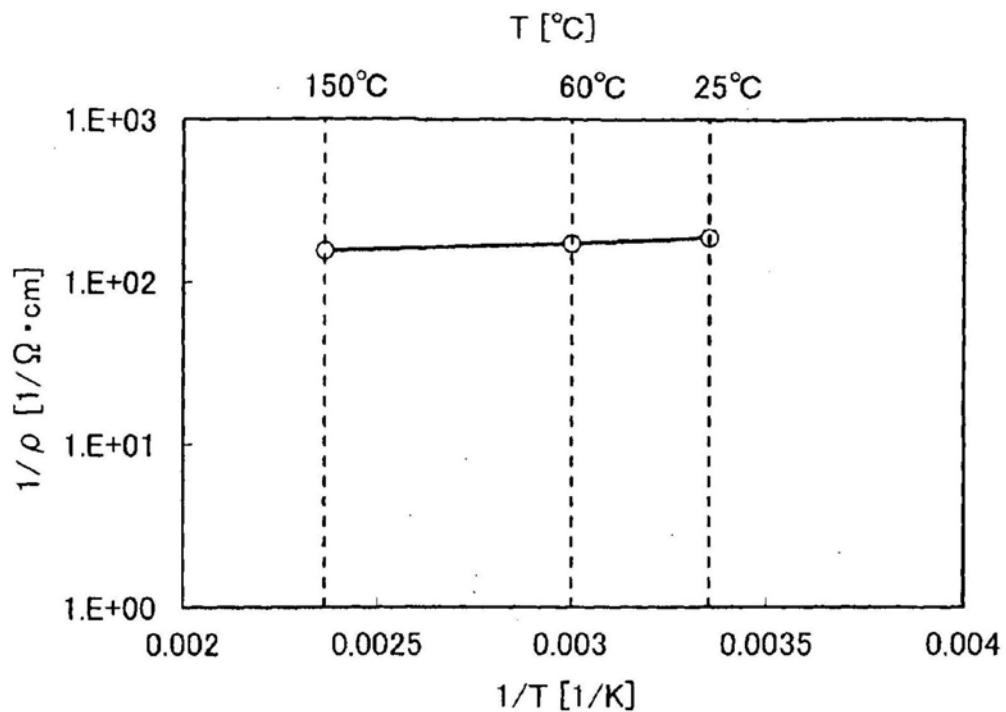


图36

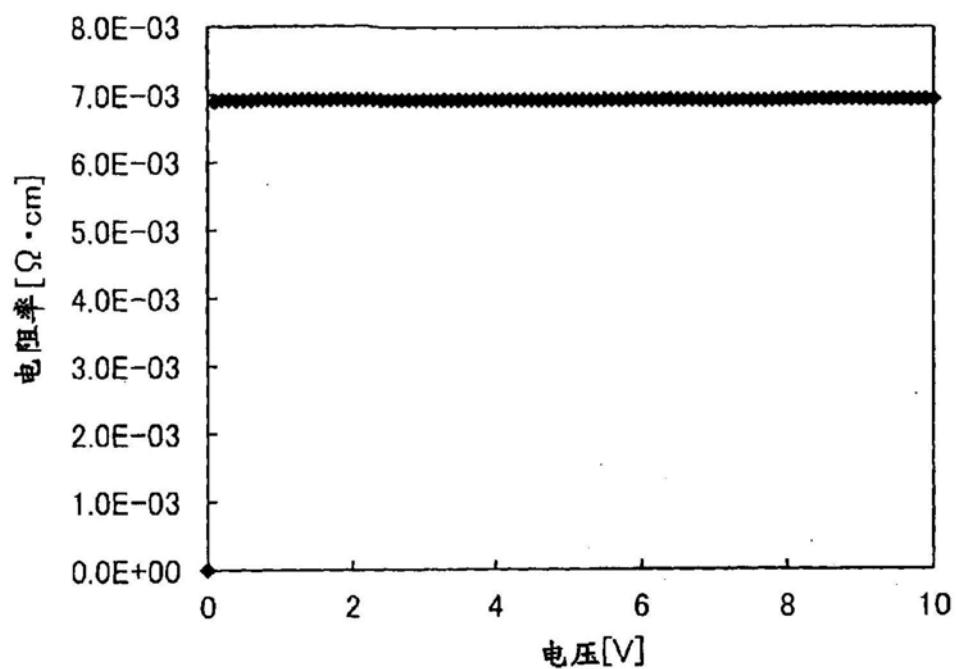


图37

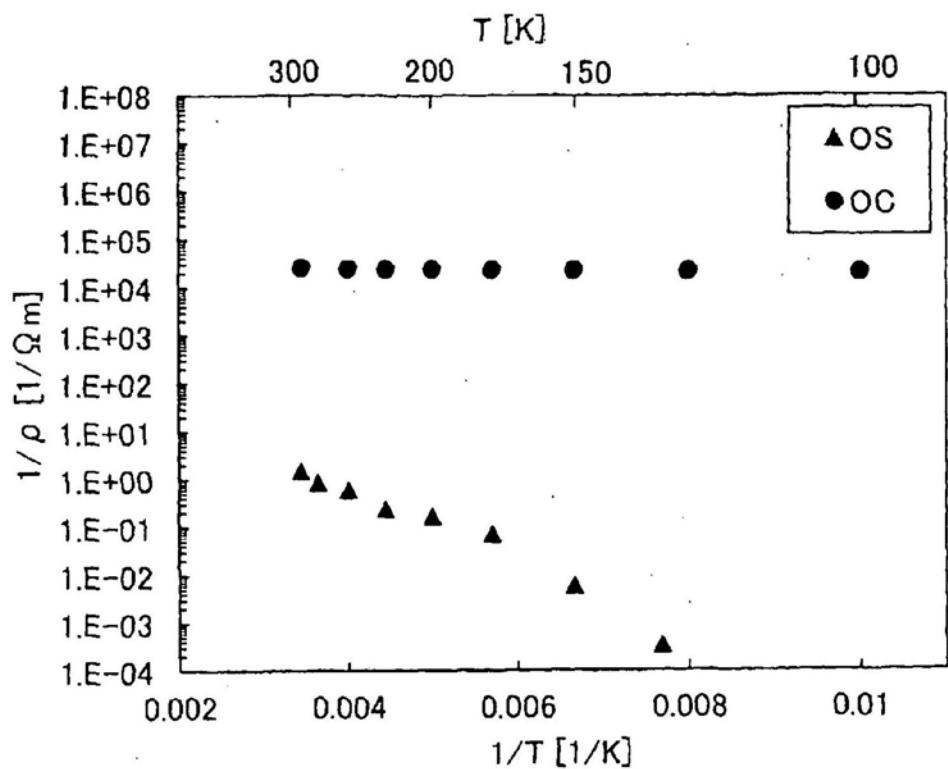


图38

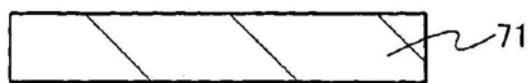


图39A

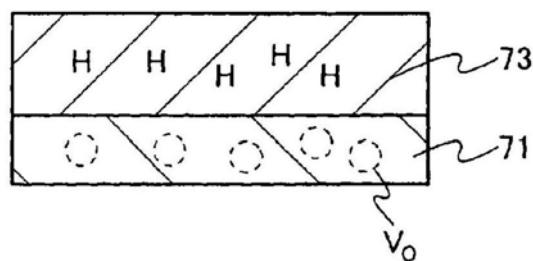


图39B

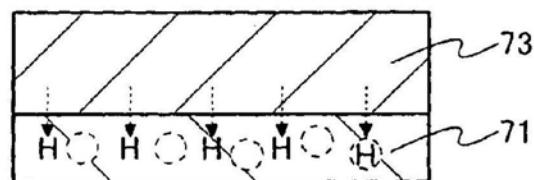


图39C

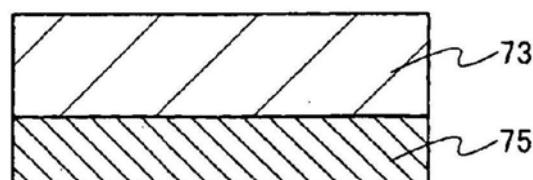


图39D

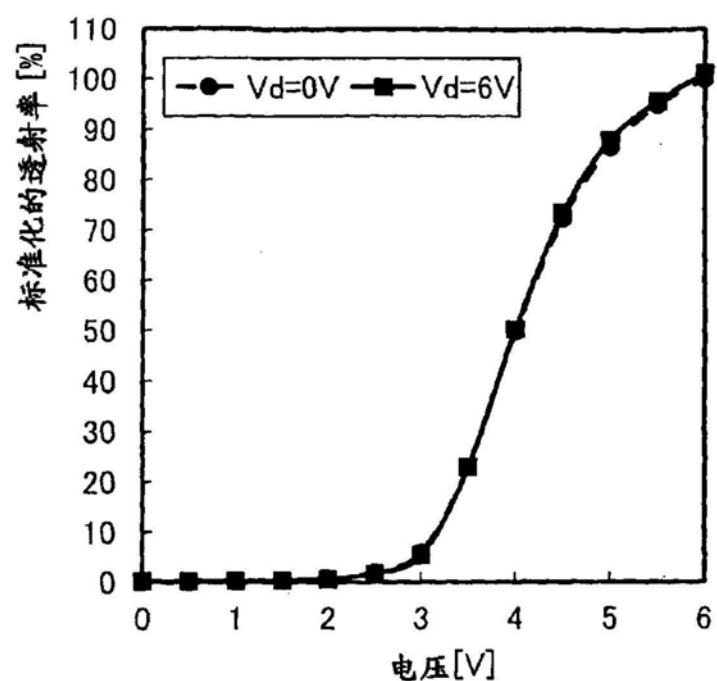


图40A

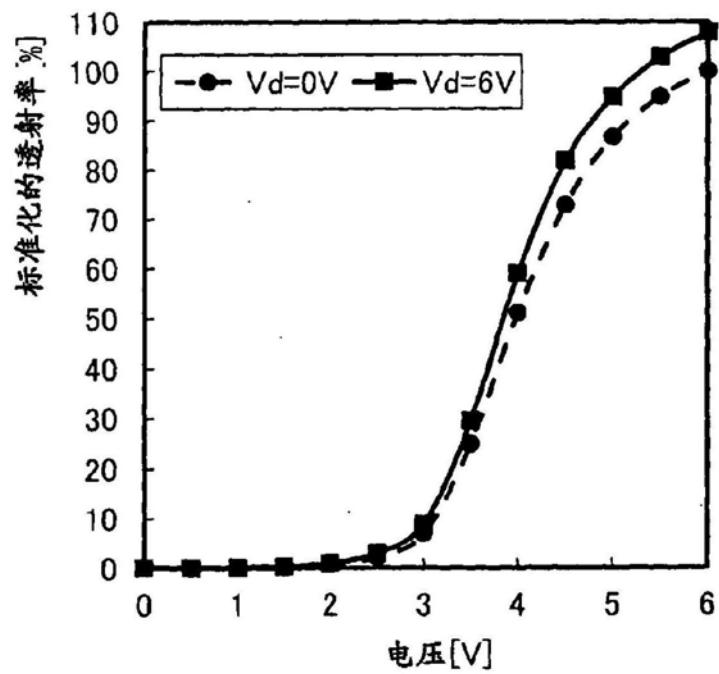


图40B

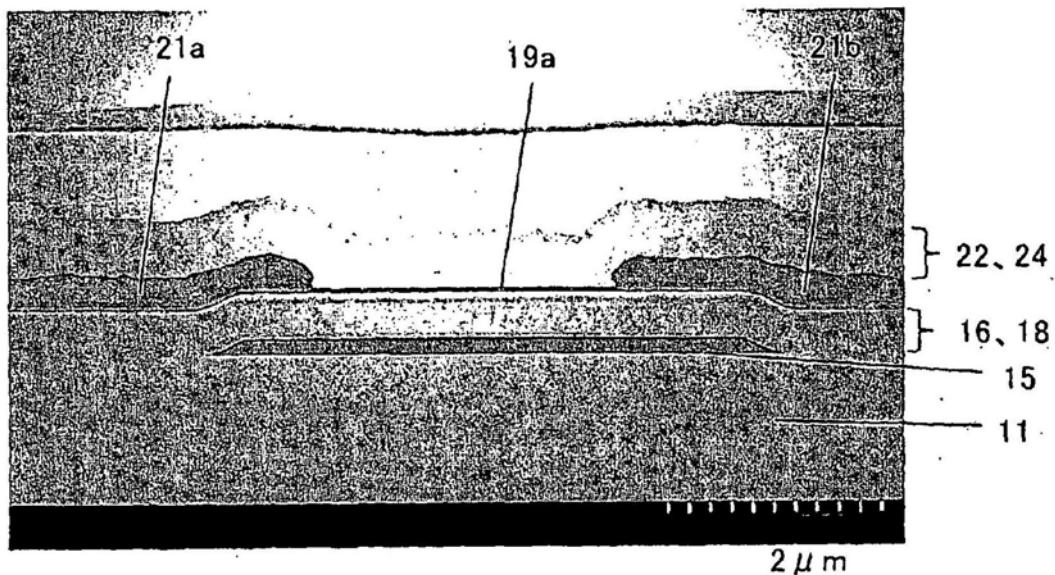


图41

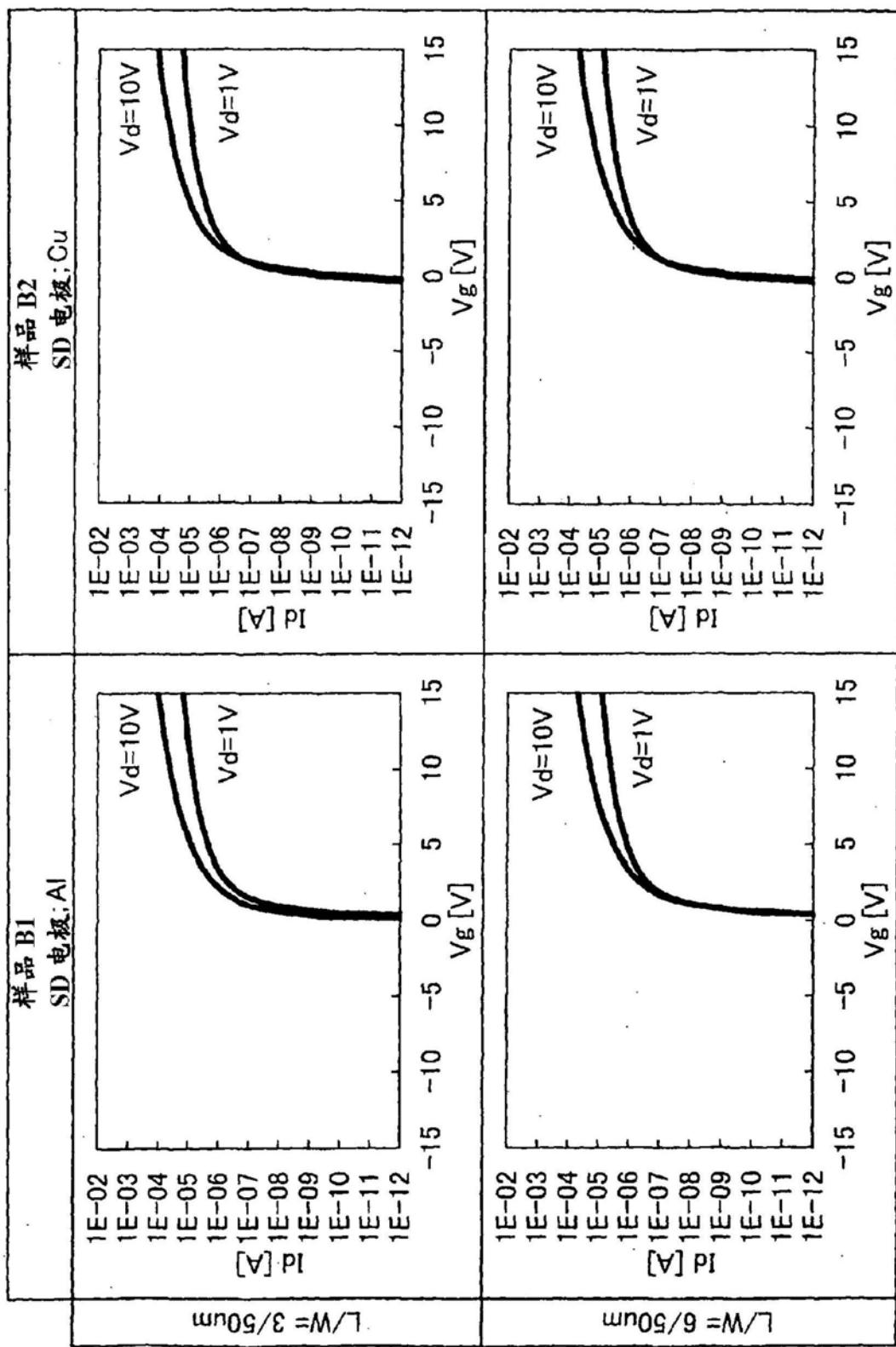


图42

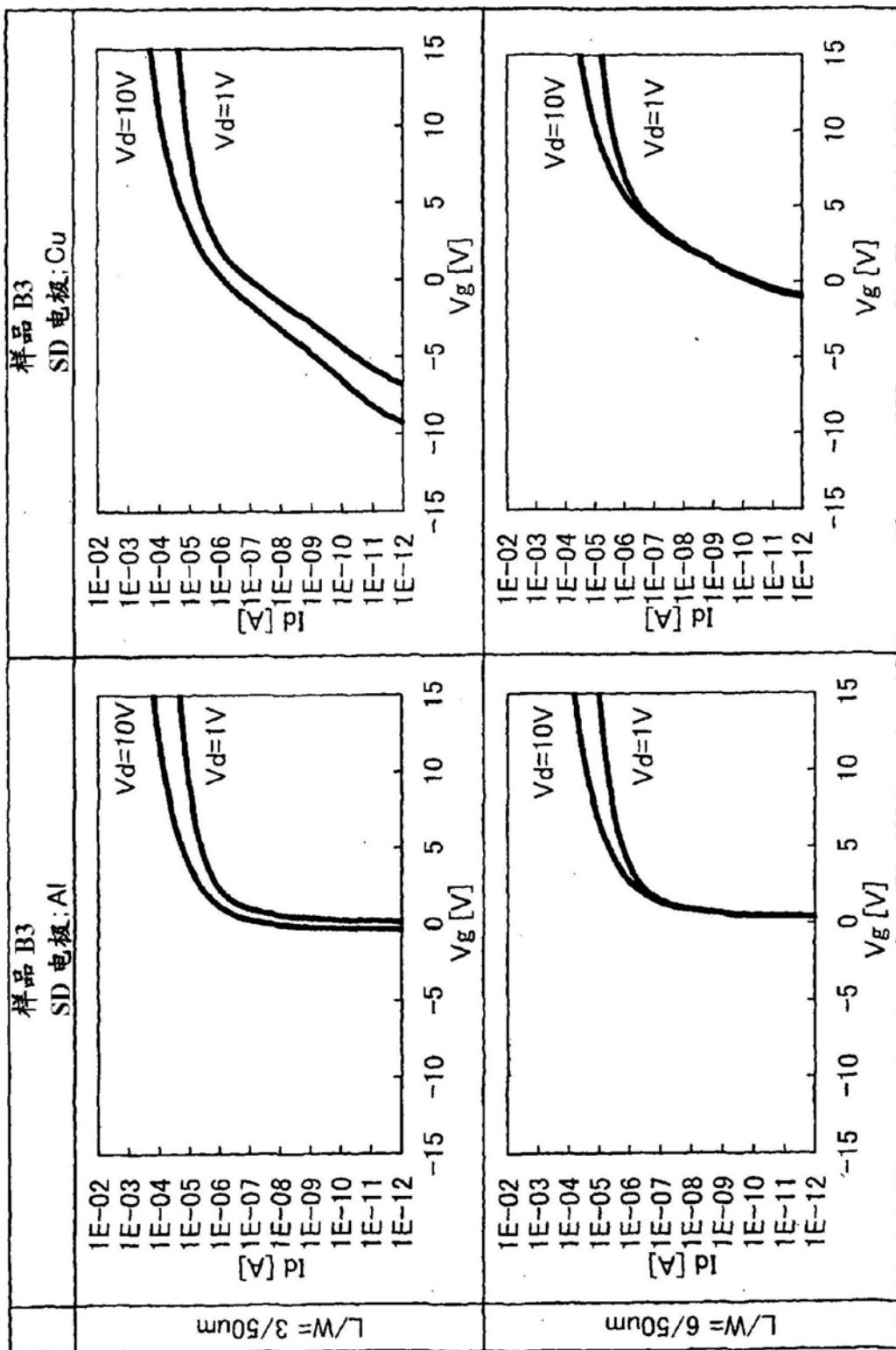


图43

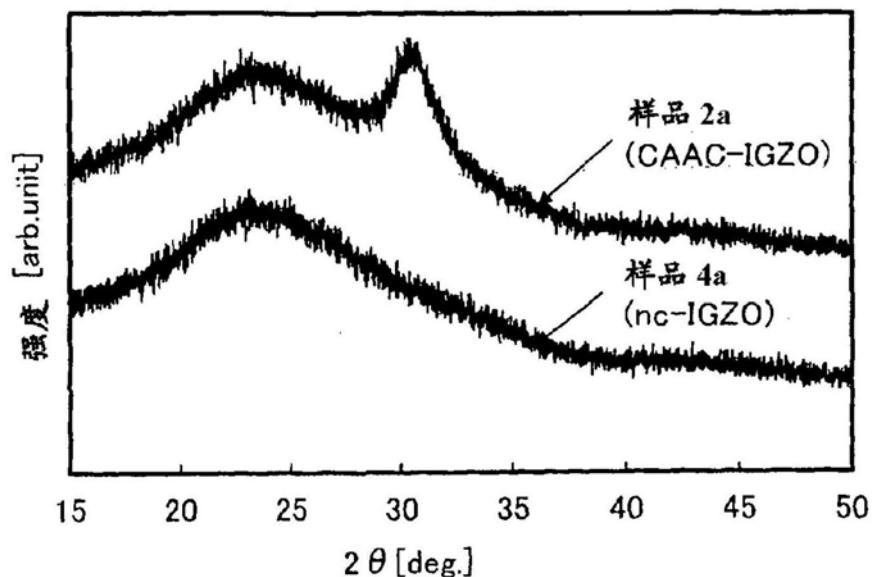


图44A

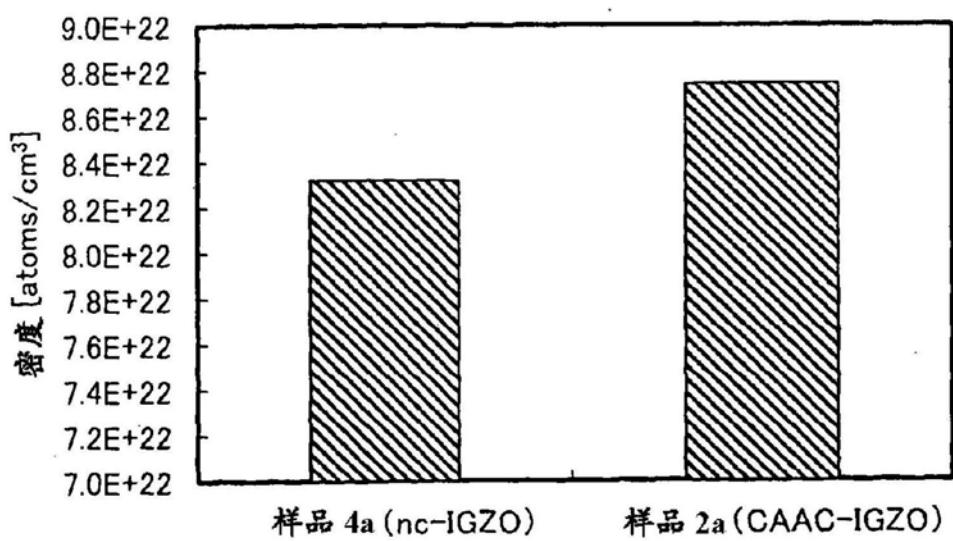


图44B