

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6807767号
(P6807767)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月10日(2020.12.10)

(51) Int.Cl.	F I
HO 1 L 21/8242 (2006.01)	HO 1 L 27/108 3 2 1
HO 1 L 27/108 (2006.01)	HO 1 L 27/04 C
HO 1 L 21/822 (2006.01)	HO 1 L 29/78 6 1 3 B
HO 1 L 27/04 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 9 A
請求項の数 9 (全 106 頁) 最終頁に続く	

(21) 出願番号	特願2017-19642 (P2017-19642)	(73) 特許権者	000153878
(22) 出願日	平成29年2月6日(2017.2.6)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-147443 (P2017-147443A)		神奈川県厚木市長谷398番地
(43) 公開日	平成29年8月24日(2017.8.24)	(72) 発明者	山崎 舜平
審査請求日	令和2年1月30日(2020.1.30)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2016-24794 (P2016-24794)		半導体エネルギー研究所内
(32) 優先日	平成28年2月12日(2016.2.12)	(72) 発明者	遠藤 佑太
(33) 優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	加藤 清
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	岡本 悟
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置及びその作製方法

(57) 【特許請求の範囲】

【請求項1】

第1の絶縁体と、
 前記第1の絶縁体上のトランジスタと、
 前記トランジスタ上の第2の絶縁体と、
 前記第2の絶縁体の開口部に埋め込まれた第1の導電体と、
 前記第1の導電体上のバリア層と、
 前記第2の絶縁体上、および前記バリア層上の第3の絶縁体と、
 前記第3の絶縁体上の第2の導電体と、を有し、
 前記第1の絶縁体、前記第3の絶縁体、および前記バリア層は、酸素、及び水素に対し 10
 てバリア性を有し、

前記第2の絶縁体は、過剰酸素領域を有し、
 前記トランジスタは、酸化物半導体を有し、
 前記バリア層と、前記第3の絶縁体と、前記第2の導電体と、は容量素子としての機能を有することを特徴とする半導体装置。

【請求項2】

第1の絶縁体と、
 前記第1の絶縁体上のトランジスタと、
 前記トランジスタ上の第2の絶縁体と、
 前記第2の絶縁体の開口部に埋め込まれた第1の導電体と、

前記第 1 の導電体上のバリア層と、
前記第 2 の絶縁体上、および前記バリア層上の第 3 の絶縁体と、
前記第 3 の絶縁体上の第 2 の導電体と、を有し、
前記第 1 の絶縁体、前記第 3 の絶縁体、および前記バリア層は、酸素、及び水素に対してバリア性を有し、
前記第 2 の絶縁体は、過剰酸素領域を有し、
前記トランジスタは、酸化物半導体を有し、
前記第 1 の導電体と、前記バリア層と、前記第 3 の絶縁体と、前記第 2 の導電体と、は容量素子としての機能を有することを特徴とする半導体装置。

【請求項 3】

10

請求項 1 または請求項 2 において、
前記トランジスタが設けられた領域の外縁において、前記第 1 の絶縁体と、前記バリア層とが接することにより、前記トランジスタ、および前記第 2 の絶縁体は、前記第 1 の絶縁体、及び前記バリア層とに、包囲されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、
前記バリア層は、導電性を有する膜と、絶縁性を有する膜との積層構造であることを特徴とする半導体装置。

【請求項 5】

20

請求項 1 乃至請求項 4 のいずれか一において、
前記第 1 の導電体は、配線としての機能を有することを特徴とする半導体装置。

【請求項 6】

酸素、及び水素に対してバリア性を有する第 1 の絶縁体を形成し、
前記第 1 の絶縁体上に、トランジスタを形成し、
前記トランジスタ上に、第 2 の絶縁体を形成し、
前記第 2 の絶縁体に、前記トランジスタに達する開口部を形成し、
前記開口部、および前記第 2 の絶縁体上に、第 1 の導電体を形成し、
前記第 1 の導電体の一部を除去し、前記第 2 の絶縁体の上面を露出することで、前記第 1 の導電体を前記第 2 の絶縁体に埋め込み、
前記第 1 の導電体上に、酸素、及び水素に対してバリア性を有するバリア層を形成し、
前記バリア層、および前記第 2 の絶縁体に対して、酸素プラズマ処理を行った後、前記バリア層、および前記第 2 の絶縁体上に、酸素、及び水素に対してバリア性を有する第 3 の絶縁体を形成し、
前記第 3 の絶縁体を介して、前記第 1 の導電体と重畳する領域に、第 2 の導電体を形成することで、容量素子を形成することを特徴とする半導体装置の作製方法。

30

【請求項 7】

請求項 6 において、
前記バリア層は、ALD 法により形成された窒化タンタルであることを特徴とする半導体装置の作製方法。

【請求項 8】

40

請求項 6 において、
前記バリア層は、ALD 法により形成された酸化アルミニウムであることを特徴とする半導体装置の作製方法。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一において、
前記第 3 の絶縁体は、スパッタリング法により形成された酸化アルミニウムであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。本発明の一態様は、半導体装置、発光装置、表示装置、電子機器、照明装置、及びそれらの作製方法に関する。特に、本発明の一態様は、電源回路に搭載されるパワーデバイス、メモリやCPUなどのLSI、サイリスタ、コンバータ、およびイメージセンサなどを含む半導体集積回路を部品として搭載した電子機器に関する。また、例えば、有機エレクトロルミネッセンス（Electroluminescence、以下ELとも記す）現象を利用した発光装置とその作製方法に関する。

【0002】

なお、本発明の一態様は、上記の技術分野に限定されない。

10

【0003】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。電気光学装置、半導体回路および電子機器は半導体装置を有する場合がある。

【背景技術】

【0004】

近年、半導体素子を用いたCPUやメモリなどのLSIの開発が進められている。なお、CPUとは、半導体ウェハから切り離された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

【0005】

メモリやCPUなどのLSIを有する半導体回路は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

20

【0006】

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）

30

【0008】

酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタよりも動作が速く、多結晶シリコンを用いたトランジスタよりも製造が容易であるものの、電気的特性が変動しやすく信頼性が低いという問題点が知られている。例えば、バイアス熱ストレス試験（BT試験）前後において、トランジスタのしきい値電圧は変動してしまうことがある。

【先行技術文献】

40

【特許文献】

【0009】

【特許文献1】特開2012-257187号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明の一態様は、酸化物半導体を用いた半導体装置の信頼性を向上することを目的とする。酸化物半導体を用いたトランジスタはノーマリーオン特性になりやすく、駆動回路内に適切に動作する論理回路を設けることが難しいという問題がある。そこで、本発明の一態様は、酸化物半導体を用いたトランジスタにおいて、ノーマリーオフ特性を得るこ

50

とを目的とする。

【0011】

また、信頼性の高いトランジスタを提供することを課題の一とする。または、非導通状態において極めてリーク電流が抑制されたトランジスタを提供することを課題の一とする。

【0012】

または、信頼性の高い半導体装置を提供することを課題の一とする。または、生産性の高い半導体装置を提供することを課題の一とする。または、歩留まりの高い半導体装置を提供することを課題の一とする。または、占有面積の小さい半導体装置を提供することを課題の一とする。

【0013】

または、集積度の高い半導体装置を提供することを課題の一とする。または、動作速度の速い半導体装置を提供することを課題の一とする。または、消費電力の小さい半導体装置を提供することを課題の一とする。

【0014】

または、新規な半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

【0015】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0016】

本発明の一態様は、第1の絶縁体と、第1の絶縁体上のトランジスタと、トランジスタ上の第2の絶縁体と、第2の絶縁体の開口部に埋め込まれた第1の導電体と、第1の導電体上のバリア層と、第2の絶縁体上、およびバリア層上の第3の絶縁体と、第3の絶縁体上の第2の導電体と、を有し、第1の絶縁体、第3の絶縁体、およびバリア層は、酸素、及び水素に対してバリア性を有し、第2の絶縁体は、過剰酸素領域を有し、トランジスタは、酸化物半導体を有し、バリア層と、第3の絶縁体と、第2の導電体と、は容量素子としての機能を有する半導体装置である。

【0017】

本発明の一態様は、第1の絶縁体と、第1の絶縁体上のトランジスタと、トランジスタ上の第2の絶縁体と、第2の絶縁体の開口部に埋め込まれた第1の導電体と、第1の導電体上のバリア層と、第2の絶縁体上、およびバリア層上の第3の絶縁体と、第3の絶縁体上の第2の導電体と、を有し、第1の絶縁体、第3の絶縁体、およびバリア層は、酸素、及び水素に対してバリア性を有し、第2の絶縁体は、過剰酸素領域を有し、トランジスタは、酸化物半導体を有し、第1の導電体と、バリア層と、第3の絶縁体と、第2の導電体と、は容量素子としての機能を有する半導体装置である。

【0018】

上記構成において、トランジスタが設けられた領域の外縁において、第1の絶縁体と、バリア層とが接することにより、トランジスタ、および第2の絶縁体は、第1の絶縁体、及びバリア層とに、包囲されている。

【0019】

上記構成において、バリア層は、導電性を有する膜と、絶縁性を有する膜との積層構造である。

【0020】

上記構成において、第1の導電体は、配線としての機能を有する。

【0021】

本発明の一態様は、上記構成の半導体装置を複数個有し、ダイシング用の領域を有する半

10

20

30

40

50

導体ウエハである。

【0022】

本発明の一態様は、酸素、及び水素に対してバリア性を有する第1の絶縁体を形成し、第1の絶縁体上に、トランジスタを形成し、トランジスタ上に、第2の絶縁体を形成し、第2の絶縁体に、トランジスタに達する開口部を形成し、開口部、および第2の絶縁体上に、第1の導電体を形成し、第1の導電体の一部を除去し、第2の絶縁体の上面を露出することで、第1の導電体を第2の絶縁体に埋め込み、第1の導電体上に、酸素、及び水素に対してバリア性を有するバリア層を形成し、バリア層、および第2の絶縁体に対して、酸素プラズマ処理を行った後、バリア層、および第2の絶縁体上に、酸素、及び水素に対してバリア性を有する第3の絶縁体を形成し、第3の絶縁体を介して、第1の導電体と重畳する領域に、第2の導電体を形成することで、容量素子を形成する半導体装置の作製方法である。

10

【0023】

上記構成において、バリア層は、ALD法により形成された窒化タンタルである。

【0024】

上記構成において、バリア層は、ALD法により形成された酸化アルミニウムである。

【0025】

上記構成において、第3の絶縁体は、スパッタリング法により形成された酸化アルミニウムである。

【発明の効果】

20

【0026】

酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0027】

または、新規な半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。

30

【0028】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0029】

【図1】実施の形態に係る、半導体装置の断面構造を説明する図。

【図2】実施の形態に係る、半導体装置の断面構造を説明する図。

【図3】実施の形態に係る、半導体装置の断面構造を説明する図。

40

【図4】実施の形態に係る、半導体装置の断面構造を説明する図。

【図5】実施の形態に係る、半導体装置の断面構造を説明する図。

【図6】実施の形態に係る、半導体装置の断面構造を説明する図。

【図7】実施の形態に係る、半導体装置の断面構造を説明する図。

【図8】実施の形態に係る、半導体装置の回路図。

【図9】実施の形態に係る、半導体装置の断面構造を説明する図。

【図10】実施の形態に係る、半導体装置の回路図、および断面構造を説明する図。

【図11】実施の形態に係る、半導体装置の断面構造を説明する図。

【図12】実施の形態に係る、半導体装置の作製方法例を説明する図。

【図13】実施の形態に係る、半導体装置の作製方法例を説明する図。

50

- 【図 1 4】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 1 5】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 1 6】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 1 7】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 1 8】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 1 9】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 2 0】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 2 1】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 2 2】実施の形態に係る、半導体装置の作製方法例を説明する図。
- 【図 2 3】実施の形態に係る、半導体装置の作製方法例を説明する図。 10
- 【図 2 4】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 2 5】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 2 6】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 2 7】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 2 8】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 2 9】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 3 0】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 3 1】実施の形態に係る、トランジスタの上面図および断面構造を説明する図。
- 【図 3 2】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 3 3】実施の形態に係る、トランジスタの作製方法例を説明する図。 20
- 【図 3 4】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 3 5】実施の形態に係る、トランジスタの作製方法例を説明する図。
- 【図 3 6】本発明に係る酸化物半導体の原子数比の範囲を説明する図。
- 【図 3 7】 InM ZnO_4 の結晶を説明する図。
- 【図 3 8】酸化物半導体の積層構造におけるバンド図。
- 【図 3 9】 CAAC-O S および単結晶酸化物半導体の X R D による構造解析を説明する図、ならびに CAAC-O S の制限視野電子回折パターンを示す図。
- 【図 4 0】 CAAC-O S の断面 T E M 像、ならびに平面 T E M 像およびその画像解析像。
- 【図 4 1】 nc-O S の電子回折パターンを示す図、および nc-O S の断面 T E M 像。 30
- 【図 4 2】 a-l i k e O S の断面 T E M 像。
- 【図 4 3】 In-G a-Z n 酸化物の電子照射による結晶部の変化を示す図。
- 【図 4 4】酸化物半導体膜をチャンネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図。
- 【図 4 5】本発明の一態様に係る記憶装置を示す回路図。
- 【図 4 6】本発明の一態様に係る記憶装置を示す回路図。
- 【図 4 7】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 4 8】本発明の一態様を説明するためのグラフおよび回路図。
- 【図 4 9】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 5 0】本発明の一態様を説明するための回路図およびタイミングチャート。 40
- 【図 5 1】本発明の一態様を説明するためのブロック図、回路図および波形図。
- 【図 5 2】本発明の一態様を説明するための回路図およびタイミングチャート。
- 【図 5 3】本発明の一態様を説明するための回路図。
- 【図 5 4】本発明の一態様を説明するための回路図。
- 【図 5 5】本発明の一態様を説明するための回路図。
- 【図 5 6】本発明の一態様を説明するための回路図。
- 【図 5 7】本発明の一態様を説明するための回路図。
- 【図 5 8】本発明の一態様に係る半導体装置を示すブロック図。
- 【図 5 9】本発明の一態様に係る半導体装置を示す回路図。
- 【図 6 0】本発明の一態様に係る半導体装置を示す上面図。 50

【図 6 1】本発明の一態様に係る半導体装置を示すブロック図。

【図 6 2】本発明の一態様に係る半導体装置を示す断面図。

【図 6 3】本発明の一態様に係る半導体装置を示す断面図。

【図 6 4】本発明の一態様に係る半導体装置を示す上面図。

【図 6 5】本発明の一態様を説明するためのフローチャート、および半導体装置を示す斜視図。

【図 6 6】本発明の一態様に係る電子機器を示す斜視図。

【発明を実施するための形態】

【0030】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

10

【0031】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0032】

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0033】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

30

【0034】

また、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。撮像装置、表示装置、液晶表示装置、発光装置、電気光学装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、および電子機器は、半導体装置を有する場合がある。

【0035】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流を流すことができるものである。なお、本明細書等において、チャンネル領域とは、電流が主として流れる領域をいう。

40

【0036】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

【0037】

50

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

【0038】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

【0039】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【0040】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0041】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

30

【0042】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

【0043】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

40

【0044】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電

50

源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

【0045】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

【0046】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0047】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0048】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介

10

20

30

40

50

して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0049】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0050】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【0051】

（実施の形態1）

本実施の形態では、半導体装置の一形態を、図1乃至図11を用いて説明する。

30

【0052】

〔構成例〕

本発明の一態様である半導体装置（記憶装置）の一例を図1乃至図8に示す。なお、図8（A）は、図1乃至図4を回路図で表したものである。図7は、図1乃至図4に示す半導体装置が形成される領域の端部を示す。

【0053】

＜半導体装置の回路構成＞

図8（A）、および図1乃至図6に示す半導体装置は、トランジスタ300と、トランジスタ200、および容量素子100を有している。

【0054】

40

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを半導体装置（記憶装置）に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、半導体装置（記憶装置）の消費電力を十分に低減することができる。

【0055】

図8（A）において、配線3001はトランジスタ300のソースと電氣的に接続され、配線3002はトランジスタ300のドレインと電氣的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線3004はトランジスタ200のゲートと電氣的に接続されている。そして、トランジスタ

50

300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電気的に接続され、配線3005は容量素子100の電極の他方と電気的に接続されている。

【0056】

図8（A）に示す半導体装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0057】

情報の書き込みおよび保持について説明する。まず、配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線3003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

【0058】

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

【0059】

次に情報の読み出しについて説明する。配線3001に所定の電位（定電位）を与えた状態で、配線3005に適切な電位（読み出し電位）を与えると、配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な配線3005の電位をいうものとする。したがって、配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ300は「非導通状態」のままである。このため、配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

【0060】

また、図8（A）に示す半導体装置をマトリクス状に配置することで、記憶装置（メモリセルアレイ）を構成することができる。

【0061】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。例えば、トランジスタ300をpチャネル型とした場合、メモリセルはNOR型の構成となる。従って、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を配線3005に与えることで所望のメモリセルの情報のみを読み出すことができる。または、トランジスタ300をnチャネル型とした場合、メモリセルはNAND型の構成となる。従って、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷によらずトランジスタ300が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を配線3005に与えることで所望のメモリセルの情報のみを読み出すことができる。

【0062】

<半導体装置の回路構成 2>

図 8 (B) に示す半導体装置は、トランジスタ 300 を有さない点で図 8 (A) に示した半導体装置と異なる。この場合も図 8 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0063】

図 8 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ 200 が導通状態になると、浮遊状態である配線 3003 と容量素子 100 とが導通し、配線 3003 と容量素子 100 の間で電荷が再分配される。その結果、配線 3003 の電位が変化する。配線 3003 の電位の変化量は、容量素子 100 の電極の一方の電位（または容量素子 100 に蓄積された電荷）によって、異なる値をとる。

10

【0064】

例えば、容量素子 100 の電極の一方の電位を V 、容量素子 100 の容量を C 、配線 3003 が有する容量成分を C_B 、電荷が再分配される前の配線 3003 の電位を V_{B0} とすると、電荷が再分配された後の配線 3003 の電位は、 $(C_B \times V_{B0} + C V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子 100 の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の 2 つの状態をとるとすると、電位 V_1 を保持している場合の配線 3003 の電位 ($= (C_B \times V_{B0} + C V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の配線 3003 の電位 ($= (C_B \times V_{B0} + C V_0) / (C_B + C)$) よりも高くなることわかる。

【0065】

そして、配線 3003 の電位を所定の電位と比較することで、情報を読み出すことができる。

20

【0066】

本構成とする場合、例えば、メモリセルを駆動させるための駆動回路にシリコンが適用されたトランジスタを用い、トランジスタ 200 として、酸化物半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0067】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

30

【0068】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といった問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリとは異なり書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

40

【0069】

<半導体装置の構造 1>

本発明の一態様の半導体装置は、図 1 に示すようにトランジスタ 300、トランジスタ 200、容量素子 100 を有する。トランジスタ 200 はトランジスタ 300 の上方に設けられ、容量素子 100 はトランジスタ 300、およびトランジスタ 200 の上方に設けられている。

【0070】

トランジスタ 300 は、基板 311 上に設けられ、導電体 316、絶縁体 314、基板 311 の一部からなる半導体領域 312、およびソース領域またはドレイン領域として機能

50

する低抵抗領域 318a、および低抵抗領域 318b を有する。

【0071】

トランジスタ 300 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【0072】

半導体領域 312 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 318a、および低抵抗領域 318b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または GaAs と GaAlAs 等を用いることで、トランジスタ 300 を HEMT（High Electron Mobility Transistor）としてもよい。

10

【0073】

低抵抗領域 318a、および低抵抗領域 318b は、半導体領域 312 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

【0074】

ゲート電極として機能する導電体 316 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

20

【0075】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【0076】

なお、図 1 に示すトランジスタ 300 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。また、図 8（B）に示す回路構成とする場合、トランジスタ 300 を設けなくともよい。

30

【0077】

トランジスタ 300 を覆って、絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 が順に積層して設けられている。

【0078】

絶縁体 320、絶縁体 322、絶縁体 324、および絶縁体 326 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0079】

絶縁体 322 は、その下方に設けられるトランジスタ 300 などによって生じる段差を平坦化する平坦化膜として機能を有していてもよい。例えば、絶縁体 322 の上面は、平坦性を高めるために化学機械研磨（CMP：Chemical Mechanical Polishing）法等を用いた平坦化処理により平坦化されていてもよい。

40

【0080】

また、絶縁体 324 には、基板 311、またはトランジスタ 300 などから、トランジスタ 200 が設けられる領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。ここで、バリア性とは、耐酸化性が高く、酸素、水素、および水に代表される不純物の拡散を抑制する機能とする。例えば、350℃または400℃の雰囲気下において、バリア性を有する膜中の一時間当たりの酸素または水素の拡散距離が 50nm 以下であればよい。好ましくは、350℃または400℃の雰囲気下において、

50

バリア性を有する膜中における一時間当たりの酸素または水素の拡散距離が30 nm以下、さらに好ましくは20 nm以下であるとよい。

【0081】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0082】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS(Thermal Desorption Spectroscopy))などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0083】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体324の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減

【0084】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電気的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線として機能を有する。また、後述するが、プラグまたは配線として機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0085】

各プラグ、および配線(導電体328、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0086】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図1において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線として機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0087】

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

【0088】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0089】

絶縁体354上には、絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216が、順に積層して設けられている。絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

10

【0090】

例えば、絶縁体358、および絶縁体212には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

【0091】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

20

【0092】

また、水素に対するバリア性を有する膜として、例えば、絶縁体213、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0093】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

30

【0094】

また、例えば、絶縁体210、および絶縁体216には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0095】

また、絶縁体358、絶縁体210、絶縁体212、絶縁体213、絶縁体214、および絶縁体216には、導電体218、及びトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

40

【0096】

特に、絶縁体358、絶縁体212、絶縁体213、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

50

【0097】

例えば、絶縁体224が過剰酸素領域を有する場合、導電体218など、絶縁体224と接する導電体に、耐酸化性が高い導電体を用いるとよい。また、図に示すように、導電体218、およびトランジスタ200を構成する導電体（導電体205）上に、バリア性を有する導電体219を設けてもよい。本構成とすることで、導電体218、およびトランジスタ200を構成する導電体（導電体205）が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

【0098】

絶縁体224の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、後の実施の形態で説明するトランジスタを用いればよい。また、図1に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

10

【0099】

トランジスタ200の上方には、絶縁体280を設ける。絶縁体280には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

【0100】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

20

【0101】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

30

【0102】

また、トランジスタ200を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。また、絶縁体280には、導電体244等が埋め込まれている。

【0103】

導電体244は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能を有する。導電体244は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0104】

例えば、導電体244を積層構造として設ける場合、酸化しにくい（耐酸化性が高い）導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体280と接する領域に、耐酸化性が高い導電体を設けることが好ましい。当該構成により、絶縁体280から過剰な酸素を、導電体244が吸収することを抑制することができる。また、導電体244は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、過剰酸素領域を有する絶縁体280と接する領域に、水素などの不純物に対するバリア性を有する導電体を設けることで、導電体244中の不純物、および導電体244の一部の拡散や、外部からの不純物の拡散経路となることを抑制することができる。

40

【0105】

また、導電体244上に、導電体246、導電体124、導電体112a、および導電体112bを設けてもよい。導電体246、および導電体124は、容量素子100、トラ

50

ンジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能を有する。また、導電体112a、および導電体112bは、容量素子100の電極として機能を有する。なお、導電体246、および導電体112aは、同時に形成することができる。また、導電体124、および導電体112bは同時に形成することができる。

【0106】

導電体246、導電体124、導電体112aおよび導電体112bには、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

10

【0107】

特に、導電体246、および導電体112aには、窒化タンタル膜などの金属窒化物膜が、水素または酸素に対するバリア性があり、また、酸化しにくい（耐酸化性が高い）ため、好ましい。一方、導電体124、および導電体112bには、例えば、タングステンなどの導電性が高い材料を積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、絶縁体280、およびトランジスタ200への水素の拡散を抑制することができる。なお、図1では、導電体246、および導電体124の2層構造を示したが、当該構成に限定されず、単層でも3層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

20

【0108】

また、導電体124上に、バリア層281を設けてもよい。バリア層281を有することで、導電体124が、後工程において酸化することを抑制することができる。また、導電体124に含まれる不純物や、導電体124の一部の拡散を抑制することができる。また、導電体124、導電体246、および導電体244を通過して、不純物が、絶縁体280に拡散することを抑制することができる。

30

【0109】

なお、バリア層281は、絶縁性材料を用いることができる。その場合、バリア層281は、容量素子100の誘電体の一部としての機能を有していてもよい。また、バリア層281は、導電性材料を用いて形成してもよい。その場合、配線、または電極の一部としての機能を有していてもよい。

【0110】

バリア層281には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物、または窒化タンタルなどの金属窒化物などを用いることが好ましい。特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、半導体装置の作製工程中、および作製後において、導電体124、水素、水分などの不純物のトランジスタ200への混入を防止することができる。

40

【0111】

バリア層281、および絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0112】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素

50

、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

【0113】

従って、トランジスタ200、および過剰酸素領域を含む絶縁体280を、絶縁体212、絶縁体213、および絶縁体214の積層構造と、絶縁体282により挟む構成とすることができる。また、絶縁体212、絶縁体213、絶縁体214、および絶縁体282は、酸素、または、水素、および水などの不純物の拡散を抑制するバリア性を有する。

10

【0114】

絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

【0115】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャンネルが形成される酸化物に、不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

20

【0116】

ここで、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライプライン、分断ライン、又は切断ラインと呼ぶ場合がある）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。図7にダイシングライン近傍の断面図を示す。

30

【0117】

例えば、図7（A）に示すように、トランジスタ200を有するメモリセルの外縁に設けられるダイシングライン（図中1点鎖線で示す）と重なる領域近傍において、絶縁体212、絶縁体213、絶縁体214、絶縁体216、絶縁体224、及び絶縁体280に開口部を設ける。また、絶縁体212、絶縁体213、絶縁体214、絶縁体216、絶縁体224、及び絶縁体280の側面を覆うように、絶縁体282を設ける。

【0118】

ここで、バリア層281が、絶縁性を有している場合、該開口部にバリア層281を介して、絶縁体282を設けることが好ましい。バリア層281を有することで、より不純物の拡散を抑制することができる。

40

【0119】

従って、該開口部において、絶縁体212、絶縁体213、および絶縁体214と、バリア層281が接する。このとき、絶縁体212、絶縁体213、および絶縁体214の少なくとも一と、絶縁体282とを同材料及び同方法を用いて形成することで、密着性を高めることができる。なお、バリア層281と絶縁体282とを、同材料を用いて形成することが好ましい。例えば、酸化アルミニウムを用いることができる。バリア層281をALD法など緻密な膜が形成できる方法で形成した後、絶縁体282をスパッタリング法など成膜レートが高い方法で形成することにより、生産性、およびバリア性を高めることができる。

【0120】

50

当該構造により、絶縁体 2 1 2、絶縁体 2 1 3、絶縁体 2 1 4、および絶縁体 2 8 2で、絶縁体 2 8 0、およびトランジスタ 2 0 0を包み込むことができる。絶縁体 2 1 2、絶縁体 2 1 3、絶縁体 2 1 4、および絶縁体 2 8 2は、酸素、水素、及び水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素又は水などの不純物が混入し、トランジスタ 2 0 0に拡散することを防ぐことができる。

【0 1 2 1】

また、当該構造により、絶縁体 2 8 0の過剰酸素が絶縁体 2 8 2、および絶縁体 2 1 4の外部に拡散することを防ぐことができる。従って、絶縁体 2 8 0の過剰酸素は、効率的にトランジスタ 2 0 0におけるチャンネルが形成される酸化物に供給される。当該酸素により、トランジスタ 2 0 0におけるチャンネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ 2 0 0におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

10

【0 1 2 2】

また、例えば、図 7 (B) に示すように、ダイシングライン (図中 1 点鎖線で示す) の両側となる領域において、絶縁体 2 1 2、絶縁体 2 1 3、絶縁体 2 1 4、絶縁体 2 1 6、絶縁体 2 2 4、及び絶縁体 2 8 0に開口部を設けてもよい。なお、図では開口部は 2 か所としたが、必要に応じて、複数の開口部を設けてもよい。

20

【0 1 2 3】

従って、ダイシングラインの両側に設けられた開口部において、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4が、少なくとも 2 か所でバリア層 2 8 1と接するため、より密着性が高い構造となる。なお、この場合においても、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4の少なくとも一と、絶縁体 2 8 2とを同材料及び同方法を用いて形成することで、密着性を高めることができる。

【0 1 2 4】

また、開口部を複数設けることで、絶縁体 2 8 2と、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4とが、複数の領域で接する構造とすることができる。従って、ダイシングラインから混入する不純物がトランジスタ 2 0 0まで到達することを防止することができる。

30

【0 1 2 5】

当該構造により、トランジスタ 2 0 0と絶縁体 2 8 0とを、厳重に密封することができる。従って、トランジスタ 2 0 0におけるチャンネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ 2 0 0の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【0 1 2 6】

続いて、トランジスタ 2 0 0の上方には、容量素子 1 0 0が設けられている。容量素子 1 0 0は、導電体 1 1 2 (導電体 1 1 2 a、および導電体 1 1 2 b) と、バリア層 2 8 1、絶縁体 2 8 2、および絶縁体 1 3 0、導電体 1 1 6とを有する。

40

【0 1 2 7】

導電体 1 1 2は、容量素子 1 0 0の電極として機能を有する。例えば、図 1 に示す構成は、トランジスタ 2 0 0、およびトランジスタ 3 0 0と接続するプラグ、または配線として機能する導電体 2 4 4の一部が、導電体 1 1 2としての機能を備える構成である。なお、バリア層 2 8 1が導電性を有する場合、バリア層 2 8 1は、容量素子 1 0 0の電極の一部として機能する。また、バリア層 2 8 1が絶縁性である場合は、バリア層 2 8 1は、容量素子 1 0 0の誘電体の一部として機能する。

【0 1 2 8】

当該構成とすることで、電極と配線とを別々に形成する場合よりも、工程数を削減できるため、生産性を高くすることができる。

50

【0129】

また、絶縁体282において、導電体112、および導電体116で挟まれた領域は、誘電体として機能する。例えば、絶縁体282に、酸化アルミニウムなどの高誘電率（high-k）材料を用いた場合、容量素子100は、十分な容量を確保することができる。

【0130】

また、誘電体の一部として、絶縁体130を設けてもよい。絶縁体130は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

10

【0131】

例えば、絶縁体282に、酸化アルミニウムなどの高誘電率（high-k）材料を用いた場合、絶縁体130には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子100は、絶縁体130を有することで、絶縁耐力が向上し、容量素子100の静電破壊を抑制することができる。

【0132】

導電体116は、バリア層281、絶縁体282、および絶縁体130を介して、導電体112の側面、および上面を覆うように設ける。当該構成により、導電体112の側面は、絶縁体を介して、導電体116に包まれる。当該構成とすることで、導電体112の側面でも容量が形成されるため、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

20

【0133】

なお、導電体116は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

【0134】

導電体116、および絶縁体130上には、絶縁体150が設けられている。絶縁体150は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体150は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

30

【0135】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0136】

<変形例1>

40

また、本実施の形態の変形例として、図2に示すように、導電体244、およびバリア層281を形成してもよい。つまり、絶縁体280にプラグ、または配線となる導電体244と、容量素子100の電極の一部となる導電体112と、を埋め込み、導電体244上に、バリア性を有する導電体、または絶縁体を用いて、バリア層281を設けてもよい。なお、この場合、バリア層281は、バリア性だけでなく、耐酸化性が高い導電体を用いることが好ましい。当該構成とすることで、導電体244の一部が容量素子の電極（導電体112）として機能するため、別途導電体を設ける必要はない。

【0137】

従って、容量素子100は、図2に示すように、導電体244の一領域である導電体112と、絶縁体282、および絶縁体130、導電体116とを有する。

50

【0138】

容量素子100の電極として機能を有する導電体112は、導電体244と、同時に形成することが可能である。当該構成とすることで、生産性を高くすることができる。また、容量素子の電極を形成するためのマスクが不要となる為、工程を削減することができる。

【0139】

また、絶縁体216上には、絶縁体220、絶縁体222、および絶縁体224が、順に積層して設けられている。絶縁体220、絶縁体222、および絶縁体224のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。なお、絶縁体220、絶縁体222、および絶縁体224は、トランジスタ200の一部（ゲート絶縁体）として機能する場合がある。

10

【0140】

また、絶縁体224には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体224には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の下地膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

【0141】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

20

【0142】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0143】

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222、または絶縁体220は、酸素、水素、および水に対するバリア性を有することが好ましい。絶縁体222、または絶縁体220が、酸素に対するバリア性を有することで、過剰酸素領域の酸素は、トランジスタ300側へ拡散することなく、効率よくトランジスタ200が有する酸化物230へ供給することができる。また、導電体218、およびトランジスタ200を構成する導電体（導電体205）が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

30

【0144】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

40

【0145】

<変形例2>

また、本実施の形態の変形例として、図3に示すように、導電体219、導電体244、およびバリア性を有する導電体246を形成してもよい。つまり、絶縁体280にプラグ、または配線となる導電体244を埋め込み、導電体244上に、バリア性を有する導電体246を設けてもよい。なお、この場合、導電体246は、バリア性だけでなく、耐酸

50

化性が高い導電体を用いることが好ましい。また、当該構成とすることで、導電体 2 4 6 と、容量素子の電極として機能する導電体 1 1 2 を同時に形成することができる。また、当該構成とすることで、導電体 2 4 6 がバリア層としても機能するため、別途バリア層を設ける必要はない。

【0 1 4 6】

従って、容量素子 1 0 0 は、図 3 に示すように、導電体 1 1 2 と、絶縁体 2 8 2、および絶縁体 1 3 0、導電体 1 1 6 とを有する。容量素子 1 0 0 の電極として機能を有する導電体 1 1 2 は、導電体 2 4 6 と、同時に形成することが可能である。

【0 1 4 7】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0 1 4 8】

<変形例 3>

また、本実施の形態の変形例として、図 4 に示すような容量素子 1 0 0 を設けてもよい。つまり、絶縁体 2 8 0 にプラグ、または配線となる導電体 2 4 4 を埋め込み、導電体 2 4 4 上に、バリア性を有するバリア層 2 8 1 を設けた後、バリア性を有する絶縁体 2 8 2、および絶縁体 2 8 4 を設ける。続いて、絶縁体 2 8 4 上に、平坦性が高い絶縁体 2 8 6 を設けることで、平坦性が高い絶縁体 2 8 6 上に容量素子 1 0 0 を設けることができる。

【0 1 4 9】

容量素子 1 0 0 は、絶縁体 2 8 6 上に設けられ、導電体 1 1 2（導電体 1 1 2 a、および導電体 1 1 2 b）と、絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 と、導電体 1 1 6 とを有する。なお、導電体 1 2 4 は、容量素子 1 0 0、トランジスタ 2 0 0、またはトランジスタ 3 0 0 と電氣的に接続するプラグ、または配線として機能を有する。

【0 1 5 0】

導電体 1 1 2 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【0 1 5 1】

導電体 1 1 2 上に、絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 を設ける。絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 には、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよい。図では、3 層構造で示したが、単層、2 層、または 4 層以上の積層構造としてもよい。

【0 1 5 2】

例えば、絶縁体 1 3 0、および絶縁体 1 3 4 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用い、絶縁体 1 3 2 には、酸化アルミニウムなどの高誘電率（high-k）材料を用いることが好ましい。当該構成により、容量素子 1 0 0 は、高誘電率（high-k）の絶縁体を有することで、十分な容量を確保でき、絶縁耐力が大きい絶縁体を有することで、絶縁耐力が向上し、容量素子 1 0 0 の静電破壊を抑制することができる。

【0 1 5 3】

導電体 1 1 2 上に、絶縁体 1 3 0、絶縁体 1 3 2、および絶縁体 1 3 4 を介して、導電体 1 1 6 を設ける。なお、導電体 1 1 6 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブ

デンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

【0154】

なお、電極の一方として機能する導電体112において、導電体112bのような凸状を有する構造体とすることで、容量素子の投影面積当たりの容量を増加させることができる。従って、半導体装置の小面積化、高集積化、微細化が可能となる。

【0155】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0156】

<変形例4>

また、本実施の形態の変形例の一例を、図5に示す。図5は、図1と、トランジスタ300、およびトランジスタ200の構成が異なる。

【0157】

図5に示すトランジスタ300はチャンネルが形成される半導体領域312（基板311の一部）が凸形状を有する。また、半導体領域312の側面および上面を、絶縁体314を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0158】

図3に示すトランジスタ200構造の詳細は、他の実施の形態で後述する。絶縁体280に形成された開口部に、酸化物、ゲート絶縁体、およびゲートとなる導電体が形成されている。従って、少なくとも、ゲートとなる導電体上にバリア性を有する導電体246を形成することが好ましい。

【0159】

また、導電体112（導電体246）として、窒化タンタルなどの、酸素、水素、または水に対してバリア性を有する導電体と、タングステンや銅などの導電性が高い導電体を積層して用いた場合、タングステンや銅などの導電性が高い導電体は、窒化タンタル、およびバリア層281により完全に密封される。従って、銅などの導電体自身の拡散を抑制するとともに、絶縁体282よりも上方から、導電体244を通過して不純物が侵入することを抑制することができる。

【0160】

なお、トランジスタ200の上方には、容量素子100が設けられている。図5に示す構成は、容量素子100において、導電体112と、バリア性を有する導電体246、絶縁体282、および絶縁体130、導電体116とを有する。

【0161】

導電体112は、容量素子100の電極として機能を有する。例えば、図5に示す構成は、トランジスタ200、およびトランジスタ300と接続するプラグ、または配線として機能する導電体244の一部が、導電体112としての機能を備える構成である。なお、バリア層281が導電性を有する場合は、バリア層281は、容量素子100の電極の一部として機能する。また、バリア層281が絶縁性である場合は、バリア層281は、容量素子100の誘電体として機能する。

10

20

30

40

50

【0162】

当該構成とすることで、電極と配線とを別々に形成する場合よりも、工程数を削減できるため、生産性を高くすることができる。

【0163】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

10

【0164】

<変形例5>

また、本実施の形態の変形例の一例を、図6に示す。図6は、図4と、トランジスタ200の構成が異なる。

【0165】

図6に示すように、絶縁体279、およびバリア層271を設けてもよい。絶縁体279は、絶縁体280と、同様の材料及び作製方法を用いて形成することができる。つまり、絶縁体279は、絶縁体280と、同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。従って、絶縁体279は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、絶縁体279となる絶縁体を形成した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。また、絶縁体279に、過剰酸素領域を形成するために、例えば、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

20

【0166】

バリア層271は、酸素に対するバリア性を有する絶縁体、または導電体を用いる。バリア層271には、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、窒化タンタルなどを、スパッタリング法、または原子層堆積(Atomic Layer Deposition)法を用いて、設けることができる。

30

【0167】

絶縁体279、およびバリア層271上に、絶縁体280を設ける。絶縁体279、および絶縁体280を同材料、および同作製方法で設けることにより、絶縁体280に対して、過酸素化処理を行った場合、導入された過剰な酸素は絶縁体280だけでなく、絶縁体279にも拡散する。従って、絶縁体280、および絶縁体279に、過剰酸素領域を形成するには、例えば、絶縁体280に対して、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

【0168】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

40

【0169】

<変形例6>

また、本実施の形態の変形例の一例を、図9に示す。図9(A)、および図9(B)はそれぞれ、一点鎖線A1-A2を軸とした、トランジスタ200のチャンネル長、およびチャンネル幅方向の断面を示す。

50

【0170】

図9に示すように、トランジスタ200、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により包み込む構成としてもよい。その際、トランジスタ300と容量素子100とを接続する貫通電極と、トランジスタ200との間で、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造が接することが好ましい。

【0171】

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

10

【0172】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ200におけるチャンネルが形成される酸化物が不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ200におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

20

【0173】

<変形例7>

また、本実施の形態の変形例の一例を、図10に示す。図10(A)は、図8(A)に示す半導体装置を、マトリクス状に配置した場合における、行の一部を抜き出した回路図である。また、図10(B)は、図10(A)の回路図と対応した半導体装置の断面図である。

【0174】

図10には、トランジスタ300、トランジスタ200、および容量素子100を有する半導体装置と、トランジスタ301、トランジスタ201、および容量素子101を有する半導体装置と、トランジスタ302、トランジスタ202、および容量素子102を有する半導体装置とが、同じ行に配置されている。

30

【0175】

図10(B)に示すように、複数のトランジスタ(図ではトランジスタ200、およびトランジスタ201)、および過剰酸素領域を含む絶縁体280を、絶縁体212、および絶縁体214の積層構造と、絶縁体282、および絶縁体284の積層構造により包み込む構成としてもよい。その際、トランジスタ300、トランジスタ301、またはトランジスタ302と、容量素子100、容量素子101、または容量素子102と、を接続する貫通電極と、トランジスタ200、トランジスタ201、またはトランジスタ202との間で、絶縁体212、および絶縁体214と、絶縁体282、および絶縁体284とが積層構造となることが好ましい。

40

【0176】

従って、絶縁体280、およびトランジスタ200から放出された酸素が、容量素子100、またはトランジスタ300が形成されている層へ拡散することを抑制することができる。または、絶縁体282よりも上方の層、および絶縁体214よりも下方の層から、水素、および水等の不純物が、トランジスタ200へ、拡散することを抑制することができる。

【0177】

つまり、絶縁体280の過剰酸素領域から酸素を、効率的にトランジスタ200におけるチャンネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トラ

50

ンジスタ２００におけるチャンネルが形成される酸化物が不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ２００におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ２００の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

【０１７８】

<変形例８>

また、本実施の形態の変形例の一例を、図１１に示す。図１１は、図１０に示す半導体装置において、トランジスタ２０１、およびトランジスタ２０２を集積した場合の半導体装置の断面図である。

10

【０１７９】

図１１に示すように、容量素子１０１の電極の一方となる導電体１１２の機能を、トランジスタ２０１のソース電極またはドレイン電極となる導電体が備えてもよい。その場合、トランジスタ２０１の酸化物、およびトランジスタ２０１のゲート絶縁体として機能する絶縁体が、トランジスタ２０１のソース電極またはドレイン電極となる導電体上に延在した領域が、容量素子１０１の絶縁体として機能する。従って、容量素子１０１の電極の他方となる導電体１１６を、導電体２４０a上に、絶縁体２５０、および酸化物２３０cを介して積層すればよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

【０１８０】

また、トランジスタ２０１と、トランジスタ２０２を重畳して設けてもよい。当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

20

【０１８１】

また、複数のトランジスタ（図ではトランジスタ２０１、およびトランジスタ２０２）、および過剰酸素領域を含む絶縁体２８０を、絶縁体２１２、および絶縁体２１４の積層構造と、絶縁体２８２、および絶縁体２８４の積層構造により包み込む構成としてもよい。その際、トランジスタ３００、トランジスタ３０１、またはトランジスタ３０２と、容量素子１００、容量素子１０１、または容量素子１０２と、を接続する貫通電極と、トランジスタ２００、トランジスタ２０１、またはトランジスタ２０２との間で、絶縁体２１２、および絶縁体２１４と、絶縁体２８２、および絶縁体２８４とが積層構造となることが好ましい。

30

【０１８２】

従って、絶縁体２８０、およびトランジスタ２００から放出された酸素が、容量素子１００、またはトランジスタ３００が形成されている層へ拡散することを抑制することができる。または、絶縁体２８２よりも上方の層、および絶縁体２１４よりも下方の層から、水素、および水等の不純物が、トランジスタ２００へ、拡散することを抑制することができる。

【０１８３】

つまり、絶縁体２８０の過剰酸素領域から酸素を、効率的にトランジスタ２００におけるチャンネルが形成される酸化物に供給でき、酸素欠損を低減することができる。また、トランジスタ２００におけるチャンネルが形成される酸化物が不純物により、酸素欠損が形成されることを防止することができる。よって、トランジスタ２００におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化物半導体とすることができる。つまり、トランジスタ２００の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

40

【０１８４】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせる実施することができる。

【０１８５】

（実施の形態２）

50

本実施の形態では、上記構成例で示した半導体装置の作製方法の一例について、図12乃至図23を用いて説明する。

【0186】

＜半導体装置の作製方法＞

まず、基板311を準備する。基板311としては、半導体基板を用いる。例えば、単結晶シリコン基板（p型の半導体基板、またはn型の半導体基板を含む）、炭化シリコンや窒化ガリウムを材料とした化合物半導体基板などを用いることができる。また、基板311として、SOI基板を用いてもよい。以下では、基板311として単結晶シリコンを用いた場合について説明する。

【0187】

続いて、基板311に素子分離層を形成する。素子分離層はLOCOS（Local Oxidation of Silicon）法またはSTI（Shallow Trench Isolation）法などを用いて形成すればよい。

【0188】

なお、同一基板上にp型のトランジスタとn型のトランジスタを形成する場合、基板311の一部にnウェルまたはpウェルを形成してもよい。例えば、n型の基板311にp型の導電性を付与するホウ素などの不純物元素を添加してpウェルを形成し、同一基板上にn型のトランジスタとp型のトランジスタを形成してもよい。

【0189】

続いて、基板311上に絶縁体314となる絶縁体を形成する。例えば、表面窒化処理後に酸化処理を行い、シリコンと窒化シリコン界面を酸化して酸化窒化シリコン膜を形成してもよい。例えばNH₃雰囲気下で700℃にて熱窒化シリコン膜を表面に形成後に酸素ラジカル酸化を行うことで酸化窒化シリコン膜が得られる。

【0190】

当該絶縁体は、スパッタリング法、CVD（Chemical Vapor Deposition）法（熱CVD法、MOCVD（Metal Organic CVD）法、PECVD（Plasma Enhanced CVD）法などを含む）、MBE（Molecular Beam Epitaxy）法、ALD（Atomic Layer Deposition）法、またはPLD（Pulsed Laser Deposition）法などで成膜することにより形成してもよい。

【0191】

続いて、導電体316となる導電膜を成膜する。導電膜としては、タンタル、タングステン、チタン、モリブデン、クロム、ニオブ等から選択された金属、またはこれらの金属を主成分とする合金材料若しくは化合物材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。また、金属窒化物膜と上記の金属膜の積層構造を用いてもよい。金属窒化物としては、窒化タングステン、窒化モリブデン、窒化チタンを用いることができる。金属窒化物膜を設けることにより、金属膜の密着性を向上させることができ、剥離を防止することができる。なお、導電体316の仕事関数を定めることで、トランジスタ300のしきい値電圧を調整することができるため、導電膜の材料は、トランジスタ300に求められる特性に応じて、適宜選択するとよい。

【0192】

導電膜は、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法などを含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0193】

続いて、当該導電膜上にリソグラフィ法などを用いてレジストマスクを形成し、当該導電膜の不要な部分を除去する。その後、レジストマスクを除去することにより、導電体316を形成することができる。

【0194】

導電体316の形成後、導電体316の側面を覆うサイドウォールを形成してもよい。サ

10

20

30

40

50

イドウォールは、導電体 316 の厚さよりも厚い絶縁体を成膜した後に、異方性エッチングを施し、導電体 316 の側面部分のみ当該絶縁体を残存させることにより形成できる。

【0195】

サイドウォールの形成時に絶縁体 314 となる絶縁体も同時にエッチングされることにより、導電体 316 およびサイドウォールの下部に絶縁体 314 が形成される。または、導電体 316 を形成した後に導電体 316、または導電体 316 を加工するためのレジストマスクをエッチングマスクとして当該絶縁体をエッチングすることにより絶縁体 314 を形成してもよい。この場合、導電体 316 の下部に絶縁体 314 が形成される。または、当該絶縁体に対してエッチングによる加工を行わずに、そのまま絶縁体 314 として用いることもできる。

10

【0196】

続いて、基板 311 の導電体 316（およびサイドウォール）が設けられていない領域にリンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を添加する。

【0197】

続いて、絶縁体 320 を形成した後、上述した導電性を付与する元素の活性化のための加熱処理を行う。

【0198】

絶縁体 320 は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよく、積層または単層で設ける。また、酸素と水素を含む窒化シリコン（SiNOH）を用いると、加熱によって脱離する水素の量を多くすることができるため好ましい。また、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いることもできる。

20

【0199】

絶縁体 320 は、例えば、スパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法等を含む）、MBE 法、ALD 法または PLD 法などを用いて形成することができる。特に、当該絶縁体を CVD 法、好ましくはプラズマ CVD 法によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱 CVD 法、MOCVD 法あるいは ALD 法が好ましい。

30

【0200】

加熱処理は、希ガスや窒素ガスなどの不活性ガス雰囲気下、または減圧雰囲気下にて、例えば、400℃以上でかつ基板の歪み点未満で行うことができる。

【0201】

この段階でトランジスタ 300 が形成される。なお、図 8（B）に示す回路構成とする場合、トランジスタ 300 を設けなくともよい。その場合、基板に大きな制限はない。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムヒ素、インジウムガリウムヒ素からなる化合物半導体基板、SOI（Silicon On Insulator）基板、GOI（Germanium on Insulator）基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

40

【0202】

また、基板として、可撓性基板を用いてもよい。可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

【0203】

50

続いて、絶縁体 3 2 0 上に絶縁体 3 2 2 を形成する。絶縁体 3 2 2 は、絶縁体 3 2 0 と同様の材料および方法で作製することができる。また、絶縁体 3 2 2 の上面を、CMP 法等を用いて、平坦化を行う（図 1 2（A））。

【0204】

続いて、絶縁体 3 2 0、および絶縁体 3 2 2 に、リソグラフィ法などを用いて、低抵抗領域 3 1 8 a、低抵抗領域 3 1 8 b および導電体 3 1 6 等に達する開口部を形成する（図 1 2（B））。その後、開口部を埋めるように導電膜を形成する（図 1 2（C））。導電膜の形成は、例えばスパッタリング法、CVD 法（熱 CVD 法、MOCVD 法、PECVD 法を含む）、MBE 法、ALD 法または PLD 法などを用いて形成することができる。

【0205】

続いて、絶縁体 3 2 2 の上面が露出するように該導電膜に平坦化処理を施すことにより、導電体 3 2 8 a、導電体 3 2 8 b、および導電体 3 2 8 c 等を形成する（図 1 2（D））。なお、図中の矢印は、CMP 処理を表す。また、明細書中、及び図中において、導電体 3 2 8 a、導電体 3 2 8 b、および導電体 3 2 8 c は、プラグ、または配線として機能を有し、まとめて導電体 3 2 8 と付記する場合もある。なお、本明細書中において、プラグ、または配線として機能を有する場合は、同様に取り扱うものとする。

【0206】

続いて、絶縁体 3 2 0 上に、ダマシン法などを用いて導電体 3 3 0 a、導電体 3 3 0 b、および導電体 3 3 0 c を形成する（図 1 3（A））。

【0207】

絶縁体 3 2 4、および絶縁体 3 2 6 は絶縁体 3 2 0 と同様の材料および方法で作製することができる。

【0208】

絶縁体 3 2 4 には、例えば、基板 3 1 1、またはトランジスタ 3 0 0 などから、トランジスタ 2 0 0 が設けられる領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。例えば、水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。

【0209】

また、絶縁体 3 2 6 は、誘電率が低い絶縁体（Low-k 材料）であることが好ましい。例えば、CVD 法で形成した酸化シリコンを用いることができる。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0210】

また、導電体 3 3 0 となる導電膜は、導電体 3 2 8 と同様の材料および方法で作製することができる。

【0211】

なお、導電体 3 3 0 を積層構造とする場合、絶縁体 3 2 4 と接する導電体として、窒化タンタルなどの、酸素、水素、または水に対してバリア性を有する導電体と、タングステンや銅などの導電性が高い導電体を積層して用いることが好ましい。例えば、バリア性を有する窒化タンタルは、基板温度 2 5 0 °C、塩素を含まない成膜ガスを用いて、ALD 法により成膜することができる。ALD 法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える導電体を形成することができる。また、酸素、水素、または水に対してバリア性を有する絶縁体 3 2 4 と、酸素、水素、または水に対してバリア性を有する導電体が接することで、より強固に酸素、水素、または水の拡散を抑制することができる。

【0212】

次に、絶縁体 3 5 0、絶縁体 3 5 2、絶縁体 3 5 4、導電体 3 5 6 a、導電体 3 5 6 b、および導電体 3 5 6 c を形成する（図 1 3（B））。絶縁体 3 5 2、および絶縁体 3 5 4 は絶縁体 3 2 0 と同様の材料および方法で作製することができる。また、導電体 3 5 6 はデュアルダマシン法などを用いて、導電体 3 2 8 と同様の材料を用いることができる。

【0213】

なお、導電体 3 5 6 を積層構造とする場合、絶縁体 3 5 0 と接する導電体として、窒化タンタルなどの、酸素、水素、または水に対してバリア性を有する導電体と、タングステンや銅などの導電性が高い導電体を積層して用いることが好ましい。特に、導電体 3 5 6 に銅などの拡散しやすい材料を用いる場合、銅などに対してバリア性を有する導電体と積層することが好ましい。また、絶縁体 3 5 4 にも、銅などに対してバリア性を有する絶縁体であることが好ましい。絶縁体 3 5 4 と、酸素、水素、または水に対してバリア性を有する導電体が接することで、より強固に酸素、水素、または水の拡散を抑制することができる。

【0 2 1 4】

続いて、水素または酸素に対してバリア性を有する絶縁体 3 5 8 を形成する。絶縁体 3 5 8 は絶縁体 3 5 4 と同様に、導電体 3 5 6 に用いられる導電体に対して、バリア性を有することが好ましい。

10

【0 2 1 5】

絶縁体 3 5 8 上に、絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4 を形成する。絶縁体 2 1 0、絶縁体 2 1 2、絶縁体 2 1 3、および絶縁体 2 1 4 は、絶縁体 3 2 4、および絶縁体 3 2 6 などと同様の材料および方法で作製することができる。

【0 2 1 6】

例えば、絶縁体 2 1 0 は、誘電率が低い絶縁体 (Low-k 材料) であることが好ましい。例えば、CVD 法で形成した酸化シリコンを用いることができる。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

【0 2 1 7】

また、絶縁体 2 1 2 には、基板 3 1 1、またはトランジスタ 3 0 0 などから、トランジスタ 2 0 0 が設けられる領域に、水素などの不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。例えば、水素に対するバリア性を有する膜の一例として、CVD 法で形成した窒化シリコンを用いることができる。

【0 2 1 8】

また、絶縁体 2 1 3 は、例えば、水素に対するバリア性を有する膜の一例として、ALD 法で形成した酸化アルミニウムを用いることができる。ALD 法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える絶縁体を形成することができる。

30

【0 2 1 9】

また、絶縁体 2 1 4 は、例えば、水素に対するバリア性を有する膜の一例として、スパッタリング法で形成した酸化アルミニウムを用いることができる。

【0 2 2 0】

続いて、絶縁体 2 1 4 上に絶縁体 2 1 6 を形成する。絶縁体 2 1 6 は、絶縁体 2 1 0 と同様の材料および方法で作製することができる (図 1 3 (C))。

【0 2 2 1】

次に、絶縁体 2 1 2、絶縁体 2 1 3、絶縁体 2 1 4、および絶縁体 2 1 6 の積層構造において、導電体 3 5 6 a、導電体 3 5 6 b、および導電体 3 5 6 c 等と重畳する領域に、凹部を形成する (図 1 4 (A))。なお、該凹部は、少なくとも難エッチング材料を用いた絶縁体に開口部が形成される程度の深さを有することが好ましい。ここで、難エッチング材料とは、金属酸化物などのエッチングが困難な材料を指す。難エッチング材料である金属酸化膜の代表例としては、酸化アルミニウム、酸化ジルコニウム、酸化ハフニウム、及びそれらを含むシリケート (HfSi_xO_y , ZrSi_xO_y 等)、並びにそれらの二以上を含む複合酸化物 ($\text{Hf}_{1-x}\text{Al}_x\text{O}_y$, $\text{Zr}_{1-x}\text{Al}_x\text{O}_y$ 等) がある。

40

【0 2 2 2】

続いて、絶縁体 2 1 4、および絶縁体 2 1 6 の積層構造に、導電体 2 0 5 を形成する領域に開口部を形成するとともに、絶縁体 2 1 2、絶縁体 2 1 3、絶縁体 2 1 4、および絶縁体 2 1 6 の積層構造に形成された凹部の底部を除去することにより、導電体 3 5 6 a、導電体 3 5 6 b、および導電体 3 5 6 c に達する開口部を形成する (図 1 4 (B))。この

50

さい、凹部の上方、例えば絶縁体 2 1 6 に形成された開口部を広くすることで、後の工程で形成されるプラグ、または配線に対し、十分な設計マージンを確保することができる。

【0 2 2 3】

その後、開口部を埋めるように導電膜を形成する。導電膜の形成は、導電体 3 2 8 と同様の材料および方法で作製することができる。続いて、導電膜に平坦化処理を施すことにより、絶縁体 2 1 6 の上面を露出させ、導電体 2 1 8 a、導電体 2 1 8 b、導電体 2 1 8 c、および導電体 2 0 5 を形成する。

【0 2 2 4】

ここで、例えば、絶縁体 2 2 4 が過剰酸素領域を有する場合、導電体 2 1 8 など、絶縁体 2 2 4 と接する導電体に、耐酸化性が高い導電体を用いるとよい。また、図に示すように、導電体 2 1 8 上に、バリア性を有する導電体 2 1 9 a、導電体 2 1 9 b、および導電体 2 1 9 c を設けてもよい（図 1 5（A））。本構成とすることで、導電体 2 1 8 が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

10

【0 2 2 5】

次に、トランジスタ 2 0 0 を形成する。なお、トランジスタ 2 0 0 の作製方法は、後の実施の形態で説明する作製方法を用いて、形成すればよい。

【0 2 2 6】

続いて、トランジスタ 2 0 0 上に、絶縁体 2 8 0 を形成する。絶縁体 2 8 0 は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。なお、絶縁体 2 8 0 は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、C V D 法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、絶縁体 2 8 0 となる絶縁体を形成した後、その上面の平坦性を高めるために C M P 法等を用いた平坦化処理を行ってもよい（図 1 5（B））。

20

【0 2 2 7】

ここで、絶縁体 2 8 0 に、過剰酸素領域を形成してもよい。過剰酸素領域を形成するには、例えば、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

【0 2 2 8】

次に、トランジスタ 2 0 0 の一部（図では、絶縁体 2 2 4、絶縁体 2 5 0、および酸化物 2 3 0 c）、および絶縁体 2 8 0、に、導電体 2 1 9 a、導電体 2 1 9 b、導電体 2 1 9 c、およびトランジスタ 2 0 0 等に達する開口部を形成する（図 1 6（A））。

30

【0 2 2 9】

その後、開口部を埋めるように導電膜 2 4 4 A、および導電膜 2 4 4 B を形成する（図 1 6（B））。続いて、導電膜に平坦化処理を施すことにより、導電膜 2 4 4 A、および導電膜 2 4 4 B の一部を除去し、絶縁体 2 8 0 の上面を露出させ、導電体 2 4 4 a、導電体 2 4 4 b、導電体 2 4 4 c、導電体 2 4 4 d、および導電体 2 4 4 e を形成する（図 1 7、なお図中矢印は C M P 処理を表す）。

【0 2 3 0】

次に、絶縁体 2 8 0、および導電体 2 4 4 上に、導電体 2 4 6 A、および導電体 1 2 4 A を形成する（図 1 8）。続いて、リソグラフィ法等を用いて、導電体 2 4 6 A、および導電体 1 2 4 A の不要な部分を除去することで、導電体 2 4 6 a、導電体 2 4 6 b、および導電体 2 4 6 d と、導電体 1 2 4 a、導電体 1 2 4 b、および導電体 1 2 4 d と、導電体 1 1 2 a、および導電体 1 1 2 b と、を形成する。

40

【0 2 3 1】

続いて、バリア膜 2 8 1 A を形成する（図 1 9）。バリア膜 2 8 1 A としては、A L D 法で形成した酸化アルミニウムを用いることができる。A L D 法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える絶縁体を形成することができる。バリア層 2 8 1 を有することで、導電体 2 4 4 に含まれる不純物や、導電体 2 4 4 の一部の拡散を抑制することができる。また、酸化アルミニウムは

50

、トランジスタの作製工程中、および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。

【0232】

続いて、レジストマスクを用いて、バリア膜281Aの不要な部分をエッチングにより除去し、バリア層281a、バリア層281b、バリア層281c、およびバリア層281dを形成する(図20)。

【0233】

ここで、絶縁体280中の不純物を除去し、過剰酸素領域を形成する。絶縁体280中には、導電体244を形成する工程で使用したエッチングガスに起因した不純物が残留している場合がある。特に、エッチングガスなどに用いられるハロゲン、特に塩素(Cl)等は、絶縁体280中の酸素の拡散を阻害する可能性を有するため、取り除くことが好ましい。

10

【0234】

例えば、絶縁体280において、開口部を形成する工程で生じたエッチングガスに起因した不純物を取り除くためには、10ppm以上200ppm以下、好ましくは50ppm以上100ppm以下のフッ化水素酸で洗浄してもよい。稀フッ化水素酸で、洗浄することにより、絶縁体280表面に残留している不純物を除去することができる。なお、フッ化水素酸以外に、オゾン水、リン酸、または硝酸を用いて洗浄してもよい。

【0235】

絶縁体280中の不純物を除去するために、酸素プラズマ処理を行うとよい。また、過剰酸素領域を形成するには、例えば、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加することができる。

20

【0236】

例えば、酸素プラズマ処理を行う(図21、図中矢印はプラズマ処理を表す。)。代表的な酸素プラズマ処理は、酸素ガスのグロー放電プラズマで生成されたラジカルで酸化物半導体の表面を処理することであるが、プラズマを生成するガスとしては酸素のみでなく、酸素ガスと希ガスの混合ガスであってもよい。例えば、250℃以上400℃以下、好ましくは300℃以上400℃以下の温度で、酸化性ガスを含む雰囲気、または減圧状態で行えばよい。

【0237】

酸素プラズマ処理により、絶縁体280、およびトランジスタ200において活性層として用いられる酸化物が、脱ハロゲン化、脱水化、または脱水素化されるとともに、絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。また、脱水化、または脱水素化された酸化物230には、酸素欠損が生じ、低抵抗化する。一方で、絶縁体280の過剰な酸素により、酸化物230の酸素欠損が補填される。従って、酸素プラズマ処理により、絶縁体280は、過剰酸素領域が形成されると同時に、不純物である水素、および水を除去することができる。また、酸化物230は、酸素欠損を補填しながら、不純物である水素、または水を除去することができる。したがって、トランジスタ200の電気特性の向上および、電気特性のばらつきを軽減することができる。

30

【0238】

また、バリア層281を有することで、導電体124、導電体246、および導電体244が酸素プラズマ処理により、酸化されることを防止することができる。また、導電体124を、耐酸化性が高い導電体を用いて形成する場合においては、導電体124がバリア層として機能するため、バリア層281は必須の構成ではない。

40

【0239】

また、加熱処理を行ってもよい。加熱処理を行うことで、絶縁体280中の不純物を除去し、過剰酸素領域を形成することができる。加熱処理は、250℃以上400℃以下、好ましくは320℃以上380℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含

50

む雰囲気で行ってもよい。加熱処理により、絶縁体 280、およびトランジスタ 200の不純物である水素を除去することができる。また、トランジスタ 200の下方に形成された絶縁体から、トランジスタ 200が有する酸化物 230に酸素が供給され、チャンネル領域が形成される酸化物中の酸素欠損を低減することができる。

【0240】

また、バリア層 281を有することで、導電体 124、導電体 246、および導電体 244が熱処理時のガス雰囲気により、酸化されることを防止することができる。また、導電体 124を、耐酸化性が高い導電体を用いて形成する場合においては、導電体 124がバリア層として機能するため、バリア層 281は必須の構成ではない。

【0241】

続いて、絶縁体 280、およびバリア層 281上に絶縁体 282を形成する（図 22）。また、酸素導入処理の一例として、絶縁体 280上に、スパッタリング装置を用いて、酸化物を積層する方法がある。例えば、絶縁体 282を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体 282を成膜しながら、絶縁体 280に酸素を導入することができる。

【0242】

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

【0243】

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が被成膜表面に付着することにより膜が形成される。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜の下部にある絶縁体 280に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、イオンの一部のイオンは、絶縁体 280の内部まで到達する。イオンが絶縁体 280に取り込まれることにより、イオンが取り込まれた領域が絶縁体 280に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体 280に過剰酸素領域が形成される。

【0244】

また、絶縁体 280に、絶縁体 282を介して、酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入し、酸素を過剰に含有する領域を形成してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。酸素導入処理を、絶縁体 282を介して行うことで、絶縁体 280を保護した状態で、過剰酸素領域を形成することができる。

【0245】

続いて、加熱処理を行ってもよい。加熱処理は、 250°C 以上 650°C 以下、好ましくは 300°C 以上 500°C 以下、さらに好ましくは 350°C 以上 400°C 以下の温度で、不活性ガス雰囲気、酸化性ガスを 10 ppm 以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを 10 ppm 以上含む雰囲気で行ってもよい。加熱処理は、ランプ加熱による R T A 装置を用いることもできる。

【0246】

加熱処理により、絶縁体 280に導入された過剰酸素は、絶縁体 280中を拡散する。ここで、絶縁体 280は、酸素に対するバリア性を有する絶縁体 282、により、包まれている。従って、絶縁体 280に導入された過剰酸素は、外部に放出されることを防ぎ、効率的に酸化物 230へ供給される。

10

20

30

40

50

【0247】

また、加熱処理により、絶縁体280の水素が移動し、絶縁体282に取り込まれる。絶縁体282に取り込まれた水素は、絶縁体282中の酸素と反応することで、水が生成する場合がある。生成された水は、絶縁体282上から放出される。従って、絶縁体280の不純物としての水素、及び水を低減することができる。なお、絶縁体282に酸化アルミニウムを用いている場合、絶縁体282が触媒として機能していると考えられる。

【0248】

トランジスタ200が有する酸化物230へ供給された酸素は、トランジスタ200におけるチャンネルが形成される酸化物中の酸素欠損を補償する。従って、トランジスタ200におけるチャンネルが形成される酸化物を、欠陥準位密度が低い、安定な特性を有する酸化

10

【0249】

物半導体とすることができる。つまり、トランジスタ200の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

以上、成膜後の絶縁体280に酸素を導入して、酸素を過剰に含有する領域を形成するために、酸素プラズマ処理、イオン注入法、または加熱処理の、いずれかまたは全ての手段を組み合わせてもよい。

【0250】

続いて、絶縁体282上に、導電体112の側面、および上面を覆う絶縁体130を成膜する。絶縁体130には例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよい。

20

【0251】

続いて、絶縁体130上に導電体116を形成する。なお、導電体116の形成は、導電体112と同様の材料および方法で作製することができる。

【0252】

続いて、容量素子100を覆う絶縁体150を成膜する。絶縁体150となる絶縁体は、絶縁体320等と同様の材料および方法により形成することができる。

【0253】

以上の工程により、本発明の一態様の半導体装置を作製することができる（図23）。

30

【0254】

上記工程を経て作製することにより、酸化物半導体を有するトランジスタを用いた半導体装置は、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0255】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0256】

（実施の形態3）

本実施の形態では、半導体装置の一形態を、図24乃至図35を用いて説明する。

40

【0257】

<トランジスタ構造1>

以下では、本発明の一態様に係るトランジスタの一例について説明する。図24（A）、図24（B）、および図24（C）は、本発明の一態様に係るトランジスタの上面図および断面図である。図24（A）は上面図であり、図24（B）は、図24（A）に示す一点鎖線X1-X2、図24（C）は、一点鎖線Y1-Y2に対応する断面図である。なお、図24（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0258】

50

トランジスタ 200 は、ゲート電極として機能する導電体 205（導電体 205 a、および導電体 205 b）、および導電体 260 と、ゲート絶縁層として機能する絶縁体 220、絶縁体 222、絶縁体 224、および絶縁体 250 と、チャンネルが形成される領域を有する酸化物 230（酸化物 230 a、酸化物 230 b、および酸化物 230 c）と、ソース電極またはドレイン電極の一方として機能する導電体 240 a と、ソース電極またはドレイン電極の他方として機能する導電体 240 b と、過剰酸素を有する絶縁体 280 と、バリア性を有する絶縁体 282 と、を有する。

【0259】

また、酸化物 230 は、酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、酸化物 230 b 上の酸化物 230 c と、を有する。なお、トランジスタ 200 をオンさせると、主として酸化物 230 b に電流が流れる（チャンネルが形成される）。一方、酸化物 230 a および酸化物 230 c は、酸化物 230 b との界面近傍（混合領域となっている場合もある）は電流が流れる場合があるものの、そのほかの領域は絶縁体として機能する場合がある。

10

【0260】

また、図 24 に示すように、酸化物 230 c は、酸化物 230 a、および酸化物 230 b の側面を覆うように設けることが好ましい。絶縁体 280 と、チャンネルが形成される領域を有する酸化物 230 b との間に、酸化物 230 c が介在することにより、絶縁体 280 から、水素、水、およびハロゲン等の不純物が、酸化物 230 b へ拡散することを抑制することができる。

20

【0261】

導電体 205 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等が用いられる。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、酸化しにくい（耐酸化性が高い）ため、好ましい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

30

【0262】

例えば、導電体 205 a として、水素に対するバリア性を有する導電体として、窒化タンタル等を用い、導電体 205 b として、導電性が高いタングステンを積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、酸化物 230 への水素の拡散を抑制することができる。なお、図 24 では、導電体 205 a、および導電体 205 b の 2 層構造を示したが、当該構成に限定されず、単層でも 3 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

【0263】

絶縁体 224 は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体 224 としては、過剰酸素を含む（化学量論的組成よりも過剰に酸素を含む）絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を、トランジスタ 200 を構成する酸化物に接して設けることにより、酸化物 230 中の酸素欠損を補償することができる。

40

【0264】

また、絶縁体 224 が、過剰酸素領域を有する場合、絶縁体 222 は、酸素、水素、および水に対するバリア性を有することが好ましい。絶縁体 222 が、酸素に対するバリア性を有することで、過剰酸素領域の酸素は、トランジスタ 300 側へ拡散することなく、効率よく酸化物 230 へ供給することができる。また、導電体 205 が、絶縁体 224 が有する過剰酸素領域の酸素と反応することを抑制することができる。

50

【0265】

絶縁体222は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba，Sr）TiO₃（BST）などを含む絶縁体を単層または積層で用いることが好ましい。特に、酸化アルミニウム膜、および酸化ハフニウム膜、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0266】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

10

【0267】

なお、絶縁体220、絶縁体222、および絶縁体224が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

【0268】

また、絶縁体220及び絶縁体224の間に、high-k材料を含む絶縁体222を有することで、特定の条件で絶縁体222が電子を捕獲し、しきい値電圧を増大させることができる。つまり、絶縁体222が負に帯電する場合がある。

20

【0269】

例えば、絶縁体220、および絶縁体224に、酸化シリコンを用い、絶縁体222に、酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用いた場合、半導体装置の使用温度、あるいは保管温度よりも高い温度（例えば、125℃以上450℃以下、代表的には150℃以上300℃以下）の下で、導電体205の電位をソース電極やドレイン電極の電位より高い状態を、10ミリ秒以上、代表的には1分以上維持することで、トランジスタ200を構成する酸化物から導電体205に向かって、電子が移動する。この時、移動する電子の一部が、絶縁体222の電子捕獲準位に捕獲される。

30

【0270】

絶縁体222の電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。なお、導電体205の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタとなる。

【0271】

また、電子を捕獲する処理は、トランジスタの作製過程におこなえばよい。例えば、トランジスタのソース導電体あるいはドレイン導電体に接続する導電体の形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階で行うとよい。

40

【0272】

また、絶縁体220、絶縁体222、および絶縁体224の膜厚を適宜調整することで、しきい値電圧を制御することができる。例えば、絶縁体220、絶縁体222、および絶縁体224の合計膜厚が薄くすることで導電体205からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。絶縁体220、絶縁体222、および絶縁体224の合計膜厚は、65nm以下、好ましくは20nm以下であることが好ましい。

【0273】

従って、非導通時のリーク電流の小さいトランジスタを提供することができる。また、安

50

定した電気特性を有するトランジスタを提供することができる。または、オン電流の大きいトランジスタを提供することができる。または、サブスレッショルドスイング値の小さいトランジスタを提供することができる。または、信頼性の高いトランジスタを提供することができる。

【0274】

酸化物230a、酸化物230b、および酸化物230cは、 $In-M-Zn$ 酸化物（MはAl、Ga、Y、またはSn）等の金属酸化物で形成される。また、酸化物230として、 $In-Ga$ 酸化物、 $In-Zn$ 酸化物を用いてもよい。

【0275】

以下に、本発明に係る酸化物230について説明する。

10

【0276】

酸化物230に用いる酸化物としては、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0277】

ここで、酸化物が、インジウム、元素M及び亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

20

【0278】

まず、図36（A）、図36（B）、および図36（C）を用いて、本発明に係る酸化物が有するインジウム、元素M及び亜鉛の原子数比の好ましい範囲について説明する。なお、図36には、酸素の原子数比については記載しない。また、酸化物が有するインジウム、元素M、及び亜鉛の原子数比のそれぞれの項を $[In]$ 、 $[M]$ 、および $[Zn]$ とする。

30

【0279】

図36（A）、図36（B）、および図36（C）において、破線は、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 1$ の原子数比（ $-1 \leq \alpha \leq 1$ ）となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 2$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 3$ の原子数比となるライン、 $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 4$ の原子数比となるライン、および $[In] : [M] : [Zn] = (1 + \alpha) : (1 - \alpha) : 5$ の原子数比となるラインを表す。

【0280】

また、一点鎖線は、 $[In] : [M] : [Zn] = 1 : 1 : \beta$ の原子数比（ $\beta \geq 0$ ）となるライン、 $[In] : [M] : [Zn] = 1 : 2 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 3 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 1 : 4 : \beta$ の原子数比となるライン、 $[In] : [M] : [Zn] = 2 : 1 : \beta$ の原子数比となるライン、及び $[In] : [M] : [Zn] = 5 : 1 : \beta$ の原子数比となるラインを表す。

40

【0281】

また、二点鎖線は、 $[In] : [M] : [Zn] = (1 + \gamma) : 2 : (1 - \gamma)$ の原子数比（ $-1 \leq \gamma \leq 1$ ）となるラインを表す。また、図36に示す、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比またはその近傍値の酸化物は、スピネル型の結晶構造をとりやすい。

50

【0282】

図36(A)および図36(B)では、本発明の一態様の酸化物が有する、インジウム、元素M、及び亜鉛の原子数比の好ましい範囲の一例について示している。

【0283】

一例として、図37に、 $[In] : [M] : [Zn] = 1 : 1 : 1$ である、 $InMZnO_4$ の結晶構造を示す。また、図37は、b軸に平行な方向から観察した場合の $InMZnO_4$ の結晶構造である。なお、図37に示すM、Zn、酸素を有する層（以下、(M, Zn)層）における金属元素は、元素Mまたは亜鉛を表している。この場合、元素Mと亜鉛の割合が等しいものとする。元素Mと亜鉛とは、置換が可能であり、配列は不規則である。

10

【0284】

$InMZnO_4$ は、層状の結晶構造（層状構造ともいう）をとり、図37に示すように、インジウム、および酸素を有する層（以下、In層）が1に対し、元素M、亜鉛、および酸素を有する(M, Zn)層が2となる。

【0285】

また、インジウムと元素Mは、互いに置換可能である。そのため、(M, Zn)層の元素Mがインジウムと置換し、(In, M, Zn)層と表すこともできる。その場合、In層が1に対し、(In, M, Zn)層が2である層状構造をとる。

【0286】

$[In] : [M] : [Zn] = 1 : 1 : 2$ となる原子数比の酸化物は、In層が1に対し、(M, Zn)層が3である層状構造をとる。つまり、 $[In]$ および $[M]$ に対し $[Zn]$ が大きくなると、酸化物が結晶化した場合、In層に対する(M, Zn)層の割合が増加する。

20

【0287】

ただし、酸化物中において、In層が1層に対し、(M, Zn)層の層数が非整数である場合、In層が1層に対し、(M, Zn)層の層数が整数である層状構造を複数種有する場合がある。例えば、 $[In] : [M] : [Zn] = 1 : 1 : 1.5$ である場合、In層が1に対し、(M, Zn)層が2である層状構造と、(M, Zn)層が3である層状構造とが混在する層状構造となる場合がある。

【0288】

例えば、酸化物をスパッタリング装置にて成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される。特に、成膜時の基板温度によっては、ターゲットの $[Zn]$ よりも、膜の $[Zn]$ が小さくなる場合がある。

30

【0289】

また、酸化物中に複数の相が共存する場合がある（二相共存、三相共存など）。例えば、 $[In] : [M] : [Zn] = 0 : 2 : 1$ の原子数比の近傍値である原子数比では、スピネル型の結晶構造と層状の結晶構造との二相が共存しやすい。また、 $[In] : [M] : [Zn] = 1 : 0 : 0$ を示す原子数比の近傍値である原子数比では、ビックスバイト型の結晶構造と層状の結晶構造との二相が共存しやすい。酸化物中に複数の相が共存する場合、異なる結晶構造の間において、結晶粒界が形成される場合がある。

40

【0290】

また、インジウムの含有率を高くすることで、酸化物のキャリア移動度（電子移動度）を高くすることができる。これは、インジウム、元素M及び亜鉛を有する酸化物では、主として重金属のs軌道がキャリア伝導に寄与しており、インジウムの含有率を高くすることにより、s軌道が重なる領域がより大きくなるため、インジウムの含有率が高い酸化物はインジウムの含有率が低い酸化物と比較してキャリア移動度が高くなるためである。

【0291】

一方、酸化物中のインジウムおよび亜鉛の含有率が低くなると、キャリア移動度が低くなる。従って、 $[In] : [M] : [Zn] = 0 : 1 : 0$ を示す原子数比、およびその近傍値である原子数比（例えば図36(C)に示す領域C）では、絶縁性が高くなる。

50

【0292】

従って、本発明の一態様の酸化物は、キャリア移動度が高く、かつ、粒界が少ない層状構造となりやすい、図36(A)の領域Aで示される原子数比を有することが好ましい。

【0293】

また、図36(B)に示す領域Bは、 $[In] : [M] : [Zn] = 4 : 2 : 3$ から4.1、およびその近傍値を示している。近傍値には、例えば、原子数比が $[In] : [M] : [Zn] = 5 : 3 : 4$ が含まれる。領域Bで示される原子数比を有する酸化物は、特に、結晶性が高く、キャリア移動度も高い優れた酸化物である。

【0294】

なお、酸化物が、層状構造を形成する条件は、原子数比によって一義的に定まらない。原子数比により、層状構造を形成するための難易の差はある。一方、同じ原子数比であっても、形成条件により、層状構造になる場合も層状構造にならない場合もある。従って、図示する領域は、酸化物が層状構造を有する原子数比を示す領域であり、領域A乃至領域Cの境界は厳密ではない。

【0295】

続いて、上記酸化物をトランジスタに用いる場合について説明する。

【0296】

なお、上記酸化物をトランジスタに用いることで、粒界におけるキャリア散乱等を減少させることができるため、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0297】

また、トランジスタには、キャリア密度の低い酸化物を用いることが好ましい。例えば、酸化物は、キャリア密度が $8 \times 10^{11} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

【0298】

なお、高純度真性または実質的に高純度真性である酸化物は、キャリア発生源が少ないため、キャリア密度を低くすることができる。また、高純度真性または実質的に高純度真性である酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0299】

また、酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物にチャネル領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

【0300】

従って、トランジスタの電気特性を安定にするためには、酸化物中の不純物濃度を低減することが有効である。また、酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0301】

ここで、酸化物中における各不純物の影響について説明する。

【0302】

酸化物において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物において欠陥準位が形成される。このため、酸化物におけるシリコンや炭素の濃度と、酸化物との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0303】

また、酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれ

10

20

30

40

50

ている酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

【0304】

また、酸化物において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物を半導体に用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物において、窒素はできる限り低減されていることが好ましい、例えば、酸化物中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【0305】

また、酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物中の水素はできる限り低減されていることが好ましい。具体的には、酸化物において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

20

【0306】

不純物が十分に低減された酸化物をトランジスタのチャネル領域に用いることで、安定した電気特性を付与することができる。

【0307】

続いて、該酸化物を2層構造、または3層構造とした場合について述べる。酸化物S1、酸化物S2、および酸化物S3の積層構造、および積層構造に接する絶縁体のバンド図と、酸化物S2および酸化物S3の積層構造、および積層構造に接する絶縁体のバンド図と、酸化物S1および酸化物S2の積層構造、および積層構造に接する絶縁体のバンド図と、について、図38を用いて説明する。

30

【0308】

図38(A)は、絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図38(B)は、絶縁体I1、酸化物S2、酸化物S3、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。また、図38(C)は、絶縁体I1、酸化物S1、酸化物S2、及び絶縁体I2を有する積層構造の膜厚方向のバンド図の一例である。なお、バンド図は、理解を容易にするため絶縁体I1、酸化物S1、酸化物S2、酸化物S3、及び絶縁体I2の伝導帯下端のエネルギー準位(Ec)を示す。

40

【0309】

酸化物S1、酸化物S3は、酸化物S2よりも伝導帯下端のエネルギー準位が真空準位に近く、代表的には、酸化物S2の伝導帯下端のエネルギー準位と、酸化物S1、酸化物S3の伝導帯下端のエネルギー準位との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。すなわち、酸化物S1、酸化物S3の電子親和力よりも、酸化物S2の電子親和力が大きく、酸化物S1、酸化物S3の電子親和力と、酸化物S2の電子親和力との差が、0.15 eV以上、または0.5 eV以上、かつ2 eV以下、または1 eV以下であることが好ましい。

【0310】

図38(A)、図38(B)、および図38(C)に示すように、酸化物S1、酸化物S

50

2、酸化物 S 3 において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようなバンド図を有するためには、酸化物 S 1 と酸化物 S 2 との界面、または酸化物 S 2 と酸化物 S 3 との界面において形成される混合層の欠陥準位密度を低くするとよい。

【0311】

具体的には、酸化物 S 1 と酸化物 S 2、酸化物 S 2 と酸化物 S 3 が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 S 2 が In-Ga-Zn 酸化物の場合、酸化物 S 1、酸化物 S 3 として、 In-Ga-Zn 酸化物、 Ga-Zn 酸化物、酸化ガリウムなどを用いるとよい。

【0312】

このとき、キャリアの主たる経路は酸化物 S 2 となる。酸化物 S 1 と酸化物 S 2 との界面、および酸化物 S 2 と酸化物 S 3 との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0313】

トラップ準位に電子が捕獲されることで、捕獲された電子は固定電荷のように振る舞うため、トランジスタのしきい値電圧はプラス方向にシフトしてしまう。酸化物 S 1、酸化物 S 3 を設けることにより、トラップ準位を酸化物 S 2 より遠ざけることができる。当該構成とすることで、トランジスタのしきい値電圧がプラス方向にシフトすることを防止することができる。

【0314】

酸化物 S 1、酸化物 S 3 は、酸化物 S 2 と比較して、導電率が十分に低い材料を用いる。このとき、酸化物 S 2、酸化物 S 2 と酸化物 S 1 との界面、および酸化物 S 2 と酸化物 S 3 との界面が、主にチャネル領域として機能する。例えば、酸化物 S 1、酸化物 S 3 には、図 36 (C) において、絶縁性が高くなる領域 C で示す原子数比の酸化物を用いればよい。なお、図 36 (C) に示す領域 C は、 $[\text{In}] : [\text{M}] : [\text{Zn}] = 0 : 1 : 0$ 、またはその近傍値である原子数比を示している。

【0315】

特に、酸化物 S 2 に領域 A で示される原子数比の酸化物を用いる場合、酸化物 S 1 および酸化物 S 3 には、 $[\text{M}] / [\text{In}]$ が 1 以上、好ましくは 2 以上である酸化物を用いることが好ましい。また、酸化物 S 3 として、十分に高い絶縁性を得ることができる $[\text{M}] / ([\text{Zn}] + [\text{In}])$ が 1 以上である酸化物を用いることが好適である。

【0316】

絶縁体 250 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3) または (Ba, Sr) TiO_3 (BST) などを含む絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0317】

また、絶縁体 250 は、絶縁体 224 と同様に、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。このような過剰酸素を含む絶縁体を酸化物 230 に接して設けることにより、酸化物 230 中の酸素欠損を低減することができる。

【0318】

また、絶縁体 250 は、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、窒化シリコンなどの、酸素や水素に対してバリア性のある絶縁膜を用いることができる。このような材料を用いて形成した場合、酸化物 230 からの酸素の放出や、外

10

20

30

40

50

部からの水素等の不純物の混入を防ぐ層として機能する。

【0319】

なお、絶縁体250は、絶縁体220、絶縁体222、および絶縁体224と同様の積層構造を有していてもよい。絶縁体250が、電子捕獲準位に必要な量の電子を捕獲させた絶縁体を有することで、トランジスタ200は、しきい値電圧をプラス側にシフトすることができる。当該構成を有することで、トランジスタ200は、ゲート電圧が0Vであっても非導通状態（オフ状態ともいう）であるノーマリーオフ型のトランジスタとなる。

【0320】

また、図24に示す半導体装置において、酸化物230と導電体260の間に、絶縁体250の他にバリア膜を設けてもよい。もしくは、酸化物230cにバリア性があるものを用いてもよい。

10

【0321】

例えば、過剰酸素を含む絶縁膜を酸化物230に接して設け、さらにバリア膜で包み込むことで、酸化物を化学量論的組成とほぼ一致するような状態、または化学量論的組成より酸素が多い過飽和の状態とすることができる。また、酸化物230への水素等の不純物の侵入を防ぐことができる。

【0322】

導電体240aと、および導電体240bは、一方がソース電極として機能し、他方がドレイン電極として機能する。

【0323】

20

導電体240aと、導電体240bとは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

【0324】

また、図では単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層するとよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

30

【0325】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

【0326】

また、ゲート電極として機能を有する導電体260は、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。特に、窒化タンタル膜などの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。また、マンガ、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、図では単層構造を示したが、2層以上の積層構造としてもよい。

40

【0327】

例えば、アルミニウム膜上にチタン膜を積層する二層構造とするとよい。また、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層

50

構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造としてもよい。

【0328】

また、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0329】

また、導電体260は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【0330】

続いて、トランジスタ200の上方には、絶縁体280、および絶縁体282を設ける。

【0331】

絶縁体280には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。つまり、絶縁体280には、化学量論的組成よりも酸素が過剰に存在する領域（以下、過剰酸素領域ともいう）が形成されていることが好ましい。特に、トランジスタ200に酸化物半導体を用いる場合、トランジスタ200近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ200の酸素欠損を低減することで、信頼性を向上させることができる。

【0332】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

【0333】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0334】

また、トランジスタ200を覆う絶縁体280は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0335】

絶縁体282は、例えば、酸化アルミニウム、および酸化ハフニウム、などの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。このような材料を用いて形成した場合、酸化物230からの酸素の放出や、外部からの水素等の不純物の混入を防ぐ層として機能する。

【0336】

上記構成を有することで、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、上記構成を有するトランジスタを半導体装置に用いることで、半導体装置の電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、消費電力が低減された半導体装置を提供することができる。

【0337】

<トランジスタ構造2>

10

20

30

40

50

図25には、トランジスタ200に適応できる構造の一例を示す。図25(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図25(A)において一部の膜は省略されている。また、図25(B)は、図25(A)に示す一点鎖線X1-X2に対応する断面図であり、図25(C)はY1-Y2に対応する断面図である。

【0338】

なお、図25に示すトランジスタ200において、図24に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0339】

図25に示す構造は、導電体260を、2層構造で設けている。例えば、導電体260aとして、In-Ga-Zn酸化物に代表される酸化物を用いることができる。In-Ga-Zn酸化物に代表される酸化物半導体は、窒素または水素が供給されることで、キャリア密度が高くなる。別言すると、酸化物導電体(OC:Oxide Conductor)として機能する。そこで、導電体260bとして、金属窒化物を設けることで、酸化物半導体はキャリア密度が高くなるため、導電体260aはゲート電極として機能する。

【0340】

導電体260aとして、In-Ga-Zn酸化物に代表される酸化物半導体を用いることができる。また、導電体260aとして、インジウム錫酸化物(Indium Tin Oxide:ITO)、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを含むインジウム錫酸化物(In-Sn-Si酸化物:ITSOともいう)等の透光性を有する導電性材料を適用することもできる。

【0341】

導電体260bとして、金属窒化物を用いることで、金属窒化物中の構成元素(特に窒素)が導電体260aに拡散し低抵抗化する、また、導電体260bの成膜時のダメージ(例えば、スパッタリングダメージなど)により低抵抗化することができる。なお、導電体260bを、2層以上の積層構造としてもよい。例えば、金属窒化物上に、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。

【0342】

また、導電体260aの形成方法としては、スパッタリング法を用い、形成時に酸素ガスを含む雰囲気中で形成することが好ましい。形成時に酸素ガスを含む雰囲気中で導電体260aを形成することで、絶縁体250中に、過剰酸素領域を形成することができる。なお、導電体260aの形成方法としては、スパッタリング法に限定されず、その他の方法、例えばALD法を用いてもよい。

【0343】

さらに、図25に示す構造は、導電体260を覆うように、絶縁体270を設ける。絶縁体280に酸素が脱離する酸化物材料を用いる場合、絶縁体270は、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体260aの酸素欠損が補償されることで、キャリア密度が低下することを抑制し、また、導電体260bが、拡散した酸素により酸化することを防止することができる。

【0344】

例えば、絶縁体270には、酸化アルミニウムなどの金属酸化物を用いることができる。また絶縁体270は、導電体260の酸化を防止する程度の膜厚で設けられていればよい。

【0345】

また、図に示すように、絶縁体220、および絶縁体222を設けず、バリア性を有する導電体を用いて、導電体205cを設けてもよい。本構成とすることで、絶縁体224が過剰酸素領域を有する場合でも、導電体205bが、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

【0346】

また、導電体 240 a、および導電体 240 b 上に、絶縁体 243 a、および絶縁体 243 b を設けてもよい。絶縁体 243 a、および絶縁体 243 b は、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体 240 a、および導電体 240 b が、酸化物 230 c を製膜する際に、酸化することを抑制することができる。また、絶縁体 280 が有する過剰酸素領域の酸素が、導電体 240 a、および導電体 240 b と反応し、酸化することを防止することができる。

【0347】

絶縁体 243 a、および絶縁体 243 b には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD 法で形成した窒化シリコンを用いてもよい。

10

【0348】

従って、当該構成とすることで、導電体 240 a、導電体 240 b、導電体 205、および導電体 260 の材料選択の幅を広げることができる。例えば、導電体 205 b、および導電体 260 b に、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

【0349】

また、導電体 205、および導電体 260 の酸化を抑制し、絶縁体 224、および絶縁体 280 から、脱離した酸素を効率的に酸化物 230 へと供給することができる。また、導電体 205、および導電体 260 に導電性が高い導電体を用いることで、消費電力が小さいトランジスタ 200 を提供することができる。

20

【0350】

<トランジスタ構造 3>

図 26 には、トランジスタ 200 に適応できる構造の一例を示す。図 26 (A) はトランジスタ 200 の上面を示す。なお、図の明瞭化のため、図 26 (A) において一部の膜は省略されている。また、図 26 (B) は、図 26 (A) に示す一点鎖線 X1-X2 に対応する断面図であり、図 26 (C) は Y1-Y2 に対応する断面図である。

【0351】

なお、図 26 に示すトランジスタ 200 において、図 24 に示したトランジスタ 200 を構成する構造と同機能を有する構造には、同符号を付記する。

30

【0352】

図 26 に示す構造は、導電体 260 を、2 層構造で設けている。2 層構造としては、同じ材料を積層して設けてもよい。例えば、導電体 260 a は、熱 CVD 法、MOCVD 法または ALD 法を用いて形成する。特に、ALD 法を用いて形成することが好ましい。ALD 法等により形成することで、絶縁体 250 に対する成膜時のダメージを減らすことができる。また、被覆性を向上させることができるため、導電体 260 a を ALD 法等により形成することが好ましい。従って、信頼性が高いトランジスタ 200 を提供することができる。

【0353】

続いて、導電体 260 b はスパッタリング法を用いて形成する。この時、絶縁体 250 上に、導電体 260 a を有することで、導電体 260 b の成膜時のダメージが、絶縁体 250 に影響することを抑制することができる。また、ALD 法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。

40

【0354】

さらに、図 26 に示す構造は、導電体 260 を覆うように、絶縁体 270 を設ける。絶縁体 280 に酸素が脱離する酸化物材料を用いる場合、絶縁体 270 は、酸素に対してバリア性を有する物質を用いる。当該構成により、導電体 260 a の酸素欠損が補償されることで、キャリア密度が低下することを抑制し、また、導電体 260 b が、拡散した酸素により酸化することを防止することができる。

50

【0355】

例えば、絶縁体270には、酸化アルミニウムなどの金属酸化物を用いることができる。また絶縁体270は、導電体260の酸化を防止する程度の膜厚で設けられていればよい。

【0356】

＜トランジスタ構造4＞

図27には、トランジスタ200に適応できる構造の一例を示す。図27(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図27(A)において一部の膜は省略されている。また、図27(B)は、図27(A)に示す一点鎖線X1-X2に対応する断面図であり、図27(C)はY1-Y2に対応する断面図である。

10

【0357】

なお、図27に示すトランジスタ200において、図24に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0358】

図27に示す構造は、ゲート電極と機能する導電体260が、導電体260a、導電体260b、および導電体260cを有する。また、酸化物230cは、酸化物230bの側面を覆っていればよく、絶縁体224上で切断されていてもよい。

【0359】

図27に示す構造は、導電体260を、3層構造で設けている。2層構造としては、同じ材料を積層して設けてもよい。例えば、導電体260aは、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、ALD法を用いて形成することが好ましい。ALD法等により形成することで、絶縁体250に対する成膜時のダメージを減らすことができる。また、被覆性を向上させることができるため、導電体260aをALD法等により形成することが好ましい。従って、信頼性が高いトランジスタ200を提供することができる。

20

【0360】

続いて、導電体260bはスパッタリング法を用いて形成する。この時、絶縁体250上に、導電体260aを有することで、導電体260bの成膜時のダメージが、絶縁体250に影響することを抑制することができる。また、ALD法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。

30

【0361】

また、導電体260bは、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いて形成する。さらに、導電体260b上に形成する導電体260cは、窒化タングステンなどの耐酸化性が高い導電体を用いて形成することが好ましい。

【0362】

例えば、絶縁体280に酸素が脱離する酸化物材料を用いる場合、過剰酸素領域を有する絶縁体280と接する面積が大きい導電体260cに耐酸化性が高い導電体を用いることで、過剰酸素領域から脱離される酸素が導電体260に吸収されることを抑制することができる。また、導電体260の酸化を抑制し、絶縁体280から、脱離した酸素を効率的に酸化物230へと供給することができる。また、導電体260bに導電性が高い導電体を用いることで、消費電力が小さいトランジスタ200を提供することができる。

40

【0363】

また、図27(C)に示すように、トランジスタ200のチャネル幅方向において、酸化物230bが導電体260に覆われている。また、絶縁体224が凸部を有することによって、酸化物230bの側面も導電体260で覆うことができる。例えば、絶縁体224の凸部の形状を調整することで、絶縁体224と酸化物230cが接する領域において、導電体260の底面が、酸化物230bの底面よりも、基板側となる構造となることが好ましい。つまり、トランジスタ200は、導電体260の電界によって、酸化物230bを電氣的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物230bを電氣的に取り囲むトランジスタの構造を、surrounded cha

50

n n e l (s - c h a n n e l) 構造とよぶ。s - c h a n n e l 構造のトランジスタ 2 0 0 は、酸化物 2 3 0 b 全体 (バルク) にチャンネルを形成することもできる。s - c h a n n e l 構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流 (トランジスタがオン状態のときにソースとドレインの間に流れる電流) を得ることができる。また、導電体 2 6 0 の電界によって、酸化物 2 3 0 b に形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、s - c h a n n e l 構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャンネル幅を小さくすることで、s - c h a n n e l 構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

【 0 3 6 4 】

10

< トランジスタ構造 5 >

図 2 8 には、トランジスタ 2 0 0 に適応できる構造の一例を示す。図 2 8 (A) はトランジスタ 2 0 0 の上面を示す。なお、図の明瞭化のため、図 2 8 (A) において一部の膜は省略されている。また、図 2 8 (B) は、図 2 8 (A) に示す一点鎖線 X 1 - X 2 に対応する断面図であり、図 2 8 (C) は Y 1 - Y 2 に対応する断面図である。

【 0 3 6 5 】

なお、図 2 8 に示すトランジスタ 2 0 0 において、図 2 4 に示したトランジスタ 2 0 0 を構成する構造と同機能を有する構造には、同符号を付記する。

【 0 3 6 6 】

図 2 8 に示す構造は、ソースまたはドレインとして機能する導電体が積層構造を有する。導電体 2 4 0 a、および導電体 2 4 0 b は、酸化物 2 3 0 b と密着性が高い導電体を用い、導電体 2 4 1 a、導電体 2 4 1 b は、導電性が高い材料を用いることが好ましい。また、導電体 2 4 0 a、および導電体 2 4 0 b は、A L D 法を用いて形成することが好ましい。A L D 法等により形成することで、被覆性を向上させることができる。

20

【 0 3 6 7 】

例えば、酸化物 2 3 0 b に、インジウムを有する金属酸化物を用いる場合、導電体 2 4 0 a、および導電体 2 4 0 b には、窒化チタンなどを用いればよい。また、導電体 2 4 1 a、および導電体 2 4 1 b に、タンタル、タングステン、銅、アルミニウムなどの導電性が高い材料を用いることで、信頼性が高く、消費電力が小さいトランジスタ 2 0 0 を提供することができる。

30

【 0 3 6 8 】

また、図 2 8 (B)、および図 2 8 (C) に示すように、トランジスタ 2 0 0 のチャンネル幅方向において、酸化物 2 3 0 b が導電体 2 6 0 に覆われている。また、絶縁体 2 2 2 が凸部を有することによって、酸化物 2 3 0 b の側面も導電体 2 6 0 で覆うことができる。

【 0 3 6 9 】

ここで、絶縁体 2 2 2 に、酸化ハフニウムなどの h i g h - k 材料を用いる場合、絶縁体 2 2 2 の比誘電率が大きいため、S i O ₂ 膜換算膜厚 (E O T : E q u i v a l e n t O x i d e T h i c k n e s s) を小さくすることができる。従って、酸化物 2 3 0 にかかる導電体 2 0 5 からの電界の影響を弱めることなく、絶縁体 2 2 2 の物理的な厚みにより、導電体 2 0 5 と、酸化物 2 3 0 との間の距離を広げることができる。従って、絶縁体 2 2 2 の膜厚により、導電体 2 0 5 と、酸化物 2 3 0 との間の距離を調整することができる。

40

【 0 3 7 0 】

例えば、絶縁体 2 2 4 の凸部の形状を調整することで、絶縁体 2 2 2 と酸化物 2 3 0 c が接する領域において、導電体 2 6 0 の底面が、酸化物 2 3 0 b の底面よりも、基板側となる構造となることが好ましい。つまり、トランジスタ 2 0 0 は、導電体 2 6 0 の電界によって、酸化物 2 3 0 b を電氣的に取り囲むことができる構造を有する。このように、導電体の電界によって、酸化物 2 3 0 b を電氣的に取り囲むトランジスタの構造を、s u r r o u n d e d c h a n n e l (s - c h a n n e l) 構造とよぶ。s - c h a n n e l 構造のトランジスタ 2 0 0 は、酸化物 2 3 0 b 全体 (バルク) にチャンネルを形成すること

50

もできる。s-channel構造では、トランジスタのドレイン電流を大きくすることができ、さらに大きいオン電流（トランジスタがオン状態のときにソースとドレインの間に流れる電流）を得ることができる。また、導電体260の電界によって、酸化物230bに形成されるチャンネル形成領域の全領域を空乏化することができる。したがって、s-channel構造では、トランジスタのオフ電流をさらに小さくすることができる。なお、チャンネル幅を小さくすることで、s-channel構造によるオン電流の増大効果、オフ電流の低減効果などを高めることができる。

【0371】

<トランジスタ構造6>

図29には、トランジスタ200に適応できる構造の一例を示す。図29(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図29(A)において一部の膜は省略されている。また、図29(B)は、図29(A)に示す一点鎖線X1-X2に対応する断面図であり、図29(C)はY1-Y2に対応する断面図である。

10

【0372】

なお、図29に示すトランジスタ200において、図24に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0373】

図29に示すトランジスタ200は、絶縁体280に形成された開口部に、酸化物230c、絶縁体250、導電体260が形成されている。また、導電体240aおよび導電体240bの一方の端部と、絶縁体280に形成された開口部の端部が一致している。さらに、導電体240aおよび導電体240bの三方の端部が、酸化物230aおよび酸化物230bの端部の一部と一致している。従って、導電体240a、導電体240bは、酸化物230または絶縁体280の開口部と、同時に整形することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

20

【0374】

また、導電体240a、導電体240b、および酸化物230bは、過剰酸素領域を有する絶縁体280と、酸化物230dを介して接する。そのため、絶縁体280と、チャンネルが形成される領域を有する酸化物230bとの間に、酸化物230dが介在することにより、絶縁体280から、水素、水、およびハロゲン等の不純物が、酸化物230bへ拡散することを抑制することができる。

30

【0375】

さらに、図29に示すトランジスタ200は、導電体240a、導電体240bと、導電体260と、がほとんど重ならない構造を有するため、導電体260にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ200を提供することができる。

【0376】

<トランジスタ構造7>

図30には、トランジスタ200に適応できる構造の一例を示す。図30(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図30(A)において一部の膜は省略されている。また、図30(B)は、図30(A)に示す一点鎖線X1-X2に対応する断面図であり、図30(C)はY1-Y2に対応する断面図である。

40

【0377】

なお、図30に示すトランジスタ200において、図29に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0378】

絶縁体282上に、絶縁体285、および絶縁体286が形成される。

【0379】

絶縁体280、絶縁体282、および絶縁体285に形成された開口部に、酸化物230c、絶縁体250、導電体260が形成されている。また、導電体240aおよび導電体

50

240bの一方の端部と、絶縁体280に形成された開口部の端部が一致している。さらに、導電体240aおよび導電体240bの三方の端部が、酸化物230a、および酸化物230bの端部の一部と一致している。従って、導電体240aおよび導電体240bは、酸化物230a、および酸化物230b、または絶縁体280の開口部と、同時に整形することができる。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0380】

また、導電体240a、導電体240b、および酸化物230bは、過剰酸素領域を有する絶縁体280と、酸化物230dを介して接する。そのため、絶縁体280と、チャネルが形成される領域を有する酸化物230bとの間に、酸化物230dが介在することにより、絶縁体280から、水素、水、およびハロゲン等の不純物が、酸化物230bへ拡散することを抑制することができる。

10

【0381】

また、図30に示すトランジスタ200は、高抵抗のオフセット領域が形成されないため、トランジスタ200のオン電流を増大させることができる。

【0382】

<トランジスタ構造8>

図31には、トランジスタ200に適応できる構造の一例を示す。図31(A)はトランジスタ200の上面を示す。なお、図の明瞭化のため、図31(A)において一部の膜は省略されている。また、図31(B)は、図31(A)に示す一点鎖線X1-X2に対応する断面図であり、図31(C)はY1-Y2に対応する断面図である。

20

【0383】

なお、図31に示すトランジスタ200において、図30に示したトランジスタ200を構成する構造と同機能を有する構造には、同符号を付記する。

【0384】

図31に示すトランジスタ200は、酸化物230dを有さない構造である。例えば、導電体240a、および導電体240bに耐酸化性が高い導電体を用いる場合、酸化物230dは、必ずしも設けなくてもよい。そのため、マスクおよび工程を削減することができる。また、歩留まりや生産性を向上させることができる。

【0385】

また、絶縁体224は、酸化物230a、および酸化物230bと重畳する領域にのみ設けてもよい。この場合、絶縁体222をエッチングストッパーとして、酸化物230a、酸化物230b、および絶縁体224を加工することができる。従って、歩留まりや生産性を高めることができる。

30

【0386】

さらに、図31に示すトランジスタ200は、導電体240a、導電体240bと、導電体260と、がほとんど重ならない構造を有するため、導電体260にかかる寄生容量を小さくすることができる。即ち、動作周波数が高いトランジスタ200を提供することができる。

【0387】

<トランジスタの作製方法>

以下に、図24に示したトランジスタの作製方法の一例を図32乃至図35を参照して説明する。

40

【0388】

はじめに、基板を準備する(図示しない)。基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが好ましい。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。また、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム、ガリウムヒ素、インジウムヒ素、インジウムガリウムヒ素からなる化合物半導体基板、SOI(Silicon On

50

I n s u l a t o r) 基板、GOI (G e r m a n i u m o n I n s u l a t o r) 基板などを適用することもでき、これらの基板上に半導体素子が設けられたものを、基板として用いてもよい。

【0389】

また、基板として、可撓性基板を用いて半導体装置を作製してもよい。可撓性を有する半導体装置を作製するには、可撓性基板上にトランジスタを直接作製してもよいし、他の作製基板にトランジスタを作製し、その後可撓性基板に剥離、転置してもよい。なお、作製基板から可撓性基板に剥離、転置するために、作製基板と酸化物半導体を含むトランジスタとの間に剥離層を設けるとよい。

【0390】

次に、絶縁体214、絶縁体216を形成する。続いて、絶縁体216上にリソグラフィ法等を用いてレジストマスク290を形成し、絶縁体214、および絶縁体216の不要な部分を除去する(図32(A))。その後、レジストマスク290を除去することにより、開口部を形成することができる。

【0391】

ここで、被加工膜の加工方法について説明する。被加工膜を微細に加工する場合には、様々な微細加工技術を用いることができる。例えば、リソグラフィ法等で形成したレジストマスクに対してスリミング処理を施す方法を用いてもよい。また、リソグラフィ法等でダミーパターンを形成し、当該ダミーパターンにサイドウォールを形成した後にダミーパターンを除去し、残存したサイドウォールをレジストマスクとして用いて、被加工膜をエッチングしてもよい。また、被加工膜のエッチングとして、高いアスペクト比を実現するために、異方性のドライエッチングを用いることが好ましい。また、無機膜または金属膜からなるハードマスクを用いてもよい。

【0392】

レジストマスクの形成に用いる光は、例えばi線(波長365nm)、g線(波長436nm)、h線(波長405nm)、またはこれらを混合させた光を用いることができる。そのほか、紫外線やKrFレーザ光、またはArFレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光(EUV: Extreme Ultra-violet)やX線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、X線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【0393】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。当該有機樹脂膜は、例えばスピンコート法などにより、その下方の段差を被覆して表面を平坦化するように形成することができ、当該有機樹脂膜の上方に設けられるレジストマスクの厚さのばらつきを低減できる。また、特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばBARC(Bottom Anti-Reflection Coating)膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【0394】

続いて、絶縁体214、および絶縁体216上に、導電体205A、および導電体205Bを成膜する。導電体205A、および導電体205Bは、スパッタリング法、蒸着法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい(図32(B))。

【0395】

続いて、導電体205A、および導電体205Bの不要な部分を除去する。例えば、エッ

10

20

30

40

50

チバック処理、または、機械的化学的研磨法（CMP：Chemical Mechanical Polishing）処理などにより、絶縁体216が露出するまで、導電体205A、および導電体205Bの一部を除去することで、導電体205を形成する（図32（C））。この際、絶縁体216をストップ層として使用することもでき、絶縁体216が薄くなる場合がある。

【0396】

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

10

【0397】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせてもよい。

【0398】

次に、絶縁体220、絶縁体222、および絶縁体224を形成する（図32（D））。なお、絶縁体220、および絶縁体222は必ずしも設ける必要はない。例えば、絶縁体224が過剰酸素領域を有する場合、導電体205上に、バリア性を有する導電体を形成してもよい。バリア性を有する導電体を形成することで、導電体205が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

20

【0399】

絶縁体220、絶縁体222、および絶縁体224は、絶縁体320と同様の材料および方法で作製することができる。特に、絶縁体222には、酸化ハフニウムなどのhigh-k材料を用いることが好ましい。

【0400】

絶縁体220、絶縁体222、および絶縁体224は、例えば、スパッタリング法、化学気相堆積（CVD：Chemical Vapor Deposition）法（熱CVD法、有機金属CVD（MOCVD：Metal Organic Chemical Vapor Deposition）法、プラズマ励起CVD（PECVD：Plasma Enhanced Chemical Vapor Deposition）法等を含む）、分子エピタキシー（MBE：Molecular Beam Epitaxy）法、原子層堆積（ALD：Atomic Layer Deposition）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはALD法等によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。また、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

30

40

【0401】

なお、絶縁体220、絶縁体222、および絶縁体224は、連続成膜することが好ましい。連続的に成膜することで、絶縁体220と絶縁体222との界面、および絶縁体222と絶縁体224との界面に不純物が付着することなく、信頼性が高い絶縁体を形成することができる。

【0402】

続いて、酸化物230aとなる酸化物230Aと、酸化物230bとなる酸化物230Bを順に成膜する。当該酸化物は、大気に触れさせることなく連続して成膜することが好ましい。

【0403】

50

その後、酸化物230A上に、導電体240a、および導電体240bとなる導電膜240Aを形成する。導電膜240Aには、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2層以上の積層構造としてもよい。続いて、上記と同様の方法によりレジストマスク292を形成する（図32（E））。

【0404】

レジストマスク292を用いて、導電膜240Aの不要な部分をエッチングにより除去し、島状の導電層240Bを形成する（図33（A））。その後、導電層240Bをマスクとして酸化物230A、および酸化物230Bの不要な部分をエッチングにより除去する。

10

【0405】

このとき、同時に絶縁体224も、島状に加工してもよい。例えば、バリア性を有する絶縁体222をエッチングストッパー膜として用いることで、絶縁体220、絶縁体222、および絶縁体224の合計膜厚が薄い構造においても、下方にある配線層まで、オーバーエッチングされることを防止することができる。また、絶縁体220、絶縁体222、および絶縁体224の合計膜厚が薄くすることで導電体205からの電圧が効率的にかかる為、消費電力が低いトランジスタを提供することができる。

【0406】

その後レジストマスクを除去することにより、島状の酸化物230a、島状の酸化物230b、および島状の導電層240Bの積層構造を形成することができる（図33（B））。

20

【0407】

続いて、加熱処理を行うことが好ましい（図33（C）、図中矢印は加熱処理を表す。）。

加熱処理は、250℃以上400℃以下、好ましくは320℃以上380℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。加熱処理により、酸化物230a、および酸化物230bの不純物である水素を除去することができる。また、酸化物230aの下方に形成された絶縁体から、酸化物230a、および酸化物230bに酸素が供給され、酸化物中の酸素欠損を低減することができる。

30

【0408】

次に、島状の導電層240B上に上記と同様の方法によりレジストマスク294を形成する（図33（D））。続いて、導電層240Bの不要な部分をエッチングにより除去した後、レジストマスク294を除去することにより、導電体240a、および導電体240bを形成する（図34（A））。この際、絶縁体222または絶縁体224の一部をエッチングして薄くすることで、s-channel構造を形成してもよい。

【0409】

なお、ここで、加熱処理を行なってもよい。加熱処理の条件は、図33（C）で説明した加熱処理と同等の条件で行えばよい。加熱処理により、酸化物230a、および酸化物230bの不純物である水素を除去することができる。また、酸化物230aの下方に形成された絶縁体から、酸化物230a、および酸化物230bに酸素が供給され、酸化物中の酸素欠損を低減することができる。さらに、酸化性ガスで加熱処理を行う場合、チャンネルが形成される領域に、直接酸化性ガスが接することで、効率的に、チャンネルが形成される領域の酸素欠損を低減することができる。

40

【0410】

続いて、酸化物230cを成膜する。また、ここで、加熱処理を行なってもよい（図34（B）、図中矢印は加熱処理を表す。）。

加熱処理の条件は、図34（C）で説明した加熱処理と同等の条件で行えばよい。加熱処理により、酸化物230a、および酸化物230bの不純物である水素を除去することができる。また、酸化物230aの下方に形成された絶縁体から、酸化物230a、および酸化物230bに酸素が供給され、酸化物中の

50

酸素欠損を低減することができる。さらに、酸化性ガスで加熱処理を行う場合、チャンネルが形成される領域に、直接酸化性ガスが接することで、効率的に、チャンネルが形成される領域の酸素欠損を低減することができる。

【0411】

絶縁体250、および導電体260となる導電膜260Aを順に成膜する。また、導電膜260Aには、水素または酸素に対するバリア性があり、また、耐酸化性が高い材質を用いることが好ましい。また、図では単層で表しているが、2層以上の積層構造としてもよい。

【0412】

例えば、2層構造は、同じ材料を積層して設けてもよい。第1の導電膜は、熱CVD法、MOCVD法またはALD法を用いて形成する。特に、ALD法を用いて形成することが好ましい。ALD法等により形成することで、絶縁体250に対する成膜時のダメージを減らすことができる。また、被覆性を向上させることができるため、第1の導電膜をALD法等により形成することが好ましい。従って、信頼性が高いトランジスタ200を提供することができる。

10

【0413】

続いて、第2の導電膜は、スパッタリング法を用いて形成する。この時、絶縁体250上に、第1の導電膜を有することで、第2の導電膜の成膜時のダメージが、絶縁体250に影響することを抑制することができる。また、ALD法と比較して、スパッタリング法は成膜速度が速いため、歩留まりが高く、生産性を向上させることができる。なお、導電膜260Aを成膜する際に、塩素を含まない成膜ガスを用いて、形成することが好ましい。

20

【0414】

次に、導電膜260A上に、上記と同様の方法によりレジストマスク296を形成する(図34(C))。続いて、導電膜260Aの不要な部分をエッチングにより除去することで、導電体260を形成した後、レジストマスク296を除去する(図35(A))。

【0415】

続いて、導電体260上に、絶縁体280を形成する。絶縁体280は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。また、酸化シリコン膜や酸化窒化シリコン膜を形成した後、イオン注入法やイオンドーピング法やプラズマ処理によって酸素を添加してもよい。

30

【0416】

特に、酸素プラズマ処理を行うことが好ましい(図35(B)、図中矢印はプラズマ処理を表す。)。代表的な酸素プラズマ処理は、酸素ガスのグロー放電プラズマで生成されたラジカルで酸化物半導体の表面を処理することであるが、プラズマを生成するガスとしては酸素のみでなく、酸素ガスと希ガスの混合ガスであってもよい。例えば、250℃以上400℃以下、好ましくは300℃以上400℃以下の温度で、酸化性ガスを含む雰囲気、または減圧状態で行えばよい。

【0417】

酸素プラズマ処理により、絶縁体280、および酸化物230が、脱水化、または脱水素化されるとともに、絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。また、脱水化、または脱水素化された酸化物230には、酸素欠損が生じ、低抵抗化する。一方で、絶縁体280の過剰な酸素により、酸化物230の酸素欠損が補填される。従って、酸素プラズマ処理により、絶縁体280は、過剰酸素領域が形成されると同時に、不純物である水素、および水を除去することができる。また、酸化物230は、酸素欠損を補填しながら、不純物である水素、または水を除去することができる。したがって、トランジスタ200の電気特性の向上および、電気特性のばらつきを軽減することができる。

40

【0418】

50

続いて、絶縁体 280 上に、絶縁体 282 を形成する（図 35（C））。絶縁体 282 は、スパッタリング装置により成膜することが好ましい。スパッタリング法を用いることで、容易に絶縁体 282 の下層である絶縁体 280 に過剰酸素領域を形成することができる。

【0419】

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位 E_0 が与えられる。また、基板は、接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

10

【0420】

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜の下部にある絶縁体 280 に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、イオンの一部のイオンは、絶縁体 280 の内部まで到達する。イオンが絶縁体 280 に取り込まれることにより、イオンが取り込まれた領域が絶縁体 280 に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体 280 に過剰酸素領域が形成される。

20

【0421】

絶縁体 280 に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁体 280 の過剰な酸素は、酸化物 230 に供給され、酸化物 230 の酸素欠損が補填することができる。ここで、絶縁体 280 と接する導電体 260、導電体 240a、および導電体 240b に、耐酸化性が高い導電体を用いる場合、絶縁体 280 の過剰な酸素は、導電体 260、導電体 240a、および導電体 240b に、吸収されることなく、効率的に酸化物 230 へ供給することができる。したがって、トランジスタ 200 の電気特性の向上および、電気特性のばらつきを軽減することができる。

【0422】

以上の工程により、本発明の一態様のトランジスタ 200 を作製することができる。

30

【0423】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0424】

（実施の形態 4）

本実施の形態においては、先の実施の形態で例示したトランジスタを有する酸化物半導体について、図 39 乃至図 44 を用いて以下説明を行う。

【0425】

＜酸化物半導体の構造＞

以下では、酸化物半導体の構造について説明する。

40

【0426】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0427】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半

50

導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0428】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0429】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0430】

<CAAC-OS>

まずは、CAAC-OSについて説明する。

【0431】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0432】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群R-3mに分類されるInGaZnO₄の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図39 (A) に示すように回折角 (2θ) が31°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、空間群Fd-3mに分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0433】

一方、CAAC-OSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸 (φ軸) として試料を回転させながら分析 (φスキャン) を行っても、図39 (B) に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してφスキャンした場合、図39 (C) に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSは、a軸およびb軸の配向が不規則であることが確認できる。

【0434】

次に、電子回折によって解析したCAAC-OSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSに対し、CAAC-OSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図39 (D) に示すような回折パターン (制限視野電子回折パターンともいう。) が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図39 (E) に示す。図39 (E) より、リング状の回折パターンが確認される。したがって、プロー

径が300nmの電子線を用いた電子回折によっても、CAAC-Osに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図39(E)における第1リングは、 InGaZnO_4 の結晶の(010)面および(100)面などに起因すると考えられる。また、図39(E)における第2リングは(110)面などに起因すると考えられる。

【0435】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-Osの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-Osは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

10

【0436】

図40(A)に、試料面と略平行な方向から観察したCAAC-Osの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0437】

図40(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-Osを、CANCO(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-Osの被形成面または上面の凹凸を反映しており、CAAC-Osの被形成面または上面と平行となる。

20

【0438】

また、図40(B)および図40(C)に、試料面と略垂直な方向から観察したCAAC-Osの平面のCs補正高分解能TEM像を示す。図40(D)および図40(E)は、それぞれ図40(B)および図40(C)を画像処理した像である。以下では、画像処理の方法について説明する。まず、図40(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8nm^{-1} から 5.0nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

30

【0439】

図40(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

40

【0440】

図40(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわ

50

かる。これは、CAAC-Osが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0441】

以上に示すように、CAAC-Osは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-Osを、CAAC crystal (c-axis-aligned a-b-plane-anchored crystal) を有する酸化物半導体と称することもできる。

【0442】

CAAC-Osは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-Osは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

【0443】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0444】

<nc-Os>

次に、nc-Osについて説明する。

【0445】

nc-OsをXRDによって解析した場合について説明する。例えば、nc-Osに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-Osの結晶は配向性を有さない。

【0446】

また、例えば、InGaZnO₄の結晶を有するnc-Osを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図41(A)に示すようなリング状の回折パターン（ナノビーム電子回折パターン）が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン（ナノビーム電子回折パターン）を図41(B)に示す。図41(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-Osは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

【0447】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図41(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc-Osが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0448】

図41(D)に、被形成面と略平行な方向から観察したnc-Osの断面のCs補正高分解能TEM像を示す。nc-Osは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体（microcrystalline oxide semiconductor）と呼ぶことがあ

10

20

30

40

50

る。 $nc-Os$ は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、 $CAAC-Os$ におけるペレットと起源を同じくする可能性がある。そのため、以下では $nc-Os$ の結晶部をペレットと呼ぶ場合がある。

【0449】

このように、 $nc-Os$ は、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、 $nc-Os$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、 $nc-Os$ は、分析方法によっては、 $a-like Os$ や非晶質酸化物半導体と区別が付かない場合がある。

【0450】

なお、ペレット（ナノ結晶）間で結晶方位が規則性を有さないことから、 $nc-Os$ を、 $RANC$ （Random Aligned nanocrystals）を有する酸化物半導体、または $NANC$ （Non-Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。

【0451】

$nc-Os$ は、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、 $nc-Os$ は、 $a-like Os$ や非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、 $nc-Os$ は、異なるペレット間で結晶方位に規則性が見られない。そのため、 $nc-Os$ は、 $CAAC-Os$ と比べて欠陥準位密度が高くなる。

【0452】

< $a-like Os$ >

$a-like Os$ は、 $nc-Os$ と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0453】

図42に、 $a-like Os$ の高分解能断面TEM像を示す。ここで、図42（A）は電子照射開始時における $a-like Os$ の高分解能断面TEM像である。図42（B）は $4.3 \times 10^8 e^-/nm^2$ の電子（ e^- ）照射後における $a-like Os$ の高分解能断面TEM像である。図42（A）および図42（B）より、 $a-like Os$ は電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

【0454】

鬆を有するため、 $a-like Os$ は、不安定な構造である。以下では、 $a-like Os$ が、 $CAAC-Os$ および $nc-Os$ と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0455】

試料として、 $a-like Os$ 、 $nc-Os$ および $CAAC-Os$ を準備する。いずれの試料も $In-Ga-Zn$ 酸化物である。

【0456】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

【0457】

なお、 $InGaZnO_4$ の結晶の単位格子は、 $In-O$ 層を3層有し、また $Ga-Zn-O$ 層を6層有する、計9層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (009) 面の格子面間隔（ d 値ともいう。）と同程度であり、結晶構造解析からその値は0.29 nmと求められている。したがって、以下では、格子縞の間隔が0.28 nm以上0.30 nm以下である箇所を、 $InGaZnO_4$ の結晶部と見なした。なお、格子縞は、 $InGaZnO_4$ の結晶の $a-b$ 面に対応する。

【0458】

図43は、各試料の結晶部（22箇所から30箇所）の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図43より、a-like OSは、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図43より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部（初期核ともいう。）が、電子（ e^- ）の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、nc-OSおよびCAAC-OSは、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図43より、電子の累積照射量によらず、nc-OSおよびCAAC-OSの結晶部の大きさは、それぞれ1.3nm程度および1.8nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230nmとした。

【0459】

このように、a-like OSは、電子照射によって結晶部の成長が見られる場合がある。一方、nc-OSおよびCAAC-OSは、電子照射による結晶部の成長がほとんど見られない。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、不安定な構造であることがわかる。

【0460】

また、鬆を有するため、a-like OSは、nc-OSおよびCAAC-OSと比べて密度の低い構造である。具体的には、a-like OSの密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、nc-OSの密度およびCAAC-OSの密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

【0461】

例えば、In:Ga:Zn=1:1:1〔原子数比〕を満たす酸化物半導体において、菱面体晶構造を有する単結晶InGaZnO₄の密度は $6.357 g/cm^3$ である。よって、例えば、In:Ga:Zn=1:1:1〔原子数比〕を満たす酸化物半導体において、a-like OSの密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満である。また、例えば、In:Ga:Zn=1:1:1〔原子数比〕を満たす酸化物半導体において、nc-OSの密度およびCAAC-OSの密度は $5.9 g/cm^3$ 以上 $6.3 g/cm^3$ 未満である。

【0462】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0463】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有する積層膜であってもよい。

【0464】

<酸化物半導体のキャリア密度>

次に、酸化物半導体のキャリア密度について、以下に説明を行う。

【0465】

酸化物半導体のキャリア密度に影響を与える因子としては、酸化物半導体中の酸素欠損（Vo）、または酸化物半導体中の不純物などが挙げられる。

【0466】

酸化物半導体中の酸素欠損が多くなると、該酸素欠損に水素が結合（この状態をVoHと

10

20

30

40

50

もいう)した際に、欠陥準位密度が高くなる。または、酸化物半導体中の不純物が多くなると、該不純物に起因し欠陥準位密度が高くなる。したがって、酸化物半導体中の欠陥準位密度を制御することで、酸化物半導体のキャリア密度を制御することができる。

【0467】

ここで、酸化物半導体をチャネル領域に用いるトランジスタを考える。

【0468】

トランジスタのしきい値電圧のマイナスシフトの抑制、またはトランジスタのオフ電流の低減を目的とする場合においては、酸化物半導体のキャリア密度を低くする方が好ましい。酸化物半導体のキャリア密度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。高純度真性の酸化物半導体のキャリア密度としては、 $8 \times 10^{15} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 未満、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上とすればよい。

10

【0469】

一方で、トランジスタのオン電流の向上、またはトランジスタの電界効果移動度の向上を目的とする場合においては、酸化物半導体のキャリア密度を高くする方が好ましい。酸化物半導体のキャリア密度を高くする場合においては、酸化物半導体の不純物濃度をわずかに高める、または酸化物半導体の欠陥準位密度をわずかに高めればよい。あるいは、酸化物半導体のバンドギャップをより小さくするとよい。例えば、トランジスタの $I_d - V_g$ 特性のオン/オフ比が取れる範囲において、不純物濃度がわずかに高い、または欠陥準位密度がわずかに高い酸化物半導体は、実質的に真性とみなせる。また、電子親和力が大きく、それともなってバンドギャップが小さくなり、その結果、熱励起された電子(キャリア)の密度が増加した酸化物半導体は、実質的に真性とみなせる。なお、より電子親和力が大きな酸化物半導体を用いた場合には、トランジスタのしきい値電圧がより低くなる。

20

【0470】

上述のキャリア密度が高められた酸化物半導体は、わずかにn型化している。したがって、キャリア密度が高められた酸化物半導体を、「Slightly-n」と呼称してもよい。

30

【0471】

実質的に真性の酸化物半導体のキャリア密度は、 $1 \times 10^5 \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 未満が好ましく、 $1 \times 10^7 \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下がより好ましく、 $1 \times 10^9 \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{10} \text{ cm}^{-3}$ 以上 $1 \times 10^{16} \text{ cm}^{-3}$ 以下がさらに好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{15} \text{ cm}^{-3}$ 以下がさらに好ましい。

【0472】

また、上述の実質的に真性の酸化物半導体膜を用いることで、トランジスタの信頼性が向上する場合がある。ここで、図44を用いて、酸化物半導体膜をチャネル領域に用いるトランジスタの信頼性が向上する理由について説明する。図44は、酸化物半導体膜をチャネル領域に用いるトランジスタにおけるエネルギーバンドを説明する図である。

40

【0473】

図44において、GEはゲート電極を、GIはゲート絶縁膜を、OSは酸化物半導体膜を、SDはソース電極またはドレイン電極を、それぞれ表す。すなわち、図44は、ゲート電極と、ゲート絶縁膜と、酸化物半導体膜と、酸化物半導体膜に接するソース電極またはドレイン電極のエネルギーバンドの一例である。

【0474】

また、図44において、ゲート絶縁膜としては、酸化シリコン膜を用い、酸化物半導体膜にIn-Ga-Zn酸化物を用いる構成である。また、酸化シリコン膜中に形成されうる欠陥の遷移レベル(ϵf)はゲート絶縁膜の伝導帯下端から約3.1 eV離れた位置に形

50

成されるものとし、ゲート電圧 (V_g) が 30 V の場合の酸化物半導体膜と酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位 (E_f) はゲート絶縁膜の伝導帯下端から約 3.6 eV 離れた位置に形成されるものとする。なお、酸化シリコン膜のフェルミ準位は、ゲート電圧に依存し変動する。例えば、ゲート電圧を大きくすることで、酸化物半導体膜と、酸化シリコン膜との界面における酸化シリコン膜のフェルミ準位 (E_f) は低くなる。また、図 44 中の白丸は電子 (キャリア) を表し、図 44 中の X は酸化シリコン膜中の欠陥準位を表す。

【0475】

図 44 に示すように、ゲート電圧が印加された状態で、例えばキャリアが熱励起されると、欠陥準位 (図中 X) にキャリアがトラップされ、プラス (“+”) からニュートラル (“0”) に欠陥準位の荷電状態が変化する。すなわち、酸化シリコン膜のフェルミ準位 (E_f) に上述の熱励起のエネルギーを足した値が欠陥の遷移レベル (ϵ_f) よりも高くなる場合、酸化シリコン膜中の欠陥準位の荷電状態は正の状態から中性となり、トランジスタのしきい値電圧がプラス方向に変動することになる。

【0476】

また、電子親和力が異なる酸化物半導体膜を用いると、ゲート絶縁膜と酸化物半導体膜との界面のフェルミ準位が形成される深さが異なることがある。電子親和力の大きな酸化物半導体膜を用いると、ゲート絶縁膜と酸化物半導体膜との界面近傍において、ゲート絶縁膜の伝導帯下端が相対的に高くなる。この場合、ゲート絶縁膜中に形成されうる欠陥準位 (図 44 中 X) も相対的に高くなるため、ゲート絶縁膜のフェルミ準位と、酸化物半導体膜のフェルミ準位とのエネルギー差が大きくなる。該エネルギー差が大きくなることにより、ゲート絶縁膜中にトラップされる電荷が少なくなる、例えば、上述の酸化シリコン膜中に形成されうる欠陥準位の荷電状態の変化が少なくなり、ゲートバイアス熱 (Gate Bias Temperature: GBT ともいう) ストレスにおける、トランジスタのしきい値電圧の変動を小さくできる。

【0477】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0478】

(実施の形態 5)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について説明する。

【0479】

<回路>

以下では、本発明の一態様に係るトランジスタなどを利用した半導体装置の回路の一例について、図 45、および図 46 を用いて説明する。

【0480】

<記憶装置 1>

図 45 に示す半導体装置は、トランジスタ 3500、配線 3006 を有する点で先の実施の形態で説明した半導体装置と異なる。この場合も先の実施の形態に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。また、トランジスタ 3500 としては上記のトランジスタ 200 と同様のトランジスタを用いればよい。

【0481】

配線 3006 は、トランジスタ 3500 のゲートと電氣的に接続され、トランジスタ 3500 のソース、ドレインの一方はトランジスタ 3200 のドレインと電氣的に接続され、トランジスタ 3500 のソース、ドレインの他方は配線 3003 と電氣的に接続される。

【0482】

<記憶装置 2>

半導体装置 (記憶装置) の変形例について、図 46 に示す回路図を用いて説明する。

【0483】

図46に示す半導体装置は、トランジスタ4100乃至トランジスタ4400と、容量素子4500および容量素子4600と、を有する。ここでトランジスタ4100は、上述のトランジスタ300と同様のトランジスタを用いることができ、トランジスタ4200乃至4400は、上述のトランジスタ200と同様のトランジスタを用いることができる。また、ここで容量素子4500、および容量素子4600は、上述の容量素子100と同様の容量素子を用いることができる。なお、図46に示す半導体装置は、図46では図示を省略したが、マトリクス状に複数設けられる。図46に示す半導体装置は、配線4001、配線4003、配線4005乃至4009に与える信号または電位に従って、データ電圧の書き込み、読み出しを制御することができる。

【0484】

トランジスタ4100のソースまたはドレインの一方は、配線4003に接続される。トランジスタ4100のソースまたはドレインの他方は、配線4001に接続される。なお図46では、トランジスタ4100の導電型をpチャネル型として示すが、nチャネル型でもよい。

【0485】

図46に示す半導体装置は、2つのデータ保持部を有する。例えば第1のデータ保持部は、ノードFG1に接続されるトランジスタ4400のソースまたはドレインの一方、容量素子4600の一方の電極、およびトランジスタ4200のソースまたはドレインの一方の間で電荷を保持する。また、第2のデータ保持部は、ノードFG2に接続されるトランジスタ4100のゲート、トランジスタ4200のソースまたはドレインの他方、トランジスタ4300のソースまたはドレインの一方、および容量素子4500の一方の電極の間で電荷を保持する。

【0486】

トランジスタ4300のソースまたはドレインの他方は、配線4003に接続される。トランジスタ4400のソースまたはドレインの他方は、配線4001に接続される。トランジスタ4400のゲートは、配線4005に接続される。トランジスタ4200のゲートは、配線4006に接続される。トランジスタ4300のゲートは、配線4007に接続される。容量素子4600の他方の電極は、配線4008に接続される。容量素子4500の他方の電極は、配線4009に接続される。

【0487】

トランジスタ4200乃至4400は、データ電圧の書き込みと電荷の保持を制御するスイッチとしての機能を有する。なおトランジスタ4200乃至4400は、非導通状態においてソースとドレインとの間を流れる電流（オフ電流）が低いトランジスタが用いられることが好適である。オフ電流が少ないトランジスタとしては、チャネル形成領域に酸化物半導体を有するトランジスタ（OSトランジスタ）であることが好ましい。OSトランジスタは、オフ電流が低い、シリコンを有するトランジスタと重ねて作製できる等の利点がある。なお図46では、トランジスタ4200乃至4400の導電型をnチャネル型として示すが、pチャネル型でもよい。

【0488】

トランジスタ4200およびトランジスタ4300と、トランジスタ4400とは、酸化物半導体を用いたトランジスタであっても別層に設けることが好ましい。すなわち、図46に示す半導体装置は、トランジスタ4100と、トランジスタ4200およびトランジスタ4300と、トランジスタ4400と、を積層して設けることが好ましい。つまり、トランジスタを集積化することで、回路面積を縮小することができ、半導体装置の小型化を図ることができる。

【0489】

次いで、図46に示す半導体装置への情報の書き込み動作について説明する。

【0490】

最初に、ノードFG1に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作1とよぶ。）について説明する。なお、以下において、ノードFG1に接続

10

20

30

40

50

されるデータ保持部に書きこむデータ電圧を V_{D1} とし、トランジスタ 4100 の閾値電圧を V_{th} とする。

【0491】

書き込み動作 1 では、配線 4003 を V_{D1} とし、配線 4001 を接地電位とした後に、電氣的に浮遊状態とする。また配線 4005、4006 をハイレベルにする。また配線 4007 乃至 4009 をローレベルにする。すると、電氣的に浮遊状態にあるノード FG2 の電位が上昇し、トランジスタ 4100 に電流が流れる。電流が流れることで、配線 4001 の電位が上昇する。またトランジスタ 4400、トランジスタ 4200 が導通状態となる。そのため、配線 4001 の電位の上昇につれて、ノード FG1、FG2 の電位が上昇する。ノード FG2 の電位が上昇し、トランジスタ 4100 でゲートとソースとの間の電圧 (V_{gs}) がトランジスタ 4100 の閾値電圧 V_{th} になると、トランジスタ 4100 を流れる電流が小さくなる。そのため、配線 4001、ノード FG1、FG2 の電位の上昇は止まり、 V_{D1} から V_{th} だけ下がった「 $V_{D1} - V_{th}$ 」で一定となる。

10

【0492】

つまり、配線 4003 に与えた V_{D1} は、トランジスタ 4100 に電流が流れることで、配線 4001 に与えられ、ノード FG1、FG2 の電位が上昇する。電位の上昇によって、ノード FG2 の電位が「 $V_{D1} - V_{th}$ 」となると、トランジスタ 4100 の V_{gs} が V_{th} となるため、電流が止まる。

【0493】

次に、ノード FG2 に接続されるデータ保持部へのデータ電圧の書き込み動作（以下、書き込み動作 2 とよぶ。）について説明する。なお、ノード FG2 に接続されるデータ保持部に書きこむデータ電圧を V_{D2} として説明する。

20

【0494】

書き込み動作 2 では、配線 4001 を V_{D2} とし、配線 4003 を接地電位とした後に、電氣的に浮遊状態とする。また配線 4007 をハイレベルにする。また配線 4005、4006、4008、4009 をローレベルにする。トランジスタ 4300 を導通状態として配線 4003 をローレベルにする。そのため、ノード FG2 の電位もローレベルにまで低下し、トランジスタ 4100 に電流が流れる。電流が流れることで、配線 4003 の電位が上昇する。またトランジスタ 4300 が導通状態となる。そのため、配線 4003 の電位の上昇につれて、ノード FG2 の電位が上昇する。ノード FG2 の電位が上昇し、トランジスタ 4100 で V_{gs} がトランジスタ 4100 の V_{th} になると、トランジスタ 4100 を流れる電流が小さくなる。そのため、配線 4003、FG2 の電位の上昇は止まり、 V_{D2} から V_{th} だけ下がった「 $V_{D2} - V_{th}$ 」で一定となる。

30

【0495】

つまり、配線 4001 に与えた V_{D2} は、トランジスタ 4100 に電流が流れることで、配線 4003 に与えられ、ノード FG2 の電位が上昇する。電位の上昇によって、ノード FG2 の電位が「 $V_{D2} - V_{th}$ 」となると、トランジスタ 4100 の V_{gs} が V_{th} となるため、電流が止まる。このとき、ノード FG1 の電位は、トランジスタ 4200、4400 共に非導通状態であり、書き込み動作 1 で書きこんだ「 $V_{D1} - V_{th}$ 」が保持される。

40

【0496】

図 46 に示す半導体装置では、複数のデータ保持部にデータ電圧を書きこんだのち、配線 4009 をハイレベルにして、ノード FG1、FG2 の電位を上昇させる。そして、各トランジスタを非導通状態として、電荷の移動をなくし、書きこんだデータ電圧を保持する。

【0497】

以上説明したノード FG1、FG2 へのデータ電圧の書き込み動作によって、複数のデータ保持部にデータ電圧を保持させることができる。なお書きこまれる電位として、「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を一例として挙げて説明したが、これらは多値のデータに対応するデータ電圧である。そのため、それぞれのデータ保持部で 4 ビットのデータ

50

を保持する場合、16値の「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」を取り得る。

【0498】

次いで、図46に示す半導体装置からの情報の読み出し動作について説明する。

【0499】

最初に、ノードFG2に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作1とよぶ。）について説明する。

【0500】

読み出し動作1では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009をローレベルとして、電氣的に浮遊状態にあるノードFG2の電位を「 $V_{D2} - V_{th}$ 」とする。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D2} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D2} 」となる。この配線4003の電位は、ノードFG2に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG2に接続されるデータ保持部のデータを取得する。

10

【0501】

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D2} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D2} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作2で書きこんだ「 V_{D2} 」が読み出される。

20

【0502】

ノードFG2に接続されるデータ保持部のデータを取得したら、トランジスタ4300を導通状態として、ノードFG2の「 $V_{D2} - V_{th}$ 」を放電させる。

【0503】

次に、ノードFG1に保持される電荷をノードFG2に分配し、ノードFG1に接続されるデータ保持部のデータ電圧を、ノードFG2に接続されるデータ保持部に移す。ここで、配線4001、4003をローレベルとする。配線4006をハイレベルにする。また、配線4005、配線4007乃至4009をローレベルにする。トランジスタ4200が導通状態となることで、ノードFG1の電荷が、ノードFG2との間で分配される。

30

【0504】

ここで、電荷の分配後の電位は、書きこんだ電位「 $V_{D1} - V_{th}$ 」から低下する。そのため、容量素子4600の容量値は、容量素子4500の容量値よりも大きくしておくことが好ましい。あるいは、ノードFG1に書きこむ電位「 $V_{D1} - V_{th}$ 」は、同じデータを表す電位「 $V_{D2} - V_{th}$ 」よりも大きくすることが好ましい。このように、容量値の比を変えること、予め書きこむ電位を大きくしておくことで、電荷の分配後の電位の低下を抑制することができる。電荷の分配による電位の変動については、後述する。

40

【0505】

次に、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作（以下、読み出し動作2とよぶ。）について説明する。

【0506】

読み出し動作2では、プリチャージを行ってから電氣的に浮遊状態とした、配線4003を放電させる。配線4005乃至4008をローレベルにする。また、配線4009は、プリチャージ時にハイレベルとして、その後ローレベルとする。配線4009をローレベルとすることで、電氣的に浮遊状態にあるノードFG2を電位「 $V_{D1} - V_{th}$ 」とする

50

。ノードFG2の電位が下がることで、トランジスタ4100に電流が流れる。電流が流れることで、電氣的に浮遊状態の配線4003の電位が低下する。配線4003の電位の低下につれて、トランジスタ4100の V_{gs} が小さくなる。トランジスタ4100の V_{gs} がトランジスタ4100の V_{th} になると、トランジスタ4100を流れる電流が小さくなる。すなわち、配線4003の電位が、ノードFG2の電位「 $V_{D1} - V_{th}$ 」から V_{th} だけ大きい値である「 V_{D1} 」となる。この配線4003の電位は、ノードFG1に接続されるデータ保持部のデータ電圧に対応する。読み出されたアナログ値のデータ電圧はA/D変換を行い、ノードFG1に接続されるデータ保持部のデータを取得する。以上が、ノードFG1に接続されるデータ保持部へのデータ電圧の読み出し動作である。

【0507】

10

つまり、プリチャージ後の配線4003を浮遊状態とし、配線4009の電位をハイレベルからローレベルに切り替えることで、トランジスタ4100に電流が流れる。電流が流れることで、浮遊状態にあった配線4003の電位は低下して「 V_{D1} 」となる。トランジスタ4100では、ノードFG2の「 $V_{D1} - V_{th}$ 」との間の V_{gs} が V_{th} となるため、電流が止まる。そして、配線4003には、書き込み動作1で書きこんだ「 V_{D1} 」が読み出される。

【0508】

以上説明したノードFG1、FG2からのデータ電圧の読み出し動作によって、複数のデータ保持部からデータ電圧を読み出すことができる。例えば、ノードFG1およびノードFG2にそれぞれ4ビット（16値）のデータを保持することで計8ビット（256値）のデータを保持することができる。また、図46においては、第1の層4021乃至第3の層4023からなる構成としたが、さらに層を形成することによって、半導体装置の面積を増大させず記憶容量の増加を図ることができる。

20

【0509】

なお読み出される電位は、書きこんだデータ電圧より V_{th} だけ大きい電圧として読み出すことができる。そのため、書き込み動作で書きこんだ「 $V_{D1} - V_{th}$ 」や「 $V_{D2} - V_{th}$ 」の V_{th} を相殺して読み出す構成とすることができる。その結果、メモリセルあたりの記憶容量を向上させるとともに、読み出されるデータを正しいデータに近づけることができるため、データの信頼性に優れたものとすることができる。

【0510】

30

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

【0511】

（実施の形態6）

本実施の形態では、上述の実施の形態で説明したOSトランジスタを適用可能な回路構成の一例について、図47乃至図50を用いて説明する。

【0512】

図47（A）にインバータの回路図を示す。インバータ800は、入力端子INに与える信号の論理を反転した信号を出力端子OUTから出力する。インバータ800は、複数のOSトランジスタを有する。信号 S_{BG} は、OSトランジスタの電気特性を切り替えることができる信号である。

40

【0513】

図47（B）に、インバータ800の一例を示す。インバータ800は、OSトランジスタ810、およびOSトランジスタ820を有する。インバータ800は、nチャネル型トランジスタで作製することができるため、CMOS（Complementary Metal Oxide Semiconductor）でインバータ（CMOSインバータ）を作製する場合と比較して、低コストで作製することが可能である。

【0514】

なおOSトランジスタを有するインバータ800は、Siトランジスタで構成されるCMOS上に配置することもできる。インバータ800は、CMOSの回路に重ねて配置でき

50

るため、インバータ800を追加する分の回路面積の増加を抑えることができる。

【0515】

OSトランジスタ810、820は、フロントゲートとして機能する第1ゲートと、バックゲートとして機能する第2ゲートと、ソースまたはドレインの一方として機能する第1端子と、ソースまたはドレインの他方として機能する第2端子を有する。

【0516】

OSトランジスタ810の第1ゲートは、第2端子に接続される。OSトランジスタ810の第2ゲートは、信号 S_{BG} を供給する配線に接続される。OSトランジスタ810の第1端子は、電圧 V_{DD} を与える配線に接続される。OSトランジスタ810の第2端子は、出力端子OUTに接続される。

10

【0517】

OSトランジスタ820の第1ゲートは、入力端子INに接続される。OSトランジスタ820の第2ゲートは、入力端子INに接続される。OSトランジスタ820の第1端子は、出力端子OUTに接続される。OSトランジスタ820の第2端子は、電圧 V_{SS} を与える配線に接続される。

【0518】

図47(C)は、インバータ800の動作を説明するためのタイミングチャートである。図47(C)のタイミングチャートでは、入力端子INの信号波形、出力端子OUTの信号波形、信号 S_{BG} の信号波形、およびOSトランジスタ810(FET810)の閾値電圧の変化について示している。

20

【0519】

信号 S_{BG} はOSトランジスタ810の第2ゲートに与えることで、OSトランジスタ810の閾値電圧を制御することができる。

【0520】

信号 S_{BG} は、閾値電圧をマイナスシフトさせるための電圧 V_{BG_A} 、閾値電圧をプラスシフトさせるための電圧 V_{BG_B} を有する。第2ゲートに電圧 V_{BG_A} を与えることで、OSトランジスタ810は閾値電圧 V_{TH_A} にマイナスシフトさせることができる。また、第2ゲートに電圧 V_{BG_B} を与えることで、OSトランジスタ810は閾値電圧 V_{TH_B} にプラスシフトさせることができる。

【0521】

30

前述の説明を可視化するために、図48(A)には、トランジスタの電気特性の一つである、 V_g-I_d カーブを示す。

【0522】

上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_A} のように大きくすることで、図48(A)中の破線840で表される曲線にシフトさせることができる。また、上述したOSトランジスタ810の電気特性は、第2ゲートの電圧を電圧 V_{BG_B} のように小さくすることで、図48(A)中の実線841で表される曲線にシフトさせることができる。図48(A)に示すように、OSトランジスタ810は、信号 S_{BG} を電圧 V_{BG_A} あるいは電圧 V_{BG_B} というように切り替えることで、閾値電圧をプラスシフトあるいはマイナスシフトさせることができる。

40

【0523】

閾値電圧を閾値電圧 V_{TH_B} にプラスシフトさせることで、OSトランジスタ810は電流が流れにくい状態とすることができる。図48(B)には、この状態を可視化して示す。図48(B)に図示するように、OSトランジスタ810に流れる電流 I_B を極めて小さくすることができる。そのため、入力端子INに与える信号がハイレベルでOSトランジスタ820はオン状態(ON)のとき、出力端子OUTの電圧を急峻に下降させることができる。

【0524】

図48(B)に図示したように、OSトランジスタ810に流れる電流が流れにくい状態とすることができるため、図47(C)に示すタイミングチャートにおける出力端子の信

50

号波形 831 を急峻に変化させることができる。電圧 V_{DD} を与える配線と、電圧 V_{SS} を与える配線との間に流れる貫通電流を少なくすることができるため、低消費電力での動作を行うことができる。

【0525】

また、閾値電圧を閾値電圧 V_{TH_A} にマイナスシフトさせることで、OS トランジスタ 810 は電流が流れやすい状態とすることができる。図 48 (C) には、この状態を可視化して示す。図 48 (C) に図示するように、このとき流れる電流 I_A を少なくとも電流 I_B よりも大きくすることができる。そのため、入力端子 I_N に与える信号がローレベルで OS トランジスタ 820 はオフ状態 (OFF) のとき、出力端子 OUT の電圧を急峻に上昇させることができる。

10

【0526】

図 48 (C) に図示したように、OS トランジスタ 810 に流れる電流が流れやすい状態とすることができるため、図 47 (C) に示すタイミングチャートにおける出力端子の信号波形 832 を急峻に変化させることができる。

【0527】

なお、信号 S_{BG} による OS トランジスタ 810 の閾値電圧の制御は、OS トランジスタ 820 の状態が切り替わる以前、すなわち時刻 T_1 や T_2 よりも前に行うことが好ましい。例えば、図 47 (C) に図示するように、入力端子 I_N に与える信号がハイレベルに切り替わる時刻 T_1 よりも前に、閾値電圧 V_{TH_A} から閾値電圧 V_{TH_B} に OS トランジスタ 810 の閾値電圧を切り替えることが好ましい。また、図 47 (C) に図示するように、入力端子 I_N に与える信号がローレベルに切り替わる時刻 T_2 よりも前に、閾値電圧 V_{TH_B} から閾値電圧 V_{TH_A} に OS トランジスタ 810 の閾値電圧を切り替えることが好ましい。

20

【0528】

なお図 47 (C) のタイミングチャートでは、入力端子 I_N に与える信号に応じて信号 S_{BG} を切り替える構成を示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧は、フローティング状態とした OS トランジスタ 810 の第 2 ゲートに保持させる構成としてもよい。当該構成を実現可能な回路構成の一例について、図 49 (A) に示す。

【0529】

図 49 (A) では、図 47 (B) で示した回路構成に加えて、OS トランジスタ 850 を有する。OS トランジスタ 850 の第 1 端子は、OS トランジスタ 810 の第 2 ゲートに接続される。また OS トランジスタ 850 の第 2 端子は、電圧 V_{BG_B} (あるいは電圧 V_{BG_A}) を与える配線に接続される。OS トランジスタ 850 の第 1 ゲートは、信号 S_F を与える配線に接続される。OS トランジスタ 850 の第 2 ゲートは、電圧 V_{BG_B} (あるいは電圧 V_{BG_A}) を与える配線に接続される。

30

【0530】

図 49 (A) の動作について、図 49 (B) のタイミングチャートを用いて説明する。

【0531】

OS トランジスタ 810 の閾値電圧を制御するための電圧は、入力端子 I_N に与える信号がハイレベルに切り替わる時刻 T_3 よりも前に、OS トランジスタ 810 の第 2 ゲートに与える構成とする。信号 S_F をハイレベルとして OS トランジスタ 850 をオン状態とし、ノード N_{BG} に閾値電圧を制御するための電圧 V_{BG_B} を与える。

40

【0532】

ノード N_{BG} が電圧 V_{BG_B} となった後は、OS トランジスタ 850 をオフ状態とする。OS トランジスタ 850 は、オフ電流が極めて小さいため、オフ状態にし続けることで、ノード N_{BG} を非常にフローティング状態に近い状態にして、一旦ノード N_{BG} に保持させた電圧 V_{BG_B} を保持することができる。そのため、OS トランジスタ 850 の第 2 ゲートに電圧 V_{BG_B} を与える動作の回数が減るため、電圧 V_{BG_B} の書き換えに要する分の消費電力を小さくすることができる。

50

【0533】

なお図47(B)および図49(A)の回路構成では、O S トランジスタ810の第2ゲートに与える電圧を外部からの制御によって与える構成について示したが、別の構成としてもよい。たとえば閾値電圧を制御するための電圧を、入力端子I Nに与える信号を基に生成し、O S トランジスタ810の第2ゲートに与える構成としてもよい。当該構成を実現可能な回路構成の一例について、図50(A)に示す。

【0534】

図50(A)では、図47(B)で示した回路構成において、入力端子I NとO S トランジスタ810の第2ゲートとの間にC M O S インバータ860を有する。C M O S インバータ860の入力端子は、入力端子I Nに接続される。C M O S インバータ860の出力端子は、O S トランジスタ810の第2ゲートに接続される。

10

【0535】

図50(A)の動作について、図50(B)のタイミングチャートを用いて説明する。図50(B)のタイミングチャートでは、入力端子I Nの信号波形、出力端子O U Tの信号波形、C M O S インバータ860の出力波形I N__B、およびO S トランジスタ810(F E T 810)の閾値電圧の変化について示している。

【0536】

入力端子I Nに与える信号の論理を反転した信号である出力波形I N__Bは、O S トランジスタ810の閾値電圧を制御する信号とすることができる。したがって、図47(A)乃至(C)で説明したように、O S トランジスタ810の閾値電圧を制御できる。例えば、図50(B)における時刻T 4となると、入力端子I Nに与える信号がハイレベルでO S トランジスタ820はオン状態となる。このとき、出力波形I N__Bはローレベルとなる。そのため、O S トランジスタ810は電流が流れにくい状態とすることができ、出力端子O U Tの電圧を急峻に下降させることができる。

20

【0537】

また図50(B)における時刻T 5となると、入力端子I Nに与える信号がローレベルでO S トランジスタ820はオフ状態となる。このとき、出力波形I N__Bはハイレベルとなる。そのため、O S トランジスタ810は電流が流れやすい状態とすることができ、出力端子O U Tの電圧を急峻に上昇させることができる。

【0538】

以上説明したように本実施の形態の構成では、O S トランジスタを有するインバータにおける、バックゲートの電圧を入力端子I Nの信号の論理にしたがって切り替える。当該構成とすることで、O S トランジスタの閾値電圧を制御することができる。入力端子I Nに与える信号によってO S トランジスタの閾値電圧を制御することで、出力端子O U Tの電圧を急峻に変化させることができる。また、電源電圧を与える配線間の貫通電流を小さくすることができる。そのため、低消費電力化を図ることができる。

30

【0539】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0540】

(実施の形態7)

本実施の形態では、上述の実施の形態で説明したO S トランジスタを有する複数の回路を有する半導体装置の一例について、図51乃至図57を用いて説明する。

40

【0541】

図51(A)は、半導体装置900のブロック図である。半導体装置900は、電源回路901、回路902、電圧生成回路903、回路904、電圧生成回路905および回路906を有する。

【0542】

電源回路901は、基準となる電圧 V_{ORG} を生成する回路である。電圧 V_{ORG} は、単一の電圧ではなく、複数の電圧でもよい。電圧 V_{ORG} は、半導体装置900の外部から

50

与えられる電圧 V_0 を基に生成することができる。半導体装置900は、外部から与えられる単一の電源電圧を基に電圧 V_{ORG} を生成できる。そのため半導体装置900は、外部から電源電圧を複数与えることなく動作することができる。

【0543】

回路902、904および906は、異なる電源電圧で動作する回路である。例えば回路902の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} ($V_{ORG} > V_{SS}$)とを基に印加される電圧である。また、例えば回路904の電源電圧は、電圧 V_{POG} と電圧 V_{SS} ($V_{POG} > V_{ORG}$)とを基に印加される電圧である。また、例えば回路906の電源電圧は、電圧 V_{ORG} と電圧 V_{SS} と電圧 V_{NEG} ($V_{ORG} > V_{SS} > V_{NEG}$)とを基に印加される電圧である。なお電圧 V_{SS} は、グラウンド電位 (GND) と等電位とすれば、電源回路901で生成する電圧の種類を削減できる。

10

【0544】

電圧生成回路903は、電圧 V_{POG} を生成する回路である。電圧生成回路903は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{POG} を生成できる。そのため、回路904を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

【0545】

電圧生成回路905は、電圧 V_{NEG} を生成する回路である。電圧生成回路905は、電源回路901から与えられる電圧 V_{ORG} を基に電圧 V_{NEG} を生成できる。そのため、回路906を有する半導体装置900は、外部から与えられる単一の電源電圧を基に動作することができる。

20

【0546】

図51 (B) は電圧 V_{POG} で動作する回路904の一例、図51 (C) は回路904を動作させるための信号の波形の一例である。

【0547】

図51 (B) では、トランジスタ911を示している。トランジスタ911のゲートに与える信号は、例えば、電圧 V_{POG} と電圧 V_{SS} を基に生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{POG} 、非導通状態とする動作時に電圧 V_{SS} を元に生成される。電圧 V_{POG} は、図51 (C) に図示するように、電圧 V_{ORG} より大きい。そのため、トランジスタ911は、ソース (S) とドレイン (D) との間をより確実に導通状態にできる。その結果、回路904は、誤動作が低減された回路とすることができる。

30

【0548】

図51 (D) は電圧 V_{NEG} で動作する回路906の一例、図51 (E) は回路906を動作させるための信号の波形の一例である。

【0549】

図51 (D) では、バックゲートを有するトランジスタ912を示している。トランジスタ912のゲートに与える信号は、例えば、電圧 V_{ORG} と電圧 V_{SS} を基にして生成される。当該信号は、トランジスタ911を導通状態とする動作時に電圧 V_{ORG} 、非導通状態とする動作時に電圧 V_{SS} を基に生成される。また、トランジスタ912のバックゲートに与える信号は、電圧 V_{NEG} を基に生成される。電圧 V_{NEG} は、図51 (E) に図示するように、電圧 V_{SS} (GND) より小さい。そのため、トランジスタ912の閾値電圧は、プラスシフトするように制御することができる。そのため、トランジスタ912をより確実に非導通状態とすることができ、ソース (S) とドレイン (D) との間を流れる電流を小さくできる。その結果、回路906は、誤動作が低減され、且つ低消費電力化が図られた回路とすることができる。

40

【0550】

なお電圧 V_{NEG} は、トランジスタ912のバックゲートに直接与える構成としてもよい。あるいは、電圧 V_{ORG} と電圧 V_{NEG} を基に、トランジスタ912のゲートに与える信号を生成し、当該信号をトランジスタ912のバックゲートに与える構成としてもよい

50

。

【0551】

また図52（A）、（B）には、図51（D）、（E）の変形例を示す。

【0552】

図52（A）に示す回路図では、電圧生成回路905と、回路906と、の間に制御回路921によって導通状態が制御できるトランジスタ922を示す。トランジスタ922は、nチャネル型のOSトランジスタとする。制御回路921が出力する制御信号 S_{BG} は、トランジスタ922の導通状態を制御する信号である。また回路906が有するトランジスタ912A、912Bは、トランジスタ922と同じOSトランジスタである。

【0553】

図52（B）のタイミングチャートには、制御信号 S_{BG} の電位の変化を示し、トランジスタ912A、912Bのバックゲートの電位の状態をノード N_{BG} の電位の変化で示す。制御信号 S_{BG} がハイレベルのときにトランジスタ922が導通状態となり、ノード N_{BG} が電圧 V_{NEG} となる。その後、制御信号 S_{BG} がローレベルのときにノード N_{BG} が電氣的にフローティングとなる。トランジスタ922は、OSトランジスタであるため、オフ電流が小さい。そのため、ノード N_{BG} が電氣的にフローティングであっても、一旦与えた電圧 V_{NEG} を保持することができる。

【0554】

また図53（A）には、上述した電圧生成回路903に適用可能な回路構成の一例を示す。図53（A）に示す電圧生成回路903は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する5段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} とを基に印加される電圧とすると、クロック信号CLKを与えることによって、電圧 V_{ORG} の5倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{POG} を得ることができる。

【0555】

また図53（B）には、上述した電圧生成回路905に適用可能な回路構成の一例を示す。図53（B）に示す電圧生成回路905は、ダイオードD1乃至D5、キャパシタC1乃至C5、およびインバータINVを有する4段のチャージポンプである。クロック信号CLKは、キャパシタC1乃至C5に直接、あるいはインバータINVを介して与えられる。インバータINVの電源電圧を、電圧 V_{ORG} と電圧 V_{SS} を基に印加される電圧とすると、クロック信号CLKを与えることによって、グラウンド、すなわち電圧 V_{SS} から電圧 V_{ORG} の4倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。なお、ダイオードD1乃至D5の順方向電圧は0Vとしている。また、チャージポンプの段数を変更することで、所望の電圧 V_{NEG} を得ることができる。

【0556】

なお上述した電圧生成回路903の回路構成は、図53（A）で示す回路図の構成に限らない。電圧生成回路903の変形例を図54（A）乃至（C）、図55（A）、（B）に示す。

【0557】

図54（A）に示す電圧生成回路903Aは、トランジスタM1乃至M10、キャパシタC11乃至C14、およびインバータINV1を有する。クロック信号CLKは、トランジスタM1乃至M10のゲートに直接、あるいはインバータINV1を介して与えられる。クロック信号CLKを与えることによって、電圧 V_{ORG} の4倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。なお、段数を変更することで、所望の電圧 V_{POG} を得ることができる。図54（A）に示す電圧生成回路903Aは、トランジスタM1乃至M10をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC11乃至C14に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_P

10

20

30

40

50

V_{OG} への昇圧を図ることができる。

【0558】

また図54 (B) に示す電圧生成回路903Bは、トランジスタM11乃至M14、キャパシタC15、C16、およびインバータINV2を有する。クロック信号CLKは、トランジスタM11乃至M14のゲートに直接、あるいはインバータINV2を介して与えられる。クロック信号CLKを与えることによって、電圧 V_{ORG} の2倍の正電圧に昇圧された電圧 V_{POG} を得ることができる。図54 (B) に示す電圧生成回路903Bは、トランジスタM11乃至M14をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC15、C16に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

10

【0559】

また図54 (C) に示す電圧生成回路903Cは、インダクタI11、トランジスタM15、ダイオードD6、およびキャパシタC17を有する。トランジスタM15は、制御信号ENによって、導通状態が制御される。制御信号ENによって、電圧 V_{ORG} が昇圧された電圧 V_{POG} を得ることができる。図54 (C) に示す電圧生成回路903Cは、インダクタI11を用いて電圧の昇圧を行うため、変換効率の高い電圧の昇圧を行うことができる。

【0560】

また図55 (A) に示す電圧生成回路903Dは、図53 (A) に示す電圧生成回路903のダイオードD1乃至D5をダイオード接続したトランジスタM16乃至M20に置き換えた構成に相当する。図55 (A) に示す電圧生成回路903Dは、トランジスタM16乃至M20をOSトランジスタとすることでオフ電流を小さくでき、キャパシタC1乃至C5に保持した電荷の漏れを抑制できる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

20

【0561】

また図55 (B) に示す電圧生成回路903Eは、図55 (A) に示す電圧生成回路903DのトランジスタM16乃至M20を、バックゲートを有するトランジスタM21乃至M25に置き換えた構成に相当する。図55 (B) に示す電圧生成回路903Eは、バックゲートにゲートと同じ電圧を与えることができるため、トランジスタを流れる電流量を増やすことができる。そのため、効率的に電圧 V_{ORG} から電圧 V_{POG} への昇圧を図ることができる。

30

【0562】

なお電圧生成回路903の変形例は、図53 (B) に示した電圧生成回路905にも適用可能である。この場合の回路図の構成を図56 (A) 乃至 (C)、図57 (A)、(B) に示す。図56 (A) に示す電圧生成回路905Aは、クロック信号CLKを与えることによって、電圧 V_{SS} から電圧 V_{ORG} の3倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。また図56 (B) に示す電圧生成回路905Bは、クロック信号CLKを与えることによって、電圧 V_{SS} から電圧 V_{ORG} の2倍の負電圧に降圧された電圧 V_{NEG} を得ることができる。

【0563】

40

図56 (A) 乃至 (C)、図57 (A)、(B) に示す電圧生成回路905A乃至905Eでは、図54 (A) 乃至 (C)、図55 (A)、(B) に示す電圧生成回路903A乃至903Eにおいて、各配線に与える電圧を変更すること、あるいは素子の配置を変更した構成に相当する。図56 (A) 乃至 (C)、図57 (A)、(B) に示す電圧生成回路905A乃至905Eは、電圧生成回路903A乃至903Eと同様に、効率的に電圧 V_{SS} から電圧 V_{NEG} への降圧を図ることができる。

【0564】

以上説明したように本実施の形態の構成では、半導体装置が有する回路に必要な電圧を内部で生成することができる。そのため半導体装置は、外部から与える電源電圧の種類を削減できる。

50

【0565】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0566】

(実施の形態8)

本実施の形態においては、本発明の一態様に係るトランジスタや上述した記憶装置などの半導体装置を含むCPUの一例について説明する。

【0567】

<CPUの構成>

図58に示す半導体装置400は、CPUコア401、パワーマネジメントユニット421および周辺回路422を有する。パワーマネジメントユニット421は、パワーコントローラ402、およびパワースイッチ403を有する。周辺回路422は、キャッシュメモリを有するキャッシュ404、バスインターフェース405(BUS I/F)、及びデバッグインターフェース406(Debug I/F)を有する。CPUコア401は、データバス423、制御装置407、PC408(プログラムカウンタ)、パイプラインレジスタ409、パイプラインレジスタ410、ALU411(Arithmetic logic unit)、及びレジスタファイル412を有する。CPUコア401と、キャッシュ404等の周辺回路422とのデータのやり取りは、データバス423を介して行われる。

【0568】

半導体装置(セル)は、パワーコントローラ402、制御装置407をはじめ、多くの論理回路に適用することができる。特に、スタンダードセルを用いて構成することができる。その結果、小型の半導体装置400を提供できる。また、消費電力を低減することが可能な半導体装置400を提供できる。また、動作速度を向上することが可能な半導体装置400を提供できる。また、電源電圧の変動を低減することが可能な半導体装置400を提供できる。

【0569】

半導体装置(セル)に、pチャネル型Siトランジスタと、先の実施の形態に記載の酸化物半導体(好ましくはIn、Ga、及びZnを含む酸化物)をチャネル形成領域に含むトランジスタとを用い、該半導体装置(セル)を半導体装置400に適用することで、小型の半導体装置400を提供できる。また、消費電力を低減することが可能な半導体装置400を提供できる。また、動作速度を向上することが可能な半導体装置400を提供できる。特に、Siトランジスタはpチャネル型のみとすることで、製造コストを低く抑えることができる。

【0570】

制御装置407は、PC408、パイプラインレジスタ409、パイプラインレジスタ410、ALU411、レジスタファイル412、キャッシュ404、バスインターフェース405、デバッグインターフェース406、及びパワーコントローラ402の動作を統括的に制御することで、入力されたアプリケーションなどのプログラムに含まれる命令をデコードし、実行する機能を有する。

【0571】

ALU411は、四則演算、論理演算などの各種演算処理を行う機能を有する。

【0572】

キャッシュ404は、使用頻度の高いデータを一時的に記憶しておく機能を有する。PC408は、次に実行する命令のアドレスを記憶する機能を有するレジスタである。なお、図58では図示していないが、キャッシュ404には、キャッシュメモリの動作を制御するキャッシュコントローラが設けられている。

【0573】

パイプラインレジスタ409は、命令データを一時的に記憶する機能を有するレジスタである。

【0574】

レジスタファイル412は、汎用レジスタを含む複数のレジスタを有しており、メインメモリから読み出されたデータ、またはALU411の演算処理の結果得られたデータ、などを記憶することができる。

【0575】

パイプラインレジスタ410は、ALU411の演算処理に利用するデータ、またはALU411の演算処理の結果得られたデータなどを一時的に記憶する機能を有するレジスタである。

【0576】

バスインターフェース405は、半導体装置400と半導体装置400の外部にある各種装置との間におけるデータの経路としての機能を有する。デバッグインターフェース406は、デバッグの制御を行うための命令を半導体装置400に入力するための信号の経路としての機能を有する。

10

【0577】

パワースイッチ403は、半導体装置400が有する、パワーコントローラ402以外の各種回路への、電源電圧の供給を制御する機能を有する。上記各種回路は、幾つかのパワードメインにそれぞれ属しており、同一のパワードメインに属する各種回路は、パワースイッチ403によって電源電圧の供給の有無が制御される。また、パワーコントローラ402はパワースイッチ403の動作を制御する機能を有する。

【0578】

上記構成を有する半導体装置400は、パワーゲーティングを行うことが可能である。パワーゲーティングの動作の流れについて、一例を挙げて説明する。

20

【0579】

まず、CPUコア401が、電源電圧の供給を停止するタイミングを、パワーコントローラ402のレジスタに設定する。次いで、CPUコア401からパワーコントローラ402へ、パワーゲーティングを開始する旨の命令を送る。次いで、半導体装置400内に含まれる各種レジスタとキャッシュ404が、データの退避を開始する。次いで、半導体装置400が有するパワーコントローラ402以外の各種回路への電源電圧の供給が、パワースイッチ403により停止される。次いで、割込み信号がパワーコントローラ402に入力されることで、半導体装置400が有する各種回路への電源電圧の供給が開始される。なお、パワーコントローラ402にカウンタを設けておき、電源電圧の供給が開始されるタイミングを、割込み信号の入力に依らずに、当該カウンタを用いて決めるようにしてもよい。次いで、各種レジスタとキャッシュ404が、データの復帰を開始する。次いで、制御装置407における命令の実行が再開される。

30

【0580】

このようなパワーゲーティングは、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において行うことができる。また、短い時間でも電源の供給を停止することができる。このため、空間的に、あるいは時間的に細かい粒度で消費電力の削減を行うことができる。

【0581】

パワーゲーティングを行う場合、CPUコア401や周辺回路422が保持する情報を短期間に退避できることが好ましい。そうすることで、短期間に電源のオンオフが可能となり、省電力の効果が大きくなる。

40

【0582】

CPUコア401や周辺回路422が保持する情報を短期間に退避するためには、フリップフロップ回路がその回路内でデータ退避できることが好ましい（バックアップ可能なフリップフロップ回路と呼ぶ）。また、SRAMセルがセル内でデータ退避できることが好ましい（バックアップ可能なSRAMセルと呼ぶ）。バックアップ可能なフリップフロップ回路やSRAMセルは、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むトランジスタを有することが好ましい。その結果、トランジ

50

スタが低いオフ電流を有することで、バックアップ可能なフリップフロップ回路やSRAMセルは長期間電源供給なしに情報を保持することができる。また、トランジスタが高速なスイッチング速度を有することで、バックアップ可能なフリップフロップ回路やSRAMセルは短期間のデータ退避および復帰が可能となる場合がある。

【0583】

バックアップ可能なフリップフロップ回路の例について、図59を用いて説明する。

【0584】

図59に示す半導体装置500は、バックアップ可能なフリップフロップ回路の一例である。半導体装置500は、第1の記憶回路501と、第2の記憶回路502と、第3の記憶回路503と、読み出し回路504と、を有する。半導体装置500には、電位V1と電位V2の電位差が、電源電圧として供給される。電位V1と電位V2は一方がハイレベルであり、他方がローレベルである。以下、電位V1がローレベル、電位V2がハイレベルの場合を例に挙げて、半導体装置500の構成例について説明するものとする。

10

【0585】

第1の記憶回路501は、半導体装置500に電源電圧が供給されている期間において、データを含む信号Dが入力されると、当該データを保持する機能を有する。そして、半導体装置500に電源電圧が供給されている期間において、第1の記憶回路501からは、保持されているデータを含む信号Qが出力される。一方、第1の記憶回路501は、半導体装置500に電源電圧が供給されていない期間においては、データを保持することができない。すなわち、第1の記憶回路501は、揮発性の記憶回路と呼ぶことができる。

20

【0586】

第2の記憶回路502は、第1の記憶回路501に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。第3の記憶回路503は、第2の記憶回路502に保持されているデータを読み込んで記憶する（あるいは退避する）機能を有する。読み出し回路504は、第2の記憶回路502または第3の記憶回路503に保持されたデータを読み出して第1の記憶回路501に記憶する（あるいは復帰する）機能を有する。

【0587】

特に、第3の記憶回路503は、半導体装置500に電源電圧が供給されてない期間においても、第2の記憶回路502に保持されているデータを読み込記憶する（あるいは退避する）機能を有する。

30

【0588】

図59に示すように、第2の記憶回路502はトランジスタ512と容量素子519とを有する。第3の記憶回路503はトランジスタ513と、トランジスタ515と、容量素子520とを有する。読み出し回路504はトランジスタ510と、トランジスタ518と、トランジスタ509と、トランジスタ517と、を有する。

【0589】

トランジスタ512は、第1の記憶回路501に保持されているデータに応じた電荷を、容量素子519に充放電する機能を有する。トランジスタ512は、第1の記憶回路501に保持されているデータに応じた電荷を容量素子519に対して高速に充放電できることが望ましい。具体的には、トランジスタ512が、結晶性を有するシリコン（好ましくは多結晶シリコン、更に好ましくは単結晶シリコン）をチャネル形成領域に含むことが望ましい。

40

【0590】

トランジスタ513は、容量素子519に保持されている電荷に従って導通状態または非導通状態が選択される。トランジスタ515は、トランジスタ513が導通状態であるときに、配線544の電位に応じた電荷を容量素子520に充放電する機能を有する。トランジスタ515は、オフ電流が著しく小さいことが望ましい。具体的には、トランジスタ515が、酸化物半導体（好ましくはIn、Ga、及びZnを含む酸化物）をチャネル形成領域に含むことが望ましい。

50

【0591】

各素子の接続関係を具体的に説明すると、トランジスタ512のソース及びドレインの一方は、第1の記憶回路501に接続されている。トランジスタ512のソース及びドレインの他方は、容量素子519の一方の電極、トランジスタ513のゲート、及びトランジスタ518のゲートに接続されている。容量素子519の他方の電極は、配線542に接続されている。トランジスタ513のソース及びドレインの一方は、配線544に接続されている。トランジスタ513のソース及びドレインの他方は、トランジスタ515のソース及びドレインの一方に接続されている。トランジスタ515のソース及びドレインの他方は、容量素子520の一方の電極、及びトランジスタ510のゲートに接続されている。容量素子520の他方の電極は、配線543に接続されている。トランジスタ510のソース及びドレインの一方は、配線541に接続されている。トランジスタ510のソース及びドレインの他方は、トランジスタ518のソース及びドレインの一方に接続されている。トランジスタ518のソース及びドレインの他方は、トランジスタ509のソース及びドレインの一方に接続されている。トランジスタ509のソース及びドレインの他方は、トランジスタ517のソース及びドレインの一方、及び第1の記憶回路501に接続されている。トランジスタ517のソース及びドレインの他方は、配線540に接続されている。また、図59においては、トランジスタ509のゲートは、トランジスタ517のゲートと接続されているが、トランジスタ509のゲートは、必ずしもトランジスタ517のゲートと接続されていなくてもよい。

10

【0592】

トランジスタ515に先の実施の形態で例示したトランジスタを適用することができる。トランジスタ515のオフ電流が小さいために、半導体装置500は、長期間電源供給なしに情報を保持することができる。トランジスタ515のスイッチング特性が良好であるために、半導体装置500は、高速のバックアップとリカバリを行うことができる。

20

【0593】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ用いることができる。

【0594】

(実施の形態9)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した撮像装置の一例について説明する。

30

【0595】

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

【0596】

図60(A)は、本発明の一態様に係る撮像装置2200の例を示す平面図である。撮像装置2200は、画素部2210と、画素部2210を駆動するための周辺回路2260と、周辺回路2270、周辺回路2280と、周辺回路2290と、を有する。画素部2210は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素2211を有する。周辺回路2260、周辺回路2270、周辺回路2280および周辺回路2290は、それぞれ複数の画素2211に接続し、複数の画素2211を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路2260、周辺回路2270、周辺回路2280および周辺回路2290などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路2260は周辺回路の一部といえる。

40

【0597】

また、撮像装置2200は、光源2291を有することが好ましい。光源2291は、検出光P1を放射することができる。

【0598】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換

50

回路の1つを有する。また、周辺回路は、画素部2210を形成する基板上に形成してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路2260、周辺回路2270、周辺回路2280および周辺回路2290のいずれか一以上を省略してもよい。

【0599】

また、図60(B)に示すように、撮像装置2200が有する画素部2210において、画素2211を傾けて配置してもよい。画素2211を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置2200における撮像の品質をより高めることができる。

【0600】

10

<画素の構成例1>

撮像装置2200が有する1つの画素2211を複数の副画素2212で構成し、それぞれの副画素2212に特定の波長域の光を透過するフィルタ(カラーフィルタ)を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0601】

図61(A)は、カラー画像を取得するための画素2211の一例を示す平面図である。図61(A)に示す画素2211は、赤(R)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212R」ともいう)、緑(G)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212G」ともいう)および青(B)の波長域の光を透過するカラーフィルタが設けられた副画素2212(以下、「副画素2212B」ともいう)を有する。副画素2212は、フォトセンサとして機能させることができる。

20

【0602】

副画素2212(副画素2212R、副画素2212G、および副画素2212B)は、配線2231、配線2247、配線2248、配線2249、配線2250と電氣的に接続される。また、副画素2212R、副画素2212G、および副画素2212Bは、それぞれが独立した配線2253に接続している。また、本明細書等において、例えばn行目の画素2211に接続された配線2248および配線2249を、それぞれ配線2248[n]および配線2249[n]と記載する。また、例えばm列目の画素2211に接続された配線2253を、配線2253[m]と記載する。なお、図61(A)において、m列目の画素2211が有する副画素2212Rに接続する配線2253を配線2253[m]R、副画素2212Gに接続する配線2253を配線2253[m]G、および副画素2212Bに接続する配線2253を配線2253[m]Bと記載している。副画素2212は、上記配線を介して周辺回路と電氣的に接続される。

30

【0603】

また、撮像装置2200は、隣接する画素2211の、同じ波長域の光を透過するカラーフィルタが設けられた副画素2212同士がスイッチを介して電氣的に接続する構成を有する。図61(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素2211が有する副画素2212と、該画素2211に隣接するn+1行m列に配置された画素2211が有する副画素2212の接続例を示す。図61(B)において、n行m列に配置された副画素2212Rと、n+1行m列に配置された副画素2212Rがスイッチ2201を介して接続されている。また、n行m列に配置された副画素2212Gと、n+1行m列に配置された副画素2212Gがスイッチ2202を介して接続されている。また、n行m列に配置された副画素2212Bと、n+1行m列に配置された副画素2212Bがスイッチ2203を介して接続されている。

40

【0604】

なお、副画素2212に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンタ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素2211に3種類の異なる波長域の光を検出する副画素2212を設けることで、フルカラー画像を取得することができる。

50

【0605】

または、それぞれ赤（R）、緑（G）および青（B）の光を透過するカラーフィルタが設けられた副画素2212に加えて、黄（Y）の光を透過するカラーフィルタが設けられた副画素2212を有する画素2211を用いてもよい。または、それぞれシアン（C）、黄（Y）およびマゼンタ（M）の光を透過するカラーフィルタが設けられた副画素2212に加えて、青（B）の光を透過するカラーフィルタが設けられた副画素2212を有する画素2211を用いてもよい。1つの画素2211に4種類の異なる波長域の光を検出する副画素2212を設けることで、取得した画像の色の再現性をさらに高めることができる。

【0606】

また、例えば、図61（A）において、赤の波長域の光を検出する副画素2212、緑の波長域の光を検出する副画素2212、および青の波長域の光を検出する副画素2212の画素数比（または受光面積比）は、1：1：1でなくても構わない。例えば、画素数比（受光面積比）を赤：緑：青＝1：2：1とするBayer配列としてもよい。または、画素数比（受光面積比）を赤：緑：青＝1：6：1としてもよい。

【0607】

なお、画素2211に設ける副画素2212は1つでもよいが、2つ以上が好ましい。例えば、同じ波長域の光を検出する副画素2212を2つ以上設けることで、冗長性を高め、撮像装置2200の信頼性を高めることができる。

【0608】

また、可視光を吸収または反射して、赤外光を透過するIR（IR：Infrared）フィルタを用いることで、赤外光を検出する撮像装置2200を実現することができる。

【0609】

また、ND（ND：Neutral Density）フィルタ（減光フィルタ）を用いることで、光電変換素子（受光素子）に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

【0610】

また、前述したフィルタ以外に、画素2211にレンズを設けてもよい。ここで、図62の断面図を用いて、画素2211、フィルタ2254、レンズ2255の配置例を説明する。レンズ2255を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図62（A）に示すように、画素2211に形成したレンズ2255、フィルタ2254（フィルタ2254R、フィルタ2254Gおよびフィルタ2254B）、および画素回路2230等を通して光2256を光電変換素子2220に入射させる構造とすることができる。

【0611】

ただし、一点鎖線で囲んだ領域に示すように、矢印で示す光2256の一部が配線2257の一部によって遮光されてしまうことがある。したがって、図62（B）に示すように光電変換素子2220側にレンズ2255およびフィルタ2254を配置して、光電変換素子2220が光2256を効率良く受光させる構造が好ましい。光電変換素子2220側から光2256を光電変換素子2220に入射させることで、検出感度の高い撮像装置2200を提供することができる。

【0612】

図62に示す光電変換素子2220として、pn型接合またはpin型の接合が形成された光電変換素子を用いてもよい。

【0613】

また、光電変換素子2220を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能を持つ物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

【0614】

例えば、光電変換素子2220にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長域にわたって光吸収係数を有する光電変換素子2220を実現できる。

【0615】

ここで、撮像装置2200が有する1つの画素2211は、図61に示す副画素2212に加えて、第1のフィルタを有する副画素2212を有してもよい。

【0616】

<画素の構成例2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。各トランジスタは上記実施の形態に示すものと同様のトランジスタを用いることができる。

10

【0617】

図63は、撮像装置を構成する素子の断面図である。図63に示す撮像装置は、シリコン基板2300に設けられたシリコンを用いたトランジスタ2351、トランジスタ2351上に積層して配置された酸化物半導体を用いたトランジスタ2352およびトランジスタ2353、ならびにシリコン基板2300に設けられたフォトダイオード2360を含む。各トランジスタおよびフォトダイオード2360は、種々のプラグ2370および配線2371と電気的な接続を有する。また、フォトダイオード2360のアノード2361は、低抵抗領域2363を介してプラグ2370と電気的に接続を有する。

20

【0618】

また撮像装置は、シリコン基板2300に設けられたトランジスタ2351およびフォトダイオード2360を有する層2310と、層2310と接して設けられ、配線2371を有する層2320と、層2320と接して設けられ、トランジスタ2352およびトランジスタ2353を有する層2330と、層2330と接して設けられ、配線2372および配線2373を有する層2340を備えている。

【0619】

なお図63の断面図の一例では、シリコン基板2300において、トランジスタ2351が形成された面とは逆側の面にフォトダイオード2360の受光面を有する構成とすることができる。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード2360の受光面をトランジスタ2351が形成された面と同じとすることもできる。

30

【0620】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層2310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層2310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

【0621】

なお、シリコン基板2300は、SOI基板であってもよい。また、シリコン基板2300に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

40

【0622】

ここで、トランジスタ2351およびフォトダイオード2360を有する層2310と、トランジスタ2352およびトランジスタ2353を有する層2330と、の間には絶縁体2380が設けられる。ただし、絶縁体2380の位置は限定されない。また、絶縁体2380の下に絶縁体2379が設けられ、絶縁体2380の上に絶縁体2381が設けられる。

【0623】

絶縁体2379乃至絶縁体2381に設けられた開口に、導電体2390a乃至導電体2390eが設けられている。導電体2390a、導電体2390bおよび導電体2390

50

eは、プラグおよび配線として機能する。また、導電体2390cは、トランジスタ2353のバックゲートとして機能する。また、導電体2390dは、トランジスタ2352のバックゲートとして機能する。

【0624】

トランジスタ2351のチャンネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ2351の信頼性を向上させる効果がある。一方、トランジスタ2352およびトランジスタ2353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ2352およびトランジスタ2353などの信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体を用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間に水素をブロックする機能を有する絶縁体2380を設けることが好ましい。絶縁体2380より下層に水素を閉じ込めることで、トランジスタ2351の信頼性を向上させることができる。さらに、絶縁体2380より下層から、絶縁体2380より上層に水素が拡散することを抑制できるため、トランジスタ2352およびトランジスタ2353などの信頼性を向上させることができる。さらに、導電体2390a、導電体2390bおよび導電体2390eが形成されることにより、絶縁体2380に形成されているビアホールを通じて上層に水素が拡散することも抑制できるため、トランジスタ2352およびトランジスタ2353などの信頼性を向上させることができる。

10

【0625】

また、図63の断面図において、層2310に設けるフォトダイオード2360と、層2330に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

20

【0626】

また、撮像装置の一部または全部を湾曲させてもよい。撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【0627】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

30

【0628】

(実施の形態10)

本実施の形態においては、本発明の一態様に係る半導体ウエハ、チップおよび電子部品について説明する。

【0629】

<半導体ウエハ、チップ>

図64(A)は、ダイシング処理が行なわれる前の基板711の上面図を示している。基板711としては、例えば、半導体基板(「半導体ウエハ」ともいう。)を用いることができる。基板711上には、複数の回路領域712が設けられている。回路領域712には、本発明の一態様に係る半導体装置や、CPU、RFタグ、またはイメージセンサなどを設けることができる。

40

【0630】

複数の回路領域712は、それぞれが分離領域713に囲まれている。分離領域713と重なる位置に分離線(「ダイシングライン」ともいう。)714が設定される。分離線714に沿って基板711を切断することで、回路領域712を含むチップ715を基板711から切り出すことができる。図64(B)にチップ715の拡大図を示す。

【0631】

また、分離領域713に導電層や半導体層を設けてもよい。分離領域713に導電層や半

50

導体層を設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程の歩留まり低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に流しながら行なわれる。分離領域713に導電層や半導体層を設けることで、当該純水の使用量を削減することができる。よって、半導体装置の生産コストを低減することができる。また、半導体装置の生産性を高めることができる。

【0632】

分離領域713に設ける半導体層としては、バンドギャップが2.5 eV以上4.2 eV以下、好ましくは2.7 eV以上3.5 eV以下の材料を用いることが好ましい。このような材料を用いると、蓄積された電荷をゆっくりと放電することができるため、ESDによる電荷の急激な移動が抑えられ、静電破壊を生じにくくすることができる。

10

【0633】

<電子部品>

チップ715を電子部品に適用する例について、図65を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。

【0634】

電子部品は、組み立て工程（後工程）において、上記実施の形態に示した半導体装置と該半導体装置以外の部品が組み合わされて完成する。

【0635】

20

図65（A）に示すフローチャートを用いて、後工程について説明する。前工程において上記実施の形態に示した半導体装置を有する素子基板が完成した後、該素子基板の裏面（半導体装置などが形成されていない面）を研削する「裏面研削工程」を行なう（ステップS721）。研削により素子基板を薄くすることで、素子基板の反りなどを低減し、電子部品の小型化を図ることができる。

【0636】

次に、素子基板を複数のチップ（チップ715）に分離する「ダイシング工程」を行う（ステップS722）。そして、分離したチップを個々ピックアップしてリードフレーム上に接合する「ダイボンディング工程」を行う（ステップS723）。ダイボンディング工程におけるチップとリードフレームとの接合は、樹脂による接合や、テープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポザ基板上にチップを接合してもよい。

30

【0637】

次いで、リードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する「ワイヤーボンディング工程」を行う（ステップS724）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

【0638】

ワイヤーボンディングされたチップは、エポキシ樹脂などで封止される「封止工程（モールド工程）」が施される（ステップS725）。封止工程を行うことで電子部品の内部が樹脂で充填され、チップに内蔵される回路部やチップとリードを接続するワイヤーを機械的な外力から保護することができ、また水分や埃による特性の劣化（信頼性の低下）を低減することができる。

40

【0639】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう（ステップS726）。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形加工工程」を行なう（ステップS727）。

【0640】

次いで、パッケージの表面に印字処理（マーキング）を施す「マーキング工程」を行なう

50

(ステップS728)。そして外観形状の良否や動作不良の有無などを調べる「検査工程」(ステップS729)を経て、電子部品が完成する。

【0641】

また、完成した電子部品の斜視模式図を図65(B)に示す。図65(B)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図65(B)に示す電子部品750は、リード755および半導体装置753を示している。半導体装置753としては、上記実施の形態に示した半導体装置などを用いることができる。

【0642】

図65(B)に示す電子部品750は、例えばプリント基板752に実装される。このような電子部品750が複数組み合わされて、それぞれがプリント基板752上で電氣的に接続されることで電子部品が実装された基板(実装基板754)が完成する。完成した実装基板754は、電子機器などに用いられる。

【0643】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0644】

(実施の形態11)

本実施の形態においては、本発明の一態様に係るトランジスタなどを利用した電子機器について説明する。

【0645】

<電子機器>

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD:Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレイヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図66に示す。

【0646】

図66(A)は携帯型ゲーム機であり、筐体1901、筐体1902、表示部1903、表示部1904、マイクロフォン1905、スピーカー1906、操作キー1907、スタイラス1908等を有する。なお、図66(A)に示した携帯型ゲーム機は、2つの表示部1903と表示部1904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0647】

図66(B)は携帯データ端末であり、第1筐体1911、第2筐体1912、第1表示部1913、第2表示部1914、接続部1915、操作キー1916等を有する。第1表示部1913は第1筐体1911に設けられており、第2表示部1914は第2筐体1912に設けられている。そして、第1筐体1911と第2筐体1912とは、接続部1915により接続されており、第1筐体1911と第2筐体1912の間の角度は、接続部1915により変更が可能である。第1表示部1913における映像を、接続部1915における第1筐体1911と第2筐体1912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部1913および第2表示部1914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子

10

20

30

40

50

を表示装置の画素部に設けることでも、付加することができる。

【0648】

図66(C)はノート型パーソナルコンピュータであり、筐体1921、表示部1922、キーボード1923、ポインティングデバイス1924等を有する。

【0649】

図66(D)は電気冷凍冷蔵庫であり、筐体1931、冷蔵室用扉1932、冷凍室用扉1933等を有する。

【0650】

図66(E)はビデオカメラであり、第1筐体1941、第2筐体1942、表示部1943、操作キー1944、レンズ1945、接続部1946等を有する。操作キー1944およびレンズ1945は第1筐体1941に設けられており、表示部1943は第2筐体1942に設けられている。そして、第1筐体1941と第2筐体1942とは、接続部1946により接続されており、第1筐体1941と第2筐体1942の間の角度は、接続部1946により変更が可能である。表示部1943における映像を、接続部1946における第1筐体1941と第2筐体1942との間の角度にしたがって切り替える構成としてもよい。

【0651】

図66(F)は自動車であり、車体1951、車輪1952、ダッシュボード1953、ライト1954等を有する。

【0652】

なお、本実施の形態において、本発明の一態様について述べた。ただし、本発明の一態様は、これらに限定されない。つまり、本実施の形態などでは、様々な発明の態様が記載されているため、本発明の一態様は、特定の態様に限定されない。例えば、本発明の一態様として、トランジスタのチャンネル形成領域、ソースドレイン領域などが、酸化物半導体を有する場合の例を示したが、本発明の一態様は、これに限定されない。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、様々な半導体を有していてもよい。場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、アルミニウムガリウムヒ素、インジウムリン、窒化ガリウム、または、有機半導体などの少なくとも一つを有していてもよい。または例えば、場合によっては、または、状況に応じて、本発明の一態様における様々なトランジスタ、トランジスタのチャンネル形成領域、または、トランジスタのソースドレイン領域などは、酸化物半導体を有していなくてもよい。

【0653】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【符号の説明】

【0654】

100 容量素子
101 容量素子
102 容量素子
112 導電体
112a 導電体
112b 導電体
116 導電体
124 導電体
124a 導電体
124A 導電体

10

20

30

40

50

1 2 4 b	導電体	
1 2 4 d	導電体	
1 3 0	絶縁体	
1 3 2	絶縁体	
1 3 4	絶縁体	
1 5 0	絶縁体	
2 0 0	トランジスタ	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 5	導電体	10
2 0 5 a	導電体	
2 0 5 A	導電体	
2 0 5 b	導電体	
2 0 5 B	導電体	
2 0 5 c	導電体	
2 1 0	絶縁体	
2 1 2	絶縁体	
2 1 3	絶縁体	
2 1 4	絶縁体	
2 1 6	絶縁体	20
2 1 8	導電体	
2 1 8 a	導電体	
2 1 8 b	導電体	
2 1 8 c	導電体	
2 1 9	導電体	
2 1 9 a	導電体	
2 1 9 b	導電体	
2 1 9 c	導電体	
2 2 0	絶縁体	
2 2 2	絶縁体	30
2 2 4	絶縁体	
2 3 0	酸化物	
2 3 0 a	酸化物	
2 3 0 A	酸化物	
2 3 0 b	酸化物	
2 3 0 B	酸化物	
2 3 0 c	酸化物	
2 3 0 d	酸化物	
2 4 0 a	導電体	
2 4 0 A	導電膜	40
2 4 0 b	導電体	
2 4 0 B	導電層	
2 4 1 a	導電体	
2 4 1 b	導電体	
2 4 3 a	絶縁体	
2 4 3 b	絶縁体	
2 4 4	導電体	
2 4 4 a	導電体	
2 4 4 A	導電膜	
2 4 4 b	導電体	50

2 4 4 B	導電膜	
2 4 4 c	導電体	
2 4 4 d	導電体	
2 4 4 e	導電体	
2 4 6	導電体	
2 4 6 a	導電体	
2 4 6 A	導電体	
2 4 6 b	導電体	
2 4 6 d	導電体	
2 5 0	絶縁体	10
2 6 0	導電体	
2 6 0 a	導電体	
2 6 0 A	導電膜	
2 6 0 b	導電体	
2 6 0 c	導電体	
2 7 0	絶縁体	
2 7 1	バリア層	
2 7 9	絶縁体	
2 8 0	絶縁体	
2 8 1	バリア層	20
2 8 1 a	バリア層	
2 8 1 A	バリア膜	
2 8 1 b	バリア層	
2 8 1 c	バリア層	
2 8 1 d	バリア層	
2 8 2	絶縁体	
2 8 4	絶縁体	
2 8 5	絶縁体	
2 8 6	絶縁体	
2 9 0	レジストマスク	30
2 9 2	レジストマスク	
2 9 4	レジストマスク	
2 9 6	レジストマスク	
3 0 0	トランジスタ	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 1 1	基板	
3 1 2	半導体領域	
3 1 4	絶縁体	
3 1 6	導電体	40
3 1 8 a	低抵抗領域	
3 1 8 b	低抵抗領域	
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	
3 2 8	導電体	
3 2 8 a	導電体	
3 2 8 b	導電体	
3 2 8 c	導電体	50

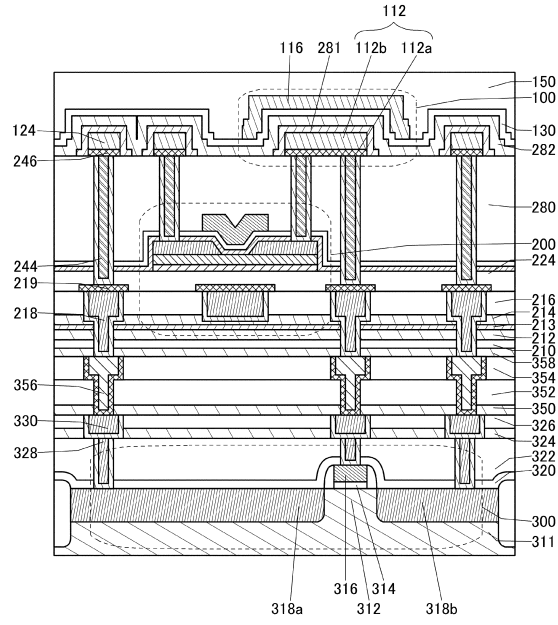
3 3 0	導電体	
3 3 0 a	導電体	
3 3 0 b	導電体	
3 3 0 c	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	
3 5 6	導電体	
3 5 6 a	導電体	
3 5 6 b	導電体	10
3 5 6 c	導電体	
3 5 8	絶縁体	
4 0 0	半導体装置	
4 0 1	C P U コア	
4 0 2	パワーコントローラ	
4 0 3	パワースイッチ	
4 0 4	キャッシュ	
4 0 5	バスインターフェース	
4 0 6	デバッグインターフェース	
4 0 7	制御装置	20
4 0 8	P C	
4 0 9	パイプラインレジスタ	
4 1 0	パイプラインレジスタ	
4 1 1	A L U	
4 1 2	レジスタファイル	
4 2 1	パワーマネージメントユニット	
4 2 2	周辺回路	
4 2 3	データバス	
5 0 0	半導体装置	
5 0 1	記憶回路	30
5 0 2	記憶回路	
5 0 3	記憶回路	
5 0 4	回路	
5 0 9	トランジスタ	
5 1 0	トランジスタ	
5 1 2	トランジスタ	
5 1 3	トランジスタ	
5 1 5	トランジスタ	
5 1 7	トランジスタ	
5 1 8	トランジスタ	40
5 1 9	容量素子	
5 2 0	容量素子	
5 4 0	配線	
5 4 1	配線	
5 4 2	配線	
5 4 3	配線	
5 4 4	配線	
7 1 1	基板	
7 1 2	回路領域	
7 1 3	分離領域	50

7 1 4	分離線	
7 1 5	チップ	
7 5 0	電子部品	
7 5 2	プリント基板	
7 5 3	半導体装置	
7 5 4	実装基板	
7 5 5	リード	
8 0 0	インバータ	
8 1 0	ＯＳトランジスタ	
8 2 0	ＯＳトランジスタ	10
8 3 1	信号波形	
8 3 2	信号波形	
8 4 0	破線	
8 4 1	実線	
8 5 0	ＯＳトランジスタ	
8 6 0	ＣＭＯＳインバータ	
9 0 0	半導体装置	
9 0 1	電源回路	
9 0 2	回路	
9 0 3	電圧生成回路	20
9 0 3 A	電圧生成回路	
9 0 3 B	電圧生成回路	
9 0 3 C	電圧生成回路	
9 0 3 D	電圧生成回路	
9 0 3 E	電圧生成回路	
9 0 4	回路	
9 0 5	電圧生成回路	
9 0 5 A	電圧生成回路	
9 0 5 E	電圧生成回路	
9 0 6	回路	30
9 1 1	トランジスタ	
9 1 2	トランジスタ	
9 1 2 A	トランジスタ	
9 1 2 B	トランジスタ	
9 2 1	制御回路	
9 2 2	トランジスタ	
1 9 0 1	筐体	
1 9 0 2	筐体	
1 9 0 3	表示部	
1 9 0 4	表示部	40
1 9 0 5	マイクロフォン	
1 9 0 6	スピーカー	
1 9 0 7	操作キー	
1 9 0 8	スタイラス	
1 9 1 1	筐体	
1 9 1 2	筐体	
1 9 1 3	表示部	
1 9 1 4	表示部	
1 9 1 5	接続部	
1 9 1 6	操作キー	50

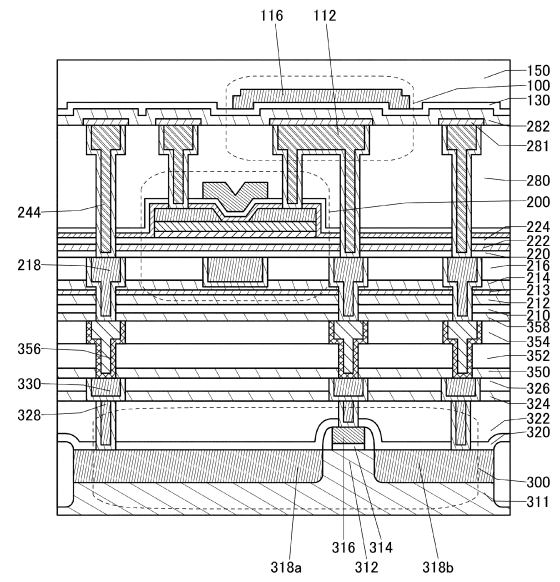
1 9 2 1	筐体	
1 9 2 2	表示部	
1 9 2 3	キーボード	
1 9 2 4	ポインティングデバイス	
1 9 3 1	筐体	
1 9 3 2	冷蔵室用扉	
1 9 3 3	冷凍室用扉	
1 9 4 1	筐体	
1 9 4 2	筐体	
1 9 4 3	表示部	10
1 9 4 4	操作キー	
1 9 4 5	レンズ	
1 9 4 6	接続部	
1 9 5 1	車体	
1 9 5 2	車輪	
1 9 5 3	ダッシュボード	
1 9 5 4	ライト	
2 2 0 0	撮像装置	
2 2 0 1	スイッチ	
2 2 0 2	スイッチ	20
2 2 0 3	スイッチ	
2 2 1 0	画素部	
2 2 1 1	画素	
2 2 1 2	副画素	
2 2 1 2 B	副画素	
2 2 1 2 G	副画素	
2 2 1 2 R	副画素	
2 2 2 0	光電変換素子	
2 2 3 0	画素回路	
2 2 3 1	配線	30
2 2 4 7	配線	
2 2 4 8	配線	
2 2 4 9	配線	
2 2 5 0	配線	
2 2 5 3	配線	
2 2 5 4	フィルタ	
2 2 5 4 B	フィルタ	
2 2 5 4 G	フィルタ	
2 2 5 4 R	フィルタ	
2 2 5 5	レンズ	40
2 2 5 6	光	
2 2 5 7	配線	
2 2 6 0	周辺回路	
2 2 7 0	周辺回路	
2 2 8 0	周辺回路	
2 2 9 0	周辺回路	
2 2 9 1	光源	
2 3 0 0	シリコン基板	
2 3 1 0	層	
2 3 2 0	層	50

2 3 3 0	層	
2 3 4 0	層	
2 3 5 1	トランジスタ	
2 3 5 2	トランジスタ	
2 3 5 3	トランジスタ	
2 3 6 0	フォトダイオード	
2 3 6 1	アノード	
2 3 6 3	低抵抗領域	
2 3 7 0	プラグ	
2 3 7 1	配線	10
2 3 7 2	配線	
2 3 7 3	配線	
2 3 7 9	絶縁体	
2 3 8 0	絶縁体	
2 3 8 1	絶縁体	
2 3 9 0 a	導電体	
2 3 9 0 b	導電体	
2 3 9 0 c	導電体	
2 3 9 0 d	導電体	
2 3 9 0 e	導電体	20
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 0 0 6	配線	
3 2 0 0	トランジスタ	
3 5 0 0	トランジスタ	
4 0 0 1	配線	
4 0 0 3	配線	30
4 0 0 5	配線	
4 0 0 6	配線	
4 0 0 7	配線	
4 0 0 8	配線	
4 0 0 9	配線	
4 0 2 1	層	
4 0 2 3	層	
4 1 0 0	トランジスタ	
4 2 0 0	トランジスタ	
4 3 0 0	トランジスタ	40
4 4 0 0	トランジスタ	
4 5 0 0	容量素子	
4 6 0 0	容量素子	

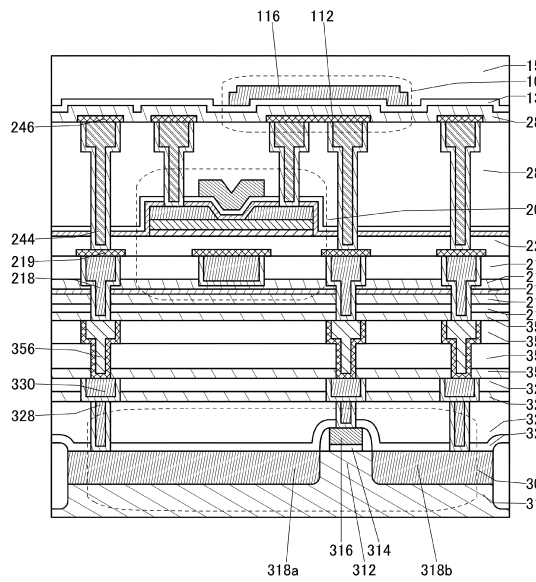
【図 1】



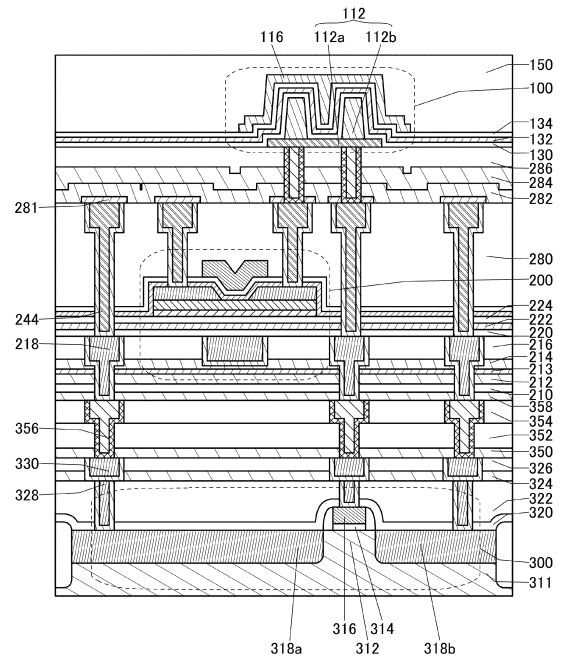
【図 2】



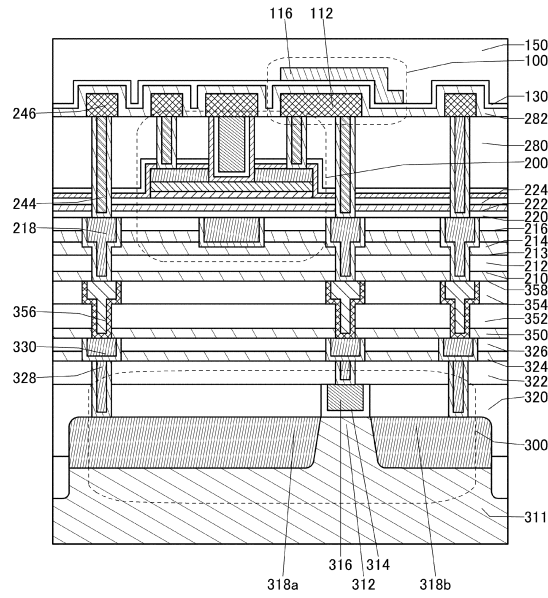
【図 3】



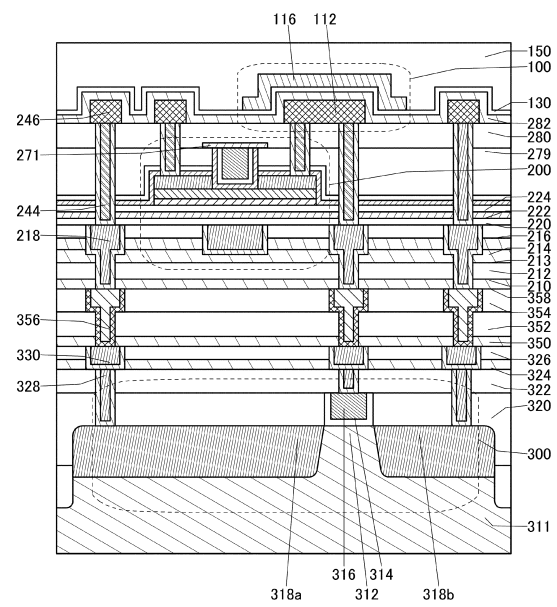
【図 4】



【図 5】

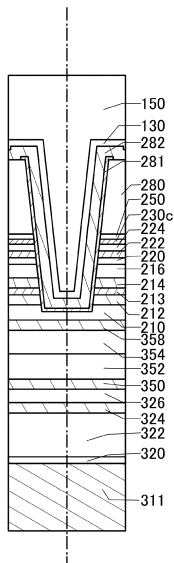


【図 6】

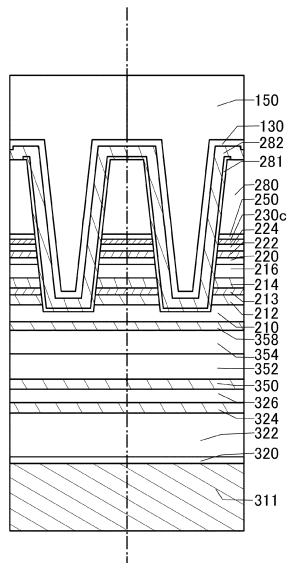


【図 7】

(A)

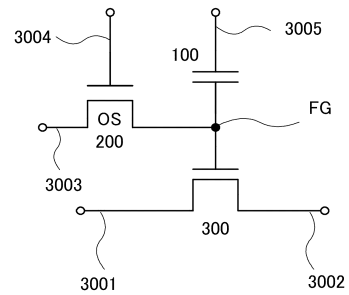


(B)

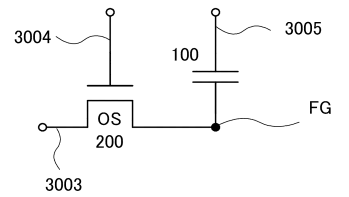


【図 8】

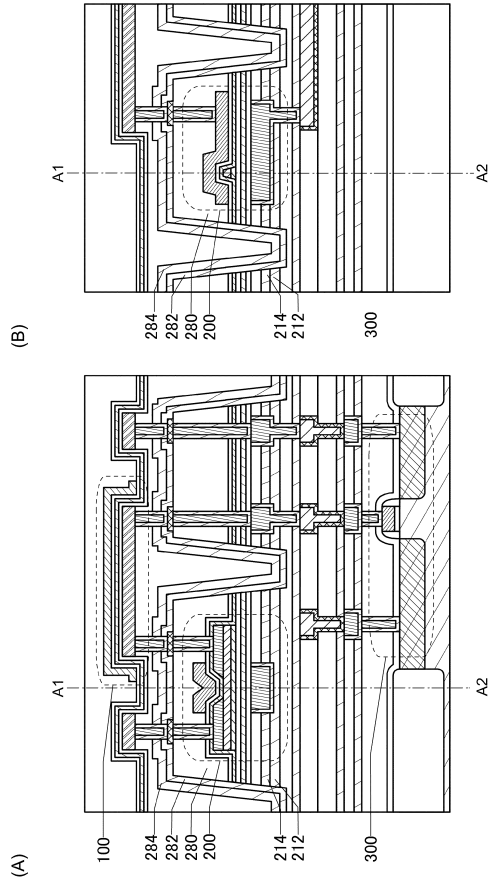
(A)



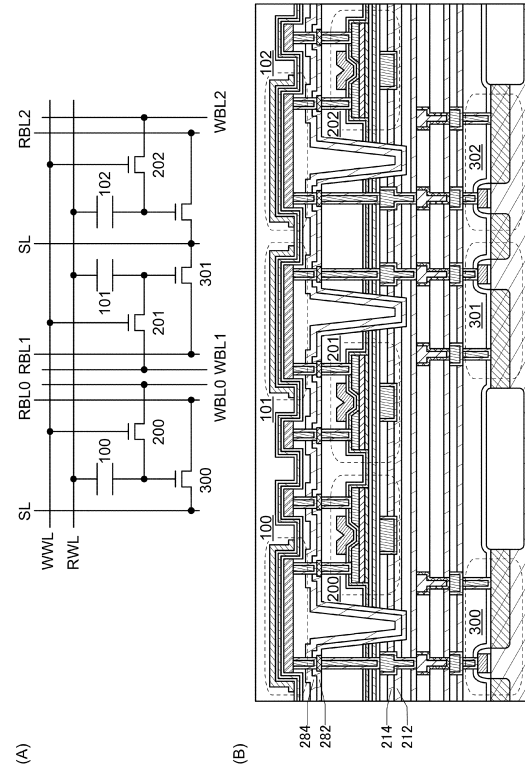
(B)



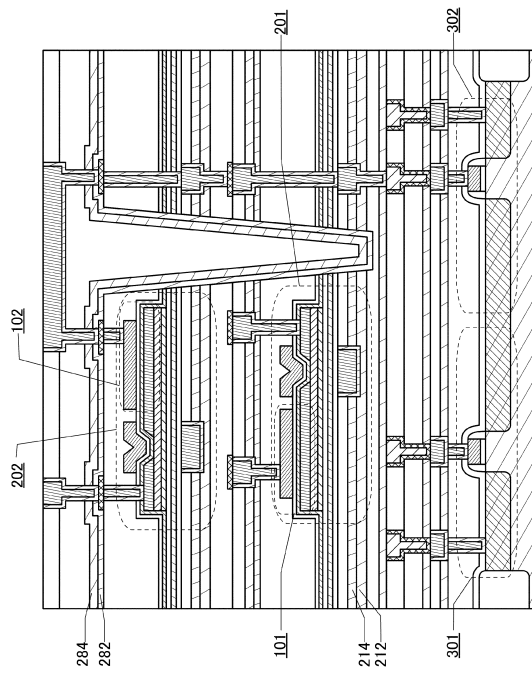
【図 9】



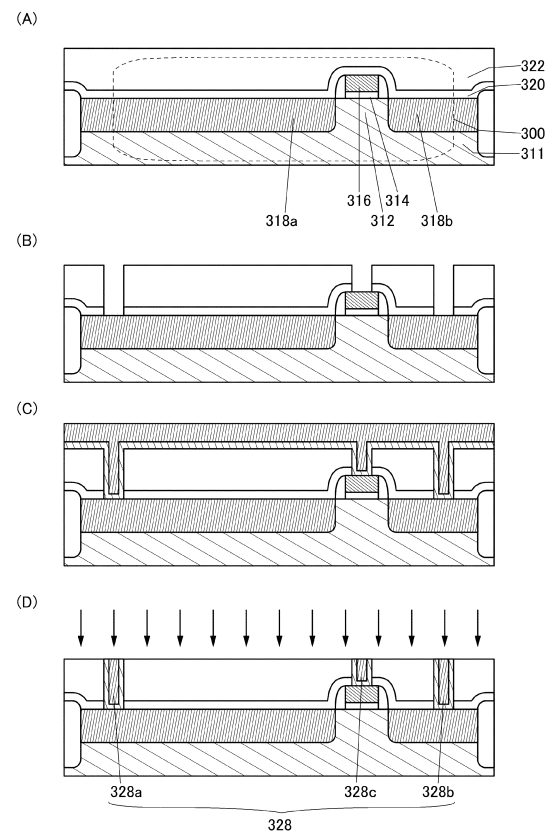
【図 10】



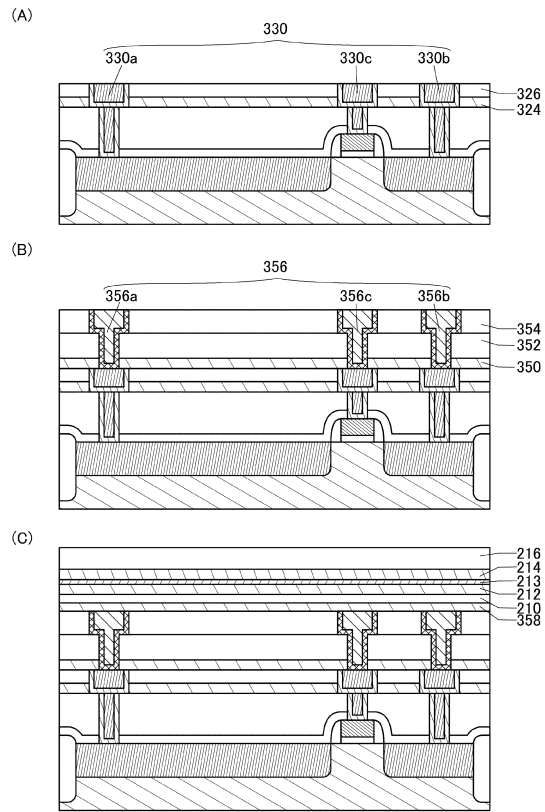
【図 11】



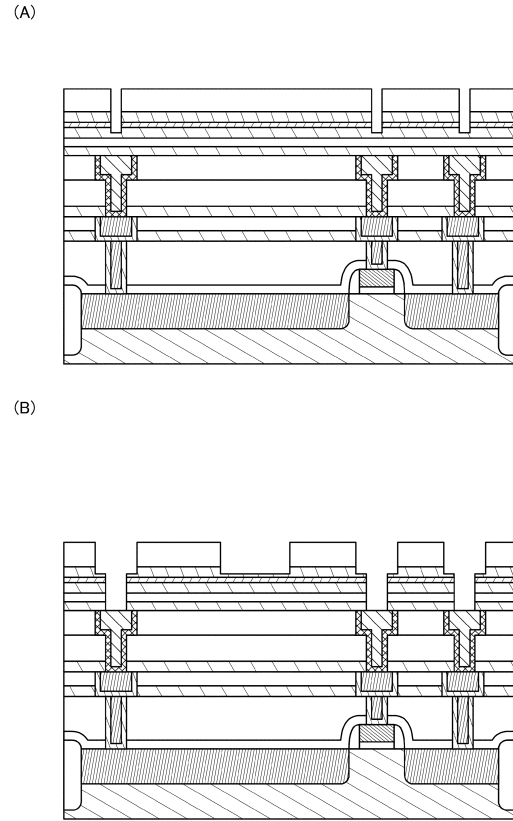
【図 12】



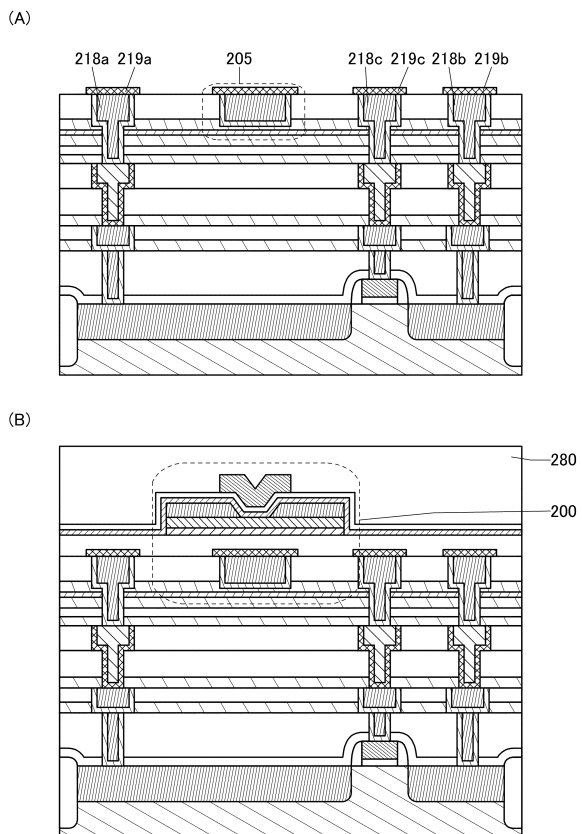
【図 13】



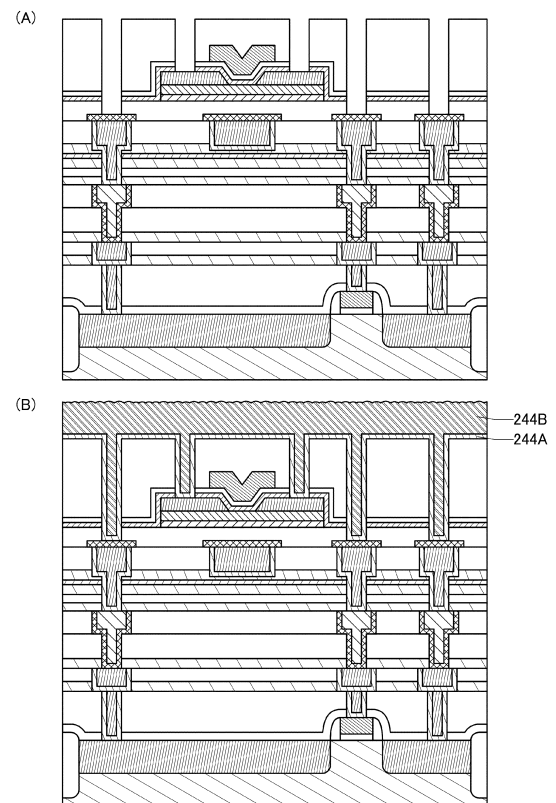
【図 14】



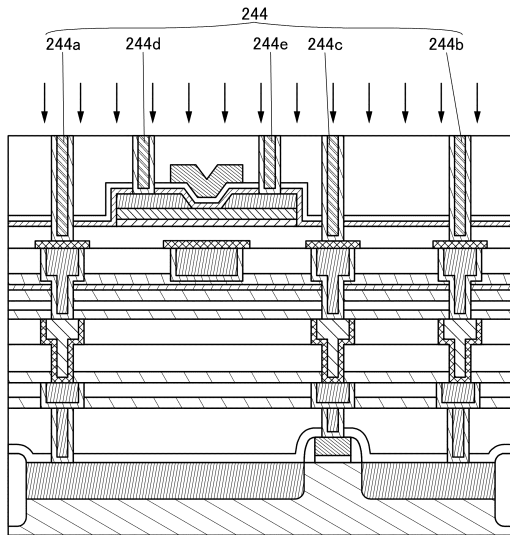
【図 15】



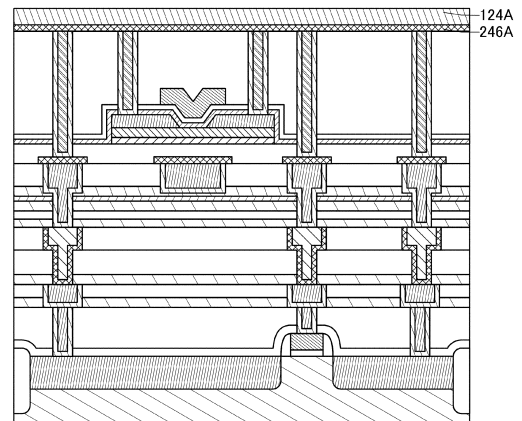
【図 16】



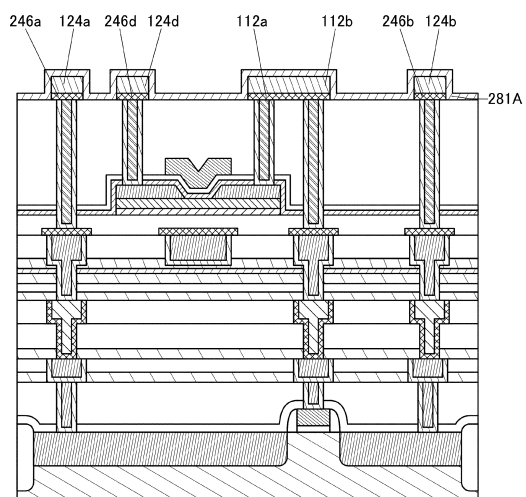
【図 17】



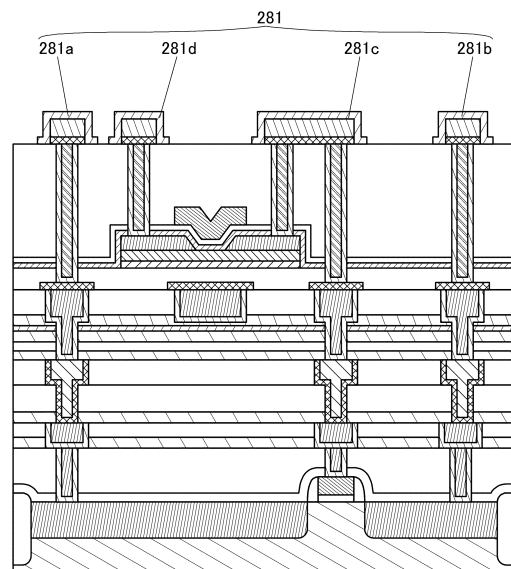
【図 18】



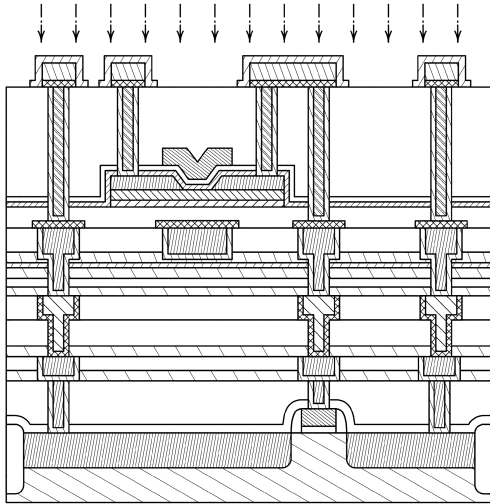
【図 19】



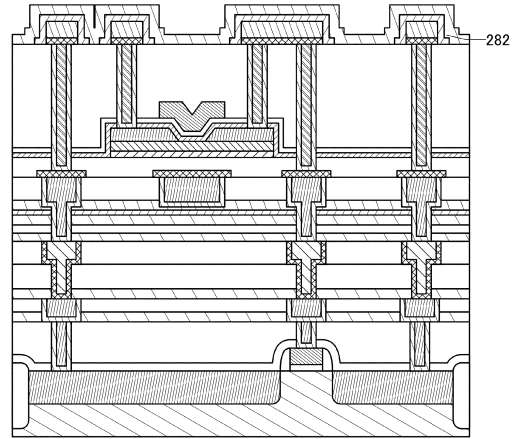
【図 20】



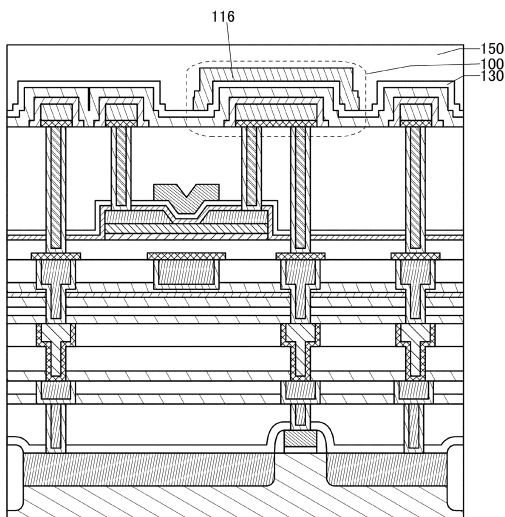
【図 2 1】



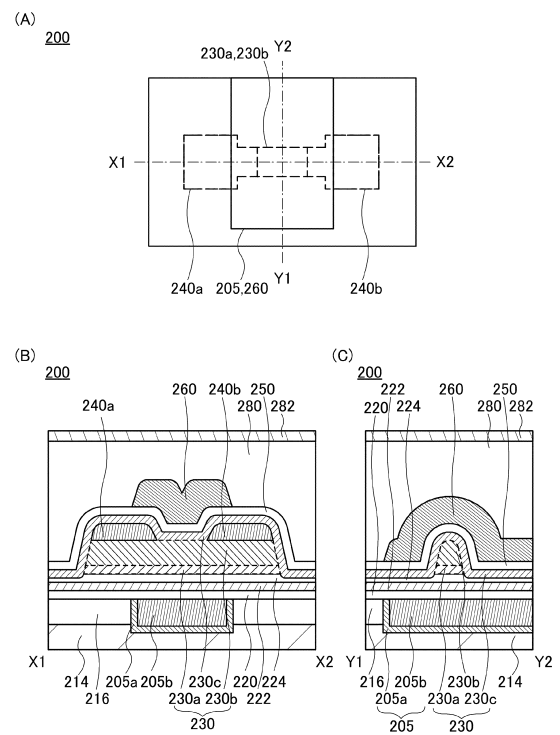
【図 2 2】



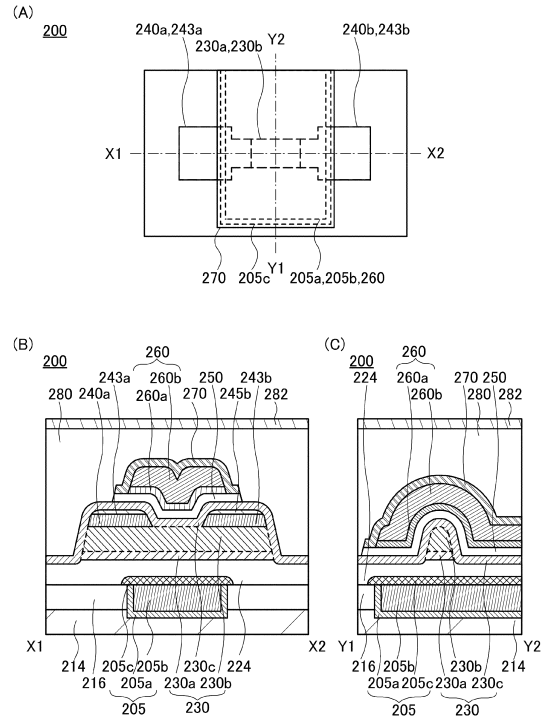
【図 2 3】



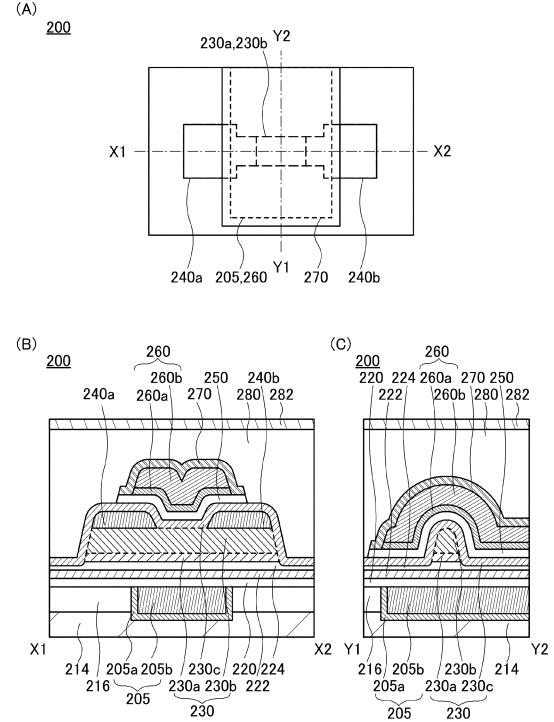
【図 2 4】



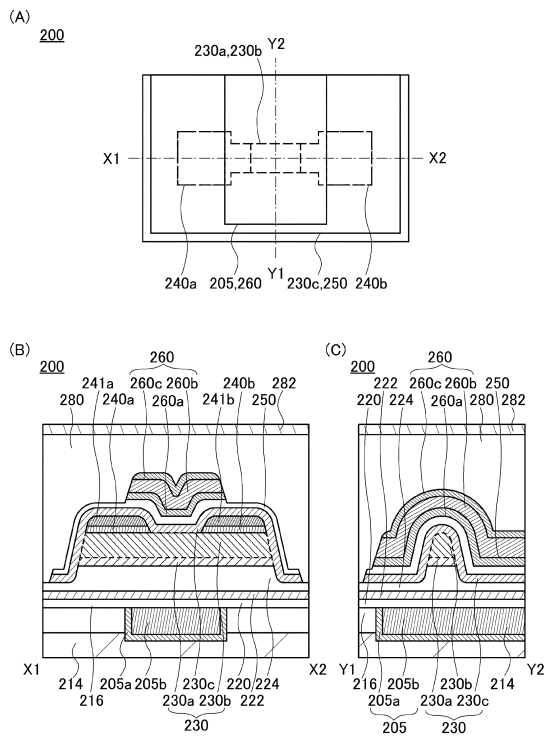
【図 25】



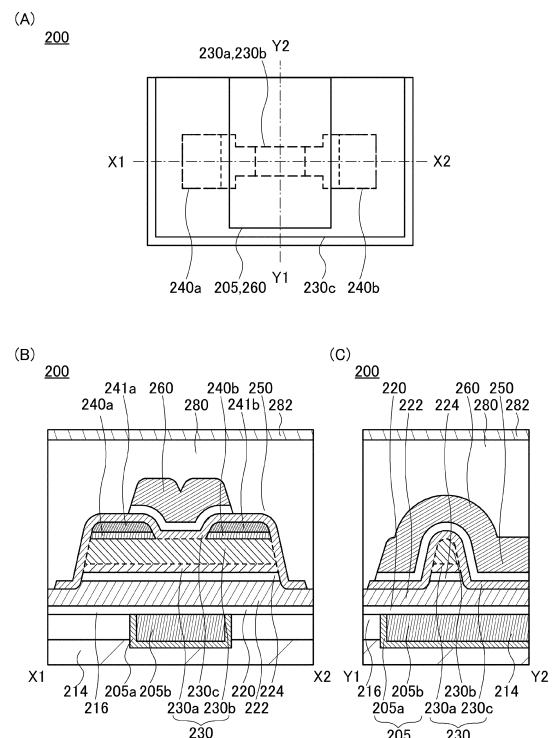
【図 26】



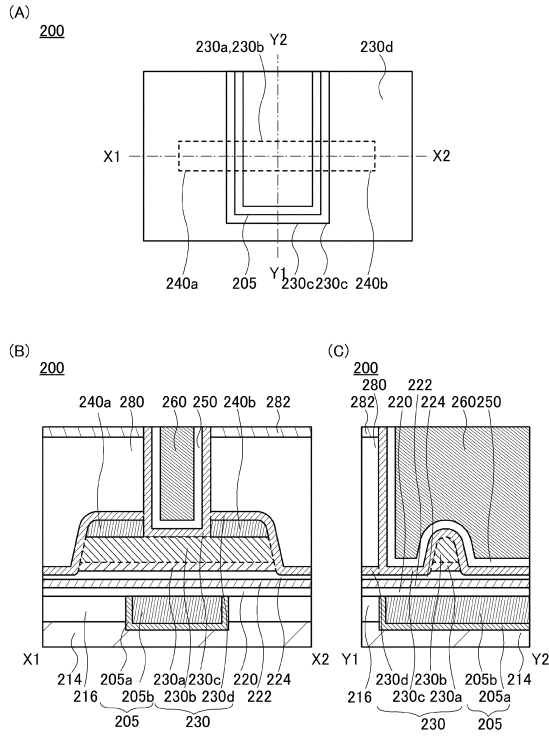
【図 27】



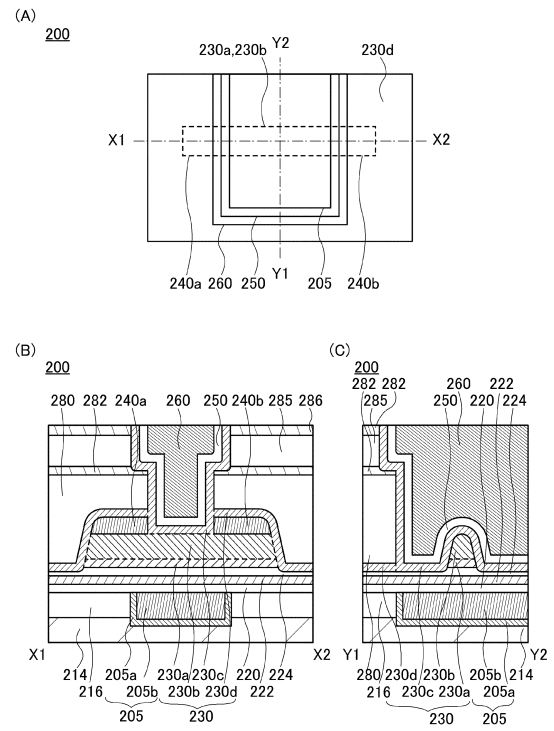
【図 28】



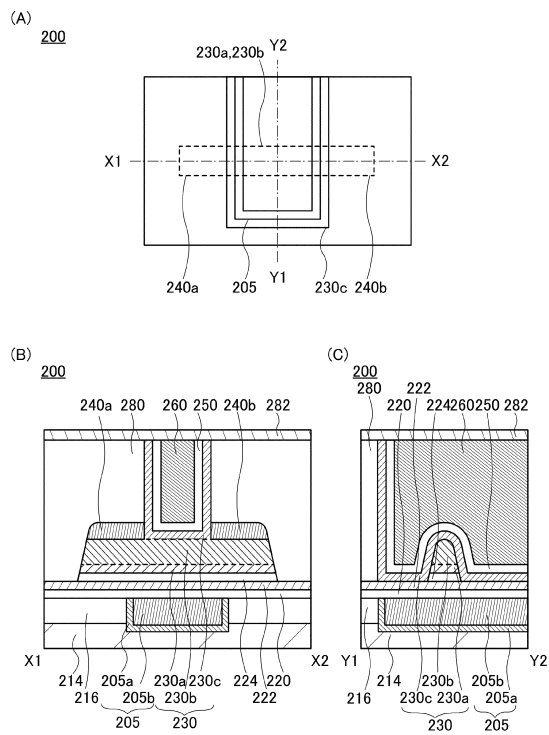
【図 29】



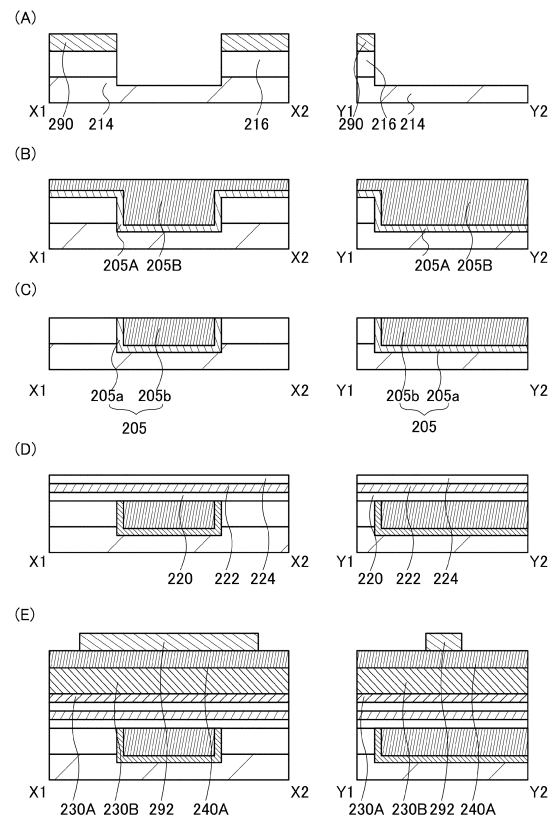
【図 30】



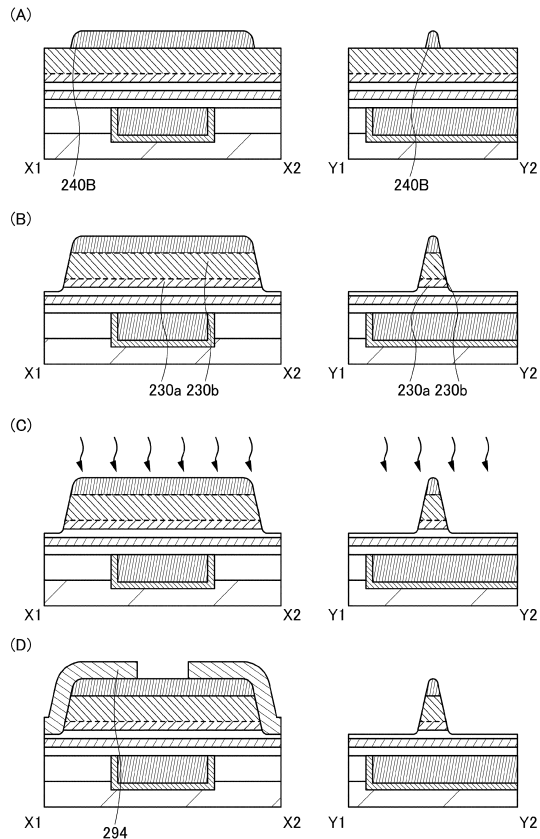
【図 31】



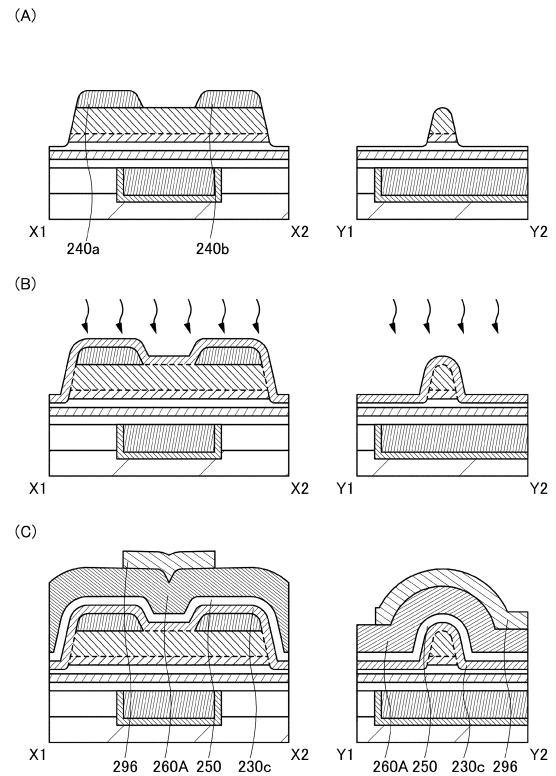
【図 32】



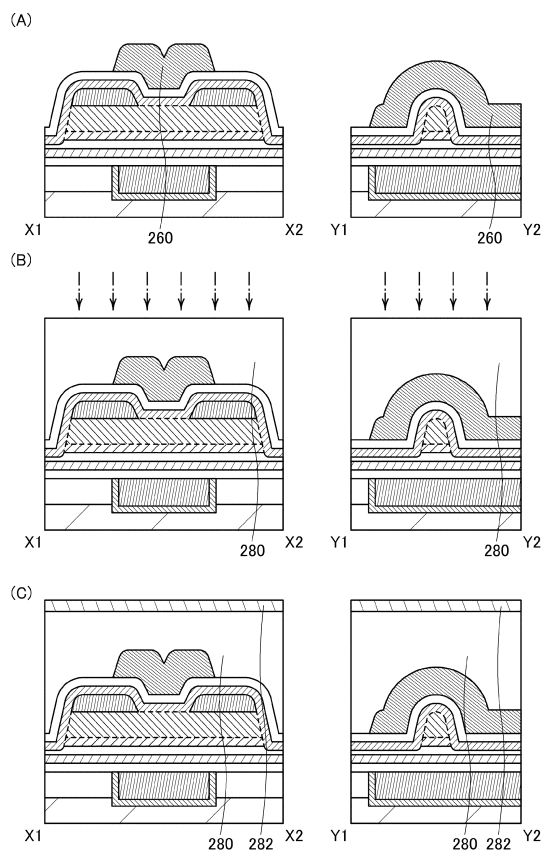
【図 3 3】



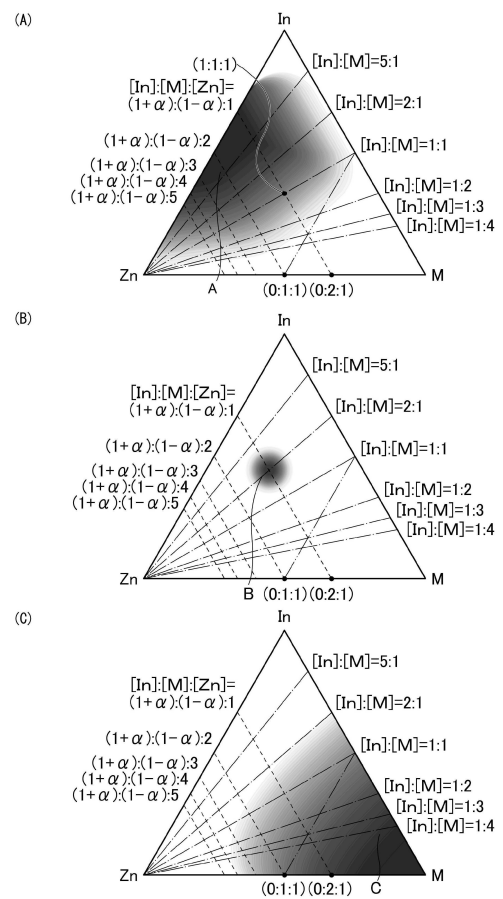
【図 3 4】



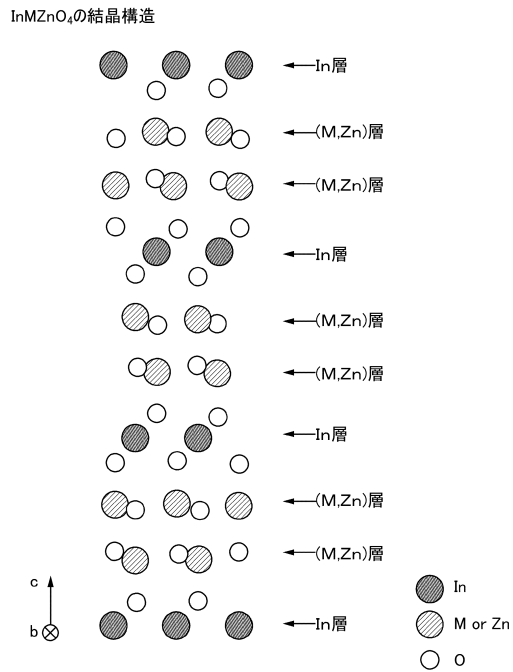
【図 3 5】



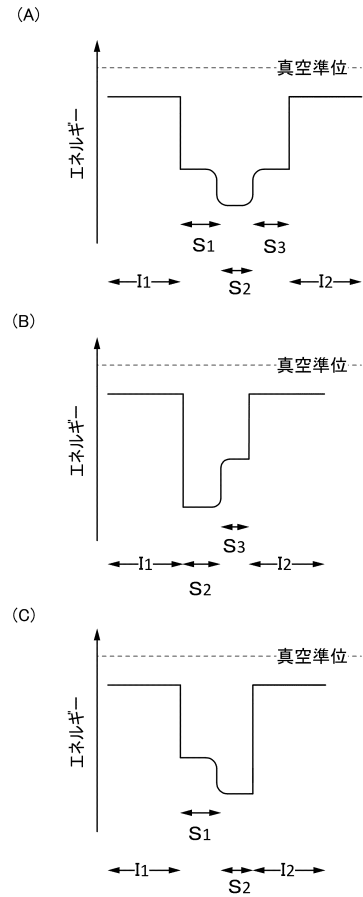
【図 3 6】



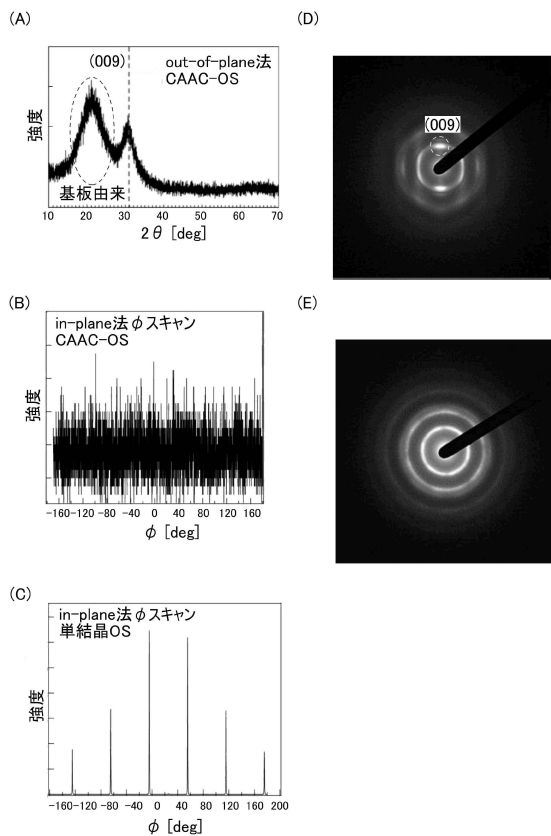
【図 37】



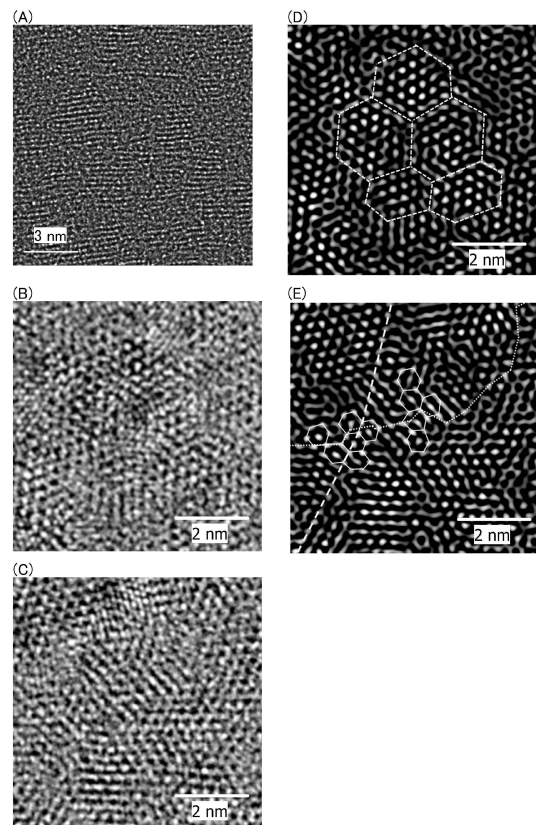
【図 38】



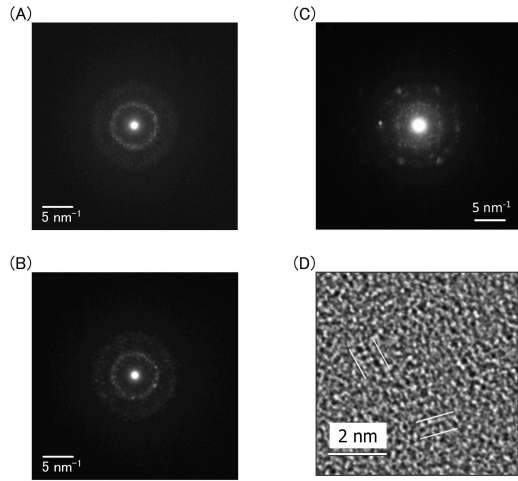
【図 39】



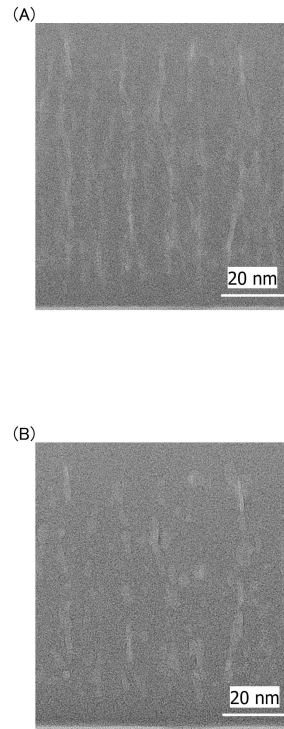
【図 40】



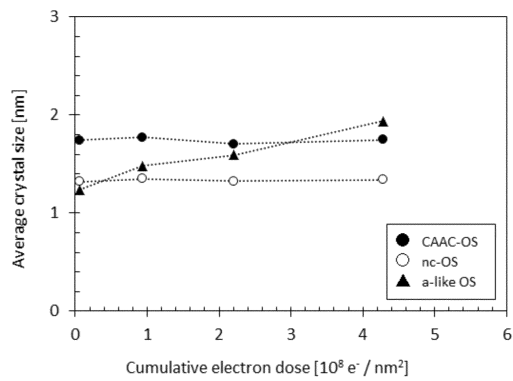
【図 4 1】



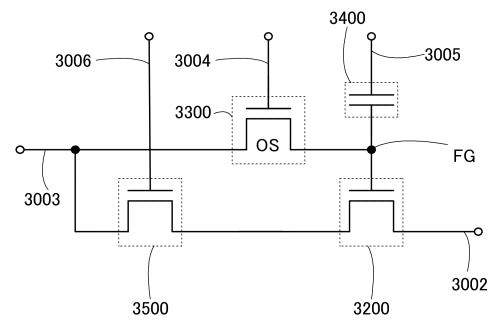
【図 4 2】



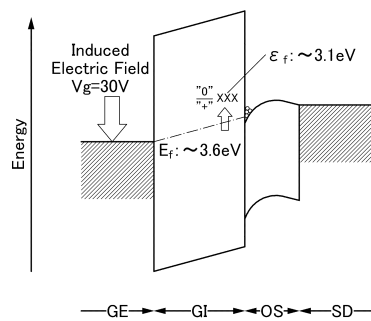
【図 4 3】



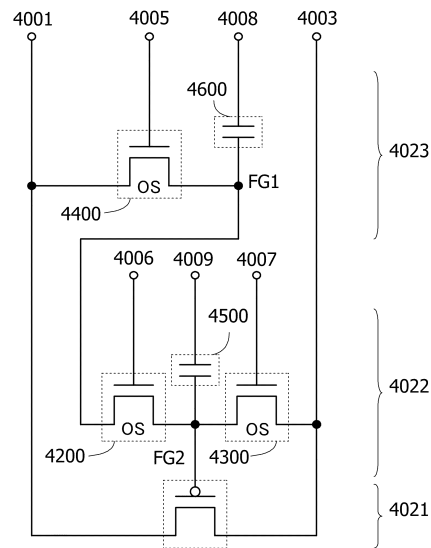
【図 4 5】



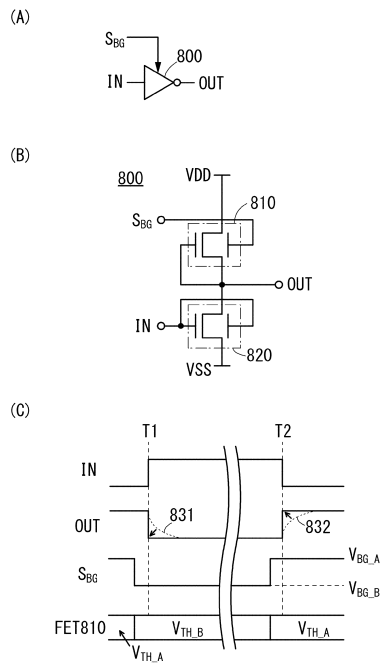
【図 4 4】



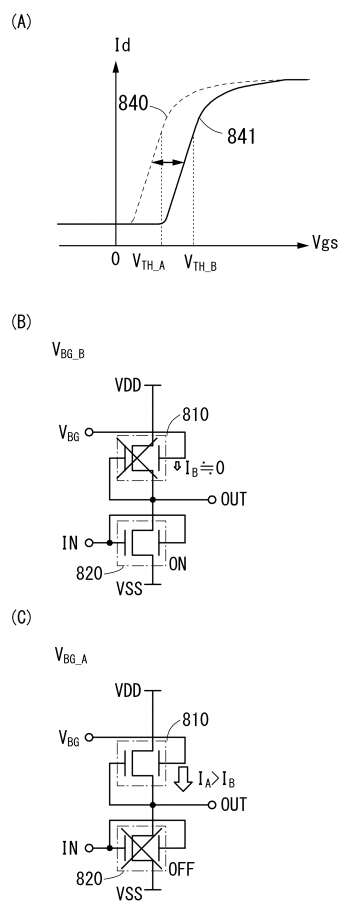
【図 4 6】



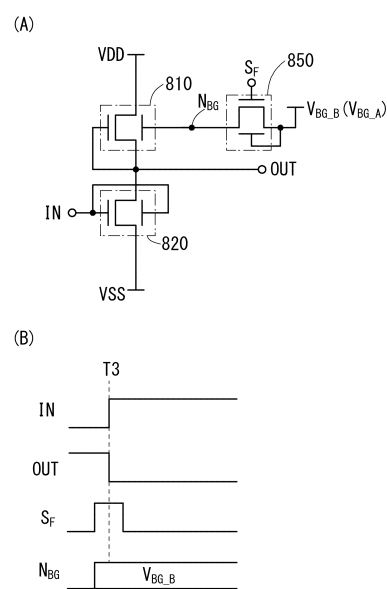
【図 4 7】



【図 4 8】

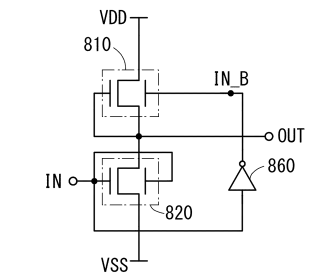


【図 4 9】

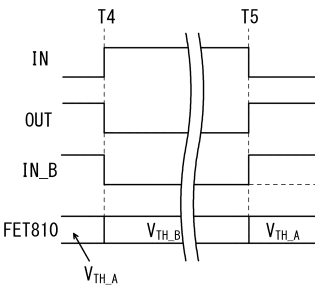


【図 5 0】

(A)

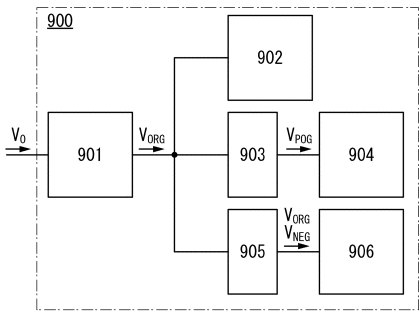


(B)

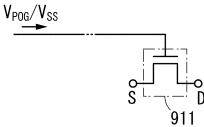


【図 5 1】

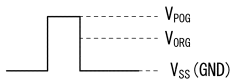
(A)



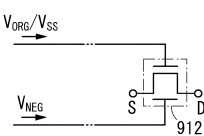
(B)



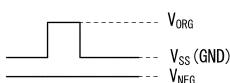
(C)



(D)

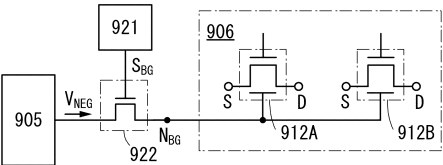


(E)

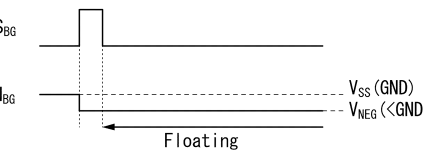


【図 5 2】

(A)

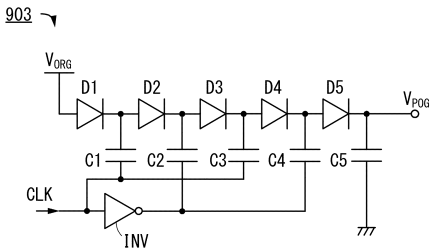


(B)

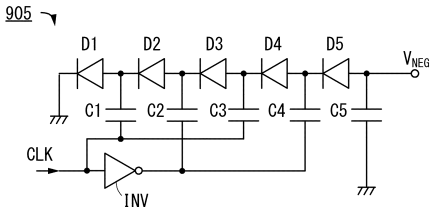


【図 5 3】

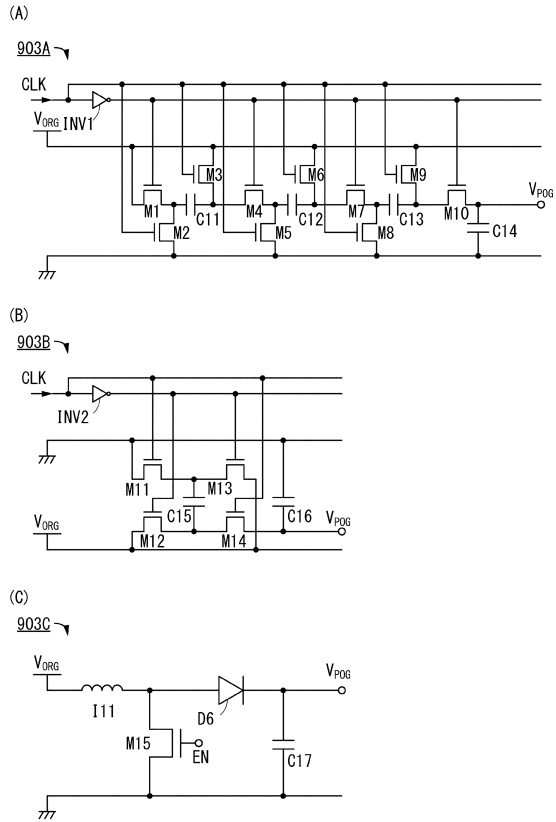
(A)



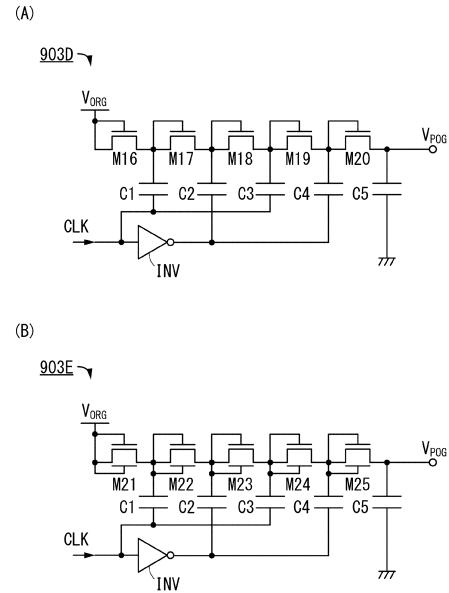
(B)



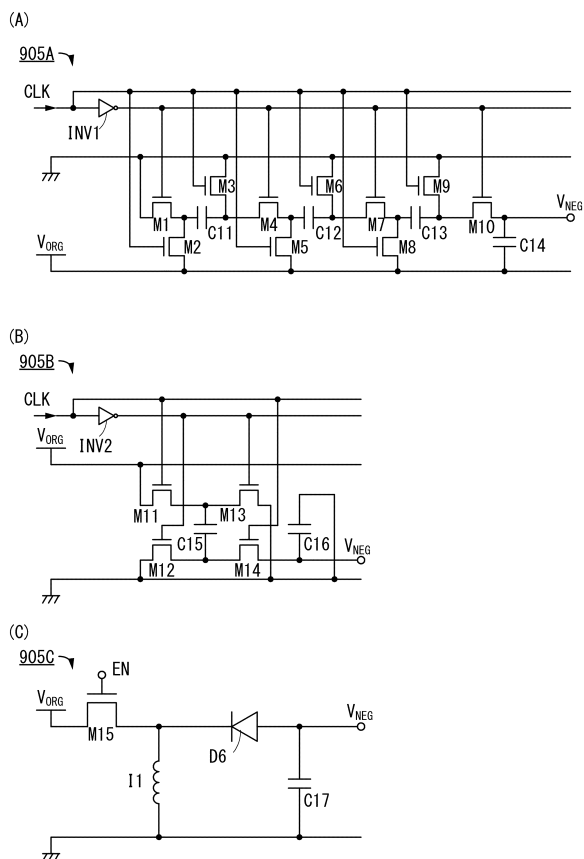
【図 5 4】



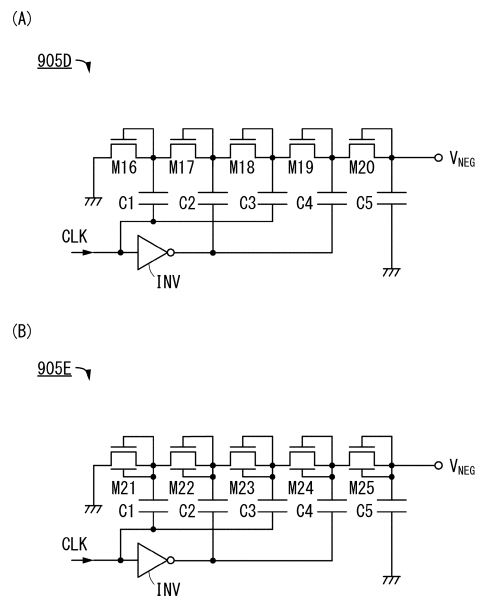
【図 5 5】



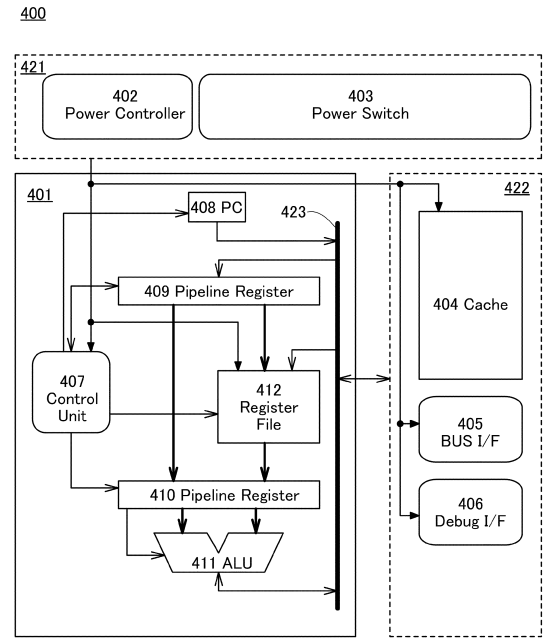
【図 5 6】



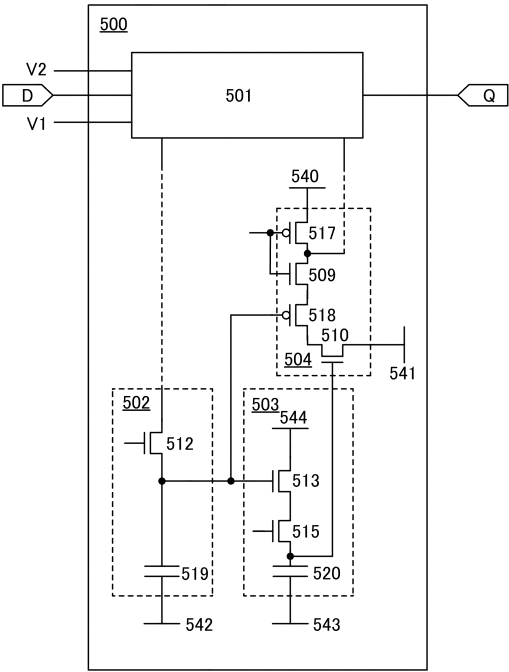
【図 5 7】



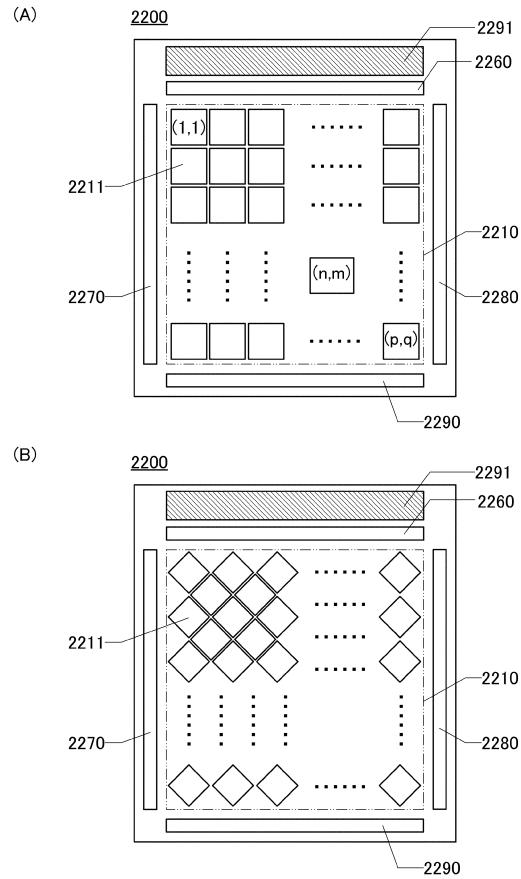
【図 5 8】



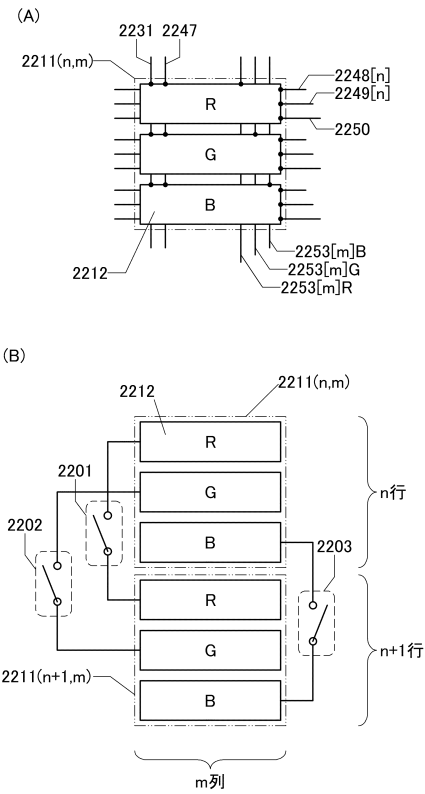
【図 5 9】



【図 6 0】

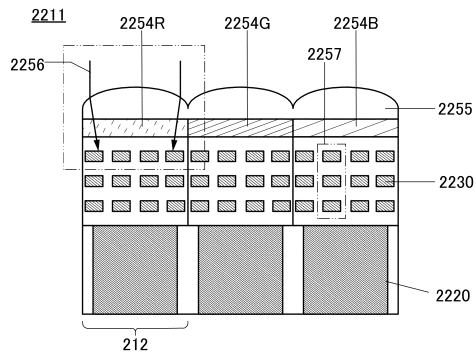


【図 6 1】

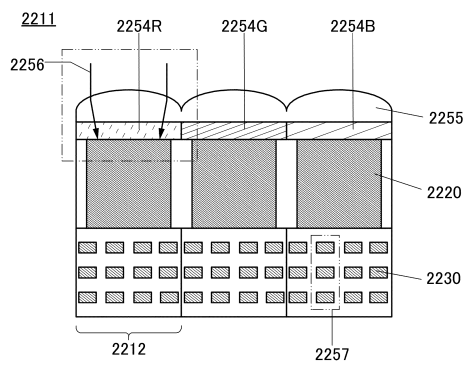


【图 6 2】

(A)

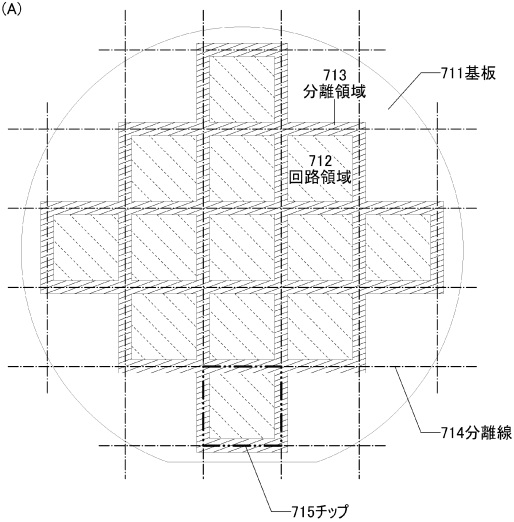


(B)

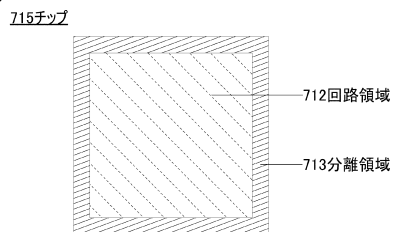


【図 6 4】

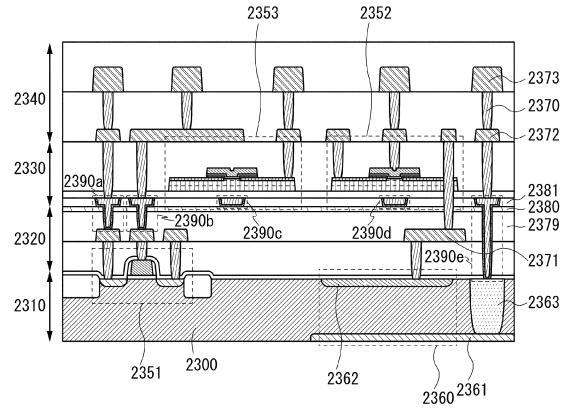
(A)



(B)

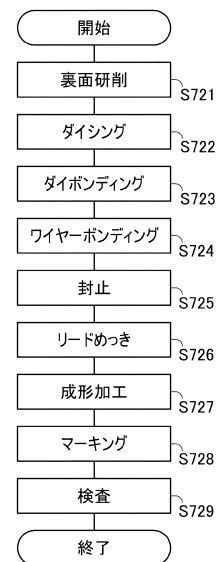


【図 6 3】

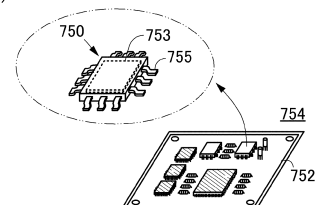


【図 6 5】

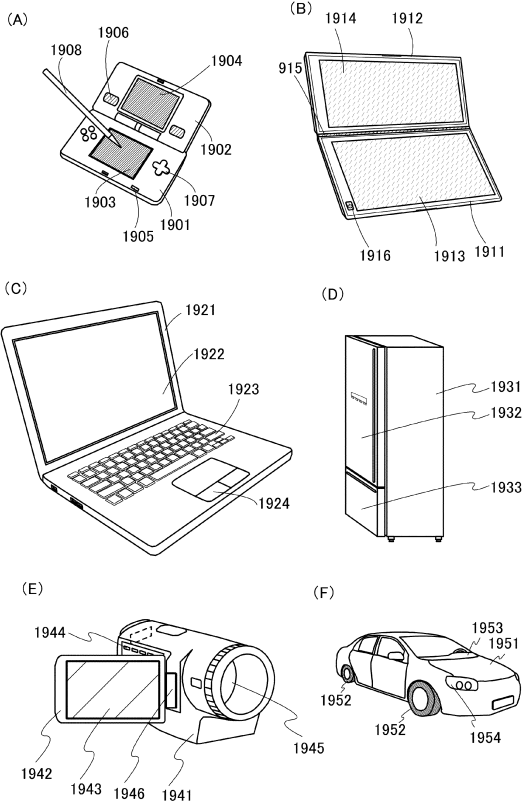
(A)



(B)



【図 66】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/336	(2006.01)	H 0 1 L	27/04 A
H 0 1 L	21/8234	(2006.01)	H 0 1 L	27/088 E
H 0 1 L	27/088	(2006.01)	H 0 1 L	27/088 H
H 0 1 L	21/82	(2006.01)	H 0 1 L	27/088 3 3 1 E
H 0 1 L	21/768	(2006.01)	H 0 1 L	21/82 B
H 0 1 L	23/532	(2006.01)	H 0 1 L	21/90 L
H 0 1 L	21/3205	(2006.01)	H 0 1 L	21/90 M
H 0 1 L	27/146	(2006.01)	H 0 1 L	21/88 M
			H 0 1 L	27/108 6 7 1 C
			H 0 1 L	27/108 6 2 1 Z
			H 0 1 L	27/146 A

審査官 加藤 俊哉

- (56)参考文献 特開 2 0 1 5－1 4 4 2 7 1 (J P, A)
 特開 2 0 1 5－1 6 4 1 8 1 (J P, A)
 特開 2 0 1 3－2 1 4 7 3 2 (J P, A)
 特開 2 0 1 5－1 3 0 5 1 0 (J P, A)
 特開 2 0 1 5－1 0 9 4 3 3 (J P, A)
 特開 2 0 1 3－1 4 5 8 7 6 (J P, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 8 2 4 2
 H 0 1 L 2 1 / 3 2 0 5
 H 0 1 L 2 1 / 3 3 6
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 1 / 8 2
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 3 / 5 3 2
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 8 8
 H 0 1 L 2 7 / 1 0 8
 H 0 1 L 2 7 / 1 4 6
 H 0 1 L 2 9 / 7 8 6