

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5280995号
(P5280995)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int. Cl.		F I		
HO 1 L 25/00	(2006.01)	HO 1 L 25/00		B
HO 1 L 21/52	(2006.01)	HO 1 L 21/52		C
HO 1 L 21/56	(2006.01)	HO 1 L 21/56		T

請求項の数 14 (全 27 頁)

(21) 出願番号	特願2009-291019 (P2009-291019)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成21年12月22日(2009.12.22)		神奈川県川崎市中原区下沼部1753番地
(62) 分割の表示	特願2004-336113 (P2004-336113) の分割	(74) 代理人	100080001 弁理士 筒井 大和
原出願日	平成16年11月19日(2004.11.19)	(72) 発明者	重村 邦雄 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
(65) 公開番号	特開2010-114454 (P2010-114454A)	(72) 発明者	花田 賢次 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
(43) 公開日	平成22年5月20日(2010.5.20)	(72) 発明者	中西 正樹 東京都千代田区丸の内二丁目4番1号 株 式会社ルネサステクノロジ内
審査請求日	平成21年12月22日(2009.12.22)		

最終頁に続く

(54) 【発明の名称】 電子装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電子装置の製造方法であって、

- (a) 配線基板を準備する工程と、
- (b) 前記配線基板の表面上に半導体チップを搭載する工程と、
- (c) 前記配線基板の表面上に形成された第1端子上に第1半田を介してチップ部品を搭載する工程と、
- (d) 前記第1半田を溶融させて、前記チップ部品を前記配線基板に電氣的に接続させる工程と、
- (e) 前記半導体チップ及び前記チップ部品を樹脂により封止し、封止体を形成する工程と、を有し、

前記(c)工程における前記第1半田の融点は、前記電子装置が実装配線基板に半田付けされるときの温度よりも低く、

前記(e)工程は、

(e1) 前記封止体を形成するための空間部を備えた第1金型と、前記第1金型に対応した第2金型と、を準備する工程と、

(e2) 前記配線基板を前記第2金型上に配置する工程と、

(e3) 前記第1金型の前記空間部内に前記半導体チップと前記チップ部品とが位置するように前記配線基板を前記第1および第2金型とでクランプして固定する工程と、

(e4) 前記空間部内の空気を外部へ排出して、前記空間部内を1 Torr以下に減圧す

10

20

る工程と、

(e 5) 前記空間部内に液状化した前記樹脂を圧送し、前記配線基板と前記チップ部品との 10 μ m 程度の間隙に前記樹脂を充填する工程と、を含む。

【請求項 2】

請求項 1 に記載の電子装置の製造方法において、
前記チップ部品の両端には接続端子が形成されており、
前記 (d) 工程は、前記チップ部品の前記接続端子と前記配線基板の前記第 1 端子とを前記第 1 半田を介して電氣的に接続する。

【請求項 3】

請求項 1 に記載の電子装置の製造方法において、
前記チップ部品は、コンデンサ、インダクタ、レジスタ、及びフェライトビーズのいずれか 1 つ、または複数を含む。

10

【請求項 4】

請求項 1 に記載の電子装置の製造方法において、
前記第 1 半田は、P b フリー半田である。

【請求項 5】

請求項 4 に記載の電子装置の製造方法において、
前記 P b フリー半田は、S n - 3 A g - 0 . 5 C u 半田である。

【請求項 6】

請求項 1 に記載の電子装置の製造方法において、
前記 (d) 工程と前記 (e) 工程との間に、前記半導体チップと前記配線基板とをボンディングワイヤにより電氣的に接続する工程を含む。

20

【請求項 7】

請求項 1 に記載の電子装置の製造方法において、
前記電子装置が前記実装配線基板に半田付けされる時のリフロー処理の温度は、250 程度である。

【請求項 8】

請求項 1 に記載の電子装置の製造方法において、
前記 (b) 工程は、前記半導体チップを、前記配線基板の前記表面上に形成された第 2 端子上に第 2 半田を介して搭載する。

30

【請求項 9】

請求項 8 に記載の電子装置の製造方法において、
前記第 2 半田の融点は、前記電子装置が前記実装配線基板に半田付けされるときよりも高い。

【請求項 10】

請求項 8 に記載の電子装置の製造方法において、
前記 (b) 工程は、前記半導体チップの裏面と前記配線基板の前記第 2 端子とを前記第 2 半田を介して電氣的に接続する。

【請求項 11】

請求項 1 に記載の電子装置の製造方法において、
前記第 1 金型には、前記空間部に連なるエアレントが形成され、
前記 (e 4) 工程は、前記エアレントから前記空間部内の前記空気を外部へ排出する。

40

【請求項 12】

請求項 1 に記載の電子装置の製造方法において、
前記第 1 および第 2 金型は、それぞれ上金型と下金型である。

【請求項 13】

請求項 1 に記載の電子装置の製造方法において、
前記樹脂は、熱硬化性のエポキシ樹脂である。

【請求項 14】

請求項 1 に記載の電子装置の製造方法において、

50

(f) 前記 (e) 工程の後、前記配線基板をダイシングブレードにより切断する工程を含む。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、電子装置の製造技術に関し、特に、モジュールの製造方法に適用して有効な技術に関するものである。

【背景技術】

【 0 0 0 2 】

携帯電話等のような移動通信機器では、例えば電力増幅器 (Power Amplifier) またはアンテナスイッチ等が形成された表面実装型の半導体チップと、コンデンサまたはレジスタ等が形成された表面実装型のチップ部品とが、同一基板上に搭載された構造のモジュールを採用している。半導体チップとチップ部品とは半田接続によってモジュール基板上に搭載され、さらに両者は絶縁性の樹脂によって覆われて保護される。

10

【 0 0 0 3 】

例えば、特開 2 0 0 2 - 2 0 8 6 6 8 号公報 (特許文献 1) には、主面に複数のパッドが形成された半導体チップと、両端に接続端子が形成されたチップ部品と、半導体チップとチップ部品とが搭載されるモジュール基板と、チップ部品とモジュール基板の基板側端子とを半田によって接続する半田接続部と、半導体チップ、チップ部品および半田接続部とを覆うとともに絶縁性のシリコン樹脂などの低弾性樹脂によって形成された封止部と

20

【 0 0 0 4 】

また、特開 2 0 0 2 - 3 6 8 1 8 6 号公報 (特許文献 2) には、配線基板上に搭載され、アウターリードに電氣的に接続された複数の回路素子の少なくとも 1 つが熱硬化性樹脂組成物を用いて封止されており、配線基板の全体と素子との全部およびアウターリードの基板との接続側がトランスファーモールドにて樹脂封止された樹脂封止型モジュール装置が記載されている。

【先行技術文献】

【特許文献】

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 2 - 2 0 8 6 6 8 号公報

【特許文献 2】特開 2 0 0 2 - 3 6 8 1 8 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、モジュールの製造方法については、以下に説明する種々の技術的課題が存在する。

【 0 0 0 7 】

本発明者らが検討した携帯電話用途のモジュールでは、半導体チップおよびチップ部品を搭載するモジュール基板に、熱に強く、電気絶縁性の良いセラミック基板を用いている。しかし、セラミック基板はコストが比較的高く、また、落下や衝撃によって割れやすいという課題が残る。さらに、携帯電話用途のモジュールには、常に小型、薄型が要求されるが、セラミックは薄く加工すると割れやすくなることから、セラミック基板上に半導体チップおよびチップ部品を搭載し、樹脂封止したパッケージ全体の厚さを 1 mm 以下とすることは困難である。

40

【 0 0 0 8 】

そこで、セラミック基板よりも安価で、衝撃にも強い樹脂基板である PCB (Printed Circuit Board) をモジュール基板に採用することを検討した。しかし、PCB をモジュール基板とするモジュールに関しても、本発明者らは以下の問題点を見いだした。

【 0 0 0 9 】

50

すわなち、発熱量が多い電力増幅器を有する半導体チップをPCBへ接着する際、一般に銀（以下、Agと記す）フィラーの含有量が、例えば70wt%程度のAgペーストが用いられる。これは、放熱性を良くするためであるが、一方で接着強度が弱いという問題が生じている。この問題は、例えばAgペーストに替えて、高融点（例えば280以上）の半田ペースト（例えば鉛（以下、Pbと記す）-10錫（以下、Snと記す））を用いることで改善することは可能である。しかし、280以上の高温処理によって、PCBの表面に形成された配線を覆うソルダーレジストの焦げやPCBを構成する絶縁樹脂シートであるプリプレグ（Prepreg）のコア材からの剥離など、新たな問題が生じてしまう。また、欧州におけるPb規制の動向を受けてチップ部品とPCBとの接続にはPbを含まないPbフリー半田が用いられているが、このPbフリー半田は220程度の温度で溶融するため、280以上の高温処理をPCBに適用することはできない。

10

【0010】

また、半導体チップおよびチップ部品をPCB上に搭載し、さらに絶縁性の樹脂で覆い保護した後、モジュールは半田接続によりマザーボード上に搭載されて製品に組み込まれる。しかし、その半田接続の後のリフロー処理（例えば250程度）時に、モジュール内においてチップ部品をPCBに接続するPbフリー半田の半溶融が起こり、短絡などの不具合が発生することがある。具体的には、例えば半溶解したPbフリー半田がフラッシュ状に流れ、チップ部品の接続端子が繋がって短絡に至るものであり、樹脂封止の際に、チップ部品とPCBとの狭い隙間に未充填ポイドが形成されると、上記短絡は顕著に現れる。

20

【0011】

本発明の目的は、PCBをモジュール基板とするモジュールの信頼性を向上させることのできる技術を提供することにある。

【0012】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】**【0013】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

30

【0014】

本発明は、電力増幅回路を有する半導体チップおよびチップ部品が半田接続によってPCB上に搭載されたモジュールにおいて、半導体チップの裏面とPCBの基板側端子とが高融点半田によって接続され、チップ部品の接続端子とPCBの基板側端子とがPbフリー半田によって接続されている。

【0015】

本発明は、電力増幅器を有する半導体チップおよびチップ部品を半田接続によってPCB上に搭載するモジュールの製造方法において、280未満の温度でPCBを加熱することにより、チップ部品の接続端子とPCBの基板側端子とをPbフリー半田で接続すると同時に、280以上の温度で局所加熱することにより、半導体チップの裏面とPCBの基板側端子とを高融点半田で接続し、さらに半導体チップおよびチップ部品を減圧雰囲気中で樹脂封止してチップ部品とPCBとの隙間を樹脂で充填する。

40

【発明の効果】**【0016】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0017】

PCBを損傷させることなく、接着強度が強い半導体チップをPCB上に搭載することができ、さらにチップ部品の接続端子間の半田による短絡を防ぐことができる。これにより、PCB上に半導体チップおよびチップ部品を搭載したモジュールの信頼性を向上させ

50

ることができる。

【図面の簡単な説明】

【0018】

【図1】本実施の形態1であるデジタル携帯電話のシステム構成の一例を示すブロック図である。

【図2】本実施の形態1であるデジタル携帯電話機に用いる電力増幅器の一例を示す回路図である。

【図3】(a)は、本実施の形態1であるフロントエンド装置に搭載されるロウパスフィルタの構造の一例を示す要部断面図、(b)は、同じく回路構成図である。

【図4】本実施の形態1である電力増幅器の増幅段をnMOSで構成した半導体チップの内部構成の一例を示す要部平面図である。

10

【図5】本実施の形態1である電力増幅器の増幅段をnMOSで構成した半導体チップの内部構成の一例を示す要部断面図である。

【図6】本実施の形態1である電力増幅器の増幅段をヘテロ接合型バイポーラトランジスタで構成した半導体チップの内部構成の一例を示す要部平面図である。

【図7】図6のA-A線における要部断面図である。

【図8】本実施の形態1であるデジタル携帯電話機におけるモジュールの1次実装の一例を示す概略断面図である。

【図9】本実施の形態1であるデジタル携帯電話機におけるモジュールの2次実装の一例を示す概略断面図である。

20

【図10】本実施の形態1であるモジュールの組み立て手順を説明する工程図である。

【図11】本実施の形態1である半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図12】図11に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図13】図12に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図14】図13に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図15】図14に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

30

【図16】図15に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図17】図16に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図18】図17に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図19】図18に続く半導体装置の製造方法を説明する半導体装置の要部断面図である。

【図20】本実施の形態2である各表面実装部品を一括してモジュール基板に半田接続する実装工程の他の例を示す概略断面図である。

40

【図21】本実施の形態3である各表面実装部品を一括してモジュール基板に半田接続する実装工程の他の例を示す概略断面図である。

【図22】本実施の形態4である各表面実装部品を一括してモジュール基板に半田接続する実装工程の他の例を示す概略断面図である。

【発明を実施するための形態】

【0019】

本実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、

50

本実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、本実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、本実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【 0 0 2 0 】

10

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 2 1 】

本実施の形態を詳細に説明する前に、本実施の形態における用語の意味を説明すると次の通りである。

【 0 0 2 2 】

G S M (Global System for Mobile Communication) は、デジタル携帯電話に使用されている無線通信方式の 1 つまたは規格をいう。G S M には、使用する電波の周波数帯が 3 つあり、9 0 0 M H z 帯を G S M 9 0 0 または単に G S M、1 8 0 0 M H z 帯を G S M 1 8 0 0、D C S (Digital Cellular System) 1 8 0 0 または P C N (Personal Communication Network)、1 9 0 0 M H z 帯を G S M 1 9 0 0、D C S 1 9 0 0 または P C S (Personal Communication Services) という。なお、G S M 1 9 0 0 は主に北米で使用されている。北米ではその他に 8 5 0 M H z 帯の G S M 8 5 0 を使用する場合もある。

20

【 0 0 2 3 】

G M S K (Gaussian filtered Minimum Shift Keying) 変調方式は、音声信号の通信に用いる方式で搬送波の位相を送信データに応じて位相シフトする方式である。また、E D G E (Enhanced Data GSM Environment) 変調方式は、データ通信に用いる方式で G M S K 変調の位相シフトにさらに振幅シフトを加えた方式である。

【 0 0 2 4 】

30

また、本実施の形態においては、電界効果トランジスタを代表する M O S ・ F E T (Metal Oxide Semiconductor Field Effect Transistor) を M O S と略し、nチャネル型の M O S ・ F E T を n M O S と略す。

【 0 0 2 5 】

また、本実施の形態においては、1つのモジュール基板上に搭載される複数の表面実装部品のうち、1つの基板上に1つまたは複数個の能動素子が形成されるチップを半導体チップと呼び、1つの基板上に受動素子、例えばコンデンサ、インダクタまたはレジスタ等が形成されるチップをチップ部品と呼ぶ。さらに、1つの基板上に1個の受動素子が形成されるチップを単体チップ部品と呼び、1つの基板に複数個の受動素子が形成されるチップを集積チップ部品と呼び、両者を区別する必要がある場合は、集積チップ部品または単体チップ部品と記載する。

40

【 0 0 2 6 】

(実施の形態 1)

本実施の形態 1 では、例えば G S M 方式のネットワークを利用して情報を伝送するデジタル携帯電話に本発明を適用した場合について説明する。

【 0 0 2 7 】

図 1 に、本実施の形態 1 であるデジタル携帯電話のシステムの一例を示す。図中、P M は電力増幅器、A N T は信号電波の送受信のアンテナ、1 はフロントエンド装置、2 は音声信号をベースバンド信号に変換したり、受信信号を音声信号に変換したり、変調方式切替信号やバンド切替信号を生成したりするベースバンド回路、3 は受信信号をダウンコ

50

ンパートして復調し、ベースバンド信号を生成したり、送信信号を変調したりする変復調回路、F L T 1 , F L T 2 は受信信号からノイズや妨害波を除去するフィルタである。フィルタF L T 1 はG S M用、フィルタF L T 2 はD C S用である。

【 0 0 2 8 】

フロントエンド装置 1 は、インピーダンス整合回路M N 1 , M N 2、ロウパスフィルタL P F 1 , L P F 2、スイッチ回路4 a , 4 b、コンデンサC 1 , C 2および分波器5を有している。インピーダンス整合回路M N 1 , M N 2は電力増幅器P Mの送信出力端子に接続されてインピーダンスの整合を行う回路、ロウパスフィルタL P F 1 , L P F 2は高調波を減衰させる回路、スイッチ回路4 a , 4 bは送受信切り換え用の回路、コンデンサC 1 , C 2は受信信号から直流成分をカットする素子、分波器5はG S M 9 0 0の信号とD C S 1 8 0 0の信号とを分波する回路である。本実施の形態 1 であるデジタル携帯電話では、電力増幅器P Mおよびフロントエンド装置 1 を1つのモジュールM Aに組み立てている。

10

【 0 0 2 9 】

なお、スイッチ回路4 a , 4 bの切換信号C N T 1 , C N T 2は上記ベースバンド回路2から供給される。ベースバンド回路2は、D S P (Digital Signal Processor) やマイクロプロセッサ、半導体メモリ等の複数の半導体集積回路で構成されている。

【 0 0 3 0 】

図 2 に、電力増幅器P Mの回路の一例を示す。

【 0 0 3 1 】

電力増幅器P Mは、例えばG S M 9 0 0とD C S 1 8 0 0との2つの周波数帯が使用可能(デュアルバンド方式)であり、それぞれの周波数帯でG M S K変調方式とE D G E変調方式との2つの通信方式を使用可能とする。

20

【 0 0 3 2 】

この電力増幅器P Mは、G S M 9 0 0用の電力増幅回路Aと、D C S 1 8 0 0用の電力増幅回路Bと、それら電力増幅回路A , Bの増幅動作の制御や補正等を行う周辺回路6とを有している。電力増幅回路A , Bは、それぞれ3つの増幅段A 1 ~ A 3 , B 1 ~ B 3と、3つの整合回路A M 1 ~ A M 3 , B M 1 ~ B M 3とを有している。すなわち、電力増幅器P Mの入力端子7 a , 7 bは、入力用の整合回路A M 1 , B M 1を介して1段目の増幅段A 1 , B 1の入力に電氣的に接続され、1段目の増幅段A 1 , B 1の出力は段間用の整合回路A M 2 , B M 2を介して2段目の増幅段A 2 , B 2の入力に電氣的に接続され、2段目の増幅段A 2 , B 2の出力は段間用の整合回路A M 3 , B M 3を介して最終段の増幅段A 3 , B 3の入力に電氣的に接続され、最終段の増幅段A 3 , B 3の出力は出力端子8 a , 8 bと電氣的に接続されている。本実施の形態 1 では、このような電力増幅回路A , Bを構成する素子が1つの半導体チップI C 1内に設けられている。

30

【 0 0 3 3 】

周辺回路6は、制御回路6 Aと、増幅段A 1 ~ A 3 , B 1 ~ B 3にバイアス電圧を印加するバイアス回路6 B等を有している。制御回路6 Aは、電力増幅回路A , Bに印加する所望の電圧を発生する回路であり、電源制御回路6 A 1およびバイアス電圧生成回路6 A 2を有している。電源制御回路6 A 1は、増幅段A 1 ~ A 3 , B 1 ~ B 3の各々の出力に印加される第1電源電圧を生成する回路である。また、バイアス電圧生成回路6 A 2は、バイアス回路6 Bを制御するための第1制御電圧を生成する回路である。

40

【 0 0 3 4 】

本実施の形態 1 では、電源制御回路6 A 1が、電力増幅器P M外部のベースバンド回路2から供給される出力レベル指定信号に基づいて第1電源電圧を生成すると、バイアス電圧生成回路6 A 2が電源制御回路6 A 1で生成された第1電源電圧に基づいて第1制御電圧を生成するようになっている。ベースバンド回路2は、出力レベル指定信号を生成する回路である。この出力レベル指定信号は、電力増幅回路A , Bの出力レベルを指定する信号で、携帯電話と、基地局との間の距離、すなわち、電波の強弱に応じた出力レベルに基づいて生成されるようになっている。本実施の形態 1 では、このような周辺回路6を構成

50

する素子も1つの半導体チップIC1内に設けられている。

【0035】

また、電力増幅器PMを構成する半導体チップIC1の主面（回路素子が形成されている面）に形成された外部用端子と、半導体チップIC1を搭載するモジュール基板の部品搭載面に形成された基板側端子とは、接合材（例えばボンディングワイヤBW）を介して接続されており、この接続材を通じて各増幅段の入出力がモジュール基板の部品搭載面の伝送線路9a1～9a5，9b1～9b5，9cと電氣的に接続されている。

【0036】

1段目の増幅段A1，B1の入力にボンディングワイヤBWを通じて接続された伝送線路9a1，9b1は、それぞれコンデンサCm1，Cm2を介して入力端子10a，10bと電氣的に接続されている。1段目の増幅段A1，B1の出力にボンディングワイヤBWを通じて電氣的に接続された伝送線路9a2，9b2は、それぞれ高電位側の電源端子11a1，11b1と電氣的に接続されているとともに、それぞれ電源端子11a1，11b1の近傍に配置されたコンデンサCm3，Cm4を介して接地電位GNDと電氣的に接続されている。2段目の増幅段A2，B2の出力にボンディングワイヤBWを通じて電氣的に接続された伝送線路9a3，9b3は、それぞれ高電位側の電源端子11a2，11b2と電氣的に接続されているとともに、それぞれ電源端子11a2，11b2の近傍に配置されたコンデンサCm5，Cm6を介して接地電位GNDと電氣的に接続されている。最終段目の増幅段A3，B3の出力にボンディングワイヤBWを通じて電氣的に接続された伝送線路9a4，9b4は、それぞれ高電位側の電源端子11a3，11b3と電氣的に接続されているとともに、それぞれ電源端子11a3，11b3の近傍に配置されたコンデンサCm7，Cm8を介して接地電位GNDと電氣的に接続されている。さらに、最終段目の増幅段A3，B3の出力にボンディングワイヤBWを通じて電氣的に接続された伝送線路9a5，9b5は、それぞれコンデンサCm9，Cm10を介して出力端子12a，12bと電氣的に接続されているとともに、それぞれの線路途中に配置されたコンデンサCm11，Cm12を介して接地電位GNDと電氣的に接続されている。周辺回路6の制御用の外部用端子にボンディングワイヤBWを通じて電氣的に接続された伝送線路9cは、制御端子13と電氣的に接続されている。ボンディングワイヤBWはインダクタとしての機能を有している。また、伝送線路9a1～9a5，9b1～9b5はインピーダンス整合用のインダクタとしての機能を有している。また、コンデンサCm1～Cm12はインピーダンス整合用のコンデンサとしての機能を有しており、チップ部品で構成されている。

【0037】

次に、モジュールMAに搭載されるフロントエンド装置1および電力増幅器PMの中の代表的な素子の構造を説明する。図3にフロントエンド装置1を構成するロウパスフィルタLPF1，LPF2の構造の説明図を示し、図4～図7に電力増幅器PMを構成する増幅段A1～A3，B1～B3の構造の説明図を示す。

【0038】

まず、フロントエンド装置1を構成するロウパスフィルタLPF1，LPF2の構造の一例を図3(a)に示す要部断面図を用いて説明する。ロウパスフィルタLPF1，LPF2は、1つの基板に複数個の受動素子が形成された集積チップ部品、いわゆるIPD(Integrated Passive Device)であり、その回路構成の一例を図3(b)に示す。なお、図3(a)では、図3(b)に示した回路構成（コンデンサCp1～Cp3およびLp1～Lp3）のうち、コンデンサCp2およびインダクタLp2の構造について説明する。

【0039】

集積チップ部品IDを構成する半導体基板（以下、単に基板という）S1は、例えばp⁺型のシリコン(Si)単結晶からなり、基板S1上には、その記述は省略するが、他の素子、例えばレジスタ等が形成されて絶縁膜14で覆われている。その絶縁膜14上には下層電極15b、容量絶縁膜CSLおよび上層電極15tから構成されるコンデンサCp2が形成されている。下層電極15bおよび上層電極15tは、例えばアルミニウム(A

10

20

30

40

50

1) 合金膜からなり、容量絶縁膜CSLは、例えば窒化シリコン(SiN等)からなる。容量絶縁膜CSLが形成されない領域の下層電極15bと上層電極15tとの間は酸化シリコン(SiO₂等)膜16aによって絶縁されている。また、上層電極15tは、窒化シリコン(SiN₂等)膜16b、酸化シリコン膜16cおよびポリイミド樹脂膜16dが下層から順に堆積された絶縁膜によって覆われており、ポリイミド樹脂膜16dの表面は平坦化されている。

【0040】

ポリイミド樹脂膜16d上には、例えば銅(以下、Cuと記す)膜からなるインダクタLp2が形成されている。このインダクタLp2は、ポリイミド樹脂膜16d上に堆積された絶縁膜17の所定の領域に溝を形成し、この溝の内部にCu膜を埋め込むことによって形成される。またインダクタLp2は、窒化シリコン膜16b、酸化シリコン膜16cおよびポリイミド樹脂膜16dに形成された接続孔18a~18cを介してコンデンサCp2の一方の電極である上層電極15tに接続されている。インダクタLp2上はポリイミド樹脂膜20によって覆われており、その一部を開口して、半田からなる瘤状の突起電極であるパンプ電極21がインダクタLp2と接続されている。インダクタLp2とパンプ電極21の間には、ニッケル(以下、Niと記す)膜および金(以下、Auと記す)膜が下層から順に堆積され、パターン形成されたメッキ層22が形成されている。

【0041】

このように、ロウパスフィルタLPF1, LPF2は、コンデンサCp1~Cp3とインダクタLp1~Lp3が一つの基板S1上に形成されている。また、ロウパスフィルタLPF1, LPF2が形成された集積チップ部品IDは、主面を下側に向けた状態(フェイスダウン)でモジュール基板上に搭載され、この集積チップ部品IDの主面に形成された接続端子(例えばパンプ電極21)とモジュール基板の部品搭載面に形成された基板側端子とは電氣的に接続されている。

【0042】

次に、増幅段をnMOSで構成した電力増幅器PM1の内部構成の一例を、図4に示す要部平面図および図5に示す要部断面図を用いて説明する。この電力増幅器PM1は、1つの半導体チップIC1に形成される。

【0043】

電力増幅器PM1が形成された基板S2は、例えばp⁺型のシリコン単結晶からなり、その抵抗率が、例えば1~10mΩ・cm程度の低抵抗基板とされている。基板S2上には、例えばp⁻型のシリコン単結晶からなるエピタキシャル層EPが形成されている。エピタキシャル層EPの抵抗率は、上記基板S2の抵抗率よりも高い。このエピタキシャル層EPの主面には、増幅段A1~A3, B1~B3用のnMOSQnと、整合回路AM1~AM3, BM1~BM3用のインダクタL、高Q(Quality factor)値のコンデンサCおよび伝送線路が形成されている。ここでは、2段の増幅段のnMOSQn1, Qn2が示されているが、実際には前述のように2系統の1~3段の全ての増幅段A1~A3, B1~B3が同一の基板S2に形成されている。また、ここで示したnMOSQnは単位MOSを示しており、実際には、この単位MOSが複数個並列に接続されることで1つの増幅段A1~A3, B1~B3が構成されている。

【0044】

nMOSQnは、例えばLDMOS(Laterally Diffused MOS)等のような横型のMOSで形成されている。nMOSQnの形成領域のエピタキシャル層EPには、p型のウエルPWLが形成されている。このウエルPWLは、例えばホウ素(B)などの不純物をエピタキシャル層EPにイオン注入することで形成されている。さらに、ウエルPWL上には、nMOSQnのゲート絶縁膜23が形成されている。このゲート絶縁膜23は、例えば酸化シリコンからなり、例えば熱酸化法などによって形成されている。このゲート絶縁膜23上には、nMOSQnのゲート電極24が形成されている。このゲート電極24は、例えば多結晶シリコンとその上に形成された金属シリサイド層(例えばチタンシリサイド(TiSi₂)層またはコバルトシリサイド(CoSi)層)との積層導体膜で構成さ

10

20

30

40

50

れている。nMOSQnのチャネルは、ゲート電極24下のウエルPWLの上部に形成される。

【0045】

このゲート電極24の一方の端部近傍のウエルPWLの領域内には、n⁺型半導体領域25が形成されている。このn⁺型半導体領域25は、nMOSQnのソースとして機能する領域であり、例えばリン(P)などの不純物をウエルPWLにイオン注入することで形成されている。また、ゲート電極24の他方の端部近傍のエピタキシャル層EPには、n⁻型半導体領域26aが形成されている。そして、ゲート電極24の他方の端部からn⁻型半導体領域26aの分だけ離れた箇所には、n⁺型半導体領域26bがn⁻型半導体領域26aと電氣的に接続された状態で形成されている(LDD(Lightly Doped Drain)構造)。このn⁻型半導体領域26aおよびn⁺型半導体領域26bは、nMOSQnのドレインとして機能する領域であり、例えばリンなどの不純物をウエルPWLにイオン注入することで形成されている。

10

【0046】

また、各nMOSQnの形成領域のエピタキシャル層EPには、p⁺⁺型半導体領域27aが上記n⁺型半導体領域25、26bと接するように形成されている。このp⁺⁺型半導体領域27aは、例えばホウ素が導入されてなり、平面で見ると、nMOSQnを取り囲むように形成され、断面で見ると、エピタキシャル層EPの主面から基板S2に達するように形成されている。さらに、各nMOSQnのソース用のn⁺型半導体領域25は、プラグPL1を通じてp⁺⁺型半導体領域27aと電氣的に接続され、そのp⁺⁺型半導体領域27aを通じて低抵抗な基板S2と電氣的に接続されている。

20

【0047】

後述するように、半導体チップIC1は、その裏面をモジュール基板の部品搭載面に向けた状態でモジュール基板上に搭載される。基板S2は、裏面全面にメタルで形成された電極BLを介して、半導体チップIC1が搭載されるモジュール基板の基板側端子と電氣的に接続され、その配線を通じて基準電位(例えば接地電位GNDで0V程度:固定電位)に電氣的に接続される。すなわち、基板S2は、半導体チップIC1に形成された複数のnMOSQnの共通の接地部分とされている。

【0048】

前段のnMOSQn1のソース用のn⁺型半導体領域25と接続されたプラグPL1は、第1層配線M1と電氣的に接続されている。このnMOSQn1のゲート電極24は、プラグPL2および第1層配線M1を通じて第2層配線M2と電氣的に接続されている。第2層配線M2はnMOSQn1の入力用の配線である。また、このnMOSQn1のドレイン用のn⁺型半導体領域26bは、プラグPL3を通じて第1層配線M1と電氣的に接続されている。この第1層配線M1は、インダクタLの一端と電氣的に接続されている。

30

【0049】

このインダクタLは、例えばスパイラル状の第2層配線M2で形成されている。このインダクタLの外周は、シールド用の第1層配線M1、第2層配線M2、プラグPL4およびp⁺⁺型の半導体領域27bにより取り囲まれている。シールド用の第1層配線M1、第2層配線M2、プラグPL4およびp⁺⁺型半導体領域27bは、互いに電氣的に接続されており(インダクタLとは絶縁されている)、p⁺⁺型半導体領域27bを通じて低抵抗な基板S2と電氣的に接続されて接地電位GNDに設定されている。このインダクタLの他端は、第2層配線M2を通じてコンデンサCの上部電極Caと電氣的に接続されている。

40

【0050】

コンデンサCの上部電極Caの下層の配線層には、絶縁膜を挟んで上部電極Caと対向するように下部電極Cbが設けられている。この下部電極Cbは、プラグPL5を通じてp⁺⁺型半導体領域27cと電氣的に接続され、さらにp⁺⁺型半導体領域27cを通じて低抵抗な基板S2と電氣的に接続されている。このコンデンサCの外周も、シールド用

50

の第1層配線M1、第2層配線M2、プラグPL6および p^{++} 型半導体領域27dにより取り囲まれている。シールド用の第1層配線M1、第2層配線M2、プラグPL6および p^{++} 型半導体領域27dは、互いに電氣的に接続されており（コンデンサC1とは絶縁されている）、 p^{++} 型半導体領域27dを通じて低抵抗な基板S2と電氣的に接続されて接地電位GNDに設定されている。このコンデンサC1の上部電極Caは、第2層配線M2を通じてnMOSQn2のゲート電極24と電氣的に接続されている。なお、プラグPL1～PL6は、例えばタングステン(W)等のようなメタルで形成されている。また、第1層配線M1および第2層配線M2は、例えばアルミニウムまたはCuを主配線材料とするメタルで形成されている。

【0051】

電力増幅器PM1が形成された半導体チップIC1は、主面を上側に向けた状態（フェイスアップ）でモジュール基板上に搭載され、この半導体チップIC1の外部用端子とモジュール基板の部品搭載面に形成された基板側端子とは接合材、例えばAuの細線からなるボンディングワイヤBWによって電氣的に接続されている。

【0052】

次に、増幅段をヘテロ接合型バイポーラトランジスタ（HBT：Hetero-junction Bipolar Transistor）で構成した電力増幅器PM2の内部構成の一例を、図6に示す要部平面図および図7に示す要部断面図（図6のA-A線における切断面）を用いて説明する。この電力増幅器PM1は、増幅段をnMOSで構成した場合と同様に、1つの半導体チップIC1に形成される。

【0053】

前記図2に示した増幅段A1～A3、B1～B3のうち初段に使用される増幅段A1、B1はノイズの低減が要求されることから、例えばnMOSによって構成されるのが好ましいが、終段に使用される増幅段A3、B3は、高増幅率が要求されることから、例えばHBTによって構成されることが好ましい。なお、中段に使用される増幅段A2、B2はnMOSまたはHBTのどちらを使用してもよい。従って、例えば増幅段A1、A2、B1、B2をnMOSで構成し、増幅段A3、B3をHBTで構成した場合は、電力増幅器は1つの半導体チップに形成されているのではなく、2つの半導体チップに分けて形成される。また、実際には、1つの増幅段は単位HBTが複数個並列に接続されることで形成されるが、ここでは、例えば終段に使用される増幅段A3を構成する3つのHBT1～HBT3を説明する。

【0054】

HBT1～HBT3が形成された基板S3は、例えば半絶縁性のGaAs基板S3からなる。HBT1～HBT3は、例えば、メサアイソレーション28aで他の素子から分離された n^{+} 型GaAs層よりなるサブコレクタ層28上に、所定間隔を置いて形成されている。ここで、HBT1～HBT3は同様の構成をしているため、HBT1～HBT3のうち、例えば、左端に形成されているHBT1の構成について説明する。HBT1は、サブコレクタ層28上に形成されたコレクタ電極29と、このコレクタ電極29とは所定間隔だけ離間して形成されたコレクタメサ30とを有している。コレクタ電極29は、例えば、Au等から構成される。

【0055】

コレクタメサ30は、例えばn型GaAs層より形成され、このコレクタメサ30とコレクタ電極29とはサブコレクタ層28を介して電氣的に接続されている。そして、コレクタメサ30上には、例えば、p型GaAs層よりなるベースメサ31が形成されている。

【0056】

ベースメサ31上の周辺領域にはAu等よりなるベース電極32が形成されている。すなわち、ベースメサ31上にコの字形状を反時計周りに90度回転させた形状をしたベース電極32が形成されている。そして、ベースメサ31の略中央部上にエミッタ層33が形成され、このエミッタ層33上にエミッタ電極34が形成されている。エミッタ層33

10

20

30

40

50

は、例えばn型InGaP層、GaAs層およびInGaAs層を下層から順に堆積した積層膜により形成され、エミッタ電極34は、例えばタングステンシリサイド(WSi)により形成されている。

【0057】

このように、ベースメサ(p型GaAs層)31とエミッタ層(n型InGaP層)33との間には異種半導体接合(ヘテロ接合)が形成されている。また、本実施の形態1におけるHBT1は、コレクタ電極29が一番下層に形成され、一番上層にエミッタ電極34が形成された構造をしており、中間層にベース電極32が形成された構造となっている。

【0058】

HBT1は上記のように構成されており、このHBT1と同様の構成を有するHBT2、HBT3が横方向に並んで形成されている。

10

【0059】

HBT1~HBT3の各コレクタ電極29は、導電材料を埋め込んだ接続孔35aによって第1コレクタ配線M1cに共通接続している。すなわち、第1コレクタ配線M1cは、HBT1~HBT3の各コレクタ電極29を電氣的に接続するものであり、第1配線層に形成されている。また、HBT1~HBT3の各ベース電極32は、導電材料を埋め込んだ接続孔35bによって第1ベース配線M1bに共通接続している。この第1ベース配線M1bも第1コレクタ配線M1cと同層である第1配線層に形成されている。

【0060】

HBT1~HBT3の各エミッタ電極34は、導電性材料を埋め込んだ接続孔36aによってエミッタ配線M2eに共通接続している。すなわち、エミッタ配線M2eは、HBT1~HBT3が並んでいる方向に延びており、導電性材料を埋め込んだ接続孔36aを介して各エミッタ電極34と接続している。このエミッタ配線M2eは、第1配線層の上部にある第2配線層に形成されている。エミッタ配線M2eが第2配線層に形成されているのは、エミッタ電極34がベース電極32やコレクタ電極29よりも高い位置に形成されているためである。また、第1コレクタ配線M1cは、導電性材料を埋め込んだ接続孔36bによって第2コレクタ配線M2cに接続し、第1ベース配線M1bは、導電性材料を埋め込んだ接続孔36bによって、第2ベース配線M2bに接続している。これら第2コレクタ配線M2cや第2ベース配線M2bは第2配線層に形成されている。

20

【0061】

第2配線層に形成されたエミッタ配線M2e上には直接エミッタバンプ電極37aが形成されている。すなわち、エミッタバンプ電極37aは、第3配線層に形成されるが、この第3配線層は、第2配線層との間に接続孔を介さずに直接第2配線層上に形成されている。

30

【0062】

エミッタバンプ電極37aは、HBT1~HBT3が並んでいる方向に延びており、第2配線層に形成されたエミッタ配線M2eを介して、各エミッタ電極34に電気接続している。また、第2コレクタ配線M2c上には直接コレクタバンプ電極37cが形成され、第2ベース配線M2b上には直接ベースバンプ電極37bが形成されている。これらコレクタバンプ電極37c、エミッタバンプ電極37eおよびベースバンプ電極37bは、同じ第3配線層に形成されているため、半導体チップICの素子形成面は平坦化されている。

40

【0063】

電力増幅器PM2が形成された半導体チップIC1は、主面を下側に向けた状態(フェイスダウン)でモジュール基板上に搭載され、コレクタバンプ電極37c、エミッタバンプ電極37eおよびベースバンプ電極37bがモジュール基板の部品搭載面に形成された基板側端子に接続される。

【0064】

次に、表面実装部品をモジュール基板上に搭載する1次実装後のモジュールMAの構成を説明する。図8は、本実施の形態1であるデジタル携帯電話機におけるモジュールMA

50

の1次実装の一例を示している。ここでは、前述したフロントエンド装置1および電力増幅器PMを1つのモジュールMAに組み立てた構成となっているが、これに限定されないことは言うまでもない。例えばフロントエンド装置1と電力増幅器PMとを別々のモジュールとして構成してもよい。また、ここでは、増幅段をnMOSで構成した電力増幅器PM1を有する半導体チップIC1を例に挙げて説明するが、増幅段をHBTで構成した電力増幅器PM2を有する半導体チップを用いてもよい。この場合は、主面をモジュール基板の主面へ向けたフェイスダウン接続となる。さらに、増幅段の前段をnMOSで構成し、後段をHBTで構成した場合は、電力増幅器PMに2つの半導体チップが用いられる。

【0065】

モジュールMAは、複数枚の絶縁体板を積層して一体化した多層配線構造を有するPCB(第1配線基板)38を基板としている。PCB38の部品搭載面(第1面)には、例えばCu膜からなる基板側端子40a1, 40a2, 40b, 40cおよび配線等がパターン形成されており、裏面(第2面)には、例えばCu膜からなる電極42G, 42Sがパターン形成されている。さらに、図8には、PCB38の部品搭載面に搭載される表面実装部品として、能動素子が形成された半導体チップIC1, IC2と、1つのチップ基板に1個の受動素子が形成された単体チップ部品43と、1つのチップ基板に複数個の受動素子が形成された集積チップ部品44とを例示している。さらに、これら表面実装部品は高弾性の封止用の樹脂45によって覆われている。樹脂45は、例えば高弾性エポキシの樹脂であり、その弾性率の許容範囲は、180以上の温度において、2GPa以上であることが好ましい。

【0066】

図8に例示した2つの半導体チップIC1, IC2のうち、一方の半導体チップIC1は受動素子に比べて発熱量が多い能動素子、例えば電力増幅器PM1であり、他方の半導体チップIC2は能動素子に比べて発熱量が少ない能動素子、例えばアンテナスイッチである。半導体チップIC1, IC2の主面に形成された複数の外部用端子(表面電極)は、これに対応するPCB38の基板側端子40cと接合材により接続されている。ここでは、接合材に、Auの細線からなるボンディングワイヤBWを用いる。

【0067】

半導体チップIC1は、その裏面をPCB38の部品搭載面に形成されたチップ搭載用の基板側端子(第1基板側端子)40a1と接合し、ダイボンド材として半田(第1半田)46を用いてPCB38上に固定されている。この半田46は、例えば280以上の温度で液状となる高融点半田、例えばPbを含むPb-Sn半田を用いる。Pb-Sn半田のSnの含有量は、例えば2から30wt%が適切な範囲と考えられる(他の条件によってはこの範囲に限定されないことはもとよりである)。また、量産に適した範囲としては2から10wt%が考えられるが、さらに10wt%を中心値とする周辺範囲が最も好適と考えられる。高融点半田を用いることにより、多量の発熱が生じて半導体チップIC1とPCB38との接着強度が確保できて、半導体チップIC1のPCB38からの剥離を防ぐことができる。

【0068】

半導体チップIC1の裏面電極(例えば図5の裏面電極BL)は、PCB38の部品搭載面から裏面へ貫通して形成された複数の放熱ビア47内の導電性材料を通じてPCB38の裏面に形成された電極42Gと電気的かつ熱的に接合されている。この電極42Gには基準電位(例えば接地電位GNDで0V程度)が供給される。すなわち、PCB38の裏面の電極42Gに供給された基準電位は、放熱ビア47および基板側端子40a1を通じて半導体チップIC1の裏面に供給されるようになっている。また、逆に半導体チップIC1の動作時に発生した熱は、半導体チップIC1の裏面からチップ搭載用の基板側端子40a1および放熱ビア47を通じてPCB38の裏面に形成された電極42Gに伝わり放散されるようになっている。PCB38の裏面に形成された外周近傍の電極42Sは、信号用の電極を示している。

【0069】

10

20

30

40

50

半導体チップIC2は、その裏面をPCB38の部品搭載面に形成されたチップ搭載用の基板側端子40a2と接合し、ダイボンド材として半田48aを用いてPCB38上に固定されている。この半田48aは、例えば200以上の温度で液状となるPbを含まないPbフリー半田、例えばAg3wt%およびCu0.5wt%を含むSn(以下、Sn-3Ag-0.5Cu半田と記す)を用いる。

【0070】

単体チップ部品43は、例えばコンデンサ、インダクタ、レジスタまたはフェライトビーズ等の受動素子が1つの基板の上に搭載された表面実装部品である。フェライトビーズとは、フェライト素子の中に通電用の内部電極を埋め込んだ構造をしており、フェライトが磁性体として働くことで電磁妨害(EMI: Electromagnetic Interference)ノイズの元となる高周波電流成分を吸収する素子である。単体チップ部品43は、その裏面をPCB38の部品搭載面に対向させてPCB38上に搭載されており、単体チップ部品43の両端に形成された接続端子が、半田(第2半田)48bを介してPCB38の部品搭載面に形成された基板側端子(第2基板側端子)40bと半田接続されている。この半田接続には、Pbを含まないPbフリー半田、例えばSn-3Ag-0.5Cu半田を用いる。単体チップ部品43の裏面とPCB38の部品搭載面との距離は、例えば10μm程度であるが、この隙間には封止用の樹脂45がボイドを形成することなく充填されている。

【0071】

集積チップ部品44は、例えば図3に示したロウパスフィルタLPF1, LPF2等の受動素子が複数個形成された表面実装部品である。集積チップ部品44は、PCB38にフリップチップ接続されており、集積チップ部品44の主面をPCB38の部品搭載面に対向させて、集積チップ部品44の主面に形成された接続端子(例えば図3のバンパ電極21)が、半田(第2半田)48cを介してPCB38の部品搭載面に形成された基板側端子(第2基板側端子)40bと半田接続されている。この半田接続には、Pbを含まないPbフリー半田、例えばSn-3Ag-0.5Cu半田を用いる。集積チップ部品44の主面とPCB38の部品搭載面との距離は、例えば10~20μm程度であるが、この隙間にも封止用の樹脂45がボイドを形成することなく充填されている。

【0072】

なお、半導体チップIC2、単体チップ部品43および集積チップ部品44の半田接続で用いる半田材料としてPbフリー半田を用いるとしたが、半田材料は、これに限定されるものではなく種々変更可能であり、例えばPbを含むSn(以下、Pb-Sn半田と記す)を用いてもよい。しかし、欧州におけるPb規制を考慮するとPbフリー半田が好ましい。

【0073】

また、半導体チップIC1, IC2にボンディングワイヤBWを用いているため、全ての基板側端子40a1, 40a2, 40b, 40cの表面にはメッキ層が形成されている。メッキ層は、例えば下層から順にNi層およびAu層がメッキされた積層膜からなる。従って、単体チップ部品43は、その接続端子においてメッキ層と半田接続され、集積チップ部品44は、その接続端子においてメッキ層と接続されるとともに、半導体チップIC1, IC2の主面に形成された外部用端子に接続するボンディングワイヤBWは、基板側端子40cの表面のメッキ層と接続されている。

【0074】

次に、製品に組み込むために、さらに上記モジュールMAを実装配線基板(マザーボード)上に搭載する2次実装後のモジュールMAの構成を説明する。図9は、本実施の形態1であるデジタル携帯電話機におけるモジュールMAの2次実装の一例を示している。

【0075】

マザーボード(第2配線基板)50は、例えば多層配線構造を有するプリント配線基板からなり、その主面(第1面)には、モジュールMAと、その他に複数の単体チップ部品51等が搭載されている。モジュールMAは、前述したように、その基板にPCB38を採用し、PCB38の部品搭載面は樹脂45により覆われており、これによりPCB38

10

20

30

40

50

の部品搭載面に搭載された半導体チップIC1, IC2、単体チップ部品43および集積チップ部品44等が封止されている。また、モジュールMAは、PCB38の裏面に形成された電極42G, 42S等をマザーボード50の主面に向けた状態でマザーボード50上に搭載されている。上記電極42G, 42Sは、接合材、例えば半田(第3半田)53を介してそれぞれマザーボード50の主面に形成されたプリント配線と接続されている。

【0076】

次に、本実施の形態1によるモジュールMAの1次実装工程および2次実装工程の一例を図10~図19を用いて工程順に説明する。図10はモジュールMAの組み立て手順を説明する工程図、図11は4層の銅配線が形成されたPCB38の一部断面を拡大した図、図12~図19は1つのモジュール領域を示す半導体装置の要部断面図である。

10

【0077】

モジュールMAの1次実装工程について説明する。

【0078】

まず、例えば図11に示すPCB38を準備する。PCB38は、複数(例えば120個程度)の装置領域であるモジュール領域が区画ラインによって区画形成された多数個取り基板であり、例えばモジュール領域が120個形成されている場合、一例として、その大きさは80mm×80mm程度、厚さは0.3mm程度である。PCB38は、コア材56の上下に内層用Cu膜57(2層目および3層目配線)がパターン形成され、これら内層用Cu膜57はプリプレグ58と呼ばれる絶縁材料によって挟まれている。内層用Cu膜57の厚さは、例えば0.2mm程度、プリプレグ58の厚さは、例えば0.06mm程度である。さらにプリプレグ58の外表面は、例えば各モジュール領域の半導体チップまたはチップ部品などの表面実装部品が搭載される面(部品搭載面)であって、プリプレグ58に密着して外層用Cu膜59(1層目および4層目配線)がパターン形成されている。この外層用Cu膜59は、図8で示した基板側端子40a1, 40a2, 40b, 40cであり、その厚さは、例えば0.02mm程度である。外層用Cu膜59の表面には、例えばNi層およびAu層が下層から順に形成されたメッキ層が形成されている。さらに、半導体チップまたはチップ部品などの表面実装部品が実装される領域を除いて、外層用Cu膜59上はソルダーレジスト60により覆われている。ソルダーレジスト60の厚さは、例えば0.025~0.05mm程度である。

20

【0079】

上下に位置する2層の内層用Cu膜57との間、または内層用Cu膜57と外層用Cu膜59との間は、コア材56またはプリプレグ58を貫通するCu膜が埋め込まれたビア61を介して電氣的に接続されている。また、各モジュール領域の半導体チップIC1が搭載される領域には、コア材56およびプリプレグ58を貫通するCu膜が埋め込まれた放熱ビア47が形成されている。コア材56、プリプレグ58およびソルダーレジスト60は、例えばエポキシなどの樹脂からなる。

30

【0080】

次に、半田印刷を行う(図10の工程P1)。まず、図12に示すように、PCB38の部品搭載面に印刷用マスク63を載せる。印刷用マスク63は、例えば厚さ0.2mm程度のステンレスからなり、エッチングによって所望する箇所には穴が開けられている。続いて、印刷用マスク63とPCB38との位置を決めた後、半田48を印刷用マスク63の一端に載せ、スキージ65を用いて半田48を動かす。半田48はPbフリー半田であり、例えばSn-3Ag-0.5Cu半田を用いる。これにより、図13に示すように、半田48a, 48b, 48cをPCB38の部品搭載面に形成された所定の基板側端子40a2, 40b上に印刷する。この時、スキージ65は、例えば45度程度傾けて半田48がローリングするように印刷する。続いて、図14に示すように、印刷用マスク63を取り除くことにより、後の工程において単体チップ部品43、集積チップ部品44および半導体チップIC2が接続される基板側端子40a2, 40b上に半田48a, 48b, 48cを残す。

40

【0081】

50

次に、半導体チップIC1用の半田塗布する(図10の工程P2)。図15に示すように、ポッティングノズル66から半導体チップIC1が搭載される箇所(半田46)を供給し、半導体チップIC1が接続される基板側端子40a1上に半田46を塗り付ける。半田46は、例えば280以上の温度で液状となるPbを含む高融点半田を用いる。

【0082】

次に、図16に示すように、単体チップ部品43、集積チップ部品44をおよび半導体チップIC1、IC2を所定の基板側端子40a1、40a2、40b上に配置する(図10の工程P3)。続いて、図17に示すように、PCB38をヒートブロック67上に載せてリフローを行い、半田46、48a、48b、48cを溶かすことによって上記表面実装部品を一括して半田接続する(図10の工程P4)。この時、PCB38を構成するソルダレジスト60が焦げたり、プリプレグ58がコア材56から剥離したりするのを防ぐために、ヒートブロック67は、280未満の温度、例えば250に設定される。このヒートブロック67による加熱により半田48a、48b、48cが溶融して、単体チップ部品43の両端の接続端子と基板側端子40bとを半田48bで半田接続し、集積チップ部品44の接続端子と基板側端子40bとを半田48cで半田接続し、半導体チップIC2と基板側端子40a2とを半田48cで半田接続する。

【0083】

さらに、ヒートブロック67による加熱に加えて、半導体チップIC1を280以上の温度、例えば330~350の温度で局所加熱する。半導体チップIC1の局所加熱には、例えばホットジェット68を用いる。ホットジェット68のノズルから300以上のドライエアーを吹き出すことにより、半田46が溶融して半導体チップIC1と基板側端子40a1とが半田接続する。ホットジェット68は、内径1~2mm程度のパイプの周囲をニクロム線で巻いた構造をしており、そのパイプの中に導入された空気をニクロム線により所望の温度に加熱して、ホットジェット68のノズルから300以上のドライエアーを吹き出す。ホットジェット68による1回の加熱時間は、例えば5秒程度、ドライエアーの流量は、例えば8リットル/min程度である。なお、半導体チップIC1の裏面が半田46を介してヒートブロック67に接触していると、熱が拡散して逃げてしまい、半導体チップIC1の温度が上昇しないことがある。これを避けるため、ヒートブロック67の半導体チップIC1が搭載される領域に凹部67aを形成し、半導体チップIC1の裏面とヒートブロック67とが接触しないようにする。

【0084】

このように、半田48a、48b、48cを用いた単体チップ部品43、集積チップ部品44および半導体チップIC2の半田接続は、ヒートブロック67上に各表面実装部品が搭載されたPCB38を載せて280未満の温度の加熱処理により行われ、同時に半田46を用いた半導体チップIC1の半田接続は、ホットジェットを用いた280以上の温度の加熱処理により行われる。これにより、熱によるPCB38の損傷、例えばソルダレジスト60の焦げやプリプレグ58のコア材56からの剥離、およびPbフリー半田(半田48a、48b、48c)の溶融を生ずることなく、高融点半田(半田46)を用いて半導体チップIC1をPCB38に半田接続することができる。その結果、PCB38上に強い接着強度を有する半導体チップIC1を搭載することができる。

【0085】

次に、各表面実装部品が半田接続されたPCB38を洗浄し(図10の工程P5)、続いて、ワイヤボンディング(図10の工程P6)を行う。ここでは、図18に示すように、半導体チップIC1、IC2の上面に露出したパッドと、その表面にメッキ層が形成された基板側端子40cとをボンディングワイヤBW、例えばAu線を用いて接続する。

【0086】

次に、各表面実装部品を樹脂45によって封止するトランスファーモールドを行う(図10の工程P7)。モールド装置の上金型を上げて、各表面実装部品が半田接続されたPCB38を下金型に設置する。その後、上金型を下げてPCB38を固定する。上金型には、上金型と下金型との間の成型金型内の空気および樹脂を外部へ送り出すためのエアベ

10

20

30

40

50

ントが設けられている。続いて、成型金型内を強制的に、例えば1 Torr以下に減圧した後、樹脂タブレットをプレヒータで加熱し、樹脂粘度を下げてから液状化した樹脂45を成型金型内へ圧送する。樹脂45は、例えば熱硬化性のエポキシ樹脂が用いられる。続いて、成型金型内に充填された封止用樹脂を重合反応により硬化させた後、上金型と下金型とを開けて、樹脂45で覆われたPCB38を取り出す。その後、不要な封止用の樹脂45を除去し、さらに、ベーク処理を行って(図10の工程P8)重合反応を完成させることにより、図19に示す各表面実装部品が樹脂45により封止されたモジュールMAが完成する。

【0087】

このように、成型金型内を減圧した後に樹脂45を投入することにより、樹脂45の流動性を図ることができるので、狭い隙間、例えば単体チップ部品43の裏面とPCB38の部品搭載面との隙間(10 μ m程度)および集積チップ部品44の主面とPCB38の部品搭載面との隙間(30 μ m程度)に、ポイドの形成を防いで樹脂45を充填することができる。その結果、次に説明するモジュールMAの組み立て時に、例えば250程度の温度の熱が加えられてPbフリー半田の半溶融が生じても、Pbフリー半田のフラッシュ状の流れを防ぐことができるので、例えば単体チップ部品43の両端の接続端子間または集積チップ部品44の主面の接続端子間が繋がることはなく、短絡を回避することができる。

【0088】

次に、封止用樹脂45およびPCB38をダイシングラインに沿って切断して、個々のモジュールMAに分離する(図10の工程P9)。その後、モジュールMAを覆う樹脂45の表面に、例えば商標、品名、ロット番号などを捺印した後、製品規格に照らした項目でモジュールMAの電気的特性を測定し、モジュールMAを選別する(図10の工程P10)。

【0089】

次に、モジュールMAの2次実装行程について説明する。

【0090】

PCB38の裏面には、マザーボード50に実装可能なように、半田接続用の電極42G, 42Sが形成されている。まず、マザーボード50に半田ペーストを印刷する。続いて、モジュールMAをマザーボード50上に配置した後、例えば250程度の温度でリフロー処理を行い、モジュールMAをマザーボード50上に実装する。その後、電気的特性のテストを行い、実装完成となる。2次実装における上記リフロー処理では、Pbフリー半田を用いて単体チップ部品43、集積チップ部品44および半導体チップIC2をPCB38に半田接続する温度(例えば220程度)よりも高い温度(例えば250程度)を用いるため、Pbフリー半田が溶融する場合がある。しかし、モジュールMAとマザーボード50との半田接続に用いる半田量に比べて、単体チップ部品43、集積チップ部品44または半導体チップIC2とPCB38との半田接続に用いるPbフリー半田の半田量を少なくできることから、溶融する半田量はわずかであり、フラッシュ状となり単体チップ部品43または集積チップ部品44の接続端子間を短絡するまでには至らない。

【0091】

なお、本実施の形態1では、PCB38に搭載された各表面実装部品を高弾性の樹脂45によって覆った場合について説明したが、これに限定されるものではなく、例えば低弾性の樹脂、例えばシリコン樹脂を用いることも可能である。

【0092】

また、GSM900とGSM1800の2つの周波数帯の電波を取り扱うことが可能なデュアルバンド方式に適用した場合について説明したが、これに限定されるものではなく、例えばGSM900、GSM1800およびGSM1900との3つの周波数帯の電波を取り扱うことが可能なトリプルバンド方式に適用しても良い。また、800MHz帯、850MHz帯でも対応できる。

【0093】

このように、本実施の形態 1 によれば、単体チップ部品 4 3 および集積チップ部品 4 4 の半田接続が、ヒートブロック 6 7 を用いた 2 8 0 未満の温度の加熱処理により行われるので、P b フリー半田を用いることができ、また、熱による P C B 3 8 の損傷、例えばソルダレジスト 6 0 の焦げやプリプレグ 5 8 のコア材 5 6 からの剥離を回避することができる。さらに、上記半田接続と同時に半導体チップ I C 1 の半田接続が、ホットジェットを用いた 2 8 0 以上の温度の加熱処理により行われるので、半導体チップ I C 1 の半田接続に高融点半田を用いることができるので、強い接着強度を有する半導体チップ I C 1 を P C B 3 8 上に搭載することができる。

【 0 0 9 4 】

また、成型金型内を減圧して樹脂 4 5 を投入することにより、樹脂 4 5 の流動性を図ることができるので、例えば単体チップ部品 4 3 の裏面と P C B 3 8 の部品搭載面との狭い隙間、また集積チップ部品 4 4 の主面と P C B 3 8 の部品搭載面との狭い隙間にボイドを形成することなく樹脂 4 5 を充填することができる。これにより、マザーボード 5 0 にモジュール M A を半田接続した後に、例えば 2 5 0 程度の温度の熱が加えられてモジュール M A 内の P b フリー半田の半溶融が生じて、P b フリー半田のフラッシュ状の流れを防ぐことができるので、例えば単体チップ部品 4 3 の両端の接続端子間または集積チップ部品 4 4 の主面の接続端子間が繋がることはなく、短絡を回避することができる。

【 0 0 9 5 】

(実施の形態 2)

本実施の形態 2 である各表面実装部品を一括してモジュール基板に半田接続する実装行程の他の例を説明する。図 2 0 は、前記実施の形態 1 の図 1 6 に続く実装方法を説明する半導体装置の要部断面図である。

【 0 0 9 6 】

前記実施の形態 1 と同様に、ホットジェット 6 8 を用いて半導体チップ I C 1 を 2 8 0 以上の温度、例えば 3 3 0 ~ 3 5 0 の温度で局所加熱して、半導体チップ I C 1 と基板側端子 4 0 a 1 とを高融点半田で接続するが、この時、ヒートブロック 6 7 を加熱せず、P C B 3 8 上に搭載された全ての表面実装部品をカバー 6 8 a で覆う。P b フリー半田は、半導体チップ I C 1 上にホットジェット 6 8 のノズルから吹き出したドライエアーがカバー 6 8 a 内で拡散して生じる余熱により溶融して、単体チップ部品 4 3 と基板側端子 4 0 b、集積チップ部品 4 4 と基板側端子 4 0 b、および半導体チップ I C 2 と基板側端子 4 0 a 2 とが接続される半導体チップ I C 1 以外の領域は、ホットジェット 6 8 のノズルから吹き出したドライエアーが逃げる熱のみで加熱するので、2 8 0 未満の温度、例えば 1 5 0 程度に抑えることができる。これにより、ソルダレジスト 6 0 が焦げたり、プリプレグ 5 8 がコア材 5 6 から剥離したりするのを防ぐことができる。この半田接続以後の工程は前記実施の形態 1 と同じなので説明を省略する。

【 0 0 9 7 】

このように、本実施の形態 2 によれば、P b フリー半田を用いた単体チップ部品 4 3、集積チップ部品 4 4 または半導体チップ I C 2 の半田接続は、ホットジェット 6 8 から吹き出すドライエアーの拡散を用いて 2 8 0 未満の温度の加熱処理により行われる。これにより、P b フリー半田の溶融や熱による P C B 3 8 の損傷を防ぐことができる。

【 0 0 9 8 】

(実施の形態 3)

本実施の形態 3 である表面実装部品を一括してモジュール基板に半田接続する実装行程の他の例を説明する。図 2 1 は、前記実施の形態 1 の図 1 6 に続く実装方法を説明する半導体装置の要部断面図である。

【 0 0 9 9 】

前記実施の形態 2 と同様に、ヒートブロック 6 7 を加熱せず、P C B 3 8 上に搭載された全ての表面実装部品をカバー 6 8 a で覆い、ホットジェット 6 8 を用いて半導体チップ I C 1 を 2 8 0 以上の温度、例えば 3 3 0 ~ 3 5 0 の温度で局所加熱して、半導体チップ I C 1 と基板側端子 4 0 a 1 とを高融点半田で接続する。また、ホットジェット 6 8

10

20

30

40

50

のノズルから吹き出したドライエアーがカバー68a内で拡散して生じる余熱によりPbフリー半田を溶融して、単体チップ部品43と基板側端子40b、集積チップ部品44と基板側端子40b、および半導体チップIC2と基板側端子40a2とを接続する。

【0100】

さらに、本実施の形態3では、半導体チップIC1とPCB38との間に生成されるボイドを逃がすために、ホットジェット68の吹き出し口に加重ピン69を設けて、半導体チップIC1をこの加重ピン69で押さえる。ホットジェット68の吹き出し口と加重ピン69との接続部分はヒータ70で加熱されており、加重ピン69によるドライエアーの温度低下を防いでいる。なお、極端なドライエアーの温度低下が無い場合などは、ヒータ70は設けなくてもよい。この半田接続以後の工程は前記実施の形態1と同じなので説明を省略する。

10

【0101】

このように、本実施の形態3によれば、半導体チップIC1を加重ピン69で押さえることにより、半導体チップIC1とPCB38との間に生成されるボイドを逃がすことができるので、前記実施の形態1よりも、半導体チップIC1とPCB38との接着強度を向上させることができる。

【0102】

(実施の形態4)

本実施の形態4である各表面実装部品を一括してモジュール基板に半田接続する実装行程の他の例を説明する。図22は、前記実施の形態1の図16に続く実装方法を説明する半導体装置の要部断面図である。

20

【0103】

前記実施の形態2と同様に、ヒートブロック67を加熱せず、PCB38上に搭載された全ての表面実装部品をカバー68aで覆い、ホットジェット68を用いて半導体チップIC1を280以上の温度、例えば330~350の温度で局所加熱して、半導体チップIC1と基板側端子40a1とを高融点半田で接続する。また、ホットジェット68のノズルから吹き出したドライエアーがカバー68a内で拡散して生じる余熱によりPbフリー半田を溶融して、単体チップ部品43と基板側端子40b、集積チップ部品44と基板側端子40b、および半導体チップIC2と基板側端子40a2とを接続する。

【0104】

さらに、本実施の形態4では、半導体チップIC1とPCB38との間に生成されるボイドを逃がすために、ホットジェット68の吹き出し口にブロック71を設けて、半導体チップIC1の全体にこのブロック71を接触させて、ホットジェット68による加熱と同時に、ホットジェット68による加圧を行う。ブロック71にはヒータが入っており、ブロック71を半導体チップIC1に接触させることによるドライエアーの温度低下を防いでいる。また、ブロック71の少なくとも半導体チップIC1と接触する部分はセラミックが用いられる。この半田接続以後の工程は前記実施の形態1と同じなので説明を省略する。

30

【0105】

このように、本実施の形態4によれば、半導体チップIC1をブロック71で加圧することにより、半導体チップIC1とPCB38との間に生成されるボイドを逃がすことができるので、前記実施の形態1よりも、半導体チップIC1とPCB38との接着強度を向上させることができる。

40

【0106】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0107】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるデジタル携帯電話機に適用した場合について説明したが、それに限定されるものでは

50

なく、例えば通信機能を有するPDA(Personal Digital Assistants)等のような移動体情報処理装置や通信機能を有するパーソナルコンピュータ等のような情報処理装置にも適用することができる。

【産業上の利用可能性】

【0108】

本発明は、半導体装置を製造する製造業に幅広く使用することができる。

【符号の説明】

【0109】

1	フロントエンド装置	
2	ベースバンド回路	10
3	変復調回路	
4 a, 4 b	スイッチ回路	
5	分波器	
6	周辺回路	
6 A	制御回路	
6 B	バイアス回路	
6 A 1	電源制御回路	
6 A 2	バイアス電圧生成回路	
7 a, 7 b	入力端子	
8 a, 8 b	出力端子	20
9 a 1 ~ 9 a 5, 9 b 1 ~ 9 b 5, 9 c	伝送線路	
10 a, 10 b	入力端子	
11 a 1 ~ 11 a 3, 11 b 1 ~ 11 b 3	電源端子	
12 a, 12 b	出力端子	
13	制御端子	
14	絶縁膜	
15 b	下層電極	
15 t	上層電極	
16 a	酸化シリコン膜	
16 b	窒化シリコン膜	30
16 c	酸化シリコン膜	
16 d	ポリイミド樹脂膜	
17	絶縁膜	
18 a ~ 18 c	接続孔	
20	ポリイミド樹脂膜	
21	バンク電極	
22	メッキ層	
23	ゲート絶縁膜	
24	ゲート電極	
25	n ⁺ 型半導体領域	40
26 a	n ⁻ 型半導体領域	
26 b	n ⁺ 型半導体領域	
27 a ~ 27 d	p ⁺ 型半導体領域	
28	サブコレクタ層	
28 a	メサアイソレーション	
29	コレクタ電極	
30	コレクタメサ	
31	ベースメサ	
32	ベース電極	
33	エミッタ層	50

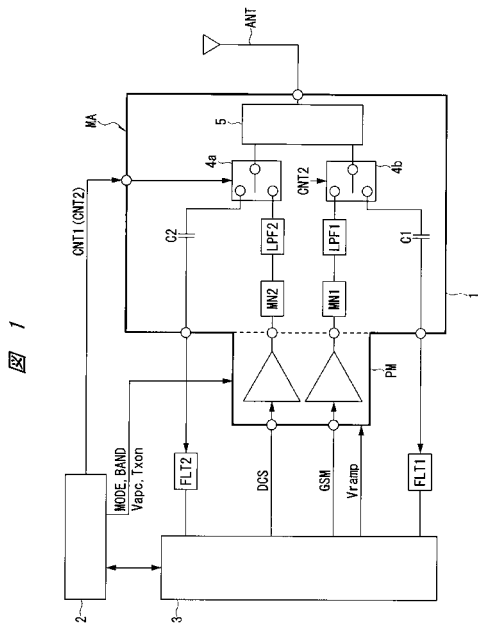
3 4	エミッタ電極	
3 5 a , 3 5 b	接続孔	
3 6 a , 3 6 b , 3 6 c	接続孔	
3 7 b	ベースバンプ電極	
3 7 c	コレクタバンプ電極	
3 7 e	エミッタバンプ電極	
3 8	P C B	
4 0 a 1 , 4 0 a 2 , 4 0 b , 4 0 c	基板側端子	
4 2 G , 4 2 S	電極	
4 3	単体チップ部品	10
4 4	集積チップ部品	
4 5	樹脂	
4 6	半田	
4 7	放熱ビア	
4 8 , 4 8 a , 4 8 b , 4 8 c	半田	
5 0	マザーボード	
5 1	単体チップ部品	
5 3	半田	
5 6	コア材	
5 7	内層用銅膜	20
5 8	プリプレグ	
5 9	外層用銅膜	
6 0	ソルダーレジスト	
6 1	ビア	
6 3	印刷用マスク	
6 5	スキージ	
6 6	ポッティングノズル	
6 7	ヒートブロック	
6 7 a	凹部	
6 8	ホットジェット	30
6 8 a	カバー	
6 9	加重ピン	
7 0	ヒータ	
7 1	ブロック	
A	電力増幅回路	
A 1 ~ A 3	増幅段	
A M 1 ~ A M 3	整合回路	
A N T	アンテナ	
B	電力増幅回路	
B 1 ~ B 3	増幅段	40
B L	裏面電極	
B M 1 ~ B M 3	整合回路	
B W	ボンディングワイヤ	
C , C 1 , C 2 , C p 1 ~ C p 3 , C m 1 ~ C m 1 2	コンデンサ	
C a	上部電極	
C b	下部電極	
C N T 1 , C N T 2	切換信号	
C S L	容量絶縁膜	
E P	エピタキシャル層	
G N D	接地電位	50

- FLT1, FLT2 フィルタ
- HBT1 ~ HBT3 ヘテロ接合型倍ポータランジスタ
- IC1, IC2 半導体チップ
- ID 集積チップ部品
- L, Lp1 ~ Lp3 インダクタ
- LPF1, LPF2 ローパスフィルタ
- M1 第1層配線
- M2 第2層配線
- M1b 第1ベース配線
- M1c 第1コレクタ配線
- M2b 第2ベース配線
- M2c 第2コレクタ配線
- M2e エミッタ配線
- MA モジュール
- MN1, MN2 インピーダンス整合回路
- PL1 ~ PL6 プラグ
- PM, PM1, PM2 電力増幅器
- PWL ウェル
- Qn, Qn1, Qn2 nMOS
- S1 ~ S3 半導体基板

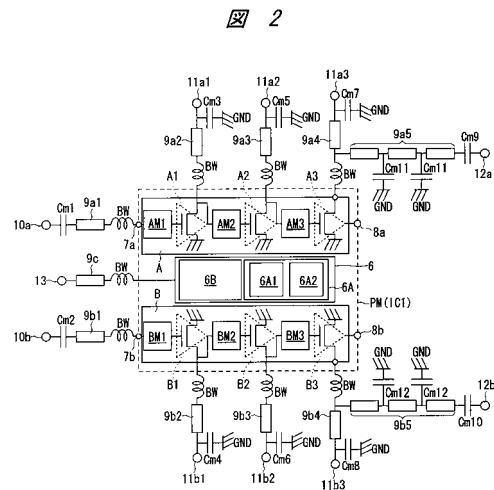
10

20

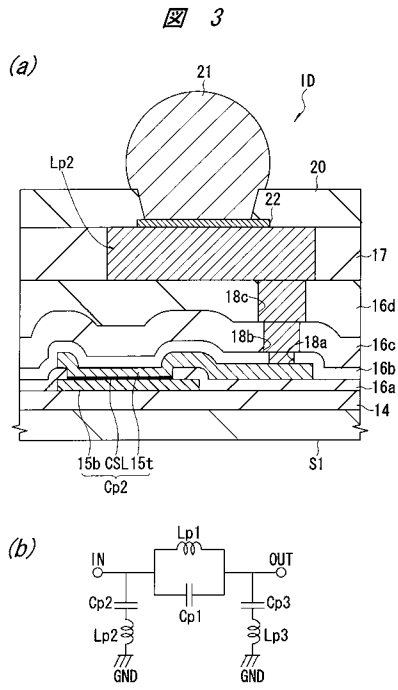
【図1】



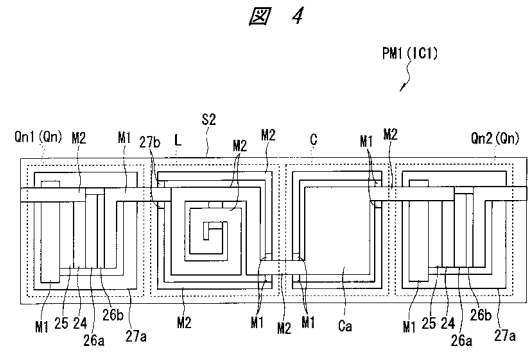
【図2】



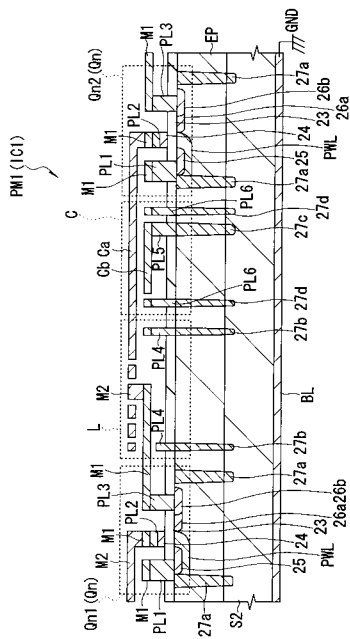
【 図 3 】



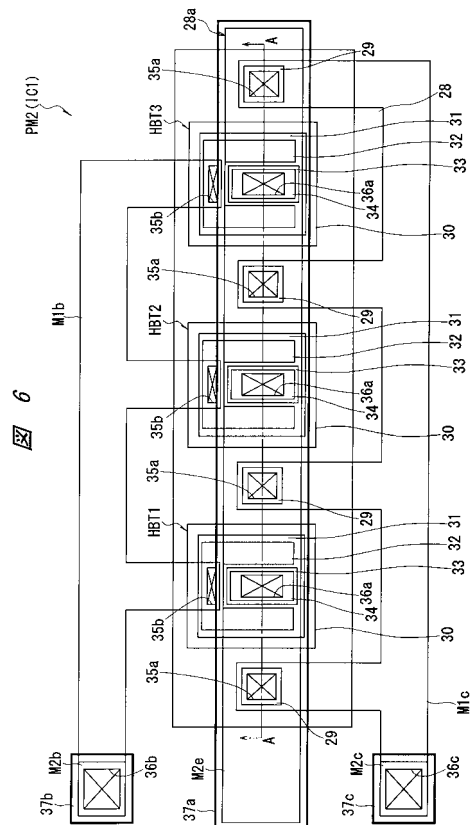
【 図 4 】



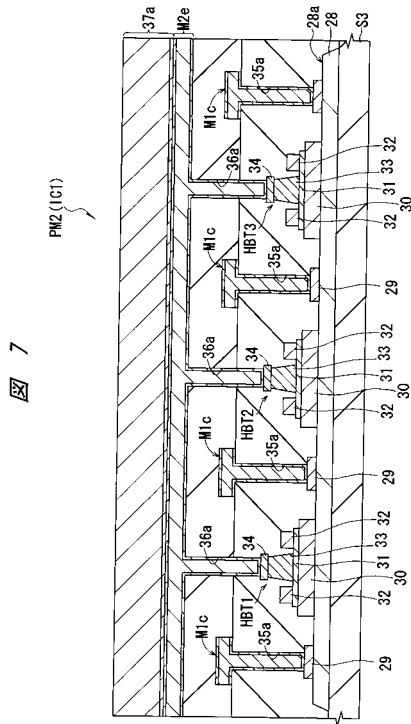
【 図 5 】



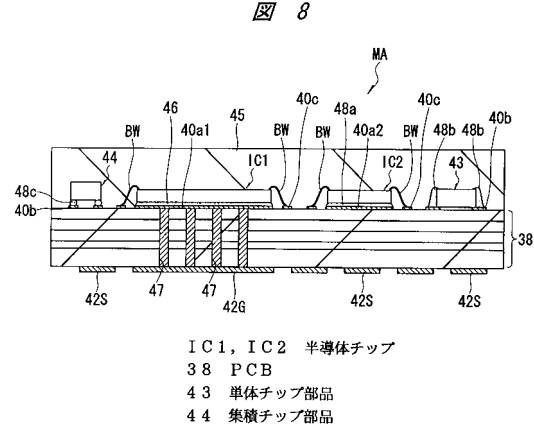
【 図 6 】



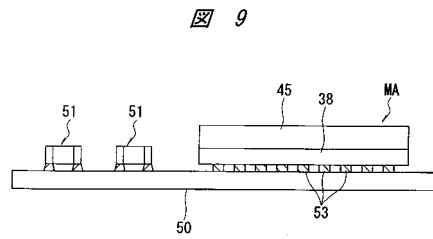
【図7】



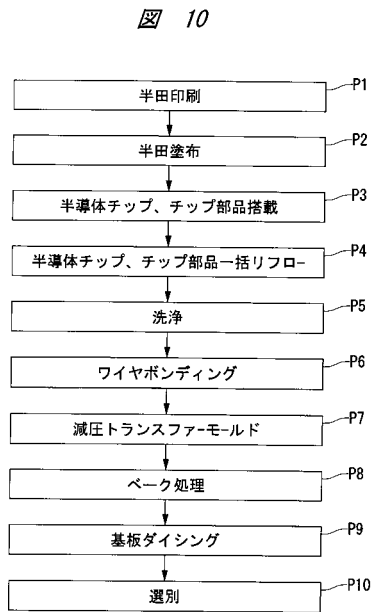
【図8】



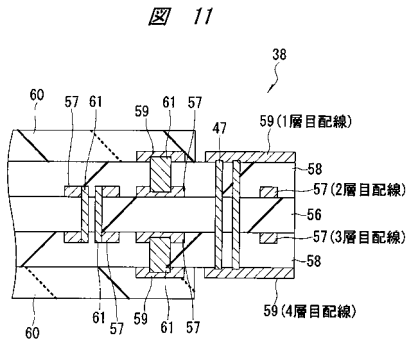
【図9】



【図10】

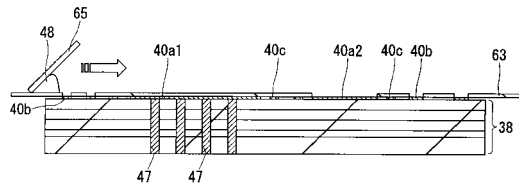


【図11】



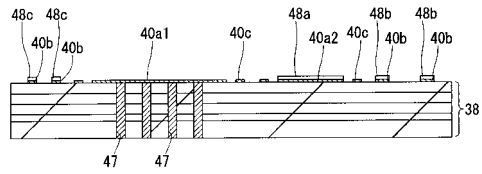
【 図 1 2 】

図 12



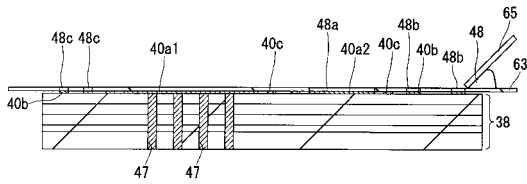
【 図 1 4 】

図 14



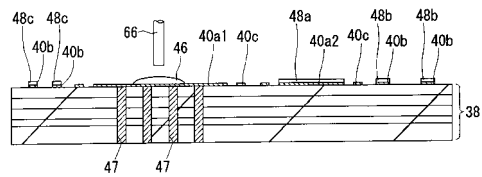
【 図 1 3 】

図 13



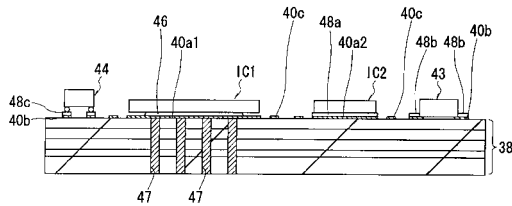
【 図 1 5 】

図 15



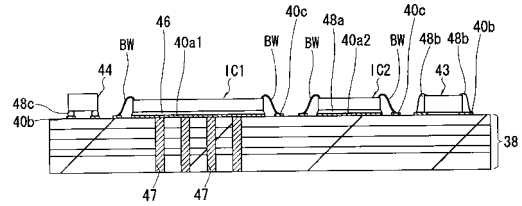
【 図 1 6 】

図 16



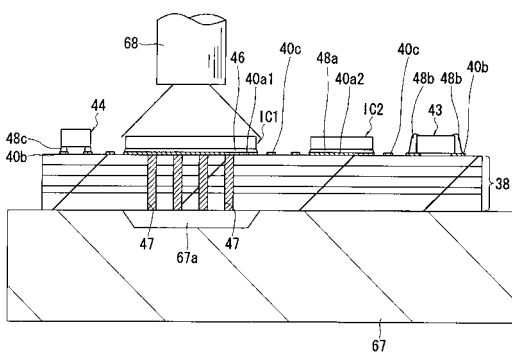
【 図 1 8 】

図 18



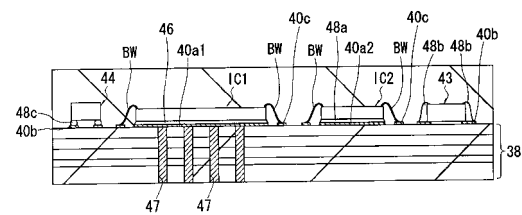
【 図 1 7 】

図 17



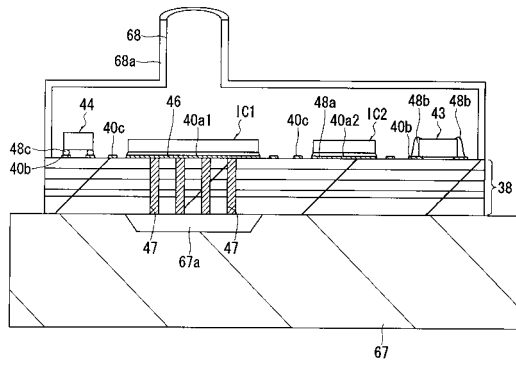
【 図 1 9 】

図 19



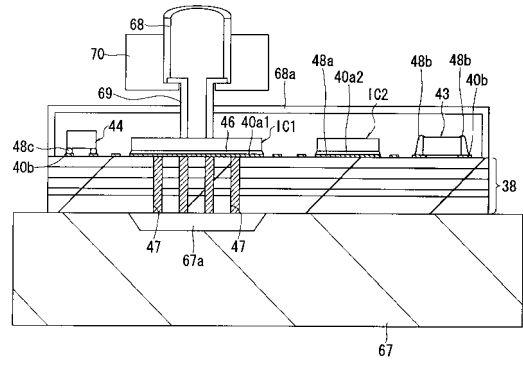
【図20】

図 20



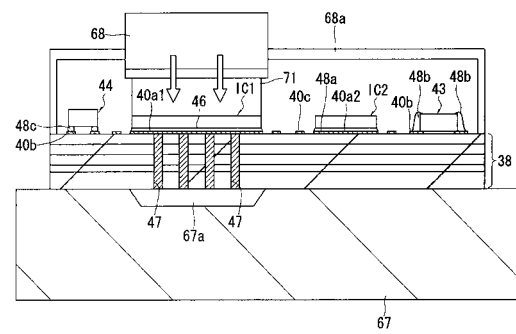
【図21】

図 21



【図22】

図 22



フロントページの続き

- (72)発明者 西田 隆文
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 篠田 政佳
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 友井 晴一
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 関根 崇

- (56)参考文献 特開2002-208668(JP,A)
特開2002-190498(JP,A)
特開2004-327556(JP,A)
特開平08-321567(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00
H01L 21/52
H01L 21/56
H05K 3/32