

申請日期： 93-02-25	IPC分類 H01U 81/60
申請案號： 93104722	

(以上各欄由本局填註)

發明專利說明書

200529336

一、 發明名稱	中文	線路載板
	英文	CURCUIT CARRIER
二、 發明人 (共1人)	姓名 (中文)	1. 楊智安
	姓名 (英文)	1. YANG, CHIH AN
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R. O. C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. WANG, HSIUEH HONG



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
		無	

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

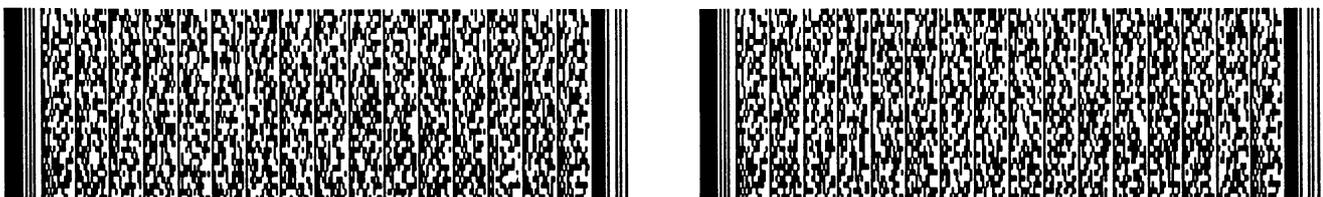
發明所屬之技術領域

本發明是有關於一種線路載板，且特別是有關於一種線路載板，其表面之錫罩層具有一階梯狀開口。

先前技術

覆晶接合技術 (flip chip interconnect technology) 係為一種將晶片 (die) 連接到承載器 (carrier) 的封裝技術，其主要係將晶片之多個錫墊 (pad)，利用面陣列 (area array) 的排列方式，配置於晶片之主動表面 (active surface) 上，並在各個錫墊上分別依序形成球底金屬層 (Under Bump Metallurgy, UBM) 及凸塊 (bump)，其例如為錫料凸塊 (solder bump)，接著將晶片翻面 (flip) 之後，再利用這些凸塊來將晶片之主動表面上的這些錫墊分別電性及結構性地連接至一承載器 (例如為基板 (substrate) 或印刷電路板 (printed circuit board, PCB)) 之表面的多個接點。值得注意的是，覆晶接合技術可適用於高接腳數 (high pin count) 之晶片封裝結構，並具有縮小封裝面積及縮短訊號傳輸路徑等優點。

請參考圖1A，其繪示習知之一種線路載板，其預錫料與凸塊未接合前的剖面示意圖。線路載板100包含一基板110、多個接合墊 (bonding pad) 120 (圖僅繪示其一)、一錫罩層 (solder mask layer) 130、一保護層 (surface finish) 140及一預錫料150，其中基板110包含多個導線層、多個絕緣層及多個導電孔 (conductive



五、發明說明 (2)

via) (圖均未繪示)，而每一絕緣層係配置於相鄰兩導線層之間，且每一導電孔係穿過至少一絕緣層，而連接至少兩導線層。此外，這些接合墊120係配置於基板110之表面112上，用以分別連接多個凸塊(bump)12(圖僅繪示其一)，例如為覆晶接合用之錒料凸塊(flip chip solder-bump)，其中接合墊120係可由基板110之最外層的導線層所構成。此外，由於基板110之導線層的材質通常為銅，所以接合墊120之材質亦為銅，而為了防止銅材質之接合墊120的表面發生氧化，通常會在接合墊120之局部暴露的表面上配置一保護層140，其例如為一鎳/金層(Ni/Au layer)。

請同樣參考圖1A，錒罩層130係全面性地覆蓋於基板110的表面112，且錒罩層130具有多個孔徑為D1之開口132(圖僅繪示其一)，而開口132係分別暴露出局部的接合墊120，亦就是說，接合墊120係為一錒罩定義

(Solder Mask Define, SMD) 類型之接合墊，其中錒罩層130除可保護基板110之表面的圖案化導線層以外，更可於迴錒(reflow)這些預錒料150時，可限制住預錒料150之流動，以避免相鄰兩預錒料150於迴錒時彼此熔接，因而導致相鄰兩接合墊120之間的短路。

接著，請參照圖1B，其繪示習知之一種線路載板，其預錒料與凸塊已接合後的剖面示意圖。由於預錒料150與凸塊12的組成成分通常為錫/鉛合金，而預錒料150之錫/鉛之比例通常為37/63，且凸塊12之錫/鉛之比例通常

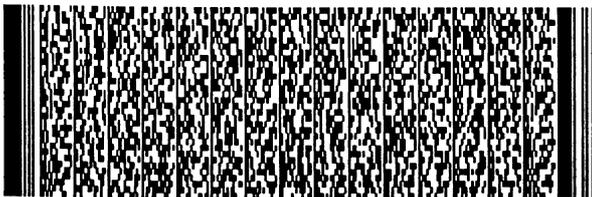


五、發明說明 (3)

為5/95或3/97，使得預錒料150之熔點小於凸塊12之熔點。因此，當凸塊12與預錒料150接觸，並迴錒預錒料150之後，預錒料150會熔化而包覆於凸塊12之底部與部分側邊，並將凸塊12連接至接合墊120。

請繼續參照圖1B，對於覆晶封裝結構的線路載板100之可靠度測試 (reliability test)，或是對於覆晶封裝結構之後續正常使用，必須長期地維持凸塊12與接合墊120之間的接合強度。一般而言，凸塊12與接合墊120之間的接合強度乃是與預錒料150之體積 (volume) 成正比，故當凸塊12之密度不變的情況下，對於錒罩定義類型之線路載板100來說，錒罩層130之可容納預錒料150的體積多寡乃是與錒罩層130之開口132的大小成正比。因此，當錒罩層130之開口132的面積增加時，此時接合墊120之面積必須相對增加，以符合錒罩定義類型之接合墊120，但在基板110之接合墊120的密度固定的情況下，接合墊120之面積的增加，將相對地導致基板110之導線密度 (wire density) 降低，進而導致整體基板110之繞線密度 (trace routing density) 降低。

請同樣參考圖1B，凸塊12之材質無論是含鉛錒料或是無鉛錒料，凸塊12之成分均會包括錫。因此，當線路載板100在長期處於高功率與高電流密度的情況下，使得凸塊12之內部的電子遷移 (electrical migration) 將趨於明顯，因而導致凸塊12之錫極易與接合墊120之銅結合生成介金屬化合物 (Inter-Metallic Compound, IMC



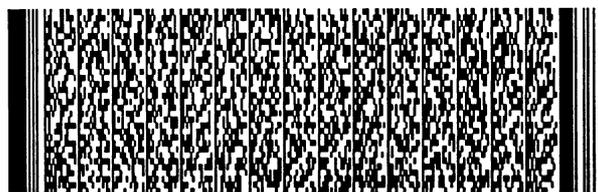
五、發明說明 (4)

) (圖未示) 於凸塊12及接合墊120之間。由於錫及銅之介金屬化合物的結構相當脆弱，因而導致凸塊12及接合墊120之間的接合強度大幅地降低，故當剪應力長期作用於凸塊12及接合墊120時，很容易在凸塊12及接合墊120之間發生斷裂，因而導致凸塊12與接合墊120之間的電性與結構性連接不良，甚至電性中斷。此外，此電子遷移現象將導致凸塊12與接合墊120之間的接合面內之金屬原子產生遷移，使得其接合面容易產生空洞而斷路。

請同樣參照圖1B，由於電子封裝體之封裝積集度越來越高，使得連接至線路載板100之這些凸塊12的密度亦將相對提高，使得鐳罩定義之鐳罩層130的開口132其密度也將相對提高，因而導致這些開口132及這些接合墊120之面積及間距必須相對變小，以配合這些凸塊12之密度。然而，在開口132及接合墊120之面積均變小之後，使得接合墊120與凸塊12之間的接觸面積變小，進而導致接合墊120之可通過電流的面積變小，使得線路載板100之電流密度 (current density) 增加，因而導致接合墊120之電子遷移 (electrical migration) 現象趨於明顯，特別是這些長期處於高功率 (high power) 與高電流 (high current) 之電子封裝體，例如為中央處理單元 (central processing unit, CPU) 與繪圖處理單元 (graphic processing unit, GPU)。

發明內容

因此，本發明之目的就是在提供一種線路載板，其



五、發明說明 (5)

可容納較多體積的預鍍料，以增加凸塊與接合墊之間的接合強度。

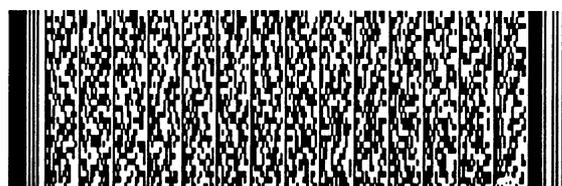
為達本發明之上述目的，本發明提出一種線路載板，其適於連接至少一凸塊。此線路載板包含一基板與至少一接合墊及一鍍罩層，其中接合墊係配置在基板之一表面，用以連接凸塊，而鍍罩層係覆蓋於基板之表面上，且鍍罩層具有一階梯狀開口，其暴露出局部之接合墊，其中階梯狀開口具有一第一端與一第二端，而第一端相較於第二端遠離接合墊，且第一端之孔徑係大於第二端之孔徑。

基於上述，本發明之線路載板的鍍罩層因具有一階梯狀開口，其具有較大空間以容納較多體積的預鍍料，故可增加凸塊與接合墊之間的接合強度。此外，本發明之線路載板因具有一電移阻抗層，其配置於預鍍料及接合墊之間，故可增加接合墊之電移阻抗，以減緩在接合墊及凸塊之間介金屬化合物的生成速率，進而長時間地維持凸塊與接合墊之間的接合強度。

為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

請參考圖2A，其繪示本發明較佳實施例之一種線路載板，其預鍍料與凸塊未接合前的剖面示意圖。線路載板200包含一基板210、多個接合墊220（圖僅繪示其一



五、發明說明 (6)

)、一鍍罩層230、一保護層240、一預鍍料250，其中基板210係包含多數個導線層、多數個絕緣層及多數個導電孔(圖均未示)，而每一絕緣層係配置於相鄰兩導線層之間，且每一導電孔係穿過至少一絕緣層，而連接至少兩導線層。此外，這些接合墊220係配置於基板210之表面212上，用以連接多個凸塊22，其例如為覆晶接合用之鍍料凸塊，其中接合墊220係可由基板210之最外層的導線層所構成，由於基板210之導線層的材質通常為銅，所以接合墊220之材質亦為銅，而為了防止銅材質之接合墊220的表面發生氧化，保護層240係配置於接合墊220之暴露出的表面，其例如為一鍍/金層。

請同樣參考圖2A，鍍罩層230係全面性地覆蓋於基板210的表面212，且鍍罩層230具有多數個階梯狀開口232(圖僅繪示其一)，而階梯狀開口232係暴露出局部的接合墊220，亦就是說，接合墊220係為一鍍罩定義

(Solder Mask Define, SMD)類型之接合墊，其中鍍罩層230除可保護基板210之表面的圖案化導線層以外，更可於迴鍍這些預鍍料250時，可限制住預鍍料250之流動，以避免相鄰兩預鍍料250於迴鍍時彼此熔接，因而導致相鄰兩接合墊220之間的短路。

接著，請參照圖2B，其繪示本發明較佳實施例之一種線路載板，其預鍍料與凸塊已接合後的剖面示意圖。由於預鍍料250與凸塊22的組成成分通常為錫/鉛合金，而預鍍料250之錫/鉛之比例通常為37/63，且凸塊22之錫



五、發明說明 (7)

/ 鉛之比例通常為5/95或3/97，使得預錒料250之熔點小於凸塊22之熔點。因此，當凸塊22與預錒料250接觸，並迴錒預錒料250之後，預錒料250會熔化而包覆於凸塊22之底部與部分側邊，並將凸塊22連接至接合墊220。

請同樣參照圖2B，值得注意的是，為了容納較多的預錒料250，以增加凸塊22及接合墊220之間的接合強度，故本較佳實施例之錒罩層230的開口係為階梯狀開口232（圖僅繪示其一），其例如為多層階梯狀，且這些階梯狀開口232分別具有一第一端232a與一第二端232b，其中第一端232a相較於第二端232b係較遠離接合墊220，且階梯狀開口232之第一端232a的孔徑D2係大於階梯狀開口232之第二端232b的孔徑D3。

接著，請同時參照圖1B及2B，相較於習知線路載板100之錒罩層130的開口132其孔徑D1，在開口132之孔徑D1與階梯狀開口232之孔徑D2相等之情況下，本發明之階梯狀開口232因具有較大的容積，故可容納較多體積的預錒料250，故可增加凸塊22及接合墊220之間的接合強度。

請同時參照圖1B及2B，由於本發明之階梯狀開口232的孔徑D3小於習知開口132之孔徑D1，所以本發明之線路載板200僅需一較小面積的接合墊220就可以構成一錒罩定義（SMD）類型之接合墊。因此，當基板210之每相鄰兩個接合墊220的間距固定時，因接合墊220之面積變小，因此，配置於相鄰兩接合墊220之間的導線（圖未示

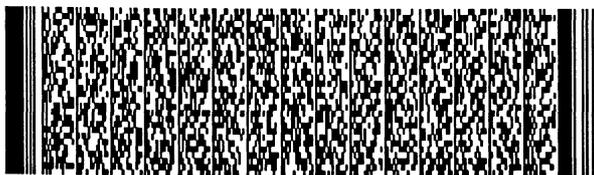


五、發明說明 (8)

) 數目將可增加；相對來說，當在基板210之兩接合墊220之間的導線數目為固定時，由於接合墊220之面積變小，使得相鄰兩接合墊220之間距將可縮減，故可增加基板210上之接合墊220的密度。基於上述，本較佳實施例之線路載板200的階梯狀開口232可增加整體線路載板200之繞線密度。

請同時參照圖1B及2B，當本發明之階梯狀開口232的容積與習知的開口132之容積相同時，本發明之線路載板200之階梯狀開口232的孔徑D2將小於習知的線路載板100之開口132的孔徑D1，使得本發明之階梯狀開口232的孔徑D3將更小於習知開口132之孔徑D1。因此，本發明之線路載板200僅需一更小面積的接合墊220即可構成一鉅罩定義(SMD)類型之接合墊，因此，本較佳實施例線路載板200之階梯狀開口232可更為增加整體基板210之繞線密度。

請參照圖3，其繪示本發明較佳實施例之一種線路載板，其更具有一電移阻抗層的剖面示意圖。當凸塊22長期處於高溫及高電流密度的情況下，凸塊22之內部的電子遷移將趨於明顯，因而導致凸塊22之錫極易與接合墊220之銅結合生成介金屬化合物(圖未示)於凸塊22及接合墊220之間。因此，為了減緩銅及錫之介金屬化合物層生成於凸塊22及接合墊220之間的速率，以長期地維持凸塊22及接合墊220之間的接合強度，本較佳實施例之線路載板201乃配置一電移阻抗層260於接合墊220與預鉅料



五、發明說明 (9)

250 之間，以提高接合墊220之電移阻抗，故可減緩介金屬化合物層之生成速率。

請繼續參照圖3，當線路載板300之階梯狀開口232的孔徑D2小於或等於習知之線路載板100之開口132的孔徑D1時，此時階梯狀開口232之孔徑D3必小於習知開口132之孔徑D1，使得接合墊220的面積小於接合墊120的面積，故此時接合墊220的電子遷移現象必大於接合墊120的電子遷移現象，但由於本較佳實施例更配置一電移阻抗層260於接合墊220與預鍍料250之間，因此，接合墊220之電移阻抗將可補償至等於或甚至高於接合墊120之電移阻抗。

基於上述，本發明之一凸塊22、一接合墊220、一鍍單層230與一預鍍料250係可組成一電子組裝結構。此外，本發明之一晶片20、至少一凸塊22、一基板210、至少一接合墊220及一鍍單層230則可組成一電子組裝結構。由於上述之電子組裝結構與電子封裝體的各個元件之間的相對位置與上述之晶片20、凸塊22及線路載板200的位置均相同，於此不再重複贅述。另外，任何熟知本發明之技藝者皆可知悉，本發明之線路載板、電子組裝結構及電子封裝體可以應用於覆晶接合型態之封裝技術。

綜上所述，本發明具有下列優點：

(1) 本發明之鍍單層的階梯狀開口可容納較多體積的預鍍料，故可增加凸塊及接合墊之間的接合強度。



五、發明說明 (10)

(2) 本發明之階梯狀開口僅需一較小之接合墊，就可構成一鍍單定義類型之接合墊，故可提高繞線密度。

(3) 本發明之電移阻抗層可增加接合墊之電移阻抗，因而減緩凸塊與接合墊之間的介金屬化合物之生成速率，並可有效地減緩接合墊內之銅的消耗，進而長時間地維持凸塊與接合墊之間的接合強度。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1A繪示習知之一種線路載板，其預銲料與凸塊未接合前的剖面示意圖。

圖1B繪示習知之一種線路載板，其預銲料與凸塊已接合後的剖面示意圖。

圖2A繪示本發明較佳實施例之一種線路載板，其預銲料與凸塊未接合前的剖面示意圖。

圖2B繪示本發明較佳實施例之一種線路載板，其預銲料與凸塊已接合後的剖面示意圖。

圖3繪示本發明較佳實施例之一種線路載板，其更有一電移阻抗層的剖面示意圖。

【圖式標示說明】

10、20：晶片

12、22：凸塊

100：線路載板

110：基板

112：表面

120：接合墊

130：銲罩層

132：開口

140：保護層

150：預銲料

200、201：線路載板

210：基板

212：表面



圖式簡單說明

- 220 : 接合墊
- 230 : 鍍罩層
- 232 : 階梯狀開口
- 232a : 第一端
- 232b : 第二端
- 240 : 保護層
- 250 : 預鍍料
- 260 : 電移阻抗層
- D1、D2、D3 : 孔徑



四、中文發明摘要 (發明名稱：線路載板)

一種線路載板係適於連接至少一凸塊，此線路載板包含一基板、至少一接合墊及一鍍罩層，其中接合墊係配置在基板之一表面，用以連接上述之凸塊，而鍍罩層係覆蓋於基板之表面及接合墊上，且鍍罩層具有至少一階梯狀開口，其暴露出局部之接合墊，其中階梯狀開口具有一第一端與一第二端，而第一端相較於第二端遠離接合墊，且第一端之孔徑係大於第二端之孔徑。鍍罩層之階梯狀開口可容納較多體積的預鍍料，以增加凸塊與接合墊之間的接合強度。

伍、(一)、本案代表圖為：第_3_圖

(二)、本案代表圖之元件代表符號簡單說明：

20：晶片

22：凸塊

201：線路載板

六、英文發明摘要 (發明名稱：CIRCUIT CARRIER)

A circuit carrier is adapted for connecting to at least a bump. The circuit carrier comprises a substrate, at least a bonding pad and a solder mask layer, wherein the bonding pad is deposited on a surface of the substrate for connecting to the bump, and the surface of the substrate and the bonding pad are covered by the solder mask. The solder mask has at least a stepped opening, which

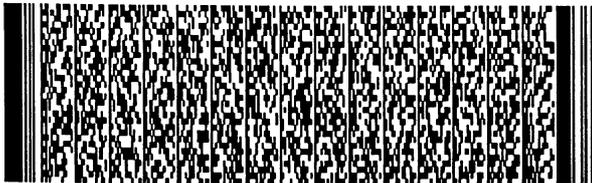


四、中文發明摘要 (發明名稱：線路載板)

210 : 基板
212 : 表面
220 : 接合墊
230 : 鍍罩層
232 : 階梯狀開口
232a : 第一端
232b : 第二端
240 : 保護層
250 : 預鍍料
260 : 電移阻抗層
D2、D3 : 孔徑

六、英文發明摘要 (發明名稱：CURCUIT CARRIER)

exposes a portion of the bonding pad, wherein the stepped opening has a first end and a second end. The first end is farther away from the bonding pad than the second end, and the aperture of the first end is larger than the aperture of the second end. The stepped opening of the solder mask can contain more volume of the pre-solder for increasing the bonding strength between the



四、中文發明摘要 (發明名稱：線路載板)

六、英文發明摘要 (發明名稱：CURCUIT CARRIER)

bump and the bonding pad.



六、申請專利範圍

1. 一種線路載板，適於連接至少一凸塊，包括：
一基板，具有一表面；
至少一接合墊，配置在該基板之該表面，用以連接該凸塊；以及

一鍍層，覆蓋於該基板之表面，且該鍍層具有一階梯狀開口，其暴露出局部之該接合墊，其中該階梯狀開口具有一第一端與一第二端，而該第一端相較於該第二端遠離該接合墊，且該第一端之孔徑係大於該第二端之孔徑。

2. 如申請專利範圍第1項所述之線路載板，其中該接合墊之材質包括銅，且該凸塊之組成成分包括錫。

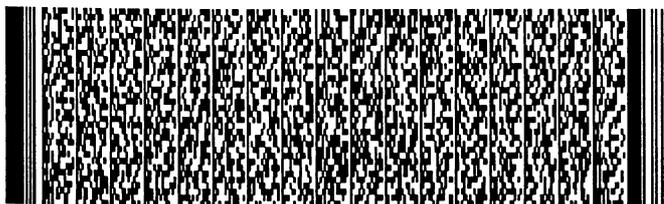
3. 如申請專利範圍第1項所述之線路載板，更包括一預鍍料，其配置於暴露出局部之該接合墊上，且該接合墊係經由該預鍍料而與該凸塊連接。

4. 如申請專利範圍第1項所述之線路載板，更包括一電移阻抗層，其配置於暴露出局部之該接合墊上，而該電移阻抗層係用以增加該接合墊之電移阻抗。

5. 如申請專利範圍第4項所述之線路載板，更包括一預鍍料，其配置於該電移阻抗層上與該鍍層之該階梯狀開口內，且該接合墊係經由該預鍍料而與該凸塊連接。

6. 如申請專利範圍第5項所述之線路載板，其中該電移阻抗層之熔點係大於該預鍍料之熔點。

7. 一種電子組裝結構，位於一基板之一表面上，該



六、申請專利範圍

電子組裝結構至少包括：

一凸塊；

一接合墊，配置在該基板之該表面；

一鍍層，覆蓋於該基板之該表面，且該鍍層具有一階梯狀開口，其暴露出局部之該接合墊，其中該階梯狀開口具有一第一端與一第二端，而該第一端相較於該第二端遠離該接合墊，且該第一端之孔徑係大於該第二端之孔徑；以及

一預鍍料，配置於暴露出局部之該接合墊上，且該接合墊係經由該預鍍料而與該凸塊連接。

8. 如申請專利範圍第7項所述之電子組裝結構，其中該接合墊之材質包括銅，且該凸塊之組成成分包括錫。

9. 如申請專利範圍第7項所述之電子組裝結構，更包括一電移阻抗層，配置於該預鍍料與該接合墊之間，而該電移阻抗層係用以增加該接合墊之電移阻抗。

10. 如申請專利範圍第9項所述之電子組裝結構，其中該電移阻抗層之熔點係大於該預鍍料之熔點。

11. 一種電子封裝體，包括：

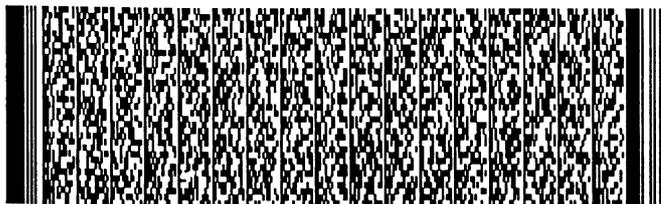
一晶片；

至少一凸塊，係連接該晶片；

一基板，具有一表面；

至少一接合墊，配置在該基板之該表面，係連接該凸塊；以及

一鍍層，其覆蓋該基板之表面，且該鍍層具有



六、申請專利範圍

一階梯狀開口，其暴露出局部之該接合墊，其中該階梯狀開口具有一第一端與一第二端，而該第一端相較於該第二端遠離該接合墊，且該第一端之孔徑係大於該第二端之孔徑。

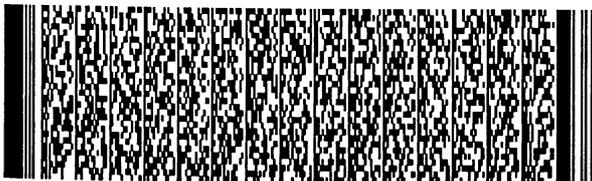
12. 如申請專利範圍第11項所述之電子封裝體，其中該接合墊之材質包括銅，且該凸塊之組成成分包括錫。

13. 如申請專利範圍第11項所述之電子封裝體，更包括一預鍍料，其配置於暴露出局部之該接合墊上，且該接合墊係經由該預鍍料而與該凸塊連接。

14. 如申請專利範圍第11項所述之電子封裝體，更包括一電移阻抗層，其配置於暴露出局部之該接合墊上，而該電移阻抗層係用以增加該接合墊之電移阻抗。

15. 如申請專利範圍第14項所述之電子封裝體，更包括一預鍍料，其配置於該電移阻抗層上，且該接合墊係經由該預鍍料而與該凸塊連接。

16. 如申請專利範圍第15項所述之電子封裝體，其中該電移阻抗層之熔點係大於該預鍍料之熔點。



12819TW_J

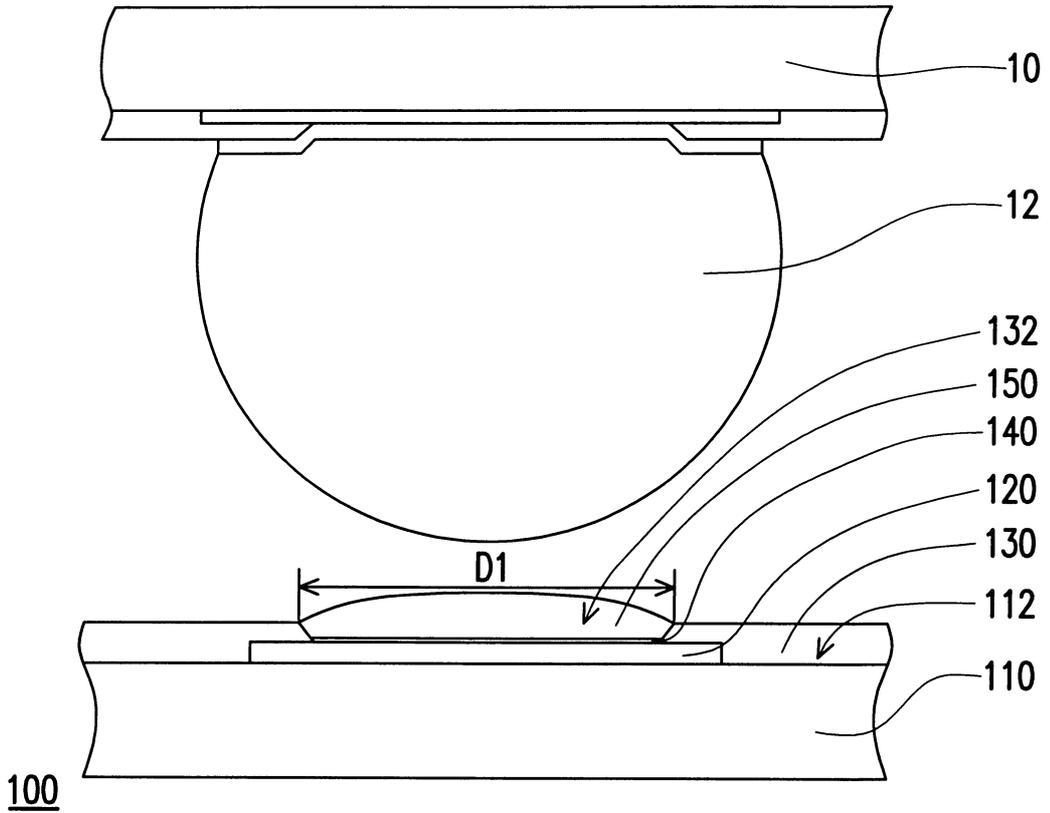


圖 1A

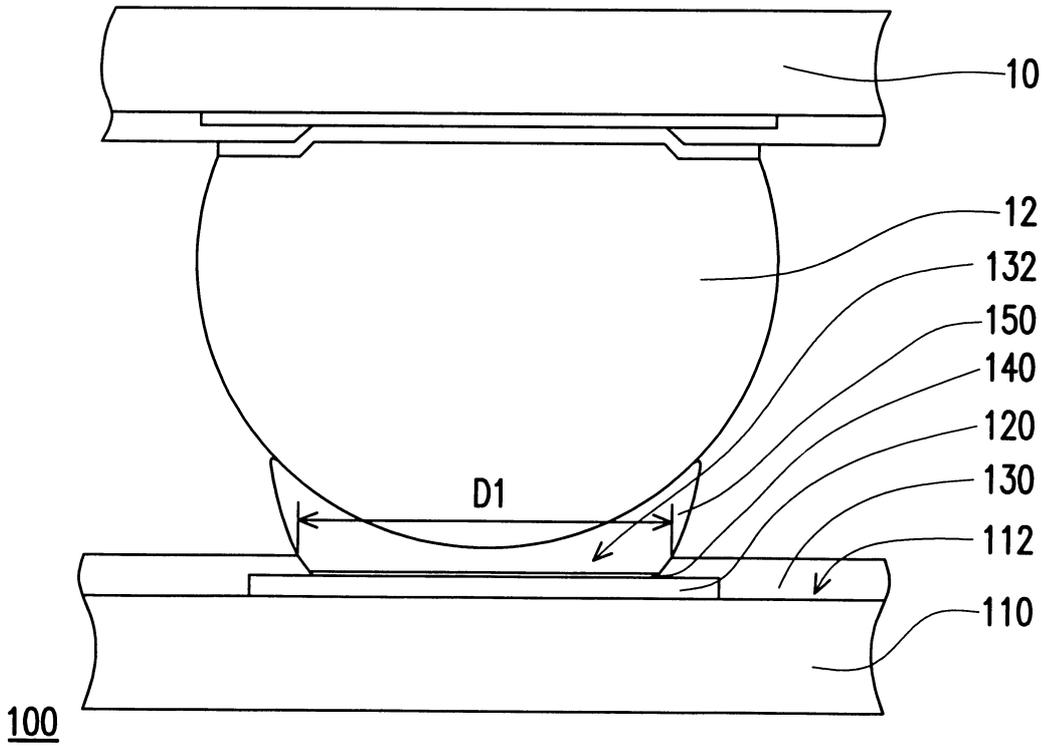


圖 1B

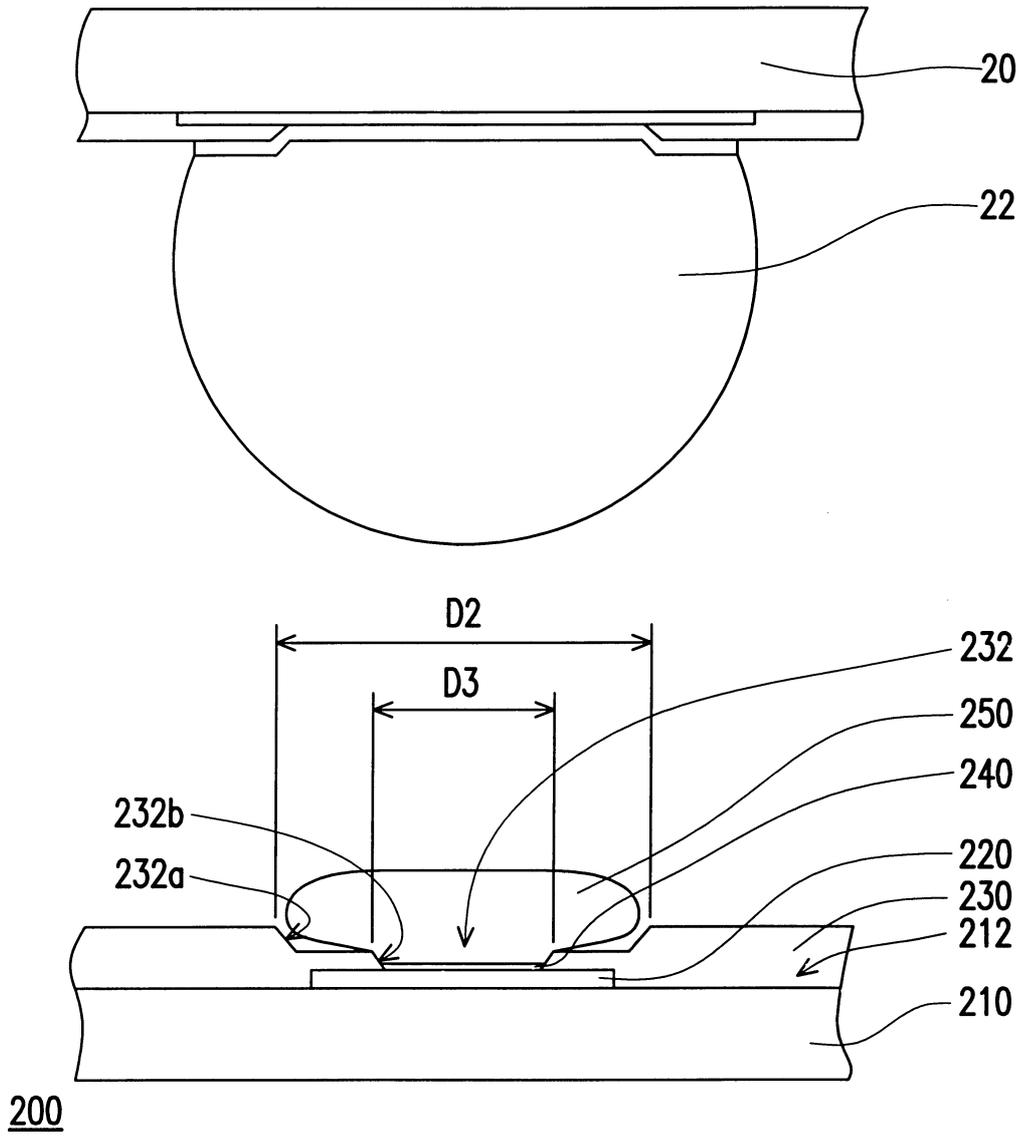
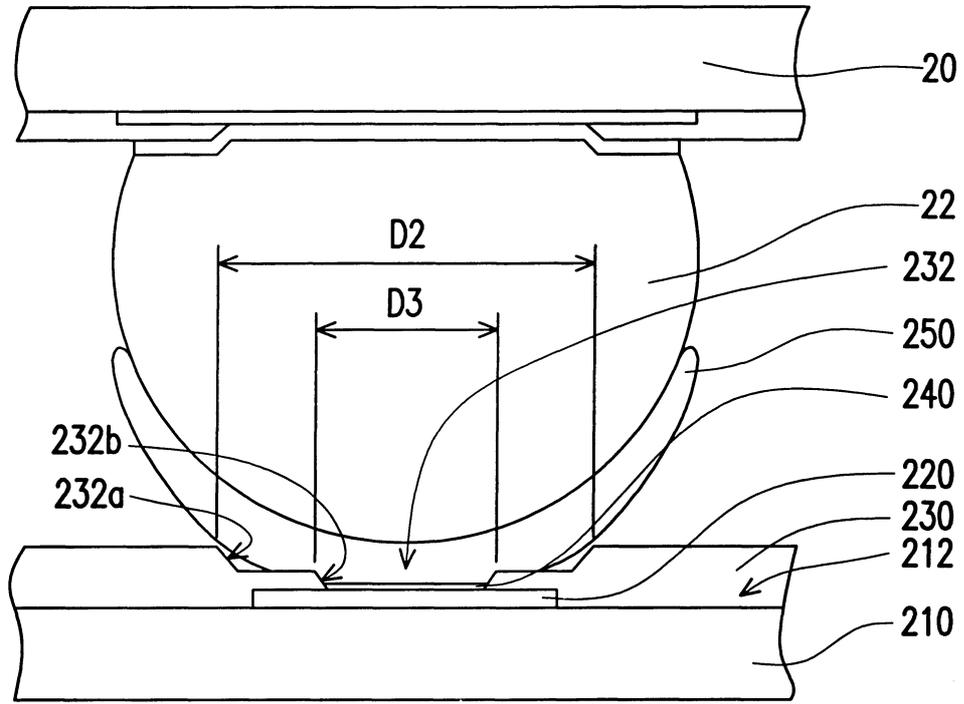
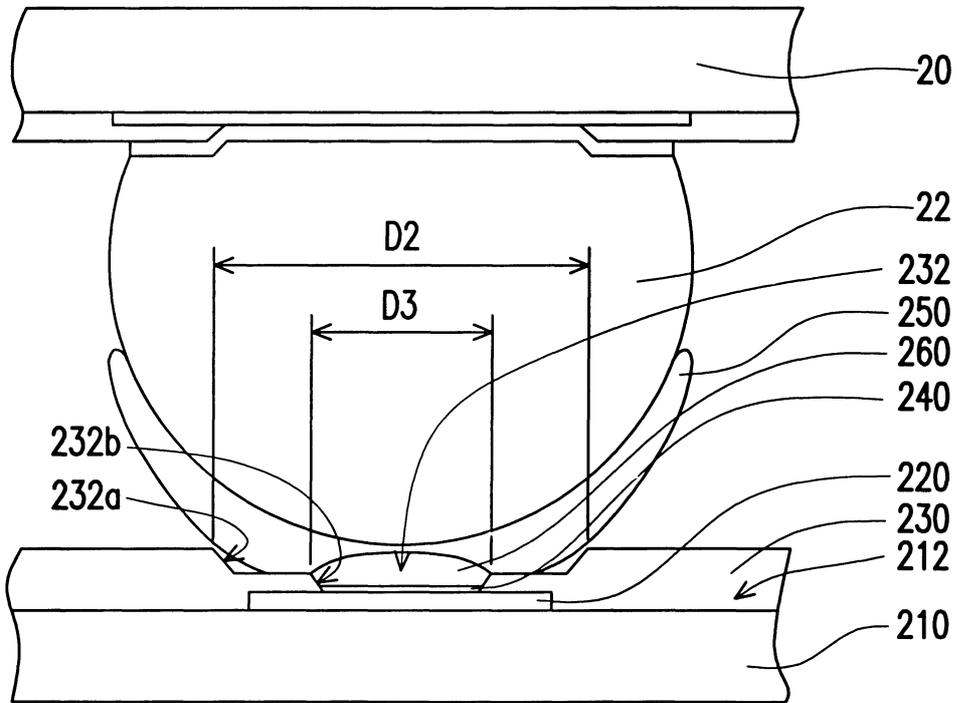


圖 2A



200

圖 2B



201

圖 3