

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁵
G11C 7/00

(11) 공개번호 특1991-0020719
(43) 공개일자 1991년12월20일

(21) 출원번호	특1991-0008641
(22) 출원일자	1991년05월27일
(30) 우선권주장	137374 1990년05월28일 일본(JP)
(71) 출원인	니뽀 덴끼 가부시끼가이샤 세끼모또 다다히로
(72) 발명자	일본국 도오교도 미나토구 시바 5조메 7반 1고 나까야마 히로시
(74) 대리인	일본국 도오교도 미나토구 시바 5조메 7반 1고 니뽀 덴끼 가부시끼가이샤 나이 이병호, 최달용

심사청구 : 있음

(54) 반도체 메모리 장치

요약

내용 없음

대표도

도2

명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제2도는 본 발명에 따른 반도체 메모리 장치의 회로 배열을 보여주는 회로 다이어그램.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

a) 행 및 열로 배열되어 데이터 비트들을 각각 기억하는 다수의 메모리 셀, b) 상기 메모리 셀들의 열에 각각 결합된 다수의 비트라인 쌍들, c) 상기 메모리 셀들의 행에 각각 결합되어, 상기 데이터 비트들이 관련 행들의 상기 메모리 셀들로부터 판독되어 상기 다수의 비트 라인 쌍들로 보내지도록 활성 레벨로 선택적으로 구동되는 다수위 워드 라인, -작은 전위차 레벨들을 상기 데이터 비트들이 판독될 때 각각 상기 비트 라인 쌍들 상에 발생된다-, d) 상기 비트 라인 쌍들에 각각 결합되어, 큰 전위차 레벨들이 상기 비트 라인 쌍들 상에 각각 발생되도록 상기 작은 전위차 레벨들의 크기를 증폭하는 다수의 감지 증폭기 회로(e) 상기 큰 전위차 레벨중 한 레벨을 전송하는 데이터 라인 쌍, 및 f) 상기 다수의 비트 라인 쌍들과 상기 데이터 비트 쌍 사이에 결합되어, 열 선택 신호가 자신에 인가될 때 상기 다수의 비트 라인 쌍들중 하나와 상기 데이터 라인 쌍을 상호 연결하는 전달 게이트 어레이를 구비하는 반도체 메모리 장치에 있어서, g) 상기 작은 전위차 레벨이 상기 큰 전위차 레벨로 발생되었는지 아닌지를 알기 위하여 상기 다수의 비트 라인 쌍들중 상기 한 라인 쌍을 모니터 하는 모니터 회로 -이 회로는 상기 큰 전위차 레벨이 상기 다수의 비트 라인 쌍들중 상기 한 비트 라인 쌍에 발생할 때 상기 전달 게이트 어레이가 상기 열선택 신호에 응답하게 해준다-를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

