

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 10 月 9 日 (09.10.2008)

PCT

(10) 国際公開番号
WO 2008/120342 A1

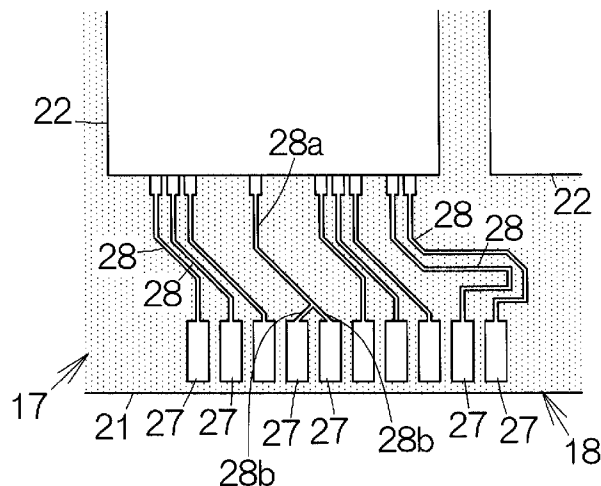
- (51) 国際特許分類: *H05K 1/11* (2006.01) *H05K 1/14* (2006.01)
- (21) 国際出願番号: PCT/JP2007/056802
- (22) 国際出願日: 2007 年 3 月 29 日 (29.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 中野 力蔵 (NAKANO, Rikizo) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 山▲崎▼薫 (YAMAZAKI, Kaoru); 〒1020074 東京都千代田区九段南 4 丁目 6 番 1 0 号 GSK 九段ビル 8 階 山▲崎▼国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: ELECTRONIC DEVICE, AND PRINTED CIRCUIT UNIT

(54) 発明の名称: 電子機器およびプリント基板ユニット

[図5]



(57) Abstract: Signals are interchanged between a first electronic part (23) and a second electronic part (22). For example, a signal is transmitted from the first electronic part (23) to the second electronic part (22). The signal outputted from the first electronic part (23) is transmitted from a first single-line wiring pattern (29a) to a first double-line wiring pattern (29b). The signal is outputted from a first terminal (25) through a second terminal (27) to a second double-line wiring pattern (28b). After this, the signal is transmitted through a first single-line wiring pattern (28a) to the second electronic part (22). Thus, the signals are transmitted in parallel through the two sets of the first terminal (25) and the second terminal (27). Even if a contact failure occurs on one side between the first terminal (25) and the second terminal (27), the signal transmission is continued on the basis of the first terminal (25) and the second terminal (27) on the other side. An electronic device (11) suppresses the occurrence of a fatal error.

(57) 要約: 第 1 電子部品 (23) および第 2 電子部品 (22) の間で信号がやり取りされる。例えば第 1 電子部品 (23) から第 2 電子部品 (22) に向かって信号が伝送される。第 1 電子部品 (23) から出力される信号は第 1 単線

[続葉有]



WO 2008/120342 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

配線パターン（２９ａ）から第１複線配線パターン（２９ｂ）に伝送される。信号は第１端子（２５）から第２端子（２７）を介して第２複線配線パターン（２８ｂ）に出力される。その後、信号は第１単線配線パターン（２８ａ）を介して第２電子部品（２２）に伝送される。こうして信号は２組の第１端子（２５）および第２端子（２７）を介して並列に伝送される。たとえ一方の第１端子（２５）および第２端子（２７）の間で接触不良が発生しても、他方の第１端子（２５）および第２端子（２７）に基づき信号の伝送は継続される。電子機器（１１）では致命的なエラーの発生は抑制される。

明 細 書

電子機器およびプリント基板ユニット

技術分野

[0001] 本発明は、例えば半導体パッケージを備えるプリント基板ユニットに関する。

背景技術

[0002] サーバコンピュータ装置のマザーボードはコネクタを備える。コネクタには例えばDIMM (Dual Inline Memory Module) といったメモリボードが差し込まれる。メモリボードは複数のメモリチップを備える。メモリボードにはエッジに沿って端子が配列される。この端子はコネクタ内の端子に接続される。こうしてメモリボードは例えばサーバコンピュータ装置のメインメモリとして機能する。

特許文献1: 日本国特開2001-274323号公報

特許文献2: 日本国特開平11-40294号公報

発明の開示

[0003] マザーボード上のCPU (中央演算処理装置) チップとDIMMのメモリチップとの間で制御信号やデータ信号がやり取りされる。この信号は、メモリボードの1つの端子と、コネクタ内の1つの端子とを介して伝送される。したがって、そうした端子同士の間には例えばゴミが入り込むと接触不良が引き起こされる。制御信号やデータ信号の伝送は妨げられる。サーバコンピュータ装置では致命的なエラーが発生してしまう。

[0004] 本発明は、上記実状に鑑みてなされたもので、エラーの発生を抑制することができる電子機器およびプリント基板ユニットを提供することを目的とする。

[0005] 上記目的を達成するために、第1発明によれば、第1プリント基板と、第1プリント基板に実装されるコネクタと、第1プリント基板に実装される第1電子部品と、第1プリント基板に形成されて、第1電子部品から一筋に延びる第1単線配線パターンと、第1プリント基板に形成されて、第1単線配線パターンから分岐する2本以上の第1複線配線パターンと、コネクタ内で区画されて、第1複線配線パターンに個別に接続される複数の第1端子と、コネクタに差し込まれる第2プリント基板と、第2プリント基板に実装される第2電子部品と、第2プリント基板に形成されて、第2電子部品から一筋に延

びる第2単線配線パターンと、第2プリント基板に形成されて、第2単線配線パターンから分岐する2本以上の第2複線配線パターンと、第2プリント基板に形成されて第2複線配線パターンに個別に接続され、対応の第1端子に接続される複数の第2端子とを備えることを特徴とする電子機器が提供される。

[0006] こうした電子機器では、第1電子部品および第2電子部品の間で信号がやり取りされる。例えば第1電子部品から第2電子部品に向かって信号が伝送される。第1電子部品から出力される信号は第1単線配線パターンから第1複線配線パターンに伝送される。信号は第1端子から第2端子を介して第2複線配線パターンに出力される。その後、信号は第1単線配線パターンを介して第2電子部品に伝送される。こうして信号は2組の第1端子および第2端子を介して並列に伝送される。たとえ一方の第1端子および第2端子の間で接触不良が発生しても、他方の第1端子および第2端子に基づき信号の伝送は継続される。電子機器では致命的なエラーの発生は抑制される。

[0007] 以上のような電子機器では、第1電子部品および第2電子部品の間では制御信号が伝送されればよい。その他、第1電子部品および第2電子部品の間でクロック信号が伝送されてもよく、データ信号が伝送されてもよい。

[0008] 第2発明によれば、プリント基板と、プリント基板に実装される電子部品と、プリント基板に形成されて電子部品から一筋に延びる信号用の単線配線パターンと、プリント基板に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、プリント基板に形成されて、複線配線パターンに接続される複数の端子とを備えることを特徴とするプリント基板ユニットが提供される。こうしたプリント基板ユニットは前述の電子機器の実現に大いに貢献することができる。

[0009] 第3発明によれば、プリント基板と、プリント基板に実装されるコネクタと、プリント基板に実装される電子部品と、プリント基板に形成されて、電子部品から一筋に延びる単線配線パターンと、プリント基板に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、コネクタ内で区画されて、複線配線パターンに個別に接続される複数の端子とを備えることを特徴とするプリント基板ユニットが提供される。こうしたプリント基板ユニットは前述の電子機器の実現に大いに貢献することができる。

。

[0010] 第4発明によれば、基板本体と、基板本体に形成されて一筋に延びる信号用の単線配線パターンと、基板基板上に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、基板本体に形成されて複線配線パターンに個別に接続される複数の端子とを備えることを特徴とするプリント基板が提供される。こうしたプリント基板は前述の電子機器やプリント基板ユニットの実現に大いに貢献することができる。

図面の簡単な説明

[0011] [図1]本発明に係る電子機器の一具体例すなわちサーバコンピュータ装置の外観を概略的に示す斜視図である。

[図2]本発明の一実施形態に係るプリント基板ユニットの構造を概略的に示す部分斜視図である。

[図3]図2の3-3線に沿った垂直断面図である。

[図4]プリント基板ユニットの構造を概略的に示す部分拡大斜視図である。

[図5]一具体例に係るプリント基板ユニットの構造を概略的に示す部分拡大平面図である。

[図6]一具体例に係るプリント基板ユニットの構造を概略的に示す部分拡大平面図である。

[図7]他の具体例に係るプリント基板ユニットの構造を概略的に示す部分拡大平面図である。

[図8]図7の8-8線に沿った垂直断面図である。

発明を実施するための最良の形態

[0012] 以下、添付図面を参照しつつ本発明の一実施形態を説明する。

[0013] 図1は本発明に係る電子機器の一具体例すなわちサーバコンピュータ装置11の外観を概略的に示す。サーバコンピュータ装置11は筐体12を備える。筐体12内には収容空間が区画される。収容空間にはプリント基板ユニットすなわちマザーボードが配置される。マザーボードはCPUパッケージやメインメモリを備えるCPUパッケージは、例えば一時的にメインメモリに保持されるソフトウェアプログラムやデータに基づき

様々な演算処理を実行する。ソフトウェアプログラムやデータは、同様に収容空間に配置されるハードディスク駆動装置(HDD)といった大容量記憶装置に格納されればよい。こういったサーバコンピュータ装置11は例えばラックに搭載される。

[0014] 図2に示されるように、マザーボード13はプリント基板14を備える。プリント基板14の基板本体15にはその表面から垂直方向に立ち上がるコネクタ16が実装される。コネクタ16にはプリント基板ユニットすなわちメモリボード17が差し込まれる。メモリボード17はメインメモリを構成する。コネクタ16はいわゆるカードエッジコネクタを構成する。メインボード17はプリント基板18を備える。プリント基板18はプリント基板14に対して垂直姿勢に保持される。コネクタ16の働きでメモリボード17はプリント基板14に対して電氣的に接続される。

[0015] コネクタ16はハウジング19を備える。ハウジング19はプリント基板14の表面に受け止められる。ハウジング19にはプリント基板18が受け入れられる。プリント基板18はプリント基板14の表面に対して垂直方向に出し入れされる。プリント基板18の基板本体21には複数のメモリチップ22といった電子部品が実装される。こうしたメモリボード17はいわゆるDIMMを構成する。プリント基板14の基板本体15には例えばCPUパッケージ23が実装される。後述されるように、コネクタ16の働きでメモリチップ22およびCPUパッケージ23は接続される。

[0016] 図3に示されるように、ハウジング19には第1端子すなわち弾性端子金具25の固定端が固定される。弾性端子金具25の固定端はハウジング19から外側に突き出る。例えばハウジング19がプリント基板14の基板本体15の表面に受け止められると、弾性端子金具25の固定端は基板本体15を貫通する。基板本体15の裏面には第2端子すなわち導電パッド26が配置される。弾性端子金具25の固定端は導電パッド26に例えばはんだ付けされればよい。こうした弾性端子金具25は例えば導電性の金属材料から構成されればよい。

[0017] 弾性端子金具25は、ハウジング19内でハウジング19の底面から立ち上がりつつ固定端から先端の自由端に向かって延びる。個々の弾性端子金具25には、ハウジング19の底面から立ち上がりつつ相互に接近する第1平板片25aが区画される。第1平板片25aの先端には、相互に離隔しつつ自由端まで延びる第2平板片25bが連

結される。第1平板片25aおよび第2平板片25bの間には屈曲域25cが形成される。この屈曲域25cで2つの弾性端子金具25は最も接近し合う。2つの屈曲域25cの間にメモリボード17が挟み込まれる。屈曲域25cには第1平板片25aから十分な押し付け力が付与される。こうして1対の弾性端子金具25の働きでメモリボード17はハウジング19内に強固に保持される。メモリボード17の離脱は阻止される。

[0018] 図4から明らかなように、メモリボード17ではプリント基板18の基板本体21の表面および裏面に導電性の第2端子すなわち端子パッド27が形成される。ここでは、プリント基板18のエッジに沿って複数の端子パッド27が配列される。個々の端子パッド27はプリント基板18のエッジから所定の間隔で離される。端子パッド27には、同様に、プリント基板18の表面および裏面に広がる配線パターン28が接続される。端子パッド27および配線パターン28の周囲では基板本体21の樹脂材が露出する。基板本体21にはガラスエポキシ樹脂といった樹脂材料が利用される。個々の端子パッド27に対応する弾性端子金具25の屈曲域25cが接触する。こうしてメモリボード17上の端子パッド27とプリント基板14上の導電パッド26とは電氣的に接続される。

[0019] 図5に示されるように、メモリボード17上の配線パターン28は端子パッド27とメモリチップ22の端子との間を1対1で接続する。一部の配線パターン28は、隣接する2つの端子パッド27とメモリチップ22の端子とを接続する。この配線パターン28は、メモリチップ22の端子から一筋に延びる単線配線パターン28aを区画する。単線配線パターン28aから2つの複線配線パターン28bが分岐する。個々の複線配線パターン28bは端子パッド27に個別に接続される。複線配線パターン28bの長さは等しく設定される。なお、配線パターン28は2以上の端子パッド27とメモリチップ22とを接続してもよい。複線配線パターン28bに接続される端子パッド27は必ずしも隣接しなくてもよい。

[0020] 図6に示されるように、プリント基板14上には配線パターン29が形成される。配線パターン29は導電パッド26とCPUパッケージ23の端子との間を1対1で接続する。一部の配線パターン29は、前述の2つの端子パッド27に接続される弾性端子金具25に対応する2つの導電パッド26とCPUパッケージ23の端子とを接続する。この配線パターン29は、CPUパッケージ23の端子から一筋に延びる単線配線パターン29a

を区画する。単線配線パターン29aから2つの複線配線パターン29bが分岐する。個々の複線配線パターン29bは導電パッド26に個別に接続される。複線配線パターン29bの長さは等しく設定される。なお、配線パターン29は2以上の導電パッド26とCPUパッケージ23とを接続してもよい。複線配線パターン29bに接続される導電パッド26は必ずしも隣接しなくてもよい。

[0021] 以上のようなサーバコンピュータ装置11では、例えばCPUパッケージ23からメモリチップ22に向かって信号が伝送される。信号には制御信号やクロック信号、データ信号が含まれる。CPUパッケージ23から出力される信号は単線配線パターン29aから複線配線パターン29bに伝送される。信号は導電パッド26から弾性端子金具25および端子パッド27を介して複線配線パターン29bに出力される。その後、単線配線パターン28aを介してメモリチップ22に伝送される。こうして信号は2組の弾性端子金具25および端子パッド27を介して並列に伝送される。たとえ一方の弾性端子金具25および端子パッド27の間で接触不良が発生しても、他方の弾性端子金具25および端子パッド27に基づき信号の伝送は継続される。サーバコンピュータ装置11では致命的なエラーの発生は抑制される。

[0022] 図7に示されるように、コネクタ16には前述のメモリボード17に代えてメモリボード17aが差し込まれてもよい。このメモリボード17aでは、プリント基板18の表面側に配置される端子パッド27と、プリント基板18の裏面側に配置される端子パッド27とがビア31で接続される。ビア31にはプリント基板18の表面側で単線配線パターン28aが接続される。図8を併せて参照し、ビア31には、プリント基板18の表裏面で複線配線パターン28bが接続される。このとき、前述と同様に、複線配線パターン28bの長さは等しく設定される。その他、前述のメモリボード17と均等な構成や構造には同一の参照符号が付される。

[0023] こうしたメモリボード17aによれば、前述と同様に、信号の伝送にあたって複線配線パターン28bおよび複線配線パターン29bが用いられる。信号は2組の弾性端子金具25および端子パッド27を介して並列に伝送される。たとえ一方の弾性端子金具25および端子パッド27の間で接触不良が発生しても、他方の弾性端子金具25および端子パッド27に基づき信号の伝送は継続される。サーバコンピュータ装置11では

致命的なエラーの発生は抑制される。なお、プリント基板18の表面側に配置される端子パッド27と、プリント基板18の裏面側に配置される端子パッド27とは、基板本体21の表面に平行に規定される基板本体21の中立面に面対称に配置されなくてもよい。

[0024] 以上のようなサーバコンピュータ装置11では、コネクタ16には、メモリボード17に代えて、グラフィックボードやPCIボード、その他のプリント基板が差し込まれてもよい。グラフィックチップといった電子部品と端子パッド27との間で、前述と同様に、配線パターンに単線配線パターンと複線配線パターンとが形成されればよい。また、コネクタ16の形態は前述の形態に限定されない。

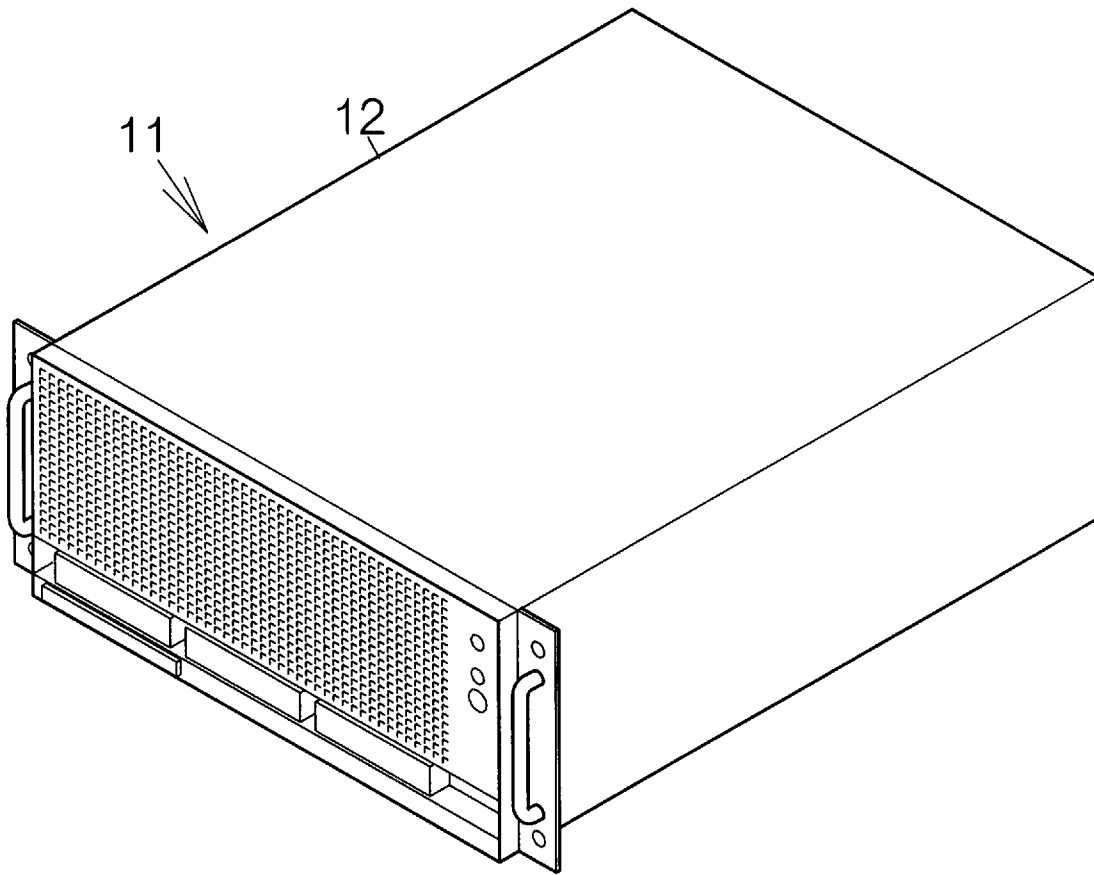
請求の範囲

- [1] 第1プリント基板と、第1プリント基板に実装されるコネクタと、第1プリント基板に実装される第1電子部品と、第1プリント基板に形成されて、第1電子部品から一筋に延びる第1単線配線パターンと、第1プリント基板に形成されて、第1単線配線パターンから分岐する2本以上の第1複線配線パターンと、コネクタ内で区画されて、第1複線配線パターンに個別に接続される複数の第1端子と、コネクタに差し込まれる第2プリント基板と、第2プリント基板に実装される第2電子部品と、第2プリント基板に形成されて、第2電子部品から一筋に延びる第2単線配線パターンと、第2プリント基板に形成されて、第2単線配線パターンから分岐する2本以上の第2複線配線パターンと、第2プリント基板に形成されて第2複線配線パターンに個別に接続され、対応の第1端子に接続される複数の第2端子とを備えることを特徴とする電子機器。
- [2] 請求項1に記載の電子機器において、前記第1電子部品および前記第2電子部品の間で制御信号が伝送されることを特徴とする電子機器。
- [3] 請求項1に記載の電子機器において、前記第1電子部品および前記第2電子部品の間でクロック信号が伝送されることを特徴とする電子機器。
- [4] 請求項1に記載の電子機器において、前記第1電子部品および前記第2電子部品の間でデータ信号が伝送されることを特徴とする電子機器。
- [5] 基板本体と、基板本体に形成されて一筋に延びる信号用の単線配線パターンと、基板本体に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、基板本体に形成されて複線配線パターンに個別に接続される複数の端子とを備えることを特徴とするプリント基板。
- [6] 請求項5に記載のプリント基板において、前記単線配線パターンおよび前記複線配線パターンは制御信号を伝送することを特徴とするプリント基板。
- [7] 請求項5に記載のプリント基板において、前記単線配線パターンおよび前記複線配線パターンはクロック信号を伝送することを特徴とするプリント基板。
- [8] 請求項5に記載のプリント基板において、前記単線配線パターンおよび前記複線配線パターンはデータ信号を伝送することを特徴とするプリント基板。
- [9] プリント基板と、プリント基板に実装される電子部品と、プリント基板に形成されて電

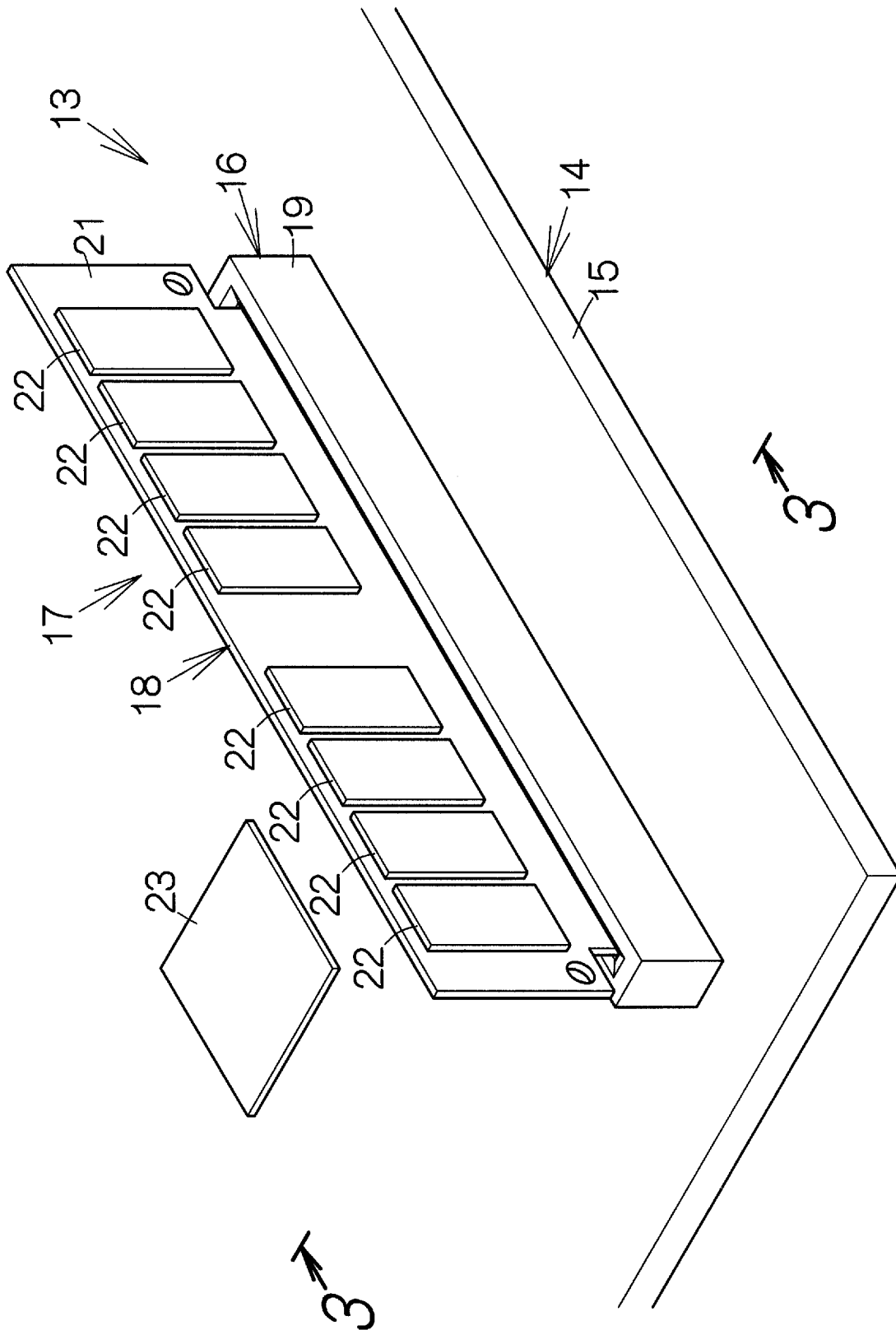
子部品から一筋に延びる信号用の単線配線パターンと、プリント基板に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、プリント基板に形成されて、複線配線パターンに接続される複数の端子とを備えることを特徴とするプリント基板ユニット。

- [10] 請求項9に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンは制御信号を伝送することを特徴とするプリント基板ユニット。
- [11] 請求項9に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンはクロック信号を伝送することを特徴とするプリント基板ユニット。
- [12] 請求項9に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンはデータ信号を伝送することを特徴とするプリント基板ユニット。
- [13] プリント基板と、プリント基板に実装されるコネクタと、プリント基板に実装される電子部品と、プリント基板に形成されて、電子部品から一筋に延びる単線配線パターンと、プリント基板に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、コネクタ内で区画されて、複線配線パターンに個別に接続される複数の端子とを備えることを特徴とするプリント基板ユニット。
- [14] 請求項13に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンは制御信号を伝送することを特徴とするプリント基板ユニット。
- [15] 請求項13に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンはクロック信号を伝送することを特徴とするプリント基板ユニット。
- [16] 請求項13に記載のプリント基板ユニットにおいて、前記単線配線パターンおよび前記複線配線パターンはデータ信号を伝送することを特徴とするプリント基板ユニット。

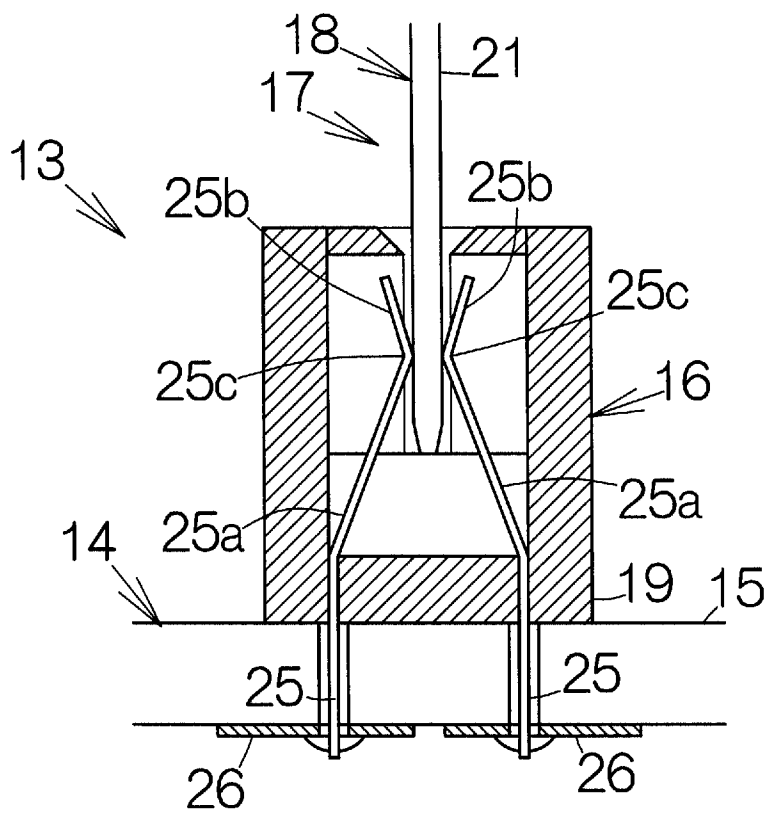
[図1]



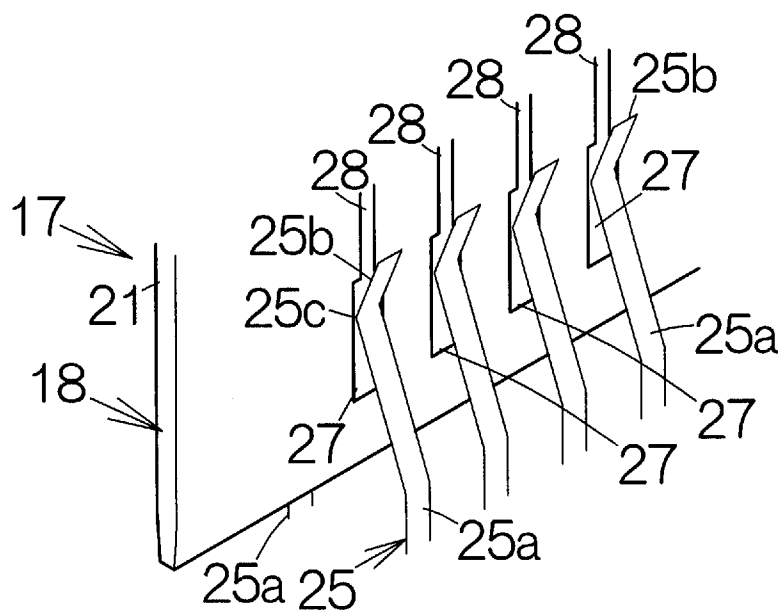
[図2]



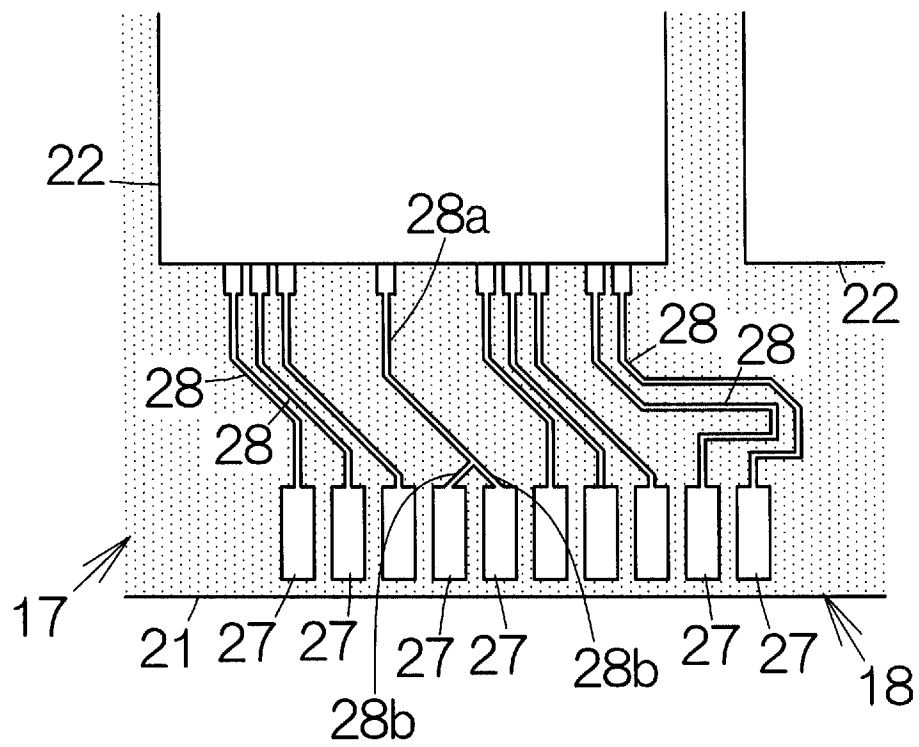
[図3]



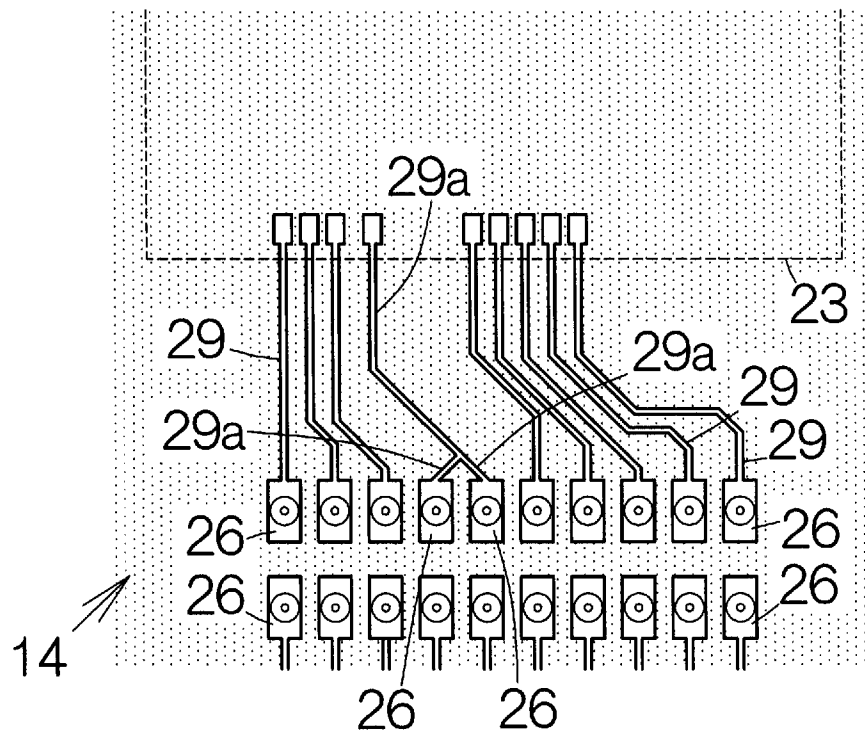
[図4]



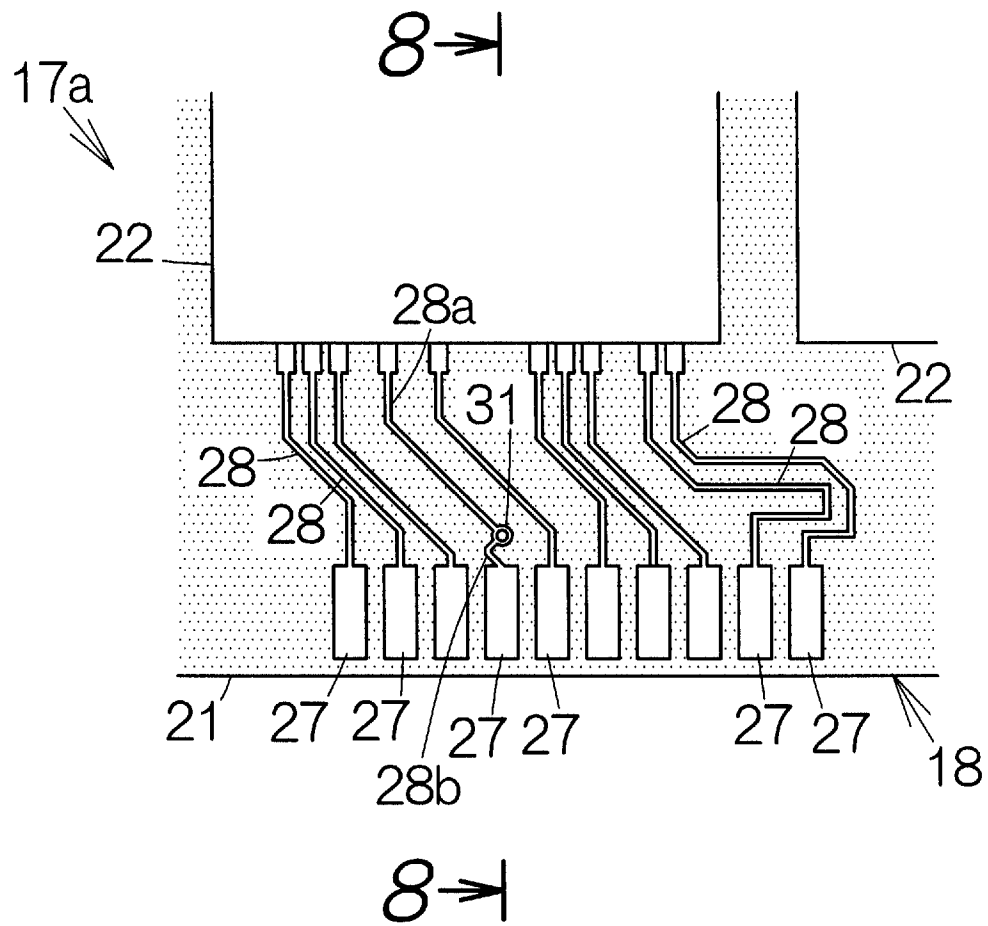
[図5]



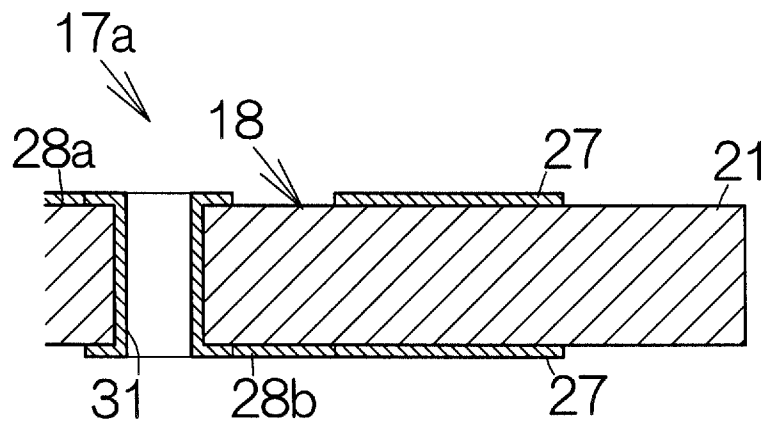
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056802

A. CLASSIFICATION OF SUBJECT MATTER

H05K1/11 (2006.01) i, H05K1/14 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K1/11, H05K1/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 5-36455 A (Fujitsu Ten Ltd.), 12 February, 1993 (12.02.93), Par. Nos. [0012] to [0018]; Figs. 1 to 5 (Family: none)	1, 5, 9, 13 2-4, 6-8, 10-12, 14-16
X Y	JP 2002-324959 A (The Furukawa Electric Co., Ltd.), 08 November, 2002 (08.11.02), Par. Nos. [0010] to [0015]; Figs. 1 to 3 (Family: none)	5, 9 6-8, 10-12
Y	JP 2004-152131 A (Elpida Memory, Inc.), 27 May, 2004 (27.05.04), Par. Nos. [0009] to [0017] & US 2005/0105318 A1	2-4, 6-8, 10-12, 14-16

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 April, 2007 (11.04.07)

Date of mailing of the international search report
24 April, 2007 (24.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056802

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The matter common to the inventions of claims 1 - 16 is a printed circuit comprising a single-line wiring pattern formed on a substrate and extending on one line, two or more double-line wiring patterns formed on the substrate and branched from the single-line wiring pattern, and a plurality of terminals formed on the substrate and connected individually with the double-line wiring patterns.

(continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/056802

Continuation of Box No.III of continuation of first sheet(2)

However, the search has revealed that the aforementioned printed circuit is not novel, since it was disclosed in document: JP 5-36455 A (Fujitsu Ten Ltd.), 12 February, 1993 (12.02.93), Par. Nos. [0012] to [0018], Figs. 1 - 5, and in document: JP 2002-324959 A (The Furukawa Electric Co., Ltd.), 8 November, 2002 (08.11.02), Par. Nos. [0010] to [0015], Figs. 1 - 3.

As a result, the aforementioned printed circuit is not the special technical feature within the meaning of PCT Rule 13.2, second sentence, since that common matter does not explicitly specify any contribution over the prior art. Among the inventions of claims 1 - 4, 5 - 8, 9 - 12 and 13 - 16, therefore, there commonly exists no "special technical feature" within the meaning of PCT Rule 13.2, second sentence.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K1/11(2006.01)i, H05K1/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K1/11, H05K1/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P 5 - 3 6 4 5 5 A（富士通テン株式会社） 1 9 9 3 . 0 2 . 1 2 , 段落【0012】 - 【0018】，第1 - 5 図（ファミリーなし）	1, 5, 9, 13 2-4, 6-8, 10-12, 14-16
X Y	J P 2 0 0 2 - 3 2 4 9 5 9 A（古河電気工業株式会社） 2 0 0 2 . 1 1 . 0 8 , 段落【0010】 - 【0015】，第1 - 3 図（ファミリーなし）	5, 9 6-8, 10-12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 4 . 2 0 0 7

国際調査報告の発送日

2 4 . 0 4 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

中村 一雄

3 S

3 3 2 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 9 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2004-152131 A (エルピーダメモリ株式会社) 2004. 05. 27, 段落【0009】-【0017】 & US 2005/0105318 A1	2-4, 6-8, 10-12, 14-16

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲_____は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲_____は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲_____は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1-16に係る発明の共通の事項は、基板に形成されて一筋に延びる単線配線パターンと、基板に形成されて、単線配線パターンから分岐する2本以上の複線配線パターンと、基板に形成されて複線配線パターンに個別に接続される複数の端子とを備えるプリント基板である。

しかしながら、調査の結果、上記プリント基板は文献JP 5-36455 A（富士通テン株式会社）1993.02.12、段落【0012】-【0018】、第1-5図、及び、文献JP 2002-324959 A（古河電気工業株式会社）2002.11.08、段落【0010】-【0015】、第1-3図に開示されているから、新規でないことが明らかになった。

結果として、上記プリント基板は先行技術の域を出ないから、PCT規則13.2の第2文の意味において、この共通事項は特別な技術的特徴ではない。よって、請求の範囲1-4、5-8、9-12、13-16に係る発明に共通する、PCT規則13.2の第2文でいう「特別な技術的特徴」は存在しない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付を伴う異議申立てがなかった。