(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11B 20/10

(45) 공고일자 2005년02월23일
(11) 등록번호 10-0460163
(24) 등록일자 2004년11월26일

(21) 출원번호 10-1996-0074374
(22) 출원일자 1996년12월23일
(65) 공개번호 10-1997-0050861
(43) 공개일자 1997년07월29일

(30) 우선권주장 95-350142 1995년12월22일 일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자 고바야시 세이지
일본국 도쿄도 시나가와쿠 기다시나가와 6-7-35 소니가부시키가이샤 내

(74) 대리인 신현문
이병호
이범래
정상구

심사관 : 장현숙

# (54) 디지털신호재생장치및그재생방법

요약

1 피트(pit)의 광학 신호의 정면 엣지 및 배면 엣지에 대응하는 신호들이 샘플링되고 그에의해 한 쌍의 신호들 Vx 및 Vy가 얻어진다. 2차원 디코더들은 6비트의 기록된 데이터중 하위 차수 3 비트의 모든 조합들을 매핑(map)하므로, 이것들은 기록된 데이터의 상위 차수 3 비트를 또한 디코딩한다. 추정된 값 계산 회로들은 디코딩된 출력들에 대응하는 추정된 값들 Vx' 및 Vy'를 출력한다. 감산 장치들 및 제곱 계산 장치들은 실제 재생된 신호들과 추정된 값들 사이의 거리들(오류 전력들(error powers))을 계산한다. 시간적으로 변하는 복수의 오류 전력과 함께, 비터비(Viterbi) 디코딩 회로는 디코딩된 출력 데이터를 발생시킨다.

대표도

도 1

색인어

매핑, 오류 전력, 비터비 디코딩 회로

명세서

도면의 간단한 설명

도 1은 기록 장치의 실시예를 나타내는 블록도.

도 2는 컨볼루셔널 코드 계산 회로(convolutional code daculating circuit)의 예를 나타내는 블록도.

도 3은 기록된 데이터 및 피트 엣지 위치 데이터의 매핑(mapping)의 예를 나타내는 개략도.

도 4A 내지 도 4C는 다중-값 기록 프로세스를 설명하는 개략도.

도 5는 본 발명의 실시예에 따른 재생 장치를 나타내는 전체적인 블록도.

도 6은 본 발명의 실시예에 따른 TLT 디코더를 나타내는 블록도.

도 7은 하위 차수 3 비트들이 000인 경우에 기록된 정보의 매핑을 나타내는 개략도.

도 8은 하위 차수 3 비트들이 000인 경우에 2차원 디코딩 영역을 나타내는 개략도.

도 9A 내지 도 9G는 하위 차수 3 비트들이 001 내지 111 범위에 있는 경우에 2차원 인코딩 클래스를 나타내는 개략도들.

도 10은 TLT 디코더의 추정된 값 계산 회로의 예를 나타내는 블록도.

도 11은 TLT 디코더의 추정된 값 계산 회로의 예를 나타내는 블록도.

도 12는 TLT 디코더의 비터비 디코딩 회로(Viterbi decoding circuit)를 설명하는 트렐리스도.

도 13은 TLT 디코더의 추정된 값 계산 회로의 다른 예를 나타내는 블록도.

도 14는 본 발명의 다른 실시예에 따른 TLT 디코더를 나타내는 블록도.

*도면의 주요부분에 대한 부호의 설명*

1: 매핑 회로 2: 컨볼루셔널 코드 계산 회로

3: 비트 수 변환 회로 4: 타이밍 제어기

5: 고정된 패턴 생성 회로 6: 데이터 실렉터

10: 정보 공급원 11: 오류 정정 회로

24: 헤드 증폭기 25: 서보 회로

26: 스핀들 서보 회로 32: 등화기

33: TLT 디코더 34: 비트 수 변환 회로

35: 오류 정정 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다중 값들, 예를 들면 피트들의 엣지 위치 정보로 기록된 디지털 신호를 재생하기 위한 디지털 신호 재생 장치 및 그의 재생 방법에 관한 것이다.

다중 값으로 점진적인 위치 변화들로서의 피트들의 엣지들을 기록하기 위한 시스템으로서, 실질적인 수단이 예를 들면 미합중국 특허 제 USP 5,557,592 호에 기재되어 있다. 다중-값 정보를 기록하고 재생하기 위한 종래 시스템에서, 잡음의 영향을 제거하기 위한 기술이 다중-값 정보를 기록 및 재생하기 위한 시스템에 이용되어 왔다. 이러한 기술은 트렐리스 인코딩 변조(trellis encoding modulation)라 불린다. 예를 들면, 이러한 기술의 개요는 문헌 "Journal of Information Processing Society of Japan," 제72권, 제3호, 306 내지 316 페이지, 1989년 3월에 기재되어 있다. 트렐리스 인코딩 변조에서, 신호가 기록될 때, 컨볼루셔널 코드(convolutional code)가 부가된다. 따라서, 재생된 신호들의 조합들이 제한되기 때문에, 정확한 신호 순차는 잡음 등의 영향을 제거하도록 재생된 신호의 순차로 추정된다. 이러한 트렐리스 인코딩 변조 시스템은 잡음과 같은 랜덤한 방해에 특히 효과적이다.

#### 발명이 이루고자 하는 기술적 과제

한편, 실제 시스템에서, 신호가 기록 또는 재생되는 동안, 신호는 왜곡될 수 있다. 재생된 신호의 값은 때때로 이상적인 값에서 벗어난다. 왜곡으로 인한 오류는, 기록되는 정보가 잡음으로 인한 오류와 달리 동일한 한, 항상 일정하다.

트렐리스 인코딩 변조는 어느 정도까지 왜곡으로 인한 오류에 대한 효과를 갖는다. 그러나, 잡음은 랜덤해야 하므로, 잡음의 제거 효과는 충분하지 못하다.

따라서, 본 발명의 목적은 랜덤한 잡음 및 신호 왜곡 모두가 동시-존재하는 경우에도 기록된 데이터를 정확하게 재생하기 위한 디지털 신호 재생 장치 및 그의 재생 방법을 제공하는 것이다.

본 발명의 제 1 측면은, 기록 정보를 가정하고 가상으로 기록된 정보를 결정하기 위한 복수의 기록된 정보 가정 수단, 가상으로 기록된 신호에 대응하는 재생된 신호의 진폭을 추정하기 위한 재생된 신호 추정 수단, 추정된 재생된 신호와 실제 재생된 신호 사이의 거리를 계산하기 위한 거리 계산 수단 및, 상기 거리 계산 수단의 복수의 출력들(이 복수의 출력들은 시간적으로(chronologically) 변화함)의 합을 계산하고, 합으로부터 최소 출력을 검출하고, 검출된 결과에 대응하는 재생된 데이터를 출력하기 위한 디코딩 수단을 포함하는, 기록 매체상에 기록된 다중-값 신호를 재생하기 위한 디지털 신호 재생 장치이다.

본 발명의 제 2 측면은, 기록된 정보를 가정하고, 가상으로 기록된 정보를 결정하는 단계, 가상으로 기록된 정보에 대응하는 재생된 신호의 진폭을 추정하는 단계, 추정된 재생된 신호와 실제 재생된 신호 사이의 차이를 계산하는 단계 및, 서로 시간적으로 다르고, 계산되어진 거리들의 합을 계산하고, 합으로부터 최소값을 검출하고, 검출된 결과에 대응하는 재생된 데이터를 출력하는 단계를 포함하는, 기록 매체상에 기록된 다중-값 신호를 재생하기 위한 디지털 신호 재생 방법이다.

기록 매체, 예를 들면 광디스크 상에 형성된 각각의 피트(pit)의 정면 엣지 및 배면 엣지의 엣지 위치들은 기록된 데이터와 함께 변조되고, 기록된 데이터는 다중 값들로서 기록된다. 기록된 데이터가 광디스크로부터 재생될 때, 재생된 신호는 각각의 피트에 대응하는 신호의 양쪽 엣지들을 샘플링함으로써 얻어진다. 이 경우에, 재생된 신호의 진폭은 가상으로 기록된 데이터에 대응하여 추정된다. 따라서, 추정된 재생된 신호와 실제로 재생된 신호 사이의 거리가 계산된다. 이러한 거리가 최대 가능성의 디코딩 방법에 의해 디코딩될 때, 기록된 데이터가 디코딩된다.

본 발명의 이들 및 다른 목적들, 특징들 및, 장점들은, 첨부된 도면에 나타낸 바와 같이, 하기 최상의 모드 실시예들의 상세한 설명의 관점에서 더 분명해질 것이다.

## 발명의 구성 및 작용

다음으로, 첨부된 도면을 참조하여, □ 발명에 따른 실시예가 서술될 것이다. 도 1은 광디스크에 디지털 신호를 기록하는 기록 장치의 예를 나타낸다. 정보 공급원(10)으로부터 공급된 디지털 신호(디지털 오디오 신호, 디지털 비디오 신호등)가 오류 정정 회로(11)에 공급된다.

종래의 광디스크와 같이, 오류 정정 회로(11)는 리드-솔로몬(Reed-Solomon)코드인 오류 정정 코드(CIRC)를 정보 공급원(10)으로부터 공급된 디지털 신호에 부가한다. 이러한 오류 정정 코드는 종래의 컴팩트 디스크(CD)에 이용된 것과 동일하다. 이러한 코드는, 재생된 신호의 일부가 광디스크의 결함으로 인한 오류를 갖는 경우에도, 데이터가 정확히 판독될 수 있도록 과잉으로 부가된다. 오류 정정 코드는 8비트들(1 바이트)마다 계산된다. 따라서, 데이터는 8비트마다 출력된다. 그러나, 실시예에 따라, 5비트들의 데이터가 각각의 피트에 대해 기록되기 때문에, 8-비트 데이터는 비트 수 변환 회로(3)에 의해 5-비트 데이터로 변환된다.

비트 수 변환 회로(3)는 5개의 8-비트 블록들의 데이터(전체 40 비트)를 레지스터에 저장한다. 이후, 비트 수 변환 회로(3)는 레지스터로부터 8개의 5-비트 블록들의 데이터를 출력한다. 비트 수 변환 회로(3)의 출력 데이터는 매핑 회로(1) 및 컨볼루셔널 코드 계산 회로(2)에 공급된다. 타이밍 제어기(4)는 클록 신호를 컨볼루셔널 코드 계산 회로(2)에 공급한다. 컨볼루셔널 코드 계산 회로(2)는 컨볼루셔널 코드를 계산하고, 계산된 코드를 데이터 순차의 최소 유효 비트로서 부가한다. 결과적인 6-비트 블록 데이터는 매핑 회로(1)에 공급된다. 매핑 회로(1)는 6비트 및 각각의 피트의 정면 엣지 및 배면 엣지의 엣지 위치들을 매핑한다. 정면 엣지 및 배면 엣지 각각은 8 비트 레벨에서 독립적으로 변조된다. 정면 엣지 및 배면 엣지의 엣지 위치는 3 비트를 나타낸다. 따라서, 6 비트의 데이터는 각각의 피트에 대해 매핑 회로(1)로부터 출력된다.

6-비트 신호는 매핑 회로(1)로부터 데이터 실렉터(data selector)(6)의 2개의 입력 단자들 중의 하나에 공급된다. 고정된 패턴은 고정된 패턴 생성 회로(5)로부터 데이터 실렉터(6)의 다른 입력 단자에 공급된다. 타이밍 제어기(4)로부터 공급된 제어 신호에 대응하여, 데이터 실렉터(6)는 소정의 간격들로 스위칭된다. 따라서, 기준 신호로서의 고정된 패턴은 데이터 순차들사이에 삽입된다. 신호가 디스크로부터 재생될 때, 디스크상의 피트들의 상태는 기준 신호에 대응하여 검출될 수 있다. 디스크로부터 데이터를 재생하기 위한 시간 기준인 클록 신호는 기준 신호로부터 재생된다.

6-비트 블록 신호는 실렉터(6)로부터 엣지 변조 회로(7)에 공급된다. 엣지한다. 엣지 변조 회로(7)의 출력 신호는 마스터링 기계(mastering machine)(도시되지 않음)로 공급되고, 레이저 빔에 의해 유리 마스터 디스크상에 기록된다.

데이터가 기록된 광학 마스터 디스크는 종래의 광학 마스터 디스크와 동일한 방식으로 개발된다. 이후, 광디스크는 도금되고, 최종적으로 스탬퍼(stamper)가 생성된다. 스탬퍼로, 디스크들은 CD 등과 같은 광 디스크들과 동일한 방식으로 재생된다. 피트들은 각각의 재생된 디스크의 정면 표면 상에 규칙적으로 배열된다. 각각의 피트의 정면 엣지 및 배면 엣지 각각은 8개의 레벨들에서 변조된다. 따라서, 1 피트는 6 비트의 데이터를 나타낸다. 다중 값으로 데이터를 기록함으로써, 기록 밀도가 개선된다.

도 2는 컨볼루셔널 코드 계산 회로(2)의 예를 나타낸다. 도 2에서, 점선으로 둘러싸인 부분은 컨볼루셔널 코드 계산 회로(2)의 블록을 나타낸다. 컨볼루셔널 코드 계산 회로(2)는 3개의 플립-플롭(21 내지 23) 및 2개의 배타적-OR

회로들(26 및 27)로 구성된다. 도 1에서, 5-비트 블록 데이터의 출력은 비트 수 변환 회로(3)로부터 매핑 회로(1) 및 컨볼루셔널 코드 계산 회로(2) 모두에 공급된다. 그러나, 실제로, 도 2에 나타낸 바와 같이, 컨볼루셔널 코드 계산 회로(2)에 이용된 데이터는 비트 수 변환 회로의 출력 데이터중 단지 하위 차수 2 비트들(D1 및 D0)이다.

컨볼루셔널 코드 계산 회로(2)는 각각의 피트에 대한(즉, 각각의 5-비트 블록 데이터에 대해) 컨볼루셔널 코드(P6)를 계산하고, 그 결과를 매핑 회로(1)에 출력한다. 3개의 플립-플롭들중 플립-플롭(21)은 각각의 피트에 대한 플립-플롭(23)의 출력 상태에 대응하는 상태를 변화시킨다. 플립-플롭(22)은 각각의 피트에 대한 비트 수 변환 회로(2)의 제 2 최소 유효 비트(D1) 및 플립-플롭(21)의 출력 신호의 배타적-OR의 출력 신호의 신호 상태에 대응하는 상태를 변화시킨다. 마찬가지로, 플립-플롭(23)은 비트 수 변환 회로(2)에 대한 최소 유효 비트(D0) 및 플립-플롭(22)의 출력 신호의 배타적-OR의 출력 신호에 대응하는 상태를 변화시킨다.

다음으로, 매핑 회로(1)가 서술될 것이다. 매핑 회로(1)는 비트 수 변환 회로(3)의 5 비트들(D4 내지 D0) 및 컨볼루셔널 코드 계산 회로(2)의 1 비트(P0)를 입력하고, 각각 3 비트들로 구성된, 비트 엣지 위치 데이터(PX 및 PY)를 출력한다. 도 3은 매핑 프로세스의 예를 나타낸다. 도 3에서, 각각의 격자 포인트의 상단 우측 위치에 놓인 숫자들(00 내지 77)은 8진법(비트 엣지 위치 데이터의 3 비트들은 0 내지 7에 의해 나타냄)으로 표기된 6-비트 입력 데이터(D4, D3, D2, D1, D0 및 P0)를 나타낸다. X 및 Y 축상에 표기된 숫자들(0 내지 7)은 3-비트 데이터(PX 및 PY)를 나타낸다.

예를 들면, 입력 데이터의 6 비트들(D4, B3, D2, D1, D0 및 P0)의 값들이 (0, 0, 1, 0, 1 및, 1)일 때, 8진법 표기의 입력 데이터는 13이다. 이 경우, 격자 포인트가 13인 위치가 위치지정되고, 위치지정된 격자 포인트의 X 및 Y 좌표들(PX, PY)는 (7, 0)이 된다. 매핑 회로(1)는 6-비트 입력 데이터에 대해 6-비트 데이터를 출력하고, 매핑 회로(1)는 ROM과 같은 메모리 IC로 완성될 수 있다.

고정된 패턴이 기준 데이터로서 삽입된 후, 엣지 위치 데이터(PX 및 PY)는 엣지 변조 회로(7)에 입력된다. 도 4A에 나타낸 바와 같이, 각각의 피트의 정면 엣지의 위치는 PX의 값에 대응하여 점진적으로 증가한다. 부가하면, 배면 엣지의 값은 PY의 값에 대응하여 점진적으로 증가한다.

도 4B는 매핑 회로(1)의 입력 데이터와 그에 대응하여 기록된 피트의 모양사이의 관계의 예를 나타낸다. 도 4B에서, 8진법으로 기록된 데이터는 64이다. 도 3을 참조하여, 매핑 회로(1)는 64에 대응하는 PX=7 및 PY=7를 얻는다. 따라서, 피트의 정면 엣지 및 배면 엣지 모두는 가장 큰 피트 길이로 설정된다. 도 4C에 나타낸 예에서, 8진법으로 기록된 데이터는 13이다. 이 예에서, 피트의 정면 엣지는 최대 위치로 이동되고, 피트의 배면 엣지는 최단 위치로 설정된다.

상술된 바와같이, 본 발명에서, 다중 값들은 각각의 피치의 정면 엣지 위치 및 배면 엣지 위치가 변조되도록 데이터로서 기록된다. 도 5는 본 발명의 실시예에 따른 광디스크 재생 장치를 나타낸다. 도 5에서, 참고 숫자(21)는 데이터가 상기에 서술된 마스터링 시스템에 의해 기록된 마스터 디스크로부터 재생되는 광디스크이다. 참고 번호(23)는 광디스크(21)를 CLV(일정한 선 속도) 또는 CAV(일정한 각 속도)로 회전시키는 스핀들 모터(spindle motor)이다. 광학 픽업(optical pickup)(22)은 레이저 빔을 광디스크(21)에 방사한다. 광학 픽업(22)에서 광검출기는 반사광의 양을 전기 신호로 변환시키고, 헤드 증폭기(24)를 통해 재생된 RF 신호를 얻는다.

광학 픽업(22)은 서보 회로(servo circuit)(25)에 의해 제어된다. 스핀들 모터(23)는 스핀들 서보 회로(26)에 의해 제어된다. 도 5에서, 서보 회로(25)는 1 블록으로서 나타내어진다. 그러나, 서보 회로(25)는 촛점 서보(focus servo)(광학 픽업(22))이 적절히 촛점이 맞추어지도록 허용함), 트래킹 서보(광학 스팟(optical spot)을 정확한 트랙에 정렬시킴), 슬라이드 서보(광학 픽업(22)을 적절한 반경 위치로 이동시킴) 등을 포함한다. 촛점 오류 신호 및 트래킹 오류 신호는, 예를 들면, 4-분할 검출기의 출력 신호를 계산함으로써 형성된다. 필요할 경우, APC(자동 전력 제어) 회로(27)는 레이저 전력이 적절히 유지되도록 제공된다.

재생된 RF 신호는 PLL 회로(28)에 공급된다. PLL 회로(28)는 클록 신호를 발생시키고, 이를 전체 시스템에 공급한다. A/D 변환기(29)는 아날로그 신호로부터의 재생된 RF 신호를 클록 신호와 동기화하여 8-비트 디지털 신호로 변환시킨다. 이후, 바이어스 요동 제거 회로(bias fluctuation removing circuit)(30) 및 AGC 회로(31)는, 각각의 데이터 사이에 주기적으로 기록된, 기준 신호를 지닌 디스크의 제조 단계에서 여러 가지 원인들로 인해 발생하는 바이어스 및 이득의 요동을 보상한다. 바이어스 요동 제거 회로(30)는 각각의 데이터사이에 형성된 기준 신호의 레벨을 참조하여 전체적인 재생된 신호의 수직 요동 (즉, 바이어스의 요동)을 제거한다. AGC 회로(31)는 기준 신호를 참조하여 이득의 요동(즉, 재생된 신호의 진폭의 요동)을 제거한다.

AGC 회로(31)의 출력 신호는 등화기(32)에 공급된다. 등화기(32)는 기록된 신호들 사이의 내부-코드 간섭을 제거한다. 등화기(32)의 출력 신호는 한 쌍의 신호(Vx 및 Vy)이다. 신호(Vx)는 각각의 피치의 정면 엣지를 샘플링함으로써 얻어진다. 신호(Vy)는 각각의 피치의 배면 엣지를 샘플링함으로써 얻어진다. 등화기(32)의 출력 신호는 TLT 디코더에 공급된다. 이후 기재하는 바와 같이, TLT 디코더(33)는, 신호 왜곡 및 랜덤한 잡음의 영향들이 상기 기록된 데이터에 부가된 컨볼루셔널 코드의 정보로써 제거되는 방식으로, 등화기(32)의 출력 신호를 디코딩한다. 상기한 바와 같이, 컨볼루셔널 코드는 잡음의 영향 등을 제거하기 위해 부가된 잉여 정보이기 때문에, 컨볼루셔널 코드가 제거된 5-비트 정보가 각각의 피트에 대해 얻어진다.

TLT 디코더(33)는 입력 데이터를 5-비트 블록 데이터로 디코딩한 후, 비트수 변환 회로(34)는 5-비트 블록 데이터를 8-비트 블록 데이터로 변환시킨다. 이러한 프로세스는 시프트 레지스터에 8개의 5-비트 블록들을 저장하고, 그로부터 5개의 8-비트 블록들을 판독함으로써 달성된다. 비트 수 변환 회로(34)는 8-비트 블록 데이터를 오류 정정 회로(35)에 공급한다. 오류 정정 회로(35)는 디스크상의 결함의 영향을 제거한다. 오류 정정 회로(35)는 재생된 데이터를 출력한다. 상기 디스크 재생 장치의 동작을 제어하기 위해, 제어기(CPU)(36)가 배치된다.

다음으로, TLT 디코더(33)의 구조의 예가 서술된다. 각각의 피치의 두 엣지들이 샘플링된 신호들(Vx 및 Vy)은 TLT 디코더(33)에 입력된다. 바이어스 요동 제거 회로(30)는 바이어스의 요동을 제거한다. AGC 회로(31)는 신호의 진폭을 정규화시킨다. 따라서, 기록 시스템 및 재생 시스템의 불완점함으로 인한 왜곡 및 기록 프로세스 및 재생 프로세스에서의 임의의 원인으로 인해 도입되는 잡음의 영향이 입력 신호들(Vx 및 Vy)로부터 제거되었기 때문에, 이들은 기록된 피트 엣지들의 위치들인 위치들(PX 및 PY)에 대응하는 값들을 갖는다.

AGC 회로(31)의 이득 및 바이어스 요동 제거 회로(30)의 바이어스 값은 설계자에 의해 설정될 수 있다. 그러나, 본 발명에서, 바이어스 요동 제거 회로(30) 및 AGC 회로(31)는 잡음 및 왜곡이 일어나지 않을 때 신호들(Vx 및 Vy)이 다음 수식을 만족시킬 수 있도록 설계된다.

$$Vx = 32 \cdot PX + 16 \cdots (1)$$

$$Vy = 32 \cdot PY + 16 \cdots (2)$$

예를 들면, 신호가 정면 엣지 및 배면 엣지(PX 및 PY)의 위치가 (0 및 7)로서 기록된 피치로부터 재생될 때, TLT 디코더(33)로의 입력 신호들(Vx 및 Vy)은 값들(16 및 240)을 갖는다. TLT 디코더(33)로의 입력 신호들(Vx 및 Vy)는 잡음 및 왜곡에 의해 영향을 받기 때문에, 이들 값들은 약간 벗어난다. TLT 디코더(33)는 이상적인 값들로부터 약간 벗어난 신호를 정확히 디코딩한다.

도 6은 TLT 디코더(33)의 구조의 예를 나타낸다. 8개의 2차원 디코더들(41 내지 48)은 입력 신호들(Vx 및 Vy)에 대응하는 8개의 디코딩된 값들을 얻는다. 8개의 2차원 디코더들(41 내지 48)의 디코딩된 값들의 하위 차수 3 비트들의 값들은 000 내지 111이다. 2차원 디코더들(41 내지 48)은 기록된 데이터를 가정하고, 가상으로 기록된 정보를 결정하는 기록된 정보 가정 수단이다. 예를 들면, 최상위 디코딩 회로(41)는 입력 신호의 하위 차수 3 비트들이 000인 경우에 대응한다. 2차원 디코더(31)는 하위 차수 3 비트들이 000이라는 가정으로 데이터를 디코딩한다.

하위 차수 3 비트들이 000인 데이터의 8가지 방식들이 있다. 도 7은 8개의 신호들만이 추출된 맵을 나타낸다. 도 7로부터 명백히 알 수 있듯이, 하위 차수 3비트들이 000인 기록된 데이터의 8가지 방식들은 각각의 기록된 데이터가 매핑 2차원 평면상에서 서로 최대로 이격되도록 설정된다. 기록된 데이터의 하위 차수 3 비트들이 000인 것이 공지된 경우에, 각각의 신호가 서로 충분히 이격된 2차원 평면상에 상기 재생된 신호들(Vx 및 Vy)이 임계값들과 분리될 때, 상위 차수 3 비트들이 디코딩될 수 있다. 달리 말하자면, 하위 차수 3 비트들이 000인 데이터의 디코딩 영역이 라인들에 의해 나타내진 임계값들로 형성된다. 도 8에 나타낸 바와 같이, 신호들(Vx 및 Vy)이 2차원 평면상의 임계값들의 결정에 대응하여 디코딩될 때, 임계값들 사이의 거리가 충분히 크기 때문에, 어느 정도까지 왜곡 및 잡음이 있더라도, 상위 차수 3 비트들이 디코딩될 수 있다.

마찬가지로, 제 2 의 최상위 2차원 디코더(42)는 기록된 데이터의 하위 차수 3 비트들이 001이라는 가정으로 데이터를 디코딩한다. 기록된 데이터의 하위 차수 3 비트들이 001일 때, 하위 차수 3 비트들이 000인 경우와 마찬가지로, 상위 차수 3 비트들에 대응하는 정보 포인트들은 그 거리가 서로 최대로 이격되도록 설정되었다. 따라서, 임계값이 도 9A에 나타낸 바와같은 2차원 평면 상에 설정된 2차원 디코더(42)로써, 상위 차수 3 비트들의 값들이 얻어질 수 있다.

도 9B는 하위 차수 3 비트들이 010인 경우에 대응하는 2차원 디코더(43)의 디코딩 영역을 나타낸다. 도 9C는 하위 차수 3 비트들이 011인 경우에 대응하는 2차원 디코더(44)의 디코딩 영역을 나타낸다. 도 9D는 하위 차수 3 비트들이 100인 경우에 대응하는 2차원 디코더(45)의 디코딩 영역을 나타낸다. 도 9E는 하위 차수 3 비트들이 101인 경우에 대응하는 2차원 디코더(46)의 디코딩 영역을 나타낸다. 도 9F는 하위 차수 3 비트들이 110인 경우에 대응하는 2차원 디코더(47)의 디코딩 영역을 나타낸다. 도 9G는 하위 차수 3 비트들이 111인 경우에 대응하는 2차원 디코더(48)의 디코딩 영역을 나타낸다.

따라서, 2차원 디코더는 하위 차수 3비트들의 모든 조합들에 대응하여 배치되기 때문에, 잡음 및 왜곡의 영향들이 너무 크지 않다면, 이들 8개의 디코더들(41 내지 48)중의 하나는 정확한 데이터를 출력할 수 있다. 그러나, 이들 데이터들(41 내지 48)이 정확한 데이터를 출력하는지는 불확실하다. 이러한 문제를 해결하기 위해, TLT 디코더(33)는 모든 디코더들(41 내지 48)이 정확한 데이터를 출력한다고 가정하고, 모든 2차원 디코더들(41 내지 48)에 대한 프로세스들을 수행한다.

추정된 값 계산 회로들(51 내지 58)은 8개의 2차원 디코더들(41 내지 48)의 출력들에 접속된다. 추정된 값 계산 회로들(51 내지 58)는 가상으로 기록된 정보에 대응하는 재생된 신호들의 진폭을 추정하는 재생된 신호 추정 수단이다. 상위 차수 3 비트들의 디코딩된 데이터가 8개의 추정된 값 계산 회로들(51 내지 58)에 공급된다. 8개의 추정된 값 계산 회로들(51 내지 58)는 데이터의 하위 3 비트들의 모든 조합들에 대응하여 배치된다. 각각의 추정된 값 계산 회로는 1 피트에 기록된 모든 6-비트 데이트를 얻는다. 6-비트 데이터로써, 각각의 추정된 값 계산 회로는 잡음 등으로 인한 랜덤한 오류가 전혀 없는 재생된 신호들의 값들을 계산할 수 있다. 이들 값은 추정된 값들(Vx' 및 Vy')로서 언급된다.

도 10은 추정된 값 계산 회로(51)가 가장 용이하게 달성될 수 있는 예를 나타낸다. 도 10에서, 2차원 디코더(51)의 3-비트 출력 데이터가 매핑 회로(101)에 공급된다. 매핑 회로(101)는 하위 차수 3 비트들이 (0, 0 및, 0)인 피트 엣지 위치 데이터(PX 및 PY)를 출력한다. 매핑 회로(101)는 매핑 회로(1)와 동일한 기능을 갖는다. 매핑 회로(101)는 메모리 IC 등에 의해 달성될 수 있다. 피트 엣지 위치들(PX 및 PY)로써, 계산 회로들(111 및 121)은 재생된 신호들의 추정된 값들(Vx' 및 Vy')을 얻도록 수식들 (1) 및 (2)로 나타낸 계산들을 수행한다.

다른 추정된 값 계산 회로들(52 내지 58)은 추정된 값 계산 회로(51)와 동일한 구조를 갖는다. 매핑 회로로의 하위 차수 3 비트들의 입력 패턴들을 변화시킴으로써, 이들 추정된 값 계산 회로들(52 내지 58)이 달성될 수 있다. 도 11은 하위 차수 3 비트들이 (0, 0 및, 1)인 추정된 값 계산 회로(42)의 가장 간단한 구조의 예를 나타낸다. 추정된 값

계산 회로(41)와 마찬가지로, 추정된 값 계산 회로(52 내지 58) 각각은 매핑 회로(102) 및 계산 회로들(112 및 122)로 구성된다.

감산 회로들(61 내지 68)을 8가지 방식의 추정된 값들(Vx' 및 Vy')과 실제 재생된 신호들(Vx 및 Vy) 사이의 차이들을 계산한다. 감산된 결과들은 제곱 계산 장치들(71 내지 78)에 입력된다. 제곱 계산 장치들(71 내지 78)은 오류 전력들(E0, E1, E2, E3, E4, E5, E6 및, E7)을 출력한다. 감산 회로들(61 내지 68) 및 제곱 계산 장치들(71 내지 78)은 추정된 재생된 신호들과 실제 재생된 신호들사이의 거리들을 계산하는 거리 계산 수단의 예이다. 달리 말하자면, 계산 장치들(71 내지 78)는 다음 식에 대응하는 오류 전력들을 얻는다.

$$\text{오류 전력} = (Vx-Vx')^2 + (Vy-Vy')^2$$

오류 전력들로서 얻어진 신호들은 실제 재생된 신호들과 추정된 값들사이의 "편차"의 에너지에 비례한다. 상기한 바와 같이, 8개의 2차원 디코더들(41 내지 48)중 하나만이 정확한 하위 차수 3 비트들을 가정한다. 따라서, 추정된 값 계산 회로들중 하나만이 정확한 추정된 값들(Vx' 및 Vy')을 출력한다. 잡음의 영향이 무시될 때, 정확한 추정된 값들은 재생된 신호들에 가장 근접한 것으로 고려된다. 따라서, 잡음의 영향이 없다면, 최소 오류 전력을 출력하는 8개의 제곱 계산 장치들(71 내지 78)중 하나가 선택된다. 대응하는 2차원 디코더의 출력 신호가 결정될 때, 최대 가능성의 디코딩된 출력이 얻어질 수 있다고 가정될 수 있다. 그러나, 실제로, 잡음의 영향은 항상 있다. 어떤 순간에 재생된 신호가 디코딩될 때, 큰 진폭을 갖는 잡음이 그 시간에 신호에 들어간다면, 디코딩 오류가 일어난다.

이러한 문제를 해결하기 위해, 본 발명의 실시예에서, 8개의 오류 전력들(E0 내지 E7)은 시간적으로 서로 상이한 여러 가지 샘플들로 관찰된다. 최대 가능성을 갖는 이들 오류 전력들(E0 내지 E7)중의 하나는 디코딩된 출력으로 고려된다. 디코딩된 출력으로써, 잡음이 제거된다. 이러한 실시예에서, 데이터가 기록될 때, 컨볼루셔널 코드가 그에 부가된다. 따라서, 재생된 신호에 의해 계산된 오류 전력은 도 12에 나타낸 바의 트렐리스도상에 나타내진다.

상부 좌측 상태에서 오류 전력(E0)을 지닌 데이터가 도 12에 기록되었다고 가정하면, 다음 데이터는 오류 전력(E0, E2, E4 또는 E6)를 갖는다. 따라서, 다른 값들이 얻어지지 않는 것이 분명하다. 가능한 경로들은 도 12에 나타낸 바와 같이 제한되기 때문에, 경로는 오류 전력들의 합이 최소가 되는 방식으로 선택된다. 따라서, 큰 잡음이 특정 샘플로 들어가더라도, 최대 가능성을 갖는 제곱 특성 계산 장치가 결정될 수 있다.

도 6에 나타낸 구조에서, 비터비 디코딩 회로(80)는 가능한 경로들로부터 오류 전력들의 최소 누적 값을 지닌 경로를 선택한다. 이러한 경로가 선택될 때, 기록된 데이터의 상위 차수 3 비트들이 결정된다. 기록된 데이터의 하위 차수 3 비트들은 경로에 대응하는 2차원 디코더의 출력 데이터로써 측정된다. 이러한 프로세스로써, 비터비 디코딩 회로(80)는 6 비트들의 최종 디코딩된 값들을 출력한다.

이 실시예에, 추정된 값 계산 회로들(51 내지 58)의 가장 간단한 구조가 서술되었다. 달리 말하자면, 이 구조에서, 재생된 신호들은 이상적(즉, 신호 왜곡이 전혀 없음)인 것으로 가정된다. 그러나, 실제 광디스크에서, 각각의 피트의 모양은 그 크기에 의존하여 변화할 수 있다. 따라서, 피트들의 기록된 데이터는 재생된 신호가 왜곡되게 한다. 재생된 신호가 왜곡될 때, 이것은 이상적인 값에서 벗어난다. 따라서, 잡음이 들어가는 경우와 마찬가지로, 데이터가 디코딩될 때, 오류가 발생하는 경향이 있다.

이러한 신호 왜곡의 영향이 제거되는 방식으로 신호를 디코딩하기 위해, 본 발명의 다른 실시예가 서술될 것이다. 신호 왜곡을 방지하기 위해, 도 13에 나타낸 추정된 값 계산 회로들(51 내지 58)은 도 6에서의 것들 대신에 시용된다.

도 13은 추정된 값 계산 회로(51)만의 구조를 나타낸다. 그러나, 다른 추정된 값 계산 회로들(52 내지 58)의 구조들은 추정된 값 계산 회로(51)의 것과 동일하다. 2차원 디코더(41)의 출력 데이터의 3 비트들은 메모리 IC (131)에 공급된다. 메모리 IC(131)는 추정된 값들(Vx' 및 Vy')을 출력한다. 메모리 IC(131)는 각각의 피트에 기록된 데이터의 6 비트들의 모든 조합들에 대응하는 임의의 추정된 값들을 저장할 수 있기 때문에, 메모리 IC(131)는 실제 광디스크들 상에서 발생하는 여러가지 신호 왜곡들을 다룰 수 있다. 부가하면, 메모리 IC(131)가 재기록가능 메모리일 때, 데이터가 디스크로부터 재생되면서, 데이터의 값들이 변화될 수 있다. 이 경우, 상기 실시예보다 현저한 효과들이 달성될 수 있다.

도 14는, 데이터가 재생되면서, 추정된 값 계산 회로의 메모리 IC에 저장된 값들이 변화하는 다른 실시예를 나타낸다. 추정된 값 계산 회로(90)는 디코딩된 출력 데이터로써 추정된 값들을 계산한다. 감산 회로(91)는 추정된 값들과 지연 회로(92)에 의해 지연된 재생된 신호들 사이의 차이들을 계산한다. 따라서, 추정된 값 계산 회로들(51 내지 58) 및 추정된 값 계산 회로(90)의 메모리 IC들의 내용들은 감산 회로(91)의 출력 데이터가 점진적으로 감소되도록 갱신된다. 도 14에 나타낸 실시예에서, 시간적으로 변화하는 왜곡의 영향은 효과적으로 방지될 수 있다.

이 실시예에서, 각각의 피트의 정면 엣지 또는 배면 엣지를 변조함으로써, 디지털 신호는 다중 값들로서 기록될 수 있다. 본 발명에서, 광디스크 등과 같은 기록가능 기록 매체가 판독-전용 기록 매체로서도 이용될 수 있다.

본 발명은 그의 최상의 모드 실시예들에 대해 도시되고 서술되었지만, 그의 형태 및 세부 항목의 상기 및 다양한 다른 변화들, 생략들 및 부가들이 본 발명의 정신 및 범위에서 벗어나지 않고 그 안에서 이루어질 수 있음을 당업계의 숙련자들은 이해해야 한다.

## 발명의 효과

랜덤한 잡음 및 신호 왜곡이 동시-존재하는 경우에도 기록된 데이터를 정확하게 재생하기 위한 디지털 신호 재생 장치 및 그 재생 방법을 제공한다.

(57) 청구의 범위

## 청구항 1.

기록 매체상에 기록된 다중-값 신호를 재생하기 위한 디지털 신호 재생 장치에 있어서,

기록 정보를 가정하고 가상으로 기록된 정보를 결정하기 위한 복수의 기록된 정보 가정 수단;

상기 가상으로 기록된 신호에 대응하는 재생된 신호의 진폭을 추정하기 위한 재생된 신호 추정 수단;

상기 추정된 재생된 신호와 실제 재생된 신호 사이의 거리를 계산하기 위한 거리 계산 수단; 및

상기 거리 계산 수단의, 시간적으로 변화하는 복수의 출력들의 합을 계산하고, 상기 합으로부터 최소 출력을 검출하고, 상기 검출된 결과에 대응하는 재생된 데이터를 출력하기 위한 디코딩 수단을 포함하는 디지털 신호 재생 장치.

## 청구항 2.

제 1 항에 있어서,

상기 복수의 기록된 정보 가정 수단은 기록된 정보의 일부만을 가정하고,

상기 디코딩 수단은 상기 재생된 신호에 대응하여 가정되지 않았던 정보를 얻는, 디지털 신호 재생 장치.

## 청구항 3.

제 1 항에 있어서,

상기 재생된 신호 추정 수단은, 상기 디코딩 수단의 출력과 상기 디코딩 수단에 의해 디코딩된 상기 재생된 신호사이의 차이를 계산하고, 상기 차이에 대응하는 추정된 값을 갱신하는, 디지털 신호 재생 장치.

## 청구항 4.

기록 매체상에 기록된 다중-값 신호를 재생하기 위한 디지털 신호 재생 방법에 있어서,

기록된 정보를 가정하고, 가상으로 기록된 정보를 결정하는 단계;

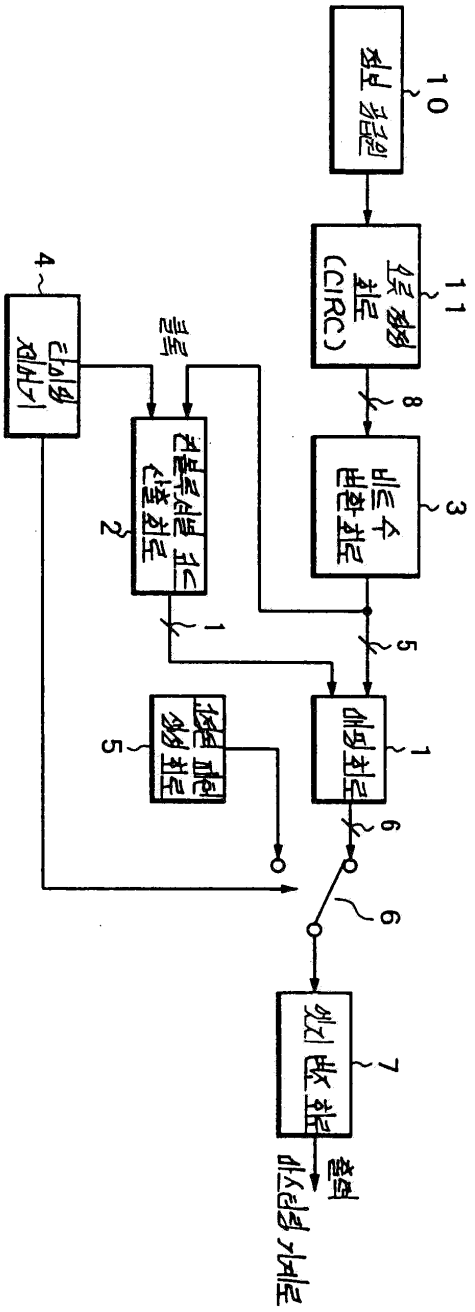
상기 가상으로 기록된 정보에 대응하는 재생된 신호의 진폭을 추정하는 단계;

상기 추정된 재생된 신호와 실제 재생된 신호사이의 차이를 계산하는 단계; 및

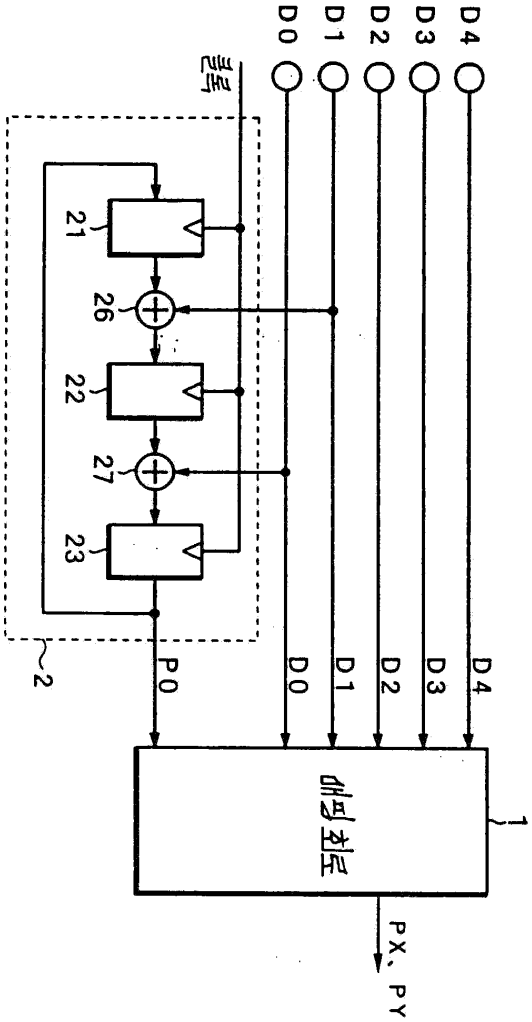
서로 시간적으로 다르며, 계산되어진 거리들의 합을 계산하고, 상기 합으로부터 최소값을 검출하고, 상기 검출된 결과에 대응하는 재생된 데이터를 출력하는 단계를 포함하는, 디지털 신호 재생 방법.

도면

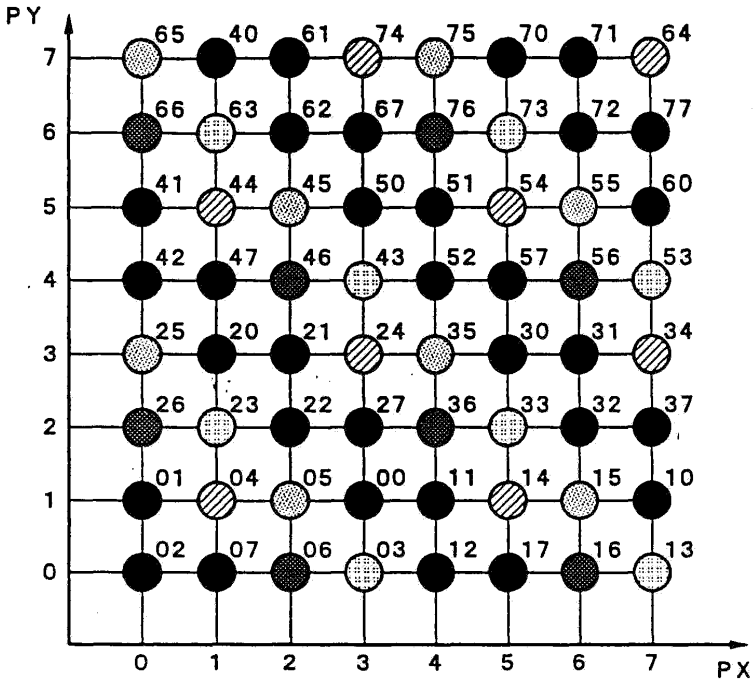
도면1


10
정보 공급원
11
오류 정정 회로 (CIRC)
8
3
비트 수 변환 회로
5
1
에정 회로
6
6
7
있기 변조 회로
출력
마스터링 기계로
4
타이밍 제어기
클록
2
콘볼루션 코드 선출 회로
1
5
오류 패턴 정정 회로

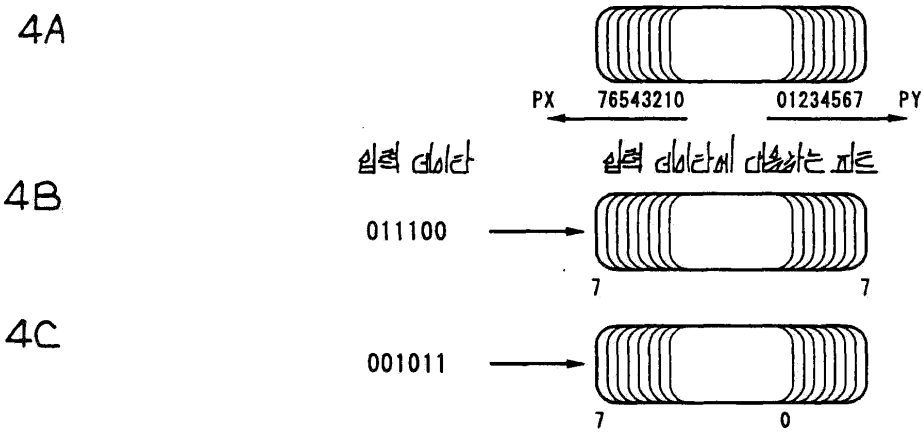
도면2


D0
D1
D2
D3
D4
클록
21
26
22
27
23
2
P0
D0
D1
D2
D3
D4
매핑 회로
1
PX, PY

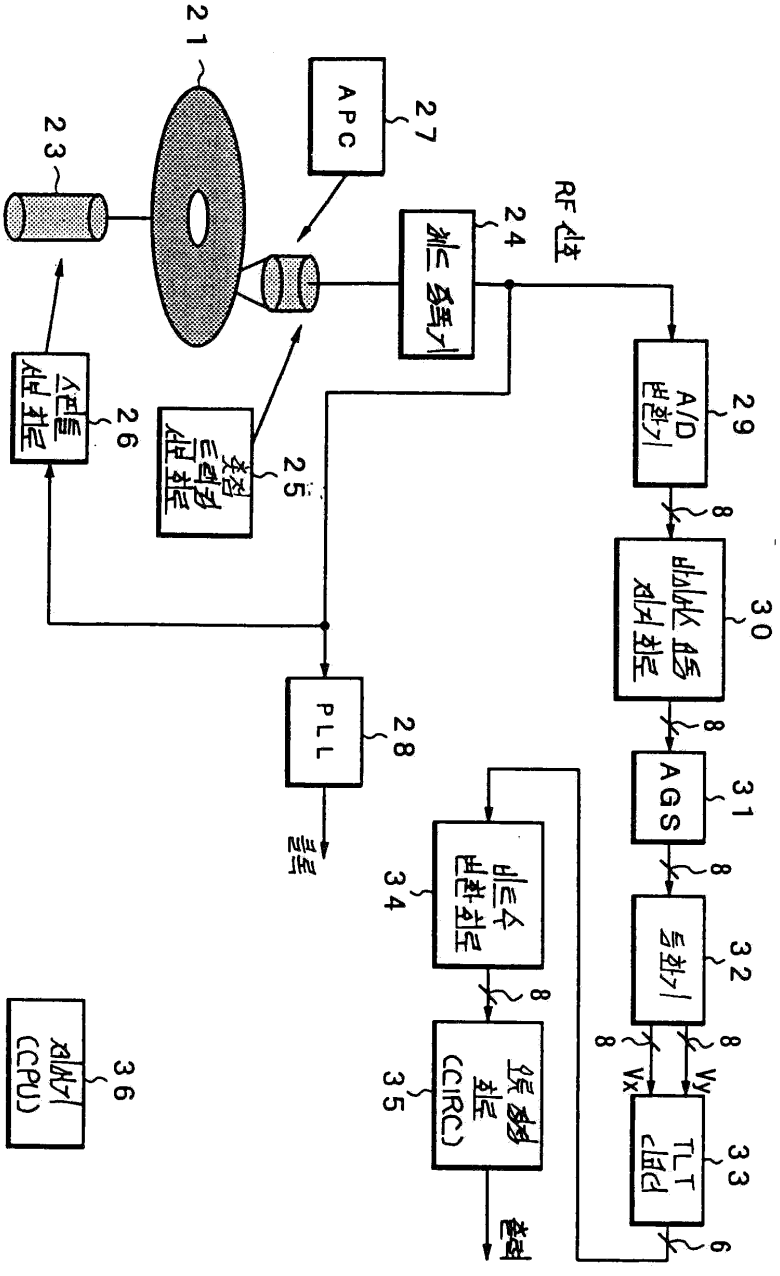
도면3


PY
PX
65 40 61 74 75 70 71 64
66 63 62 67 76 73 72 77
41 44 45 50 51 54 55 60
42 47 46 43 52 57 56 53
25 20 21 24 35 30 31 34
26 23 22 27 36 33 32 37
01 04 05 00 11 14 15 10
02 07 06 03 12 17 16 13
0 1 2 3 4 5 6 7

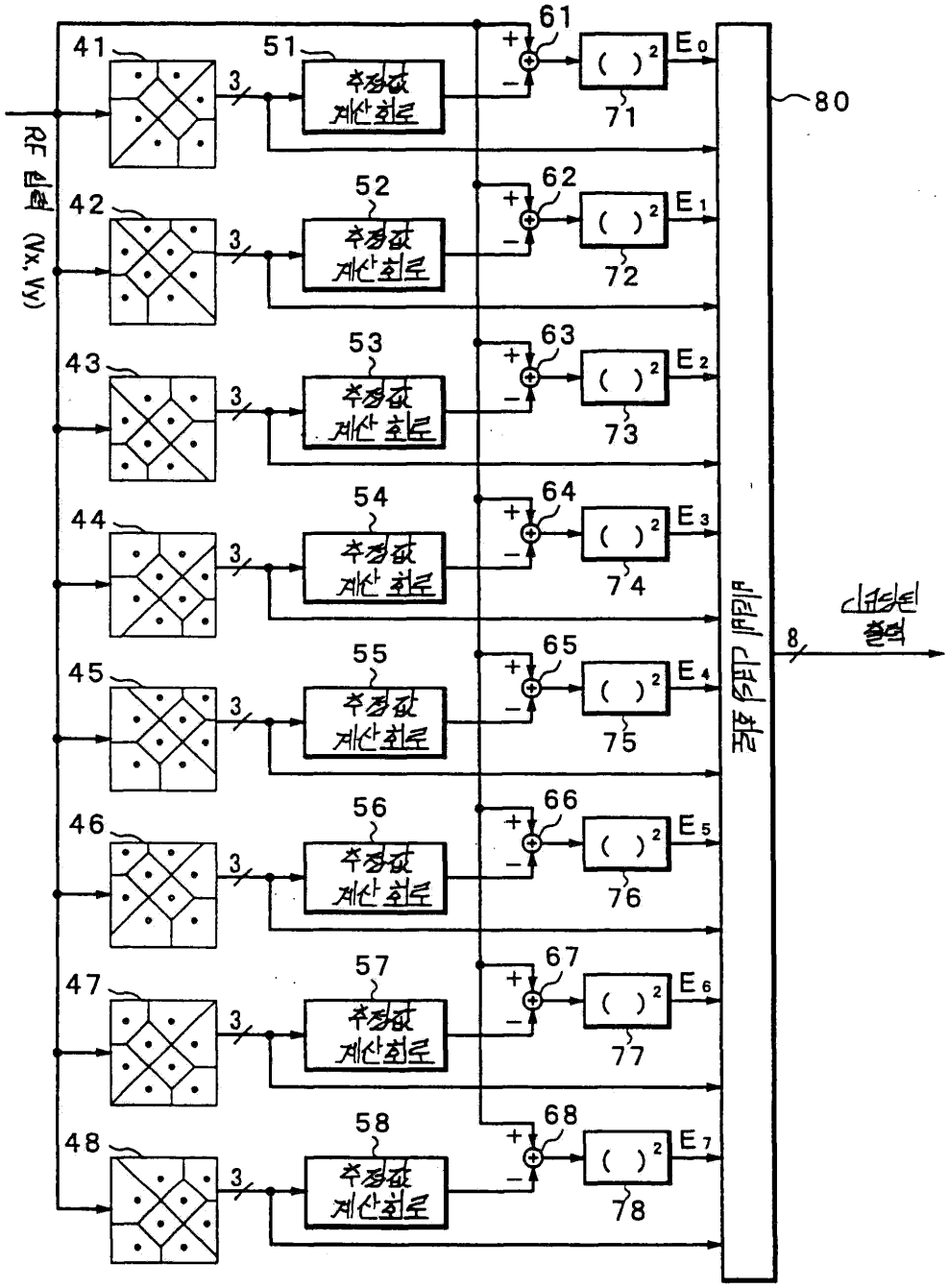
도면4


4A
PX
76543210
01234567
PY
입력 데이타
입력 데이타에 대응하는 파트
4B
011100
7
7
4C
001011
7
0

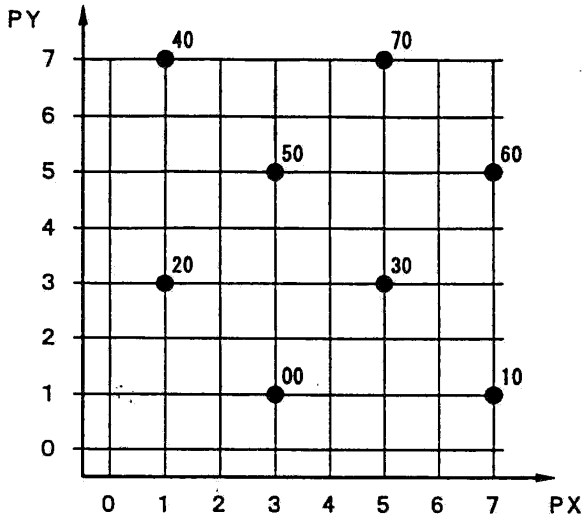
도면5


21
23
APC
27
RF 신호
24
26
25
29
A/D 변환기
8
30
31
AGS
8
32
8
Vy
Vx
33
TLT 스테이
6
28
PLL
34
35
36
제어기 (CPU)

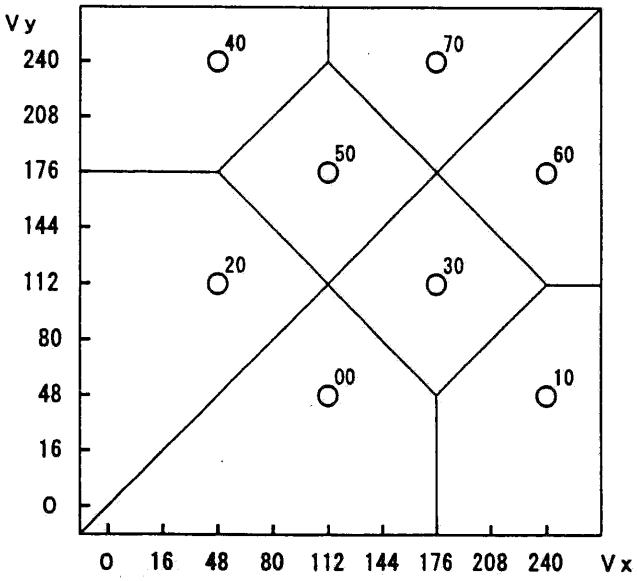
도면6


RF 입력 (Vx, Vy)
41
42
43
44
45
46
47
48
51
52
53
54
55
56
57
58
추정값 계산회로
61
62
63
64
65
66
67
68
71
72
73
74
75
76
77
78
E0
E1
E2
E3
E4
E5
E6
E7
80
비터비 디코딩 회로
8
디코딩 출력

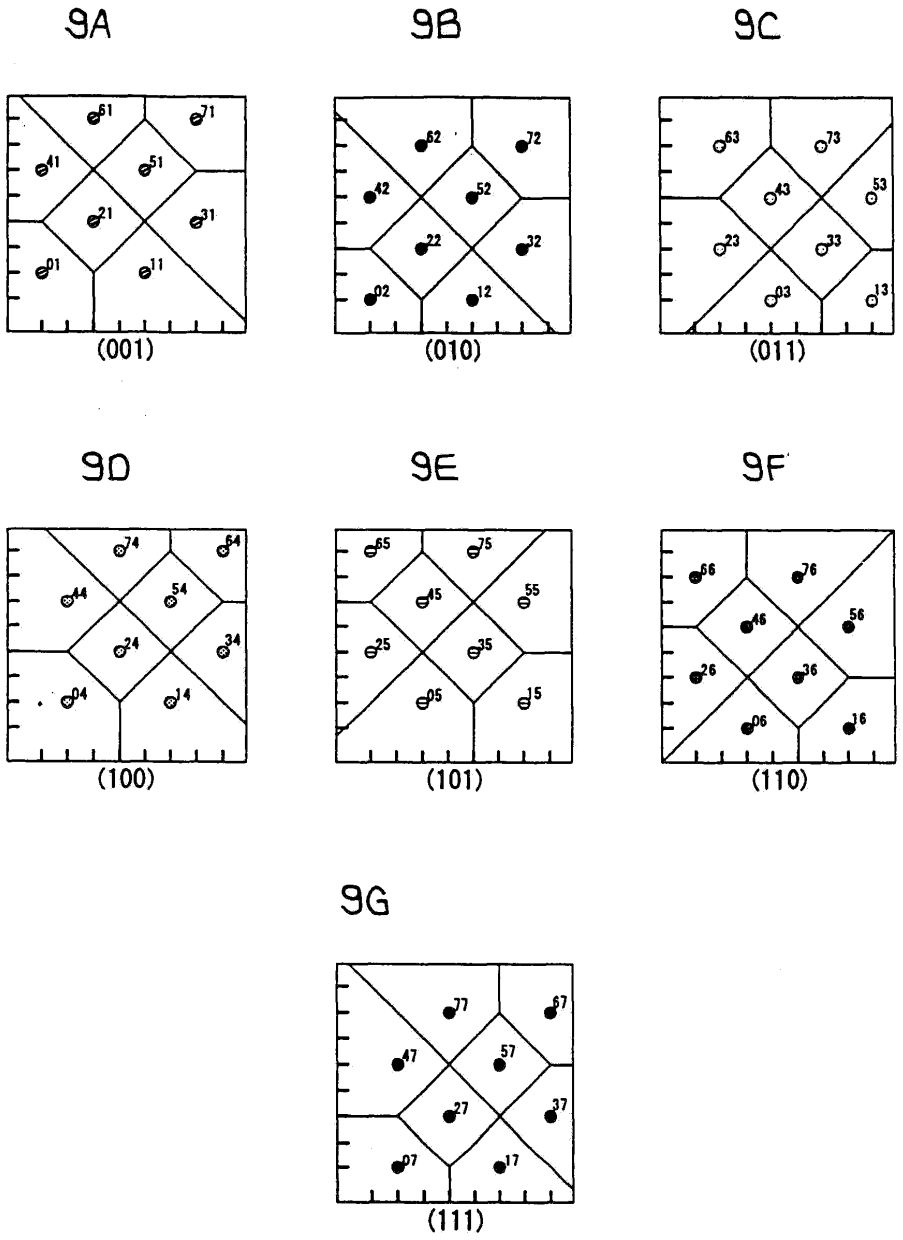
도면7


PY
7
6
5
4
3
2
1
0
40
70
50
60
20
30
00
10
0 1 2 3 4 5 6 7
PX

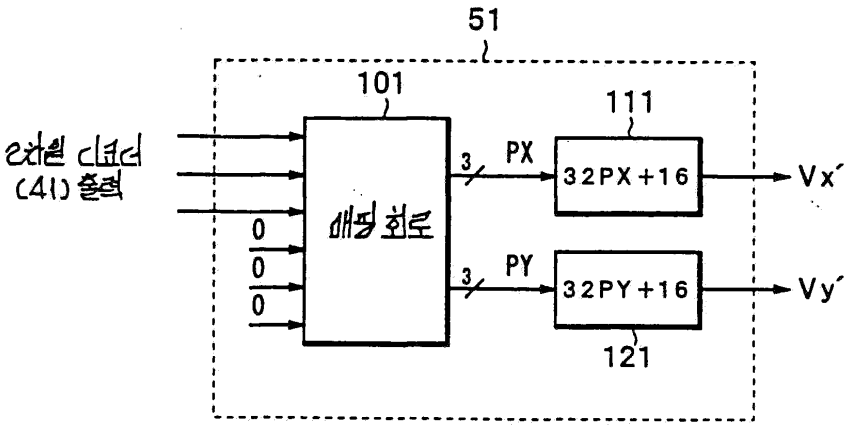
도면8


Vy
240
208
176
144
112
80
48
16
0
40
70
50
60
20
30
00
10
0 16 48 80 112 144 176 208 240
Vx

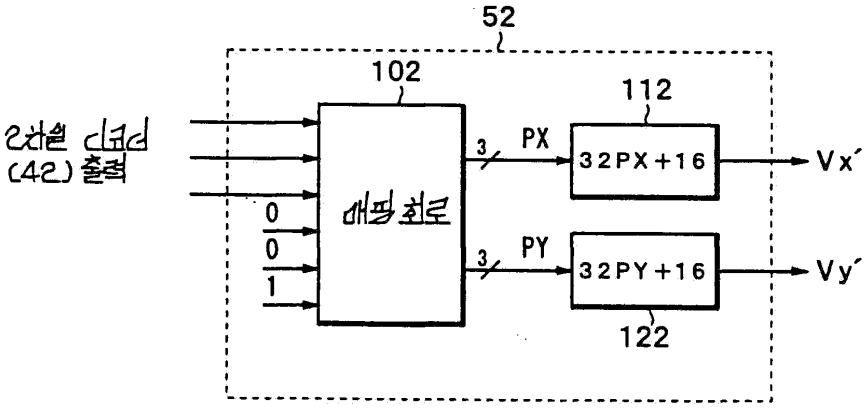
도면9


9A
9B
9C
(001)
(010)
(011)
9D
9E
9F
(100)
(101)
(110)
9G
(111)

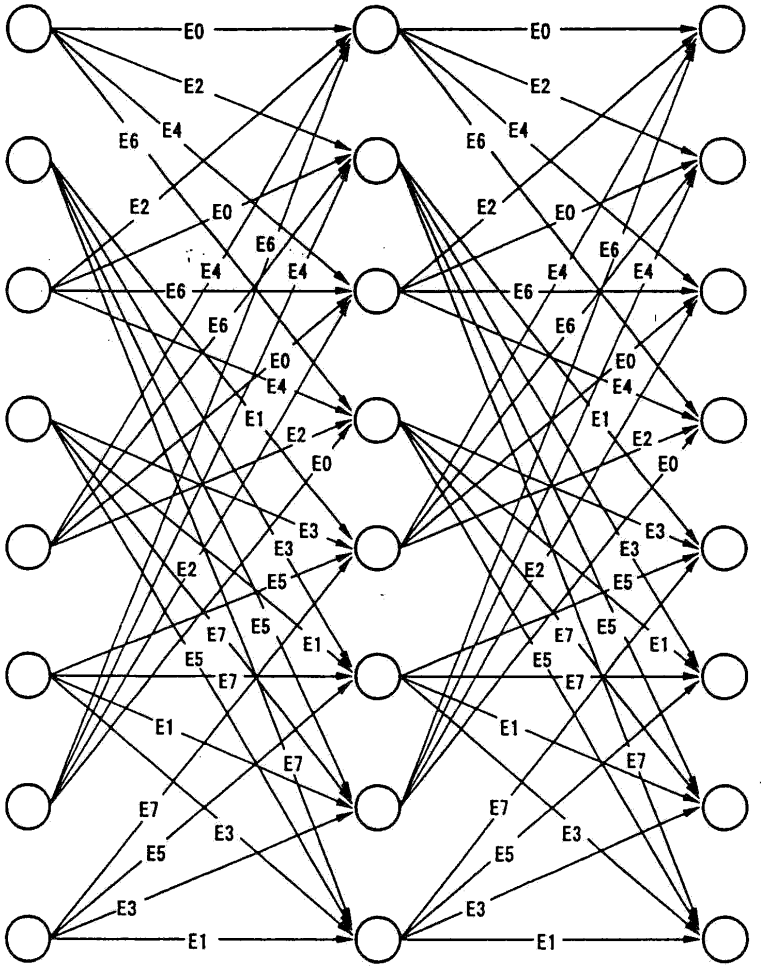
도면10


51
101
111
로우 디코더 (41) 출력
매핑 회로
3
PX
32PX+16
Vx'
0
0
0
3
PY
32PY+16
Vy'
121

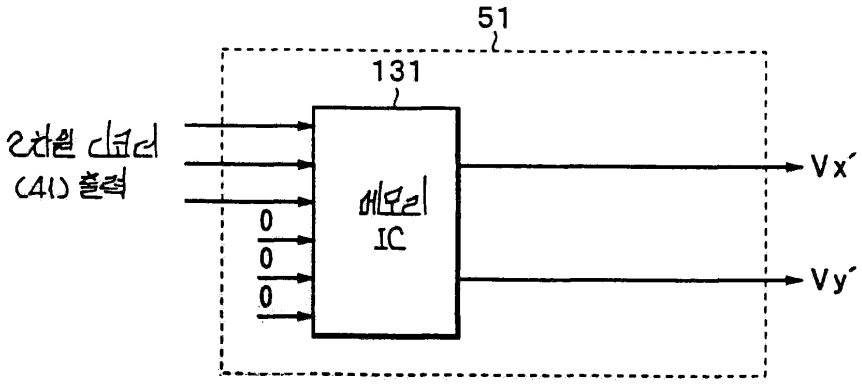
도면11


52
102
112
2차원 디코더
(42) 출력
0
0
1
매핑 회로
3
PX
32PX+16
Vx'
3
PY
32PY+16
Vy'
122

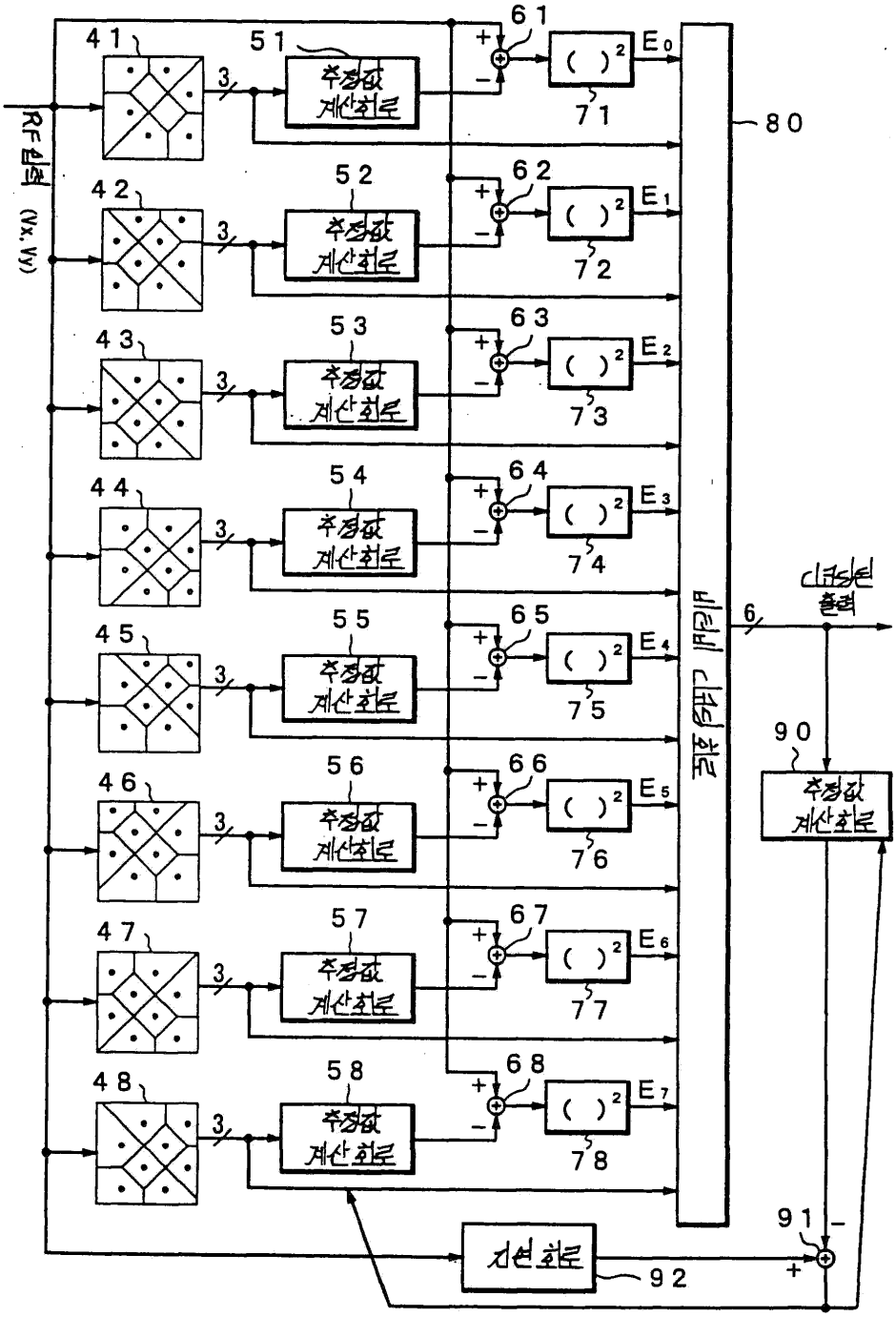
도면12


E0
E2
E4
E6
E1
E3
E5
E7

도면13


51
131
2차원 디코더
(41) 출력
0
0
0
메모리
IC
Vx'
Vy'

도면14


RF 입력 (Vx, Vy)
41
42
43
44
45
46
47
48
51
52
53
54
55
56
57
58
추정값 계산회로
61
62
63
64
65
66
67
68
E0
E1
E2
E3
E4
E5
E6
E7
71
72
73
74
75
76
77
78
80
비터비 디코딩 회로
디코딩 출력
90
91
92
지연 회로