(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 600 808**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **86 09565**

(51) Int Cl⁴ : G 11 C 11/40, 17/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) **Date de dépôt :** 26 juin 1986.

(30) **Priorité :**

(43) **Date de la mise à disposition du public de la demande :** BOPI « Brevets » n° 53 du 31 décembre 1987.

(60) **Références à d'autres documents nationaux apparentés :**

(71) **Demandeur(s) :** *DOLPHIN INTEGRATION, Société anonyme.* — FR.

(72) **Inventeur(s) :** Jean François Pollet et Louis Zangara.

(73) **Titulaire(s) :**

(74) **Mandataire(s) :** Michel de Beaumont.

(54) Plan mémoire à lecture rapide.

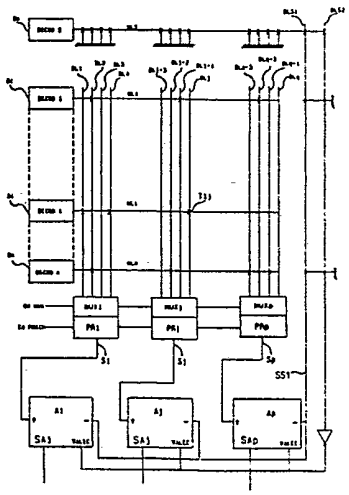
(57) La présente invention concerne un plan mémoire comprenant un grand nombre de points mémoire dont chacun est associé au croisement d'une ligne de mots (WLi) et d'une ligne de bits (BLj).

Selon l'invention, il est prévu en outre :

— une ligne de bits supplémentaire (BLSI) de même structure et forme géométrique que chacune des lignes de bits mais comprenant un point mémoire effectif à chaque croisement d'une ligne de mots, et

— des comparateurs (AI... Ap) dont les premières entrées (—) sont connectées ensemble à la ligne de bits supplémentaire et dont les deuxièmes entrées (+) sont respectivement connectées à une sortie (SI... Sp) d'une ligne de bits.

Application à l'augmentation de la vitesse de lecture des mémoires ROM.



FR 2 600 808 - A1

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15

PLAN MÉMOIRE A LECTURE RAPIDE

La présente invention concerne le domaine des mémoires et plus particulièrement celui des mémoires à semiconducteurs. Ses avantages et ses caractéristiques seront exposés plus en détail en relation avec des mémoires mortes (ROM) mais on notera, comme cela sera expliqué plus en détail ci-après, qu'elle s'applique également à d'autres types de mémoires.

La figure 1 représente de façon générale une mémoire ROM classique et la figure 2 illustre un exemple de point mémoire de mémoire ROM.

La figure 1 représente plus particulièrement l'organisation générale d'une mémoire ROM ou plan ROM classique qui comprend des lignes de mots WL1... WLi... WLn et des lignes de bits BL1, BL2, BL3, BL4... BLj... BLq.

Par construction, le plan mémoire est caractérisé, au croisement entre chaque ligne de bits et chaque ligne de mots, par la présence ou l'absence d'un commutateur tel par exemple celui représenté en figure 2 qui est constitué d'un transistor MOS Tij au croisement de la ligne de mots WLi et de la ligne de bits BLj. Ce transistor MOS a son drain relié à la ligne de bits, sa source reliée à une tension de référence telle que la masse et sa grille reliée à la ligne de mots WLi. Ainsi, dans le cas où un transistor Tij est présent à l'intersection de la ligne de mots WLi et de la ligne de bits BLj, quand la ligne de mots WLi est mise à haut niveau, le transistor est rendu conducteur et le potentiel de la ligne BLj (qui était préalablement préchargée) chute au potentiel de la tension de référence. Bien entendu, en l'absence de transistor, le potentiel sur la ligne de bits BLj ne varie pas quelle que soit la valeur du signal sur la ligne de mots WLi. Sur la figure 1, la présence d'un transistor Tij au croisement d'une ligne de bits et d'une ligne de mots correspondante est symbolisée par une croix.

En revenant à la figure 1, on notera que les différentes lignes de mots WL1... WLi... WLn sont connectées à des décodeurs D1... Di... Dn permettant, en fonction de signaux logiques en amont (non représentés), d'activer à un instant donné l'une des lignes de mots WL1... WLn. Les lignes de bits sont classiquement groupées par sous-ensemble, par exemple quatre par quatre dans l'exemple représenté, les groupes de lignes BL1 à BL4... BL(q-3) à BLq étant connectés respectivement à des multiplexeurs MUX 1... MUX p, avec p = 4q. Ces multiplexeurs reçoivent un signal d'entrée (CdMUX) permettant d'activer simultanément l'une des lignes de bits correspondantes connectée à chacun de ces multiplexeurs, par exemple les lignes BL1, BL5... BL(q-3). Un dispositif de précharge, PR1... PRp, est associé à chacun des multiplexeurs pour précharger l'une des lignes de bits de chaque groupe immédiatement avant l'actionnement de l'un des décodeurs ; ces dispositifs de précharge sont commandés par un signal appelé Cd PRECH. Ainsi, quand un décodeur, par exemple le décodeur Di, est actionné, une ligne de mots WLi sera activée et toutes les lignes BL1, BL5... BL(q-3) seront analysées ; selon qu'au point de croisement correspondant existera ou non un commutateur de connexion à la masse, on obtiendra aux sorties S1... Sp de chaque groupe de lignes de bits un état caractéristique du fait qu'il existe ou non un commutateur de mise à la masse. En d'autres termes, les lignes de bits comportant au croisement avec la ligne de mots WLi un transistor MOS passeront à bas niveau alors que les lignes de bits ne comprenant pas à ces points de croisement de transistor MOS resteront à haut niveau.

En pratique, ce passage de haut niveau à bas niveau d'une ligne de bits s'effectue avec une certaine constante de temps liée au fait que les commutateurs, par exemple un transistor MOS Tij, présentent une certaine capacité drain/masse et une résistance non négligeable liée à leur faible dimension. Ainsi, la descente d'une ligne de bits du niveau haut de précharge vers la tension de référence est relativement lente. Et donc, des amplificateurs (non représentés) connectés aux sorties des lignes S1 à Sp ne pourront pas fournir très rapidement une indication du change-

ment de l'état d'un ensemble de lignes de bits à la suite de l'actionnement d'un décodeur de ligne de mots.

Un objet de la présente invention est de permettre une accélération de la vitesse de lecture d'une mémoire morte.

Pour atteindre cet objet ainsi que d'autres, la présente invention prévoit de traiter de façon particulière les sorties de chaque groupe de lignes de bits en effectuant une lecture différentielle par rapport à un signal variant avec le signal sur chaque ligne de bits suivant une relation déterminée.

Plus particulièrement, la présente invention prévoit un plan mémoire comprenant un grand nombre de points mémoire dont chacun est associé au croisement d'une ligne de mots et d'une ligne de bits, pour fournir des signaux mémoire sur une pluralité de lignes de bits en réponse à la présence d'un signal d'adresse sur une ligne de mots et à l'état des points mémoire correspondants. Ce plan mémoire comprend en outre : une ligne de bits supplémentaire de même structure et forme géométrique que chacune des lignes de bits mais comprenant un point mémoire effectif à chaque croisement avec une ligne de mots, et des comparateurs dont les premières entrées sont connectées ensembles à la ligne de bits supplémentaire et dont les deuxièmes entrées sont respectivement connectées à une sortie d'une ligne de bits.

D'autres objets de la présente invention et en particulier son application à la simplification de la structure de mémoires vives (RAM) tout en conservant la même vitesse de lecture vont être exposés ci-après.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante d'un mode de réalisation particulier faite en relation avec les figures jointes parmi lesquelles :

la figure 1 représente de façon générale la structure d'un plan mémoire morte (ROM) de l'art antérieur ;

la figure 2 représente un point mémoire classique d'une mémoire morte ;

la figure 3 représente une structure de plan mémoire selon la présente invention ;

la figure 4 représente un diagramme de variation de tension en fonction du temps, utile à l'exposé du fonctionnement du plan mémoire selon l'invention ; et

les figures 5 et 6 représentent des détails de variantes de la structure de plan mémoire selon la présente invention.

Dans les diverses figures, de mêmes éléments sont désignés par les mêmes références.

Ainsi, dans la figure 3 qui illustre un plan mémoire selon la présente invention, on retrouve le plan mémoire avec ses lignes de mots WL1... WLn et ses lignes de bits BL1... BLq ainsi que les décodeurs de mots D1... Dn, les multiplexeurs de lignes de bits MUX1... MUXp et les circuits de précharge PR1... PRp.

A ce système, est ajoutée une ligne de bits supplémentaire BLS1 de même disposition et constitution que les diverses lignes de bits BL1 à BLq mais qui comprend un commutateur (un transistor MOS) à chacun des points de croisement avec une ligne de mots. Ainsi, la capacité par rapport à la masse de cette ligne de bits supplémentaire BLS1 sera équivalente à la capacité maximum possible d'une ligne de bits normale. En effet, dans une ligne de bits normale, il n'existera jamais un commutateur (un transistor) à chaque croisement avec une ligne de mots. Les sorties des lignes de bits multiplexées (S1 à Sp) sont connectées à une première entrée (+) de comparateurs A1... Ap agissant comme détecteurs de polarité dont les deuxièmes entrées (-) sont connectées à la sortie SS1 de la ligne de bits supplémentaire BLS1. On obtient ainsi, aux sorties SA1... SAp des comparateurs A1... Ap, un signal résultant d'une lecture différentielle qui permet, comme cela sera exposé ci-après, une détection beaucoup plus précise et beaucoup plus rapide des changements de niveau sur les lignes de bits.

La figure 4 représente les variations en fonction du temps des tensions en divers points du plan mémoire de la figure 3. Si, à un instant t0, un décodeur Di est actionné, la tension sur la ligne de mots WLi se met à croître entre un niveau nul et le niveau de tension haute du circuit, par exemple le niveau de précharge VDD. C'est seulement après un certain retard, à un instant t1, que le transistor MOS Tij existant à un point de

croisement ij deviendra conducteur. La tension sur la ligne de bits BLj correspondante commencera à chuter à partir de cet instant t1 vers le niveau de la masse d'une façon que l'on considère comme sensiblement linéaire par souci de simplification. Cette ligne de chute de tension BLj a été tracée dans une zone hachurée qui correspond à des descentes de tension plus ou moins rapides selon que la ligne de bits BLj considérée comprend plus ou moins de points de croisement actifs (munis d'un transistor). Par contre, la tension sur la ligne de bits supplémentaire BLS1 chutera plus doucement car cette ligne comprend une charge capacitive maximale, tous ses points de croisement étant effectivement associés à un transistor. Ainsi, entre les bornes + et - du comparateur A correspondant, on verra apparaître une différence de tension positive ou négative, + dV2 ou -dV1 selon que le point de croisement ij comprenait ou non un transistor. Cette possibilité de détection à l'aide d'un comparateur d'une valeur de différence positive ou négative permet d'atteindre une grande sensibilité et donc de détecter très vite après l'instant t1 si le point de croisement ij était actif ou non (mémorisation d'un 1 ou d'un 0).

Par contre, dans l'art antérieur, on examinait simplement sur les sorties S1... Sp si la tension restait au niveau de précharge VDD ou chutait par rapport à ce niveau de précharge. Une telle détection de tension selon une polarité donnée obligeait à attendre beaucoup plus longtemps avant de pouvoir faire une détection. Par exemple, on aurait été obligé, au lieu de faire la détection à l'instant t2 d'attendre l'instant t3 pour lequel une variation de tension dV3 suffisante est apparue. En pratique, il fallait attendre des valeurs de variation de tension de l'ordre du volt correspondant au seuil de détection d'un détecteur MOS (la figure 4 n'est pas à l'échelle).

C'est par un exemple numérique, avec une mémoire ROM en technologie CMOS, d'une longueur de canal de deux micromètres et d'une capacité de 16 kbits, que l'on verra mieux les avantages de l'invention. Selon la présente invention, comme dans l'art antérieur, la durée entre les instants t0 et t1 est de l'ordre de 20 ns. Par contre, selon la présente invention la durée entre les

instants t1 et t2 est de l'ordre de 10 ns alors que la durée entre les instants t1 et t3 pour une lecture classique était de l'ordre de 40 ns. Ainsi, le temps total de lecture selon la présente invention descend à 30 ns par rapport à 60 ns dans l'art antérieur.

Pour que le système selon la présente invention fonctionne de façon satisfaisante, il est tout d'abord nécessaire que les niveaux de précharge sur toutes les lignes de bits et la ligne de bits supplémentaire soient identiques. Pour cela, on utilisera comme cela était déjà connu dans la pratique, et comme cela est représenté en figure 5, des transistors de précharge T1...Tp connectant pendant la précharge toutes les lignes de bits y compris la ligne de bits supplémentaires les unes aux autres. Bien entendu, cette connexion se fait par l'intermédiaire des multiplexeurs dans le cas illustré en figure 5.

D'autre part, il convient que tous les amplificateurs A1 à Ap soient synchronisés convenablement pour la lecture c'est-à-dire entre les instants t1 et t2. Pour cela on peut rajouter une seconde ligne de bits supplémentaire BLS2 (voir figure 3) similaire aux autres lignes de bits mais de constante de temps plus faible (au lieu d'avoir une constante de temps plus forte comme la ligne BLS1). L'apparition d'une chute de tension sur la sortie SS2 de la ligne BLS2 sert de signal de synchronisation vers des entrées de synchronisation VALEC des amplificateurs A1 à Ap et ceci peut se faire par l'intermédiaire d'un simple inverseur (non référencé). L'obtention de cette constante de temps plus faible peut résulter d'un choix approprié des formes des transistors disposés aux points de croisement.

En figure 3, on n'a pas représenté de connexion entre chaque ligne de mots et les lignes de bits supplémentaires, ce qui aurait pu être fait. Au lieu de cela, on a prévu une ligne de mots supplémentaire WLS associée seulement aux lignes de bits supplémentaires BLS1 et BLS2 et à un décodeur DS actionné chaque fois que l'un des décodeurs D1 à Dn est sélectionné. En ce cas chacun des transistors des lignes de bits supplémentaires aura sa grille connectée à sa source (la tension de référence).

Cette disposition permet également, comme le représente la figure 6, d'assurer simplement l'existence d'un seuil sur la première ligne de bits supplémentaire pour éviter les cas où les tensions chuteraient très rapidement sur cette ligne (cas d'une mémoire de petite dimension). Ce seuil est assuré par la prévision, au point de croisement entre la ligne de bits supplémentaire BLS1 et la ligne de mots supplémentaire WLS, d'un transistor MOS supplémentaire TST en plus du transistor MOS normal TS0 de ce point de croisement. Ainsi, la tension sur la ligne BLS1 ne peut chuter en dessous de la tension de seuil d'un transistor MOS (environ 1 volt).

La présente invention n'est pas limitée aux modes de réalisation décrits. Par exemple, la présente invention a été exposée ci-dessus en relation avec des mémoires ROM où elle trouve une application fondamentale pour augmenter la rapidité de lecture sans compliquer beaucoup la structure d'une mémoire ROM.

La présente invention, c'est-à-dire la prévision d'une ligne de bits supplémentaire pour assurer une lecture différentielle avec chacune des lignes de bits normales d'un plan mémoire, pourrait également être utilisée en relation avec des mémoires vives (RAM). Dans cette application, la présente invention ne cherche pas à augmenter la vitesse de lecture d'une mémoire RAM mais à conserver cette vitesse de lecture en simplifiant beaucoup la structure de la mémoire RAM.

Classiquement, dans une mémoire RAM, chaque point mémoire est associé à deux lignes de bits complémentaires qui sont à des états inverses, ces deux lignes de bits étant généralement utilisées en écriture pour inscrire des informations dans un point mémoire. Néanmoins, on sait qu'il est possible d'inscrire des informations dans un point mémoire en utilisant une seule ligne de bits, par exemple en prévoyant des points mémoire dissymétriques. Il est clair qu'alors la vitesse d'écriture est généralement moins rapide. Toutefois, dans certaines applications, il n'est pas nécessaire d'avoir une vitesse d'écriture très rapide (cas d'une mémoire contenant un programme ou controlant un réseau d'interconnexions), et dans d'autres applications il est souhaitable de

réduire le nombre de fils par colonne (cas des mémoires à double accès). On peut alors supprimer selon la présente invention une ligne de bits sur deux et ajouter une seule ligne de bits supplémentaire qui équivaut à chaque ligne de bits complémentaire et présente une caractéristique capacitive plus élevée, par exemple du fait qu'elle est connectée à tous les comparateurs alors qu'une ligne de bits normale n'est connectée qu'à un seul. Cette ligne de bits supplémentaire servira comme référence pour permettre une lecture différentielle de la sortie des diverses lignes de bits. On conserve ainsi la vitesse de lecture en réduisant la surface de la mémoire RAM.

REVENDICATIONS

1. Plan mémoire comprenant un grand nombre de points mémoire dont chacun est associé au croisement d'une seule ligne de mots (WLi) et d'une seule ligne de bits (BLj), pour fournir des signaux de mémoire (S1... Sp) sur une pluralité de lignes de bits en réponse à la présence d'un signal d'adresse sur une ligne de mots et à l'état des points mémoire correspondants, caractérisé en ce qu'il comprend en outre :

- une ligne de bits supplémentaire (BLS1) de même structure et forme géométrique que chacune des lignes de bits et comprenant un point mémoire effectif à chaque croisement d'une ligne de mots, et

- des comparateurs (A1... Ap) dont les premières entrées (-) sont connectées ensemble à la ligne de bits supplémentaire et dont les deuxièmes entrées (+) sont respectivement connectées à une sortie (S1... Sp) d'une ligne de bits.

2. Plan mémoire selon la revendication 1, caractérisé en ce que les points mémoire sont les points mémoire d'une mémoire ROM.

3. Plan mémoire selon la revendication 2, caractérisé en ce que chaque point mémoire est constitué par la présence ou l'absence d'un interrupteur commandé (Tij) dont une borne principale est reliée à la ligne de bits (BLi), dont l'autre borne principale est reliée à un potentiel de référence et dont la borne de commande est reliée à la ligne de mots (WLi) du croisement correspondant.

4. Plan mémoire selon la revendication 3, caractérisé en ce qu'il comprend en outre une ligne de mots supplémentaire (WLS) associée à la ligne de bits supplémentaire (BLS1), cette ligne de mots supplémentaire étant activée chaque fois qu'une ligne de mots est activée.

5. Plan mémoire selon l'une quelconque des revendications 2 à 4, caractérisé en ce qu'il comprend des moyens de précharge avant lecture (PR1... PRp) pour chaque ligne de bits ou groupe de lignes de bits et des moyens pour interconnecter les lignes de bits pendant les phases de précharge.

6. Plan mémoire selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comprend une deuxième ligne de bits supplémentaire de constante de temps inférieure aux autres lignes de bits, selon une relation déterminée, et fournissant des signaux de synchronisation de lecture (VALEC).

7. Plan mémoire selon l'une quelconque des revendications 4 à 6, caractérisé en ce que la première ligne de bits supplémentaire (BLS1) comprend des moyens (TST) pour lui interdire de descendre en dessous d'un niveau de tension prédéterminé compris entre la tension de précharge et la tension de référence.

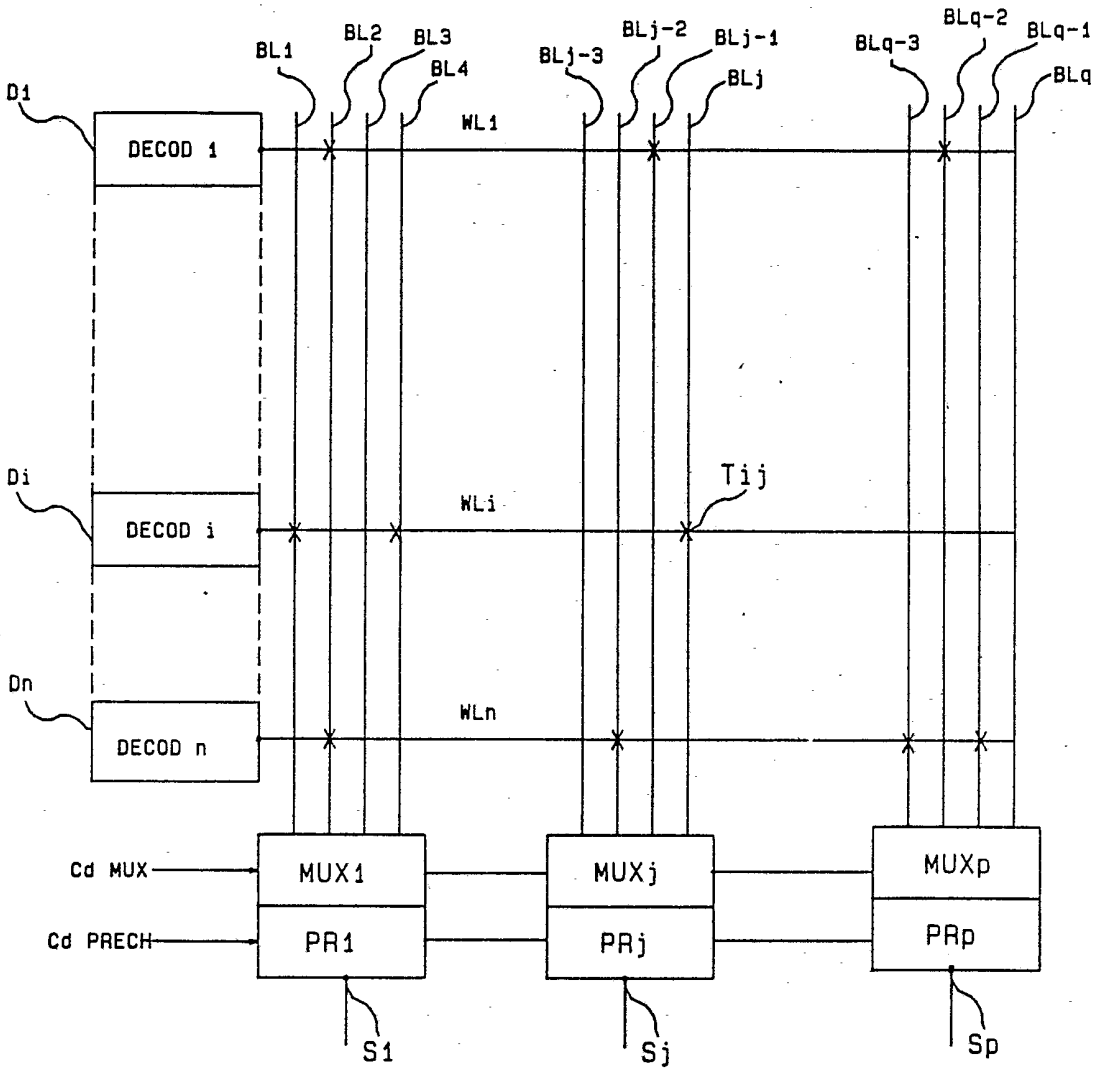

BL1
BL2
BL3
BL4
BLj-3
BLj-2
BLj-1
BLj
BLq-3
BLq-2
BLq-1
BLq
D1
DECOD 1
WL1
Di
DECOD i
WLi
Tij
Dn
DECOD n
WLn
Cd MUX
Cd PRECH
MUX1
MUXj
MUXp
PR1
PRj
PRp
S1
Sj
Sp

FIG. 1

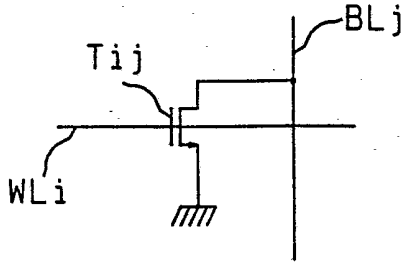

BLj
Tij
WLi

FIG. 2

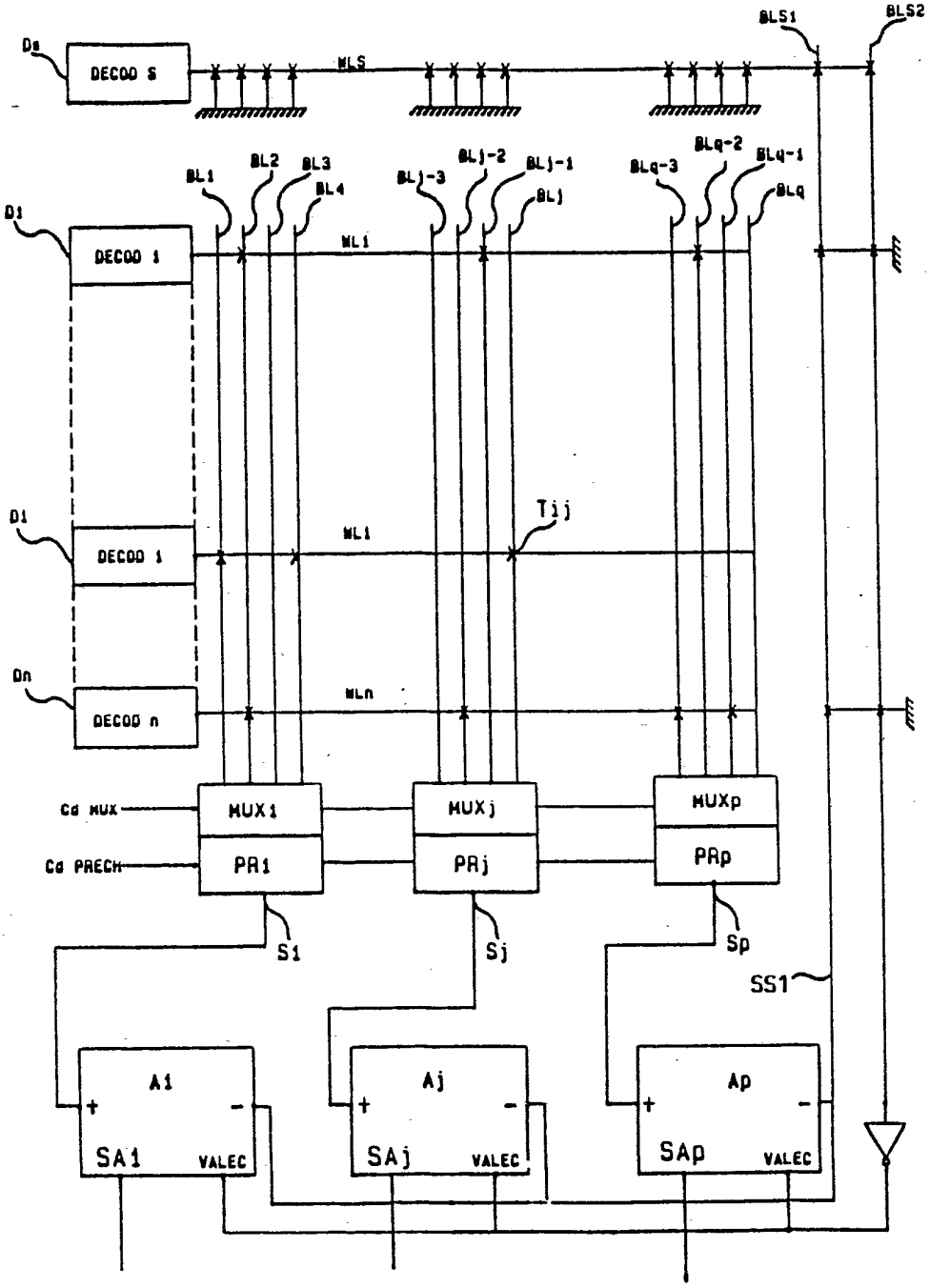

Ds
DECOD S
WLS
BLS1
BLS2
BL1
BL2
BL3
BL4
BLj-3
BLj-2
BLj-1
BLj
BLq-3
BLq-2
BLq-1
BLq
D1
DECOD 1
WL1
Tij
Di
DECOD i
WLi
Dn
DECOD n
WLn
Cd MUX
Cd PRECH
MUX1
MUXj
MUXp
PR1
PRj
PRp
S1
Sj
Sp
SS1
A1
Aj
Ap
SA1
SAj
SAp
VALEC

FIG. 3

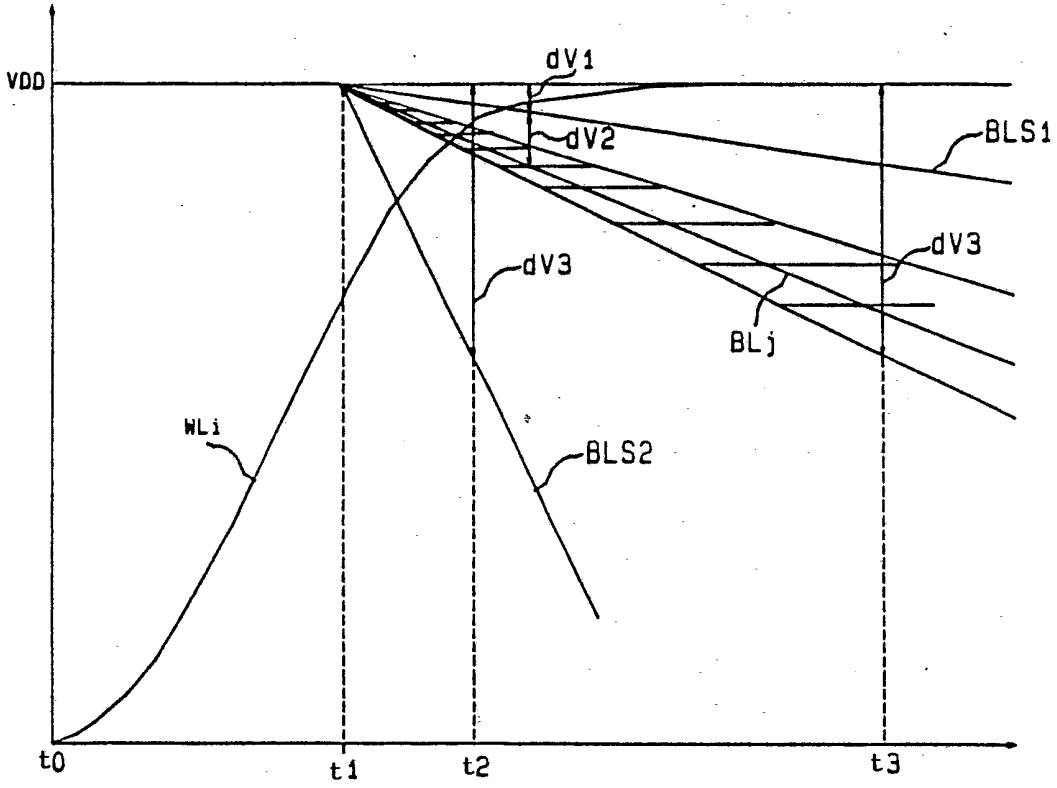

VDD
dV1
dV2
BLS1
dV3
dV3
BLj
WLi
BLS2
t0
t1
t2
t3

FIG. 4

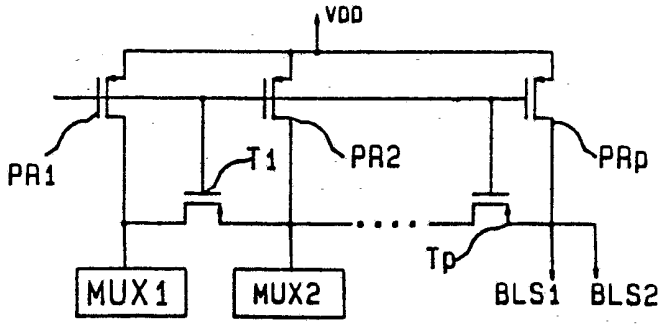

VDD
PA1
T1
PA2
PAp
Tp
MUX1
MUX2
BLS1
BLS2

FIG. 5

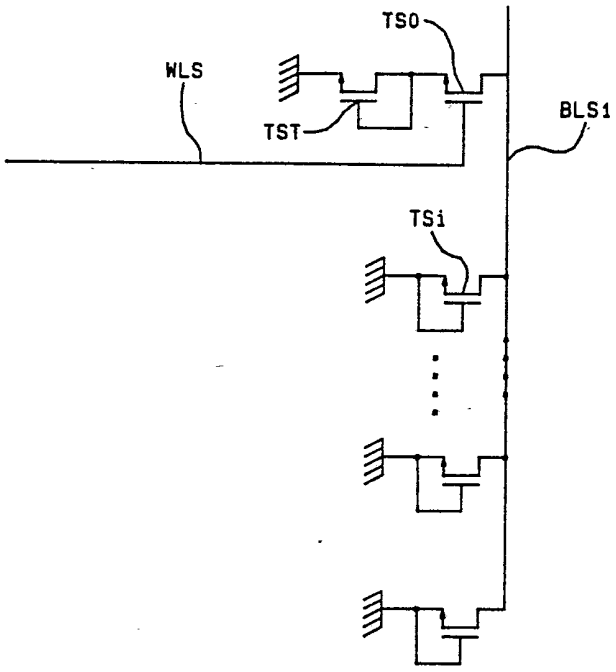


FIG. 6