

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6201015号
(P6201015)

(45) 発行日 平成29年9月20日(2017.9.20)

(24) 登録日 平成29年9月1日(2017.9.1)

(51) Int.Cl.

F 1

H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

3 2 1

H01L 27/108 (2006.01)

H01L 27/10 (2006.01)

4 8 1

請求項の数 2 (全 65 頁)

(21) 出願番号 特願2016-150973 (P2016-150973)
 (22) 出願日 平成28年8月1日 (2016.8.1)
 (62) 分割の表示 特願2015-91351 (P2015-91351)
 の分割
 原出願日 平成23年8月4日 (2011.8.4)
 (65) 公開番号 特開2016-192576 (P2016-192576A)
 (43) 公開日 平成28年11月10日 (2016.11.10)
 審査請求日 平成28年8月2日 (2016.8.2)
 (31) 優先権主張番号 特願2010-178045 (P2010-178045)
 (32) 優先日 平成22年8月6日 (2010.8.6)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-108416 (P2011-108416)
 (32) 優先日 平成23年5月13日 (2011.5.13)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 畑 勇気
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 上田 智志

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタと、
 容量素子と、
 ドライバと、を有し、
 前記第1のトランジスタは、チャネル形成領域を含む酸化物半導体層と、ゲート電極と
 、ソース電極と、ドレイン電極と、を有し、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記容量素子は、前記ソース電極又は前記ドレイン電極の一方と電気的に接続され、

前記ドライバは、前記ゲート電極と電気的に接続され、

前記ドライバは、第1の配線と、第2の配線と、絶縁層と、第2のトランジスタと、を有し、

前記第1の配線は、前記絶縁層を介して前記第2の配線と重なる領域を有し、

前記第1の配線は、前記ゲート電極と同じ工程を経て形成されたものであり、

前記第2の配線は、前記ソース電極又は前記ドレイン電極と同じ工程を経て形成されたものであり、

前記第1の配線は、前記第2の配線を介して前記第2のトランジスタのゲートと電気的に接続されることを特徴とする半導体装置。

【請求項 2】

第1のトランジスタと、

10

20

容量素子と、
ドライバと、を有し、
前記第1のトランジスタは、チャネル形成領域を含む酸化物半導体層と、ゲート電極と
、ソース電極と、ドレイン電極と、を有し、
前記酸化物半導体層は、Inと、Gaと、Znと、を有し、
前記容量素子は、前記ソース電極又は前記ドレイン電極の一方と電気的に接続され、
前記ドライバは、前記ゲート電極と電気的に接続され、
前記ドライバは、第1の配線と、第2の配線と、絶縁層と、第2のトランジスタと、を
有し、
前記第1の配線は、前記絶縁層を介して前記第2の配線と重なる領域を有し、
前記第1の配線は、前記ゲート電極と同層であり、
前記第2の配線は、前記ソース電極又は前記ドレイン電極と同層であり、
前記第1の配線は、前記第2の配線を介して前記第2のトランジスタのゲートと電気的に接続されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置に関する。

【背景技術】

【0002】

E E P R O Mやフラッシュメモリなどの、データの書き込みと消去を繰り返し行うことが可能な不揮発性の記憶装置等の半導体装置は、利便性が高く、また、物理的な衝撃に強い。そのため、主にU S Bメモリ、メモリーカードなどの携帯型の記憶媒体や、無線で情報の読み取りを行うR F I D (Radio frequency identification)の媒体であるR Fタグなどに用いられ、市場に広く出回っている。上記半導体装置は、記憶素子として機能するトランジスタを各メモリセルに有する。そして、上記トランジスタは、フローティングゲートと呼ばれる電極を、ゲート電極と、活性層である半導体膜との間に有しており、フローティングゲートにおける電荷の蓄積によりデータの記憶を行うことができる。

【0003】

下記の特許文献1と特許文献2には、ガラス基板上に形成された、フローティングゲートを有する薄膜トランジスタについて記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平6-021478号公報

【特許文献2】特開2005-322899号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、半導体装置の駆動回路において、複数の信号線を有する回路を形成する場合、駆動回路の面積を縮小させるためには、配線層の数を増加させて各層に信号線を形成することが望ましい。しかしながら、配線層の数を増加させるに当たって単純に配線マスクの枚数を増加させるとコストが増大するので好ましくない。

【0006】

特に、記憶装置等の半導体装置は、メモリセルと、該メモリセルを駆動するための駆動回路とを有し、駆動回路の面積によって半導体装置の大きさが制限される。つまり、メモリセルの面積だけを縮小させても、駆動回路の面積を縮小させることができなければ、半導体装置全体の小型化を達成することはできない。よって、駆動回路の面積を縮小させることは、半導体装置の小型化を図るに当たって重要である。

10

20

30

40

50

【0007】

そこで、本発明の一態様は、半導体装置を小型化することを課題の一とする。

【0008】

また、本発明の一態様は、メモリセルを有する半導体装置の駆動回路の面積を縮小することを課題の一とする。

【課題を解決するための手段】**【0009】**

開示する発明に係る一態様は、少なくとも第1の半導体素子を有する素子形成層と、素子形成層上に設けられた第1の配線と、第1の配線上に設けられた層間膜と、層間膜を介して第1の配線と重畳する第2の配線と、を有し、第1の配線と、層間膜と、第2の配線とは、第2の半導体素子を構成し、第1の配線と、第2の配線とは、同電位が供給される配線である半導体装置である。 10

【0010】

また、開示する発明に係る他の一態様は、少なくとも第1の半導体素子を有する素子形成層と、素子形成層上に設けられた第1の配線と、第1の配線上に設けられた層間膜と、層間膜を介して第1の配線と重畳する第2の配線と、を有し、第1の配線と、層間膜と、第2の配線とは、第2の半導体素子を構成し、第1の配線と、第2の配線とは、同相の信号が供給される配線である半導体装置である。

【0011】

また、開示する発明に係る他の一態様は、メモリセルと、メモリセルの駆動回路部を含む半導体装置であって、メモリセルは、第1のチャネル形成領域、第1のゲート電極、第1のソース電極および第1のドレイン電極を含む第1のトランジスタと、第2のチャネル形成領域、第2のゲート電極、第2のソース電極および第2のドレイン電極を含む第2のトランジスタと、容量素子と、を有し、第2のトランジスタは、少なくとも一部が第1のトランジスタと重畳して設けられ、駆動回路部は、第2のソース電極または第2のドレイン電極と同じ工程で形成される第1の配線と、層間膜を介して第1の配線と重畳し、且つ第2のゲート電極と同じ工程で形成される第2の配線と、を含む半導体素子を有し、第1の配線と、第2の配線とは同電位が供給される配線である半導体装置である。 20

【0012】

また、開示する発明に係る他の一態様は、メモリセルと、メモリセルの駆動回路部を含む半導体装置であって、メモリセルは、第1のチャネル形成領域、第1のゲート電極、第1のソース電極および第1のドレイン電極を含む第1のトランジスタと、第2のチャネル形成領域、第2のゲート電極、第2のソース電極および第2のドレイン電極を含む第2のトランジスタと、容量素子と、を有し、第2のトランジスタは、少なくとも一部が第1のトランジスタと重畳して設けられ、駆動回路部は、第2のソース電極または第2のドレイン電極と同じ工程で形成される第1の配線と、層間膜を介して第1の配線と重畳し、且つ第2のゲート電極と同じ工程で形成される第2の配線と、を含む半導体素子を有し、第1の配線と、第2の配線とは同相の信号が供給される配線である半導体装置である。 30

【0013】

上記半導体装置において、半導体素子は、レベルシフタとしてもよい。また、層間膜の膜厚は、10nm以上100nm以下とするのが好ましい。

【0014】

また、本明細書等において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁膜上のゲート電極」の表現であれば、ゲート絶縁膜とゲート電極との間に他の構成要素を含むものを除外しない。

【0015】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配

10

20

30

40

50

線」が一体となって形成されている場合などをも含む。

【0016】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0017】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0018】

また、本明細書等において、「同電位」には、「略同電位」が含まれる。開示する発明の技術的思想は、回路内において、薄膜の絶縁膜を介して積層された導電層（第1の配線および第2の配線）のそれぞれを配線として機能させ、且つ寄生容量を抑制する点にある。したがって、第1の配線に第1の電位（例えばVDD）を供給し、第2の配線に第1の電位とは異なる電源線から供給される第2の電位（例えばGND）を供給した場合と比較して、寄生容量を十分に（百分の一以下に）低減できる電位などの「略同電位」が含まれる。また、例えば、配線抵抗などに起因する電位ずれ程度の差は十分に許容される。同様に、「同相」の電位には、「略同相」の電位が含まれる。

【発明の効果】

【0019】

本発明の一態様を用いることによって、小型化された半導体装置を提供することができる。

【0020】

また、本発明の一態様を用いることによって、駆動回路の面積が縮小された、メモリセルを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】半導体装置の断面図および回路図。

【図2】半導体装置の回路図。

【図3】半導体装置の回路図。

【図4】半導体装置の断面図。

【図5】半導体装置の回路図。

【図6】半導体装置の回路図。

【図7】半導体装置の断面図。

【図8】半導体装置の平面図。

【図9】半導体装置の回路図。

【図10】半導体装置の断面図。

【図11】半導体装置の平面図。

【図12】半導体装置の回路図。

【図13】半導体装置の断面図。

【図14】半導体装置の回路図。

【図15】半導体装置の断面図および平面図。

【図16】半導体装置の作製工程に係る断面図。

【図17】半導体装置の作製工程に係る断面図。

【図18】半導体装置の作製工程に係る断面図。

【図19】半導体装置の作製工程に係る断面図。

10

20

30

40

50

【図20】半導体装置の作製工程に係る断面図。

【図21】電子機器の例。

【図22】半導体装置の断面図。

【図23】半導体装置の作製工程に係る断面図。

【図24】本発明の一態様に係る酸化物材料の構造を説明する図。

【図25】本発明の一態様に係る酸化物材料の構造を説明する図。

【図26】本発明の一態様に係る酸化物材料の構造を説明する図。

【図27】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図28】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

10

【図29】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図30】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図31】計算に用いたトランジスタの断面構造を説明する図。

【図32】酸化物半導体膜を用いたトランジスタ特性を示す図。

【図33】試料1のトランジスタのBT試験後のVg - Id特性を示す図。

【図34】試料2のトランジスタのBT試験後のVg - Id特性を示す図。

【図35】試料Aおよび試料BのXRDスペクトルを示す図。

【図36】トランジスタのオフ電流と測定時基板温度との関係を示す図。

20

【図37】Idおよび電界効果移動度のVg依存性を示す図。

【図38】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

【図39】半導体装置の上面図及び断面図。

【図40】半導体装置の上面図及び断面図。

【発明を実施するための形態】

【0022】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0023】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0024】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0025】

(実施の形態1)

40

本実施の形態では、開示する発明の一態様に係る半導体装置の基本的な構成について、図面を参照して説明する。

【0026】

図1は、本発明の一態様の半導体装置の構成を表した図である。図1(A)は半導体装置の断面構造を、図1(B)は回路構成を、それぞれ模式的に表した図である。

【0027】

図1(A)は、基板300上に、トランジスタ等の半導体素子が形成された層(以下、素子形成層)301、第1の配線302、第1の層間膜305、第2の配線303、第2の層間膜306、第3の配線304を積層して有する半導体装置の構造を示す。素子形成層301は、トランジスタに限らず、容量素子、抵抗素子などの半導体素子が形成されうる

50

領域である。図1において、第1の層間膜305の膜厚は、第2の層間膜306の膜厚より薄い構造を有する。第1の配線302、第2の配線303および第3の配線304はそれぞれ単層または積層の導電層により形成されている。また、第1の層間膜305および第2の層間膜306はそれぞれ、単層または積層の絶縁層により形成されている。

【0028】

また、図1(B)には、回路100の回路構成と配線の配置関係を表した図を示す。回路100は、回路100内を横断して配置される配線303aと、配線303aから分岐した配線302aと、トランジスタ101とを有し、配線303aと配線302aとが重なって配置される領域102を有する。また、配線303aは入力信号が与えられ、配線303aと導通した配線302aを介して、トランジスタ101のゲート電極に接続されている。なお、配線303aは図1(A)の第2の配線303を用いて形成され、配線302aは図1(A)の第1の配線302を用いて形成される。

10

【0029】

一般に、図1(A)に示すような断面構造を有する半導体装置は次のような課題を有する。第1の配線302と第2の配線303が薄い第1の層間膜305によって隔てられるため、第1の配線302と第2の配線303が重なって配置される領域には大きな寄生容量が形成されてしまう。その結果、第1の配線302と第2の配線303に与えられる信号の遅延時間が大きくなり、回路動作が遅くなる、あるいは、動作しなくなるといった影響がある。この影響を回避するために、第1の配線302と第2の配線303の一方のみを使用する構成も可能であるが、使用できる配線数が一つ減ってしまうために、回路面積が大きくなるという課題がある。

20

【0030】

これに対し、図1(B)に示すような構成とすると、配線303aと配線302aが重なって配置される領域102には大きな寄生容量が形成されてしまうにもかかわらず、信号の遅延時間への影響を抑制することができる。これは、配線303aと配線302aが導通しているため、寄生容量が形成される二端子は実質的に同電位となり、該二端子への充放電がほとんど生じないためである。

【0031】

その結果、薄い層間膜(図1(A)における第1の層間膜305)によって隔てられた第1の配線と第2の配線が重なって配置される領域を用いて回路を構成することが可能となり、第1の配線と第2の配線の一方のみを使用する場合と比較して小さな回路面積を実現することができる。その結果、小型の半導体装置を実現することが可能となる。

30

【0032】

図1(B)に示した回路構成と配線の配置関係を用いることで、図1(A)に示す第1の層間膜305がどのように薄い膜厚であっても第1の配線302および第2の配線303が重複する領域を回路の一部として使用することが可能であるため、回路面積の縮小に有効である。一方で、半導体装置において、第1の層間膜305が容量素子の誘電体やトランジスタのゲート絶縁膜として用いられる場合には、第1の層間膜305は、厚さは10nm以上300nm以下、好ましくは10nm以上100nm以下、さらに好ましくは10nm以上30nm以下とすることが好ましい。

40

【0033】

また、図1(B)に示した構成において、配線302aの膜厚が、配線303aの膜厚よりも薄い構成であっても構わない。このような場合には、配線302aのシート抵抗が、配線303aのシート抵抗よりも大きくなり、配線302aが大きな配線抵抗を有してしまうことが懸念される。しかしながら、回路100を横断して配置されるような長い配線には配線303aを用いることにより、配線302aを短い配線にのみ使用することができるため、配線302aが有する配線抵抗を小さくすることができる。その結果、配線抵抗による回路動作への影響を抑えることが可能となる。

【0034】

一方で、半導体装置の製造プロセスにおいては、配線302aの膜厚を薄くすることで、

50

下層に配置される配線 302a によって生じる段差が小さくなり、配線 303a の断線や配線 302a と配線 303a 間のショートを防ぐことができるため好ましい。一例として、配線 302a の膜厚は 50 nm 以上 150 nm 以下とすることが好ましい。このような値とすることで、配線 302a の配線抵抗による回路動作への影響を抑えられる範囲で大きなシート抵抗を有し、かつ、製造プロセスにおいて配線 302a によって生じる段差の影響を抑えることができる。

【0035】

なお、図 1 (B) では、回路 100 内で配線 302a とトランジスタ 101 のゲート電極とが電気的に接続されている場合を代表例として示したが、本実施の形態はこれに限定されない。配線 302a は複数のトランジスタのゲート電極に接続されても良い。また、配線 302a はトランジスタのゲート電極に接続される場合以外に、トランジスタのソース電極またはドレイン電極と接続されても良いし、容量素子、抵抗素子等の半導体素子と接続されても良い。

10

【0036】

また、図 1 (B) に示した例とは別の半導体装置として、図 2 に示す回路構成と配線の配置関係を有する半導体装置について説明する。なお、半導体装置の断面構造は、図 1 (A) に示す断面構造が適用される。

【0037】

図 2 には、回路 200 の回路構成と配線の配置関係を表した図を示す。回路 200 は、配線 303b と、配線 302b と、トランジスタ 201、202 とを有し、配線 303b と配線 302b とが重なって配置される領域 203 を有する。配線 303b には回路 200 に入力される信号が与えられ、トランジスタ 201 のゲート電極に電気的に接続されている。また、配線 302b には回路 200 から出力される信号が与えられ、トランジスタ 202 のソース電極またはドレイン電極の一方と電気的に接続されている。なお、配線 303b は図 1 (A) の第 2 の配線 303 を用いて形成され、配線 302b は図 1 (A) の第 1 の配線 302 を用いて形成される。

20

【0038】

また、配線 303b と配線 302b とには、同相の信号が与えられる。ここで同相の信号とは、同じ位相を有する信号を表す。デジタル信号であれば、High (ハイ) および Low (ロー) の期間が互いに一致している信号を表すこととする。なお、デジタル信号における一致の度合いは、信号の立ち上がり時間あるいは立ち下がり時間が少なくとも一部重なっていることが好ましい。立ち上がり時間あるいは立ち下がり時間が重なっている場合は、立ち上がり時間あるいは立ち下がり時間が重なっていない場合と比較して、各配線が有する寄生容量への充放電が抑制されるため、信号の遅延時間が低減される効果がある。

30

【0039】

上述のように、一般に、図 1 (A) に示すような断面構造を有する半導体装置は次のような課題を有する。第 1 の配線 302 と第 2 の配線 303 とが薄い第 1 の層間膜 305 によって隔てられるため、第 1 の配線 302 と第 2 の配線 303 が重なって配置される領域には大きな寄生容量が形成されてしまう。その結果、第 1 の配線 302 と第 2 の配線 303 に与えられる信号の遅延時間が大きくなり、回路動作が遅くなる、あるいは、動作しなくなるといった影響がある。この影響を回避するために、第 1 の配線 302 と第 2 の配線 303 の一方のみを使用する構成も可能であるが、使用できる配線数が一つ減ってしまうために、回路面積が大きくなるという課題がある。

40

【0040】

これに対し、図 2 に示すような構成とすると、配線 303b と配線 302b が重なって配置される領域 203 には大きな寄生容量が形成されてしまうにもかかわらず、信号の遅延時間への影響を抑制することができる。これは、配線 303b と配線 302b には同相の信号が与えられるため、寄生容量が形成される二端子間の電位差は小さく抑えられ、該二端子への充放電が抑制されるためである。

50

【0041】

その結果、薄い層間膜（図1（A）における第1の層間膜305）によって隔てられた配線302bと配線303bが重なって配置される領域203を回路の一部として適用することが可能となり、配線302bと配線303bの一方のみを使用する場合と比較して小さな回路面積を実現することができる。その結果、小型の半導体装置を実現することが可能となる。

【0042】

なお、図1（A）に示すように、第1の層間膜305が第2の層間膜306より薄い膜厚を有する構造は、様々な半導体装置が有しうる構造である。例えば、第1の配線302と第2の配線303とが素子形成層301に形成された半導体素子とは別の半導体素子の一部として用いられるような構成があげられる。具体的には、第1の配線302と第2の配線303が容量素子の電極として用いられる場合が考えられる。容量素子は誘電体の膜厚が薄いほど容量値が大きくなるため、第1の層間膜305は薄いことが好ましい。また、第1の配線302がトランジスタのゲート電極として用いられ、第2の配線303がトランジスタのソース電極またはドレイン電極として用いられる場合、第1の層間膜305はゲート絶縁膜として用いられるため、薄く形成される場合がある。なお、第1の配線302をソース電極またはドレイン電極として用い、第2の配線303をゲート電極として用いてもよい。トランジスタとしては、半導体活性領域に非晶質シリコンを用いたトランジスタや、半導体活性領域に酸化物半導体を用いたトランジスタ等が挙げられる。その他にも、第1の配線302と第2の配線303が抵抗素子や記憶素子の一部分として用いられてもよい。

10

【0043】

図2に示した回路構成と配線の配置関係を用いることで、図1（A）に示す第1の層間膜305がどのように薄い膜厚であっても、第1の配線302および第2の配線303が重畳する領域を回路の一部として使用することが可能であるため、回路面積の縮小に有効である。一方で、半導体装置において、第1の層間膜305が容量素子の誘電体やトランジスタのゲート絶縁膜として用いられる場合には、第1の層間膜305は、厚さは10nm以上300nm以下、好ましくは10nm以上100nm以下、さらに好ましくは10nm以上30nm以下とすることが好ましい。

20

【0044】

30

なお、図2では、回路200内で配線303bとトランジスタ201のゲート電極とが電気的に接続され、配線302bとトランジスタ202のソース電極またはドレイン電極の一方とが電気的に接続されている場合を代表例として示したが、本実施の形態はこれに限定されない。配線303bはトランジスタのソース電極またはドレイン電極の一方に接続されても良い。また、配線302bはトランジスタのゲート電極に接続されても良い。また、配線302bおよび配線303bは、複数のトランジスタのゲート電極またはソース電極またはドレイン電極に接続されても良いし、容量手段、抵抗手段、ダイオード等の半導体素子と接続されても良い。

【0045】

40

なお、本実施の形態では、配線303bは図1（A）の第2の配線303を用いて形成され、配線302bは図1（A）の第1の配線302を用いて形成される構成としたが、配線302bは図1（A）の第2の配線303を用いて形成され、配線303bは図1（A）の第1の配線302を用いて形成される構成としても構わない。

【0046】

なお、図2では、配線303bには回路200に入力される信号が与えられる構成としたが、本実施の形態はこれに限定されない。配線303bには回路200の内部信号の一つが与えられても構わない。また、図2では、配線302bには回路200から出力される信号が与えられる構成としたが、本実施の形態はこれに限定されない。配線302bには回路200の内部信号の一つが与えられても構わない。

【0047】

50

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0048】

(実施の形態2)

本実施の形態では、実施の形態1で示した回路構成を、半導体装置の駆動回路に適用した例を、図面を用いて説明する。本実施の形態では、半導体装置の一例として、記憶装置に適用する例を示す。

【0049】

<メモリセルの構成と動作>

はじめに、記憶装置に含まれるメモリセル502の構成と動作について説明する。メモリセル502の回路図を図3に示す。図3に示すメモリセル502は、第1のトランジスタ1201、第2のトランジスタ1202、および容量素子1203を有する。第2のトランジスタ1202のゲート電極は第2の信号線S2と電気的に接続され、第2のトランジスタ1202のソース電極またはドレイン電極の一方は第1の信号線S1と電気的に接続されている。また、第2のトランジスタ1202のソース電極またはドレイン電極の他方は、第1のトランジスタ1201のゲート電極および容量素子1203の一方の電極と電気的に接続される。第1のトランジスタ1201のソース電極はソース線(SL)と電気的に接続され、第1のトランジスタ1201のドレイン電極はビット線(BL)と電気的に接続される。容量素子1203の電極の他方はワード線(WL)と電気的に接続される。

10

【0050】

ここで、第2のトランジスタ1202としては、酸化物半導体を用いたトランジスタを適用する。酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、このトランジスタをメモリセルに適用することにより極めて長期にわたり記憶した情報を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、メモリセルを含んで構成された半導体装置の消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。また、第1のトランジスタ1201としては、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。なお、第1のトランジスタに用いる半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。このような半導体材料を用いた第1のトランジスタは、十分な高速動作が可能なため、記憶した情報の読み出しなどを高速に行うことが可能である。

20

【0051】

メモリセル502の断面を示す模式図を図4に示す。図4に示すように、メモリセル502は、第1のトランジスタ1301と、該第1のトランジスタ1301と少なくとも一部が重畠して設けられた第2のトランジスタ1302と、を含む。第2のトランジスタ1302は、第1のトランジスタ1301の上方に形成され、第1のトランジスタ1301のゲート電極と第2のトランジスタ1302のソース電極またはドレイン電極の一方は電気的に接続される。図4の第1のトランジスタ1301は図3の第1のトランジスタ1201に、図4の第2のトランジスタ1302は図3の第2のトランジスタ1202に対応する。

30

【0052】

図3に示す半導体装置では、第1のトランジスタ1201のゲート電極の電位保持が可能であると言う特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0053】

はじめに、情報の書き込みおよび保持について説明する。まず、第2の信号線(S2)の電位を第2のトランジスタ1202がオン状態となる電位にして、第2のトランジスタ1

40

50

202をオン状態とする。これにより、第1の信号線(S1)の電位が、第1のトランジスタ1201のゲート電極および容量素子1203に与えられる。すなわち、第1のトランジスタ1201のゲート電極および容量素子1203には所定の電位が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷QL、高電位を与える電荷を電荷QHという)のいずれかをS1を通じて与えられるものとする。なお、異なる3つおよびそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。

【0054】

その後、第2の信号線(S2)の電位を、第2のトランジスタ1202がオフ状態となる電位にして、第2のトランジスタ1202をオフ状態とすることにより、第1のトランジスタ1201のゲート電極に与えられる電荷が保持される(保持)。第2のトランジスタ1202のオフ電流はきわめて小さいから、第1のトランジスタ1201のゲート電極の電位は長時間にわたって保持されることになる。

10

【0055】

次に、情報の読み出しについて説明する。ソース線(SL)に所定の電位(定電位)を与えた状態で、ワード線(WL)に適切な電位(読み出し電位)を与えると、第1のトランジスタ1201のゲート電極に保持された電荷量に応じて、ビット線(BL)は異なる電位を取る。一般に、第1のトランジスタ1201をNチャネル型とすると、第1のトランジスタ1201のゲート電極にQHが与えられているときの見かけのしきい値電圧Vth-Hは、第1のトランジスタ1201のゲート電極にQLが与えられている場合の見かけのしきい値電圧Vth-Lより低くなるためである。ここで、見かけのしきい値電圧とは、第1のトランジスタ1201を「オン状態」とするために必要なワード線(WL)の電圧をいうものとする。

20

【0056】

したがって、ワード線(WL)の電位をVth-HとVth-Lとの間の電位VOとすることにより、第1のトランジスタ1201のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいてQHが与えられていた場合には、ワード線(WL)の電位をVOとするとVOはVth-Hよりも高いため、第1のトランジスタ1201はオン状態となる。一方、書き込みにおいてQLが与えられていた場合には、ワード線(WL)の電位がVOとするとVOはVth-Lよりも低いため、第1のトランジスタ1201はオフ状態のままである。このため、ビット線(BL)の電位を判別することで、保持されている情報を読み出すことができる。

30

【0057】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルのワード線(WL)に対して、ゲート電極の状態に関わらず第1のトランジスタ1201がオン状態もしくはオフ状態となるような電位を与えればよい。具体的には、ゲート電極の状態に関わらず第1のトランジスタ1201をオン状態とするには、ワード線(WL)にVth-Lより大きな電位を与えればよく、ゲート電極の状態に関わらず第1のトランジスタ1201をオフ状態とするにはワード線(WL)にVth-Hよりも小さい電位を与えればよい。

40

【0058】

読み出しの対象ではないメモリセルのワード線(WL)に、第1のトランジスタ1201がオン状態となるような電位を与えるか、第1のトランジスタ1201がオフ状態となるような電位を与えるかは、メモリセル502の接続関係(例えば、メモリセルが直列に接続されているか、並列に接続されているか等)に応じて適宜決定することができる。

【0059】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様にして行なわれる。つまり、第2の信号線(S2)の電位を、第2のトランジ

50

スタ 1 2 0 2 がオン状態となる電位にして、第 2 のトランジスタ 1 2 0 2 をオン状態とする。これにより、第 1 の信号線 (S 1) の配線の電位 (新たなる情報に係る電位) が、第 1 のトランジスタ 1 2 0 1 のゲート電極および容量素子 1 2 0 3 に与えられる。その後、第 2 の信号線 (S 2) の電位を、第 2 のトランジスタ 1 2 0 2 がオフ状態となる電位にして、第 2 のトランジスタ 1 2 0 2 をオフ状態とすることにより、第 1 のトランジスタ 1 2 0 1 のゲート電極は、新たな情報に係る電荷が保持された状態となる。

【 0 0 6 0 】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜 (トンネル絶縁膜) の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。

【 0 0 6 1 】

なお、第 2 のトランジスタ 1 2 0 2 のソース電極またはドレイン電極は、第 1 のトランジスタ 1 2 0 1 のゲート電極と電気的に接続されることにより、不揮発性記憶素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、第 2 のトランジスタ 1 2 0 2 のソース電極またはドレイン電極と第 1 のトランジスタ 1 2 0 1 のゲート電極が電気的に接続される部位をノード C と呼ぶ。第 2 のトランジスタ 1 2 0 2 がオフの場合、ノード C は絶縁体中に埋設されたと見ることができ、ノード C には電荷が保持される。酸化物半導体を用いた第 2 のトランジスタ 1 2 0 2 のオフ電流は、シリコン半導体などで形成されるトランジスタの 10 万分の 1 以下であるため、第 2 のトランジスタ 1 2 0 2 のリーク電流によるノード C に蓄積される電荷の消失を無視することができる。つまり、第 2 のトランジスタ 1 2 0 2 により、電力の供給が無くても情報の保持が可能という、実質的に不揮発性記憶装置を実現することが可能である。

【 0 0 6 2 】

例えば、第 2 のトランジスタ 1 2 0 2 の室温 (25) でのオフ電流が 10 zA (1 zA (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$) 以下であり、容量素子 1 2 0 3 の容量値が 10 fF 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【 0 0 6 3 】

< 半導体装置の構成 >

図 5 に半導体装置の回路図の例を示す。図 5 に示す回路は、上述のメモリセル 5 0 2 と、該メモリセルを駆動する駆動回路の回路図である。図 5 に示す駆動回路はローデコーダ 5 0 0、ロードライバ 5 0 1、メモリセル 5 0 2 を有する。ロードライバ 5 0 1 およびメモリセル 5 0 2 はアレイ状に複数配置される。

【 0 0 6 4 】

ロードライバ 5 0 1 は NAND ゲート部 5 0 4、第 1 のレベルシフタ 5 0 5、第 1 のバッファ 5 0 6、第 2 の NAND ゲート 5 0 7、第 2 のレベルシフタ 5 0 8、第 2 のバッファ 5 0 9 を有する。NAND ゲート部 5 0 4 は第 1 の NAND ゲート 5 0 3 を有する。

【 0 0 6 5 】

< 駆動回路部の構成と動作 >

図 5 に示す駆動回路の動作について説明する。ローデコーダ 5 0 0 により複数あるロードライバ 5 0 1 のうち一つが選択される。ローデコーダ 5 0 0 の出力線は第 1 の NAND ゲート 5 0 3 の入力部の一方および第 2 の NAND ゲート 5 0 7 の入力部の一方と電気的に接続されている。一方、第 1 の NAND ゲート 5 0 3 の入力部の他方は書き込みイネーブ

10

20

30

40

50

ル信号線 (WE) と電気的に接続され、また、第2のNANDゲート507の入力部の他方は読み出しつィル信号線 (RE) と電気的に接続されている。したがって、書き込み動作、すなわちWEがアクティブである場合には第1のNANDゲート503の出力がアクティブになり、読み出し動作、すなわちREがアクティブである場合には第2のNANDゲート507の出力がアクティブになる。

【0066】

第1のNANDゲート503の出力は第1のレベルシフタ505へ入力され、第2のNANDゲート507の出力は第2のレベルシフタ508へ入力される。一方、第1のレベルシフタ505の電源線に書き込み電圧 (VW) が印加され、第2のレベルシフタ508の電源線として読み出し電圧 (VR) が印加されている。したがって、第1のNANDゲート503の出力がアクティブである場合第1のレベルシフタ505によりローデコーダ500の出力が書き込み電圧に増幅され、第2のNANDゲート507の出力がアクティブである場合第2のレベルシフタ508により読み出し電圧に増幅される。第1のレベルシフタ505の出力は第1のバッファ506を通り第2の信号線 (S2) としてメモリセル502に入力され、第2のレベルシフタ508の出力は第2のバッファ509を通りワード線 (WL) としてメモリセル502に入力される。メモリセル502にはほかにビット線 (BL)、第1の信号線 (S1) が接続される。

【0067】

図3に示すように、メモリセル502は、第1のトランジスタ1201と、第1のトランジスタ1201に重畳して設けられた第2のトランジスタ1202と、を有する。ここで、図4における、第1のトランジスタ1301を含む層1300は、図1(A)における素子形成層301に対応する。また、本実施の形態において、第2のトランジスタ1202のソース電極またはドレイン電極と同じ工程で作製される駆動回路部の配線が、図1(A)における第1の配線302に対応し、第2のトランジスタ1202のゲート絶縁膜と同じ工程で作製される層間膜が、図1(A)における第1の層間膜305に対応し、第2のトランジスタ1202のゲート電極と同じ工程で作製される駆動回路部の配線が、図1(A)における第2の配線303に対応する。この場合、実施の形態1の構成を適用することで、駆動回路部において、メモリセル502に含まれる第2のトランジスタ1202のソース電極またはドレイン電極と同じ工程で作製される配線と、該トランジスタのゲート電極と同じ工程で作製される配線と、を共に回路の一部として使用するため、駆動回路部の面積の縮小を図ることができる。

【0068】

より具体的には、NANDゲート部504、第1のレベルシフタ505、第2のレベルシフタ508に、実施の形態1に記載の回路構成を適用する。このうち、NANDゲート部504には図1(B)に示す回路構成が、第1のレベルシフタ505および第2のレベルシフタ508には図2に示す回路構成が、それぞれ適用される。

【0069】

まず、NANDゲート部504への図1(B)に示す回路構成の適用について図面を用いて説明を行う。図6は、NANDゲート部504の回路図である。

【0070】

図6に示す回路はN型トランジスタ601、602、P型トランジスタ603、604、信号線605、信号線606を有する。

【0071】

信号線605は、複数のNANDゲート(図5のNANDゲート503およびNANDゲート507)を駆動する共通の信号線である。信号線606は、信号線605と電気的に接続され、N型トランジスタ601のゲート電極およびP型トランジスタ603のゲート電極と電気的に接続される。

【0072】

図6において、信号線606を図1で示す第1の配線302とし、信号線605を図1で示す第2の配線303とする。より具体的に説明すると、信号線606を、メモリセル5

10

20

30

40

50

02に含まれる第2のトランジスタ1202のソース電極またはドレイン電極と同じ工程で作製し、信号線605を、該トランジスタのゲート電極と同じ工程で作製するものとする。したがって、メモリセル502に含まれる第2のトランジスタ1202のゲート絶縁膜と、信号線606と信号線605との間の層間膜と、が同じ工程で作製されるため、該層間膜の膜厚を薄くすることが可能である。層間膜の膜厚は10nm以上300nm以下、好ましくは10nm以上100nm以下、さらに好ましくは10nm以上30nm以下とすることができる。

【0073】

図6において、信号線606と信号線605とは重なって配置される領域607を有する。信号線605と信号線606が重なって配置される領域607には大きな寄生容量が形成されてしまうにもかかわらず、信号の遅延時間への影響を抑制することができる。これは、信号線605と信号線606とが導通しているため、寄生容量が形成される二端子は実質的に同電位となり、該二端子への充放電がほとんど生じないためである。

10

【0074】

なお、信号線605を、第2のトランジスタ1202のソース電極またはドレイン電極と同じ工程で作製し、信号線606を、該トランジスタのゲート電極と同じ工程で作製することも可能である。また、ソース電極またはドレイン電極と同じ工程で作製される配線の膜厚を100nm以上150nm以下とし、ゲート電極と同じ工程で作製される配線の膜厚と比較して薄くすることは、下層の配線（第1の配線）が段差になることによる断線を防ぐことができるため好ましい。

20

【0075】

図7は、NANDゲート部504の断面の一部を示した図である。図7に示す断面は、信号線700、NANDゲート702、信号線704を含み、NANDゲート702はトランジスタ703a、703bを含む。図7において、トランジスタ703a、703bは、メモリセル502に含まれる第1のトランジスタ1201と同じ工程で作製される。また、図7における信号線704が、図6における信号線606に対応し、図7における信号線700が図6における信号線605に対応する。また、図7において、信号線700と信号線704が重なる領域である領域705が、図6における領域607に対応する。

【0076】

図7において、信号線700は信号線704と電気的に接続され、信号線704はNANDゲート702内のトランジスタ703aのゲート電極およびトランジスタ703bのゲート電極と電気的に接続される。

30

【0077】

また、図8は、図6および図7に示すNANDゲート部504の上面図の一形態である。図8の破線A-A'は図7で示した断面図のA-A'に対応する。

【0078】

図8に示すNANDゲート802は、図7に示すNANDゲート702に対応し、信号線800は図7に示す信号線700に対応し、信号線804は図7に示す信号線704に対応し、信号線800と信号線804とが重なる領域805は図7に示す領域705に対応する。NANDゲート802の中のトランジスタ803aは図7に示すトランジスタ703aに対応し、トランジスタ803bは図7に示すトランジスタ703bに対応する。

40

【0079】

NANDゲート702を構成するトランジスタ703aは図6のN型トランジスタ601に、トランジスタ703bは図6のP型トランジスタ603に対応する。信号線700は図4の第2のトランジスタ1302のゲート電極と同一の配線層であり、信号線704は図4の第2のトランジスタ1302のソース電極またはドレイン電極と同一の配線層である。そのため、信号線700の膜厚は200nm以上とするのが好ましく、信号線704の膜厚は100nm以上150nm以下とするのが好ましい。

【0080】

領域705は、層間膜706を介して信号線700と信号線704とが積層して配置され

50

る領域である。層間膜 706 の膜厚は 10 nm 以上 300 nm 以下、好ましくは 10 nm 以上 100 nm 以下、さらに好ましくは 10 nm 以上 30 nm 以下とする。層間膜 706 は、図 4 の第 2 のトランジスタ 1302 のソース電極またはドレイン電極と、ゲート電極を隔てる膜（すなわち、ゲート絶縁膜）と同一工程で成膜される膜である。

【0081】

信号線 700 と信号線 704 は上述のような薄膜の層間膜 706 で隔てられているのみであるが、図 6 に示す回路構成を適用することで、信号線 700 と信号線 704 とは同一の信号が入力されるため、両者の層間絶縁膜の膜厚が薄くても互いの信号に影響を与えることがない。したがって、信号線 700 と信号線 704 とが重畠した領域 705 を有していた場合であっても、信号線 700 および信号線 704 を配線として機能させることができる。10

【0082】

続いて、図 5 の半導体装置における第 1 のレベルシフタ 505 および第 2 のレベルシフタ 508 へ、図 2 に示す回路構成を適用した例について図 9 を用いて説明を行う。図 9 は、第 1 のレベルシフタ 505 および第 2 のレベルシフタ 508 の回路図である。

【0083】

図 9 に示すレベルシフタは、N 型トランジスタ 901、902、P 型トランジスタ 903、904、905、906 を有する。

【0084】

図 9 に示すレベルシフタは、入力信号線と反転信号入力線の電位はハイのときに電源電位、ローのときに接地電位となる。また、出力信号線と反転信号出力線の電位はハイのときに高電位電源 VDDH、ローのときに接地電位となる。第 1 のレベルシフタ 505 の場合は高電位電源として VW が、第 2 のレベルシフタ 508 の場合は高電位電源として VR が適用される。20

【0085】

図 9 において、入力信号線 910 または出力信号線 912 の一方を、図 1 (A) で示す第 1 の配線 302 とし、他方を図 1 (A) で示す第 2 の配線 303 とする。より具体的に説明すると、入力信号線 910 または出力信号線 912 の一方を、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のソース電極またはドレイン電極と同じ工程で作製し、他方を該トランジスタのゲート電極と同じ工程で作製するものとする。30

【0086】

または、図 9 において、反転信号入力線 911 または反転信号出力線 913 の一方を、図 1 (A) で示す第 1 の配線 302 とし、他方を図 1 (A) で示す第 2 の配線 303 としてもよい。より具体的に説明すると、反転信号入力線 911 または反転信号出力線 913 の一方を、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のソース電極またはドレイン電極と同じ工程で作製し、他方を該トランジスタのゲート電極と同じ工程で作製するものとする。

【0087】

これによって、入力信号線 910 と出力信号線 912 との間の層間膜、または反転信号入力線 911 と反転信号出力線 913 との間の層間膜、あるいはその双方、がメモリセル 502 に含まれる第 2 のトランジスタ 1202 のゲート絶縁膜と同じ工程で作製されるため、該層間膜の膜厚を薄くすることが可能である。層間膜の膜厚は 10 nm 以上 300 nm 以下、好ましくは 10 nm 以上 100 nm 以下、さらに好ましくは 10 nm 以上 30 nm 以下とすることができます。40

【0088】

なお、入力信号線 910 は、入力信号 IN を入力する配線であり、反転信号入力線 911 は、入力信号の反転信号 INB を入力する配線である。また、出力信号線 912 は、出力信号 OUT を出力する配線であり、反転信号出力線 913 は、出力信号の反転信号 OUTB を出力する配線である。

【0089】

10

20

30

40

50

なお、メモリセル 502 に含まれる第 2 のトランジスタ 1302 をトップゲート型のトランジスタとする場合、図 1 (A) に示す第 1 の配線 302 を、第 2 のトランジスタ 1302 のソース電極またはドレイン電極と同じ工程で作製される配線とし、第 2 の配線 303 を第 2 のトランジスタ 1302 のゲート電極と同じ工程で作製される配線とするのが好ましい。第 2 のトランジスタ 1302 において、ソース電極またはドレイン電極は、ゲート電極よりも薄い膜厚を有するため、第 1 の配線が段差による第 2 の配線の断線を防ぐことができるためである。なお、第 1 の配線（第 2 のトランジスタ 1302 のソース電極またはドレイン電極）の膜厚は、100 nm 以上 150 nm 以下とするのが好ましい。

【0090】

10

なお、図 9 ではハイ信号を電源電位から高電位電源に変換するタイプのレベルシフタを示したが、ロー信号を接地電位から低電位電源に変換するタイプのレベルシフタにも同様に適用が可能である。

【0091】

図 10 は、図 9 に示すレベルシフタの断面の一部を示した図である。図 10 に示す断面は、トランジスタ 1000、配線 1001、配線 1002 を含む。図 10 において、トランジスタ 1000 は、メモリセル 502 に含まれる第 1 のトランジスタ 1201 と同じ工程で作製される。また、図 10 に示すレベルシフタは、配線 1001 と配線 1002 とが重なる領域である領域 1003 を有している。配線 1001 はトランジスタ 1000 のソース電極またはドレイン電極の一方と電気的に接続される。また、図示しないが、配線 1002 はトランジスタ 1000 とは異なるトランジスタのゲート電極と電気的に接続される。

20

【0092】

図 10 に示すトランジスタ 1000 は、図 9 のインバータ 900 内のトランジスタに対応し、配線 1001 は図 9 の反転信号入力線 911 に対応し、配線 1002 は図 9 の反転信号出力線 913 に対応する。または、配線 1001 は、図 9 の入力信号線 910 に対応し、配線 1002 は図 9 の出力信号線 912 に対応する。

【0093】

また、図 11 は、図 9 および図 10 に示すレベルシフタの上面図の一形態である。図 11 の破線 B - B' は図 10 で示した断面図の B - B' に対応する。

30

【0094】

図 11 に示すトランジスタ 1100 は、図 10 に示すトランジスタ 1000 に対応し、配線 1101 は図 10 に示す配線 1001 に対応し、配線 1102 は図 10 に示す配線 1002 に対応し、配線 1101 と配線 1102 とが重なる領域 1103 は図 10 に示す領域 1003 に対応する。

【0095】

図 10 において、配線 1001 は図 4 の第 2 のトランジスタ 1302 のゲート電極と同一の工程で作製される配線であり、配線 1002 は図 4 の第 2 のトランジスタ 1302 のソース電極またはドレイン電極と同一の工程で作製される配線である。そのため、配線 1001 の膜厚は 200 nm 以上とするのが好ましく、配線 1002 の膜厚は 100 nm 以上 150 nm 以下とするのが好ましい。

40

【0096】

領域 1003 は、層間膜 1006 を介して配線 1001 と配線 1002 とが積層して配置される領域である。層間膜 1006 の膜厚は 10 nm 以上 300 nm 以下、好ましくは 10 nm 以上 100 nm 以下、さらに好ましくは 10 nm 以上 30 nm 以下とする。層間膜 1006 は、図 4 の第 2 のトランジスタ 1302 のソース電極またはドレイン電極と、ゲート電極を隔てる膜（すなわち、ゲート絶縁膜）と同一工程で成膜される膜である。

【0097】

図 2 の回路構成を適用したレベルシフタは、配線 1001 と配線 1002 は上述のような薄膜の層間膜で隔てられているのみであるが、配線 1001 と配線 1002 とは同相の信

50

号が入力されるため、両者の層間の膜厚が薄くても寄生容量による影響を抑えることができる。したがって、領域 1003 に示すような、配線 1001 と配線 1002 とが重畠した領域 1003 を有していた場合であっても、配線 1001 と配線 1002 を、配線として機能させることができる。

【0098】

また、図 5 の半導体装置における、第 1 のレベルシフタ 505 および第 2 のレベルシフタ 508 へ、図 2 に示す回路構成を適用した例は、図 9 乃至図 11 に示す構成に限られるものではない。例えば、図 12 および図 13 に示すような構成のレベルシフタとしても良い。図 12 は、第 1 のレベルシフタ 505 および第 2 のレベルシフタ 508 の回路図であり、図 13 は、図 12 に示すレベルシフタの断面の一部を示した図である。

10

【0099】

図 12 に示すレベルシフタは、インバータ 1400、N 型トランジスタ 1401、1402、P 型トランジスタ 1403、1404、1405、1406 を有する。インバータ 1400 は N 型トランジスタ 1407、P 型トランジスタ 1408 を有する。

【0100】

図 12 に示すレベルシフタは、入力信号線と反転信号入力線の電位はハイのときに電源電位、ローのときに接地電位となる。また、出力信号線と反転信号出力線の電位はハイのときに高電位電源 VDDH、ローのときに接地電位となる。すなわち、第 1 のレベルシフタ 505 の場合は高電位電源として VW が、第 2 のレベルシフタ 508 の場合は高電位電源として VR が適用される。

20

【0101】

図 12において、入力信号線 1410 または出力信号線 1412 の一方を、図 1 (A) で示す第 1 の配線 302 とし、他方を図 1 (A) で示す第 2 の配線 303 とする。より具体的に説明すると、入力信号線 1410 または出力信号線 1412 の一方を、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のソース電極またはドレイン電極と同じ工程で作製し、他方を該トランジスタのゲート電極と同じ工程で作製するものとする。

【0102】

または、図 12において、反転信号入力線 1411 または反転信号出力線 1413 の一方を、図 1 (A) で示す第 1 の配線 302 とし、他方を図 1 (A) で示す第 2 の配線 303 としてもよい。より具体的に説明すると、反転信号入力線 1411 または反転信号出力線 1413 の一方を、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のソース電極またはドレイン電極と同じ工程で作製し、他方を該トランジスタのゲート電極と同じ工程で作製するものとする。

30

【0103】

これによって、入力信号線 1410 と出力信号線 1412 との間の層間膜、または反転信号入力線 1411 と反転信号出力線 1413 との間の層間膜、あるいはその双方、がメモリセル 502 に含まれる第 2 のトランジスタ 1202 のゲート絶縁膜と同じ工程で作製されるため、該層間膜の膜厚を薄くすることが可能である。層間膜の膜厚は 10 nm 以上 300 nm 以下、好ましくは 10 nm 以上 100 nm 以下、さらに好ましくは 10 nm 以上 30 nm 以下とすることができる。

40

【0104】

なお、入力信号線 1410 は、入力信号 IN を入力する配線であり、反転信号入力線 1411 は、入力信号の反転信号 INB を入力する配線である。また、出力信号線 1412 は、出力信号 OUT を出力する配線であり、反転信号出力線 1413 は、出力信号の反転信号 OUTB を出力する配線である。

【0105】

なお、メモリセル 502 に含まれる第 2 のトランジスタ 1302 をトップゲート型のトランジスタとする場合、図 1 に示す第 1 の配線 302 を、第 2 のトランジスタ 1302 のソース電極またはドレイン電極と同じ工程で作製される配線とし、第 2 の配線 303 を第 2 のトランジスタ 1302 のゲート電極と同じ工程で作製される配線とするのが好ましい。

50

第2のトランジスタ1302において、ソース電極またはドレイン電極は、ゲート電極よりも薄い膜厚を有するため、第1の配線が段差による第2の配線の断線を防ぐことができるためである。なお、第1の配線（第2のトランジスタ1302のソース電極またはドレイン電極）の膜厚は、100nm以上150nm以下とするのが好ましい。

【0106】

なお、図12ではハイ信号を電源電位から高電位電源に変換するタイプのレベルシフタを示したが、ロー信号を接地電位から低電位電源に変換するタイプのレベルシフタにも同様に適用が可能である。

【0107】

図13は、図12に示すレベルシフタの断面の一部を示した図である。図13に示す断面は、トランジスタ1500、配線1501、配線1502を含む。図13において、トランジスタ1500は、メモリセル502に含まれる第2のトランジスタ1202と同じ工程で作製される。また、図13に示すレベルシフタは、配線1501と配線1502とが重なる領域である領域1503を有している。配線1501はトランジスタ1500のソース電極またはドレイン電極の一方と電気的に接続される。また、図示しないが、配線1502はトランジスタ1500とは異なるトランジスタのゲート電極と電気的に接続される。

10

【0108】

図13に示すトランジスタ1500は、図12のインバータ1400内のN型トランジスタ1407に対応し、配線1501は図12の反転信号入力線1411に対応し、配線1502は図12の反転信号出力線1413に対応する。または、配線1501は、図12の入力信号線1410に対応し、配線1502は図12の出力信号線1412に対応する。

20

【0109】

図13において、配線1501は図4の第2のトランジスタ1302のゲート電極と同一の工程で作製される配線であり、配線1502は図4の第2のトランジスタ1302のソース電極またはドレイン電極と同一の工程で作製される配線である。そのため、配線1501の膜厚は200nm以上とするのが好ましく、配線1502の膜厚は100nm以上150nm以下とするのが好ましい。

【0110】

30

領域1503は、層間膜1506を介して配線1501と配線1502とが積層して配置される領域である。層間膜1506の膜厚は10nm以上300nm以下、好ましくは10nm以上100nm以下、さらに好ましくは10nm以上30nm以下とする。層間膜1506は、図4の第2のトランジスタ1302のソース電極またはドレイン電極と、ゲート電極を隔てる膜（すなわち、ゲート絶縁膜）と同一工程で成膜される膜である。

【0111】

図2の回路構成を適用したレベルシフタは、配線1501と配線1502は上述のような薄膜の層間膜で隔てられているのみであるが、配線1501と配線1502とは同相の信号が入力されるため、両者の層間の膜厚が薄くても寄生容量による影響を抑えることができる。したがって、領域1503に示すような、配線1501と配線1502とが重畠した領域1503を有していた場合であっても、配線1501と配線1502を、配線として機能させることができる。

40

【0112】

次に、図5に示す半導体装置においても用いることができる、バッファを有する回路へ図1(A)に示す構成を適用した例について図14を用いて説明を行う。図14は、半導体装置が有する複数の回路に入力する共通の信号線と、該信号線から分岐し回路内の配線として用いる信号線とを有する回路の一態様を示した図である。

【0113】

図14に示す回路1601はバッファ1602、回路1603を有し、バッファ1602の入力電極は信号線1604と電気的に接続される。信号線1600は回路1601を含

50

む複数の回路を駆動する共通の信号線であり、信号線 1604 と電気的に接続される。信号線 1605 はバッファ 1602 の出力端子および回路 1603 の入力端子と電気的に接続される。

【0114】

図 14 において、信号線 1604 を、図 1 で示す第 1 の配線 302 とし、信号線 1600 を図 1 で示す第 2 の配線 303 とする。より具体的に説明すると、信号線 1604 を、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のソース電極またはドレイン電極と同じ工程で作製し、信号線 1600 を該トランジスタのゲート電極と同じ工程で作製するものとする。また、同様に、信号線 1605 を図 1 で示す第 1 の配線 302 とすることができます。

10

【0115】

これによって、メモリセル 502 に含まれる第 2 のトランジスタ 1202 のゲート絶縁膜と、信号線 1600 と信号線 1604 との間の層間膜および、信号線 1600 と信号線 1605 との間の層間膜が同じ工程で作製されるため、これらの層間膜の膜厚を薄くすることができます。層間膜の膜厚は 10 nm 以上 300 nm 以下、好ましくは 10 nm 以上 100 nm 以下、さらに好ましくは 10 nm 以上 30 nm 以下とすることができます。

【0116】

なお、メモリセル 502 に含まれる第 2 のトランジスタ 1202 をトップゲート型のトランジスタとする場合、図 1 に示す第 1 の配線 302 を、第 2 のトランジスタ 1302 のソース電極またはドレイン電極と同じ工程で作製される配線とし、第 2 の配線 303 を第 2 のトランジスタ 1302 のゲート電極と同じ工程で作製される配線とするのが好ましい。第 2 のトランジスタ 1302 において、ソース電極またはドレイン電極は、ゲート電極よりも薄い膜厚を有するため、第 1 の配線が段差になることによる第 2 の配線の断線を防ぐことができるためである。なお、第 1 の配線（第 2 のトランジスタ 1302 のソース電極またはドレイン電極）の膜厚は、100 nm 以上 150 nm 以下とするのが好ましい。

20

【0117】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0118】

（実施の形態 3）

30

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について図 15 乃至図 20 を参照して説明する。具体的には、記憶装置に搭載可能なメモリセルの構成およびその作製方法について説明する。

【0119】

<半導体装置の断面構成および平面構成>

図 15 は、半導体装置の構成の一例である。図 15 (A) には、半導体装置の断面を、図 15 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 15 (A) は、図 15 (B) の A1 - A2 および B1 - B2 における断面に相当する。図 15 (A) および図 15 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有する。ここで、第 1 の半導体材料と第 2 の半導体材料とは異なる材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料とし、第 2 の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。図 15 に示す半導体装置は、メモリセルとして用いることができる。

40

【0120】

なお、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ

50

電流を十分に低減することが可能な半導体材料をトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0121】

図 15 におけるトランジスタ 160 は、半導体基板 400 上の半導体層中に設けられたチャネル形成領域 134 と、チャネル形成領域 134 を挟むように設けられた不純物領域 132 (ソース領域およびドレイン領域とも記す) と、チャネル形成領域 134 上に設けられたゲート絶縁膜 122a と、ゲート絶縁膜 122a 上にチャネル形成領域 134 と重畳するように設けられたゲート電極 128a と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するためには、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。また、ドレイン電極との記載には、ドレイン領域が含まれうる。

【0122】

また、半導体基板 400 上の半導体層中に設けられた不純物領域 126 には、導電層 128b が接続されている。ここで、導電層 128b は、トランジスタ 160 のソース電極やドレイン電極としても機能する。また、不純物領域 132 と不純物領域 126 との間には、不純物領域 130 が設けられている。また、トランジスタ 160 を覆うように絶縁層 136、絶縁層 138、および絶縁層 140 が設けられている。なお、高集積化を実現するためには、図 15 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 128a の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 132 を設けても良い。

【0123】

図 15 におけるトランジスタ 162 は、絶縁層 140 などの上に設けられた酸化物半導体層 144 と、酸化物半導体層 144 と電気的に接続されているソース電極 (またはドレイン電極) 142a、およびドレイン電極 (またはソース電極) 142b と、酸化物半導体層 144、ソース電極 142a およびドレイン電極 142b を覆うゲート絶縁膜 146 と、ゲート絶縁膜 146 上に酸化物半導体層 144 と重畳するように設けられたゲート電極 148a と、を有する。

【0124】

ここで、酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層 144 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満となる。例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 ($1 \mu\text{m}$)あたりの値) は 100 zA (1 zA (ゼプトアンペア) は $1 \times 10^{-21} \text{ A}$) 以下、望ましくは 10 zA 以下となる。このように、i型化 (真性化) または実質的に i型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。

【0125】

なお、図 15 のトランジスタ 162 では、微細化に起因して素子間に生じるリーク電流を抑制するために、島状に加工された酸化物半導体層 144 を用いているが、島状に加工さ

10

20

30

40

50

れていない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層 144 の汚染を防止できる。

【0126】

図 15 における容量素子 164 は、ドレイン電極 142b、ゲート絶縁膜 146、および導電層 148b、とで構成される。すなわち、ドレイン電極 142b は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層 144 とゲート絶縁膜 146 とを積層させる場合には、ドレイン電極 142b と、導電層 148b との絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子 164 を設けない構成とすることもできる。

10

【0127】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と少なくとも一部が重畳するように設けられている。このような平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法を F として、メモリセルの占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0128】

トランジスタ 162 および容量素子 164 の上には、絶縁層 150 が設けられている。そして、ゲート絶縁膜 146 および絶縁層 150 に形成された開口には、配線 154 が設けられている。配線 154 は、メモリセルの一と他のメモリセルとを接続する配線である。配線 154 は、ソース電極 142a と、導電層 128b とを介して、不純物領域 126 に接続されている。これにより、トランジスタ 160 におけるソース領域またはドレイン領域と、トランジスタ 162 におけるソース電極 142a と、をそれぞれ異なる配線に接続する場合と比較して、配線の数を削減することができるため、半導体装置の集積度を向上させることができる。

20

【0129】

また、導電層 128b を設けることにより、不純物領域 126 とソース電極 142a の接続する位置と、ソース電極 142a と配線 154 の接続する位置を、重畳して設けることができる。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

30

【0130】

なお、図 15 に示す半導体装置において、トランジスタ 160 を含む層が、図 1 (A) における素子形成層 301 に相当する。本実施の形態で示す半導体記憶装置は、図 15 に図示するメモリセルと、該メモリセルを駆動するための駆動回路部 (図示せず) と、を有している。図 1 (A) における第 1 の配線 302 は、駆動回路部内においてトランジスタ 162 のソース電極 142a (ドレイン電極 142b) と同じ工程で作製される配線 (同層の配線) に相当する。また、図 1 (A) における第 1 の層間膜 305 は、駆動回路部内においてトランジスタ 162 のゲート絶縁膜 146 と同じ工程で作製される絶縁層に相当する。なお、ゲート絶縁膜 146 をパターン形成せずに、第 1 の層間膜 305 として用いることも可能である。また、図 1 (A) における第 2 の配線 303 は、駆動回路部内においてトランジスタ 162 のゲート電極 148a と同じ工程で作製される配線に相当する。また、図 1 (A) における第 2 の層間膜 306 は、トランジスタ 162 の絶縁層 150 と同じ工程で作製される絶縁層に相当する。なお、絶縁層 150 をパターン形成せずに、第 2 の層間膜 306 として用いることも可能である。また、図 1 (A) における第 3 の配線 304 は、駆動回路部内においてトランジスタ 162 の配線 154 と同じ工程で作製される配線に相当する。

40

【0131】

<SOI 基板の作製方法>

次に、上記半導体装置の作製に用いられる SOI 基板の作製方法の一例について、図 16 を参照して説明する。

50

【0132】

まず、ベース基板として半導体基板400を準備する(図16(A)参照)。半導体基板400としては、単結晶シリコン基板、単結晶ゲルマニウム基板などの半導体基板を用いることができる。また、半導体基板として、太陽電池級シリコン(SOG-Si:Sol a r G r a d e S i l i c o n)基板などを用いても良い。また、多結晶半導体基板を用いても良い。太陽電池級シリコンや、多結晶半導体基板などを用いる場合には、単結晶シリコン基板などを用いる場合と比較して、製造コストを抑制することができる。

【0133】

なお、半導体基板400に変えて、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。また、窒化シリコンと酸化アルミニウムを主成分とした熱膨張係数がシリコンに近いセラミック基板を用いてもよい。

10

【0134】

半導体基板400は、その表面をあらかじめ洗浄しておくことが好ましい。具体的には、半導体基板400に対して、塩酸過酸化水素水混合溶液(HPM)、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)等を用いて洗浄を行うのが好ましい。

【0135】

次に、ボンド基板を準備する。ここでは、ボンド基板として単結晶半導体基板410を用いる(図16(B)参照)。なお、ここでは、ボンド基板として単結晶のものを用いるが、ボンド基板の結晶性を単結晶に限る必要はない。

20

【0136】

単結晶半導体基板410としては、例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、単結晶シリコンゲルマニウム基板など、第14族元素でなる単結晶半導体基板を用いることができる。また、ガリウムヒ素やインジウムリン等の化合物半導体基板を用いることもできる。市販のシリコン基板としては、直径5インチ(125mm)、直径6インチ(150mm)、直径8インチ(200mm)、直径12インチ(300mm)、直径16インチ(400mm)サイズの円形のものが代表的である。なお、単結晶半導体基板410の形状は円形に限らず、例えば、矩形等に加工したものであっても良い。また、単結晶半導体基板410は、CZ(チョクラルスキー)法やFZ(フローティングゾーン)法を用いて作製することができる。

30

【0137】

単結晶半導体基板410の表面には酸化膜412を形成する(図16(C)参照)。なお、汚染物除去の観点から、酸化膜412の形成前に、塩酸過酸化水素水混合溶液(HPM)、硫酸過酸化水素水混合溶液(SPM)、アンモニア過酸化水素水混合溶液(APM)、希フッ酸(DHF)、FPM(フッ酸、過酸化水素水、純水の混合液)等を用いて単結晶半導体基板410の表面を洗浄しておくことが好ましい。希フッ酸とオゾン水を交互に吐出して洗浄してもよい。

【0138】

酸化膜412は、例えば、酸化シリコン膜、酸化窒化シリコン膜等を単層で、または積層させて形成することができる。上記酸化膜412の作製方法としては、熱酸化法、CVD法、スパッタリング法などがある。また、CVD法を用いて酸化膜412を形成する場合、良好な貼り合わせを実現するためには、テトラエトキシシラン(略称;TEOS:化学式 $Si(OCH_3)_4$)等の有機シランを用いて酸化シリコン膜を形成することが好ましい。

40

【0139】

本実施の形態では、単結晶半導体基板410に熱酸化処理を行うことにより酸化膜412(ここでは、 SiO_x 膜)を形成する。熱酸化処理は、酸化性雰囲気中にハロゲンを添加して行うことが好ましい。

【0140】

50

例えば、塩素 (C 1) が添加された酸化性雰囲気中で単結晶半導体基板 4 1 0 に熱酸化処理を行うことにより、塩素酸化された酸化膜 4 1 2 を形成することができる。この場合、酸化膜 4 1 2 は、塩素原子を含有する膜となる。このような塩素酸化により、外因性の不純物である重金属 (例えば、Fe、Cr、Ni、Mo 等) を捕集して金属の塩化物を形成し、これを外方に除去して単結晶半導体基板 4 1 0 の汚染を低減させることができる。

【0 1 4 1】

なお、酸化膜 4 1 2 に含有させるハロゲン原子は塩素原子に限られない。酸化膜 4 1 2 にはフッ素原子を含有させてもよい。単結晶半導体基板 4 1 0 表面をフッ素酸化する方法としては、HF 溶液に浸漬させた後に酸化性雰囲気中で熱酸化処理を行う方法や、NF₃ を酸化性雰囲気に添加して熱酸化処理を行う方法などがある。

10

【0 1 4 2】

次に、イオンを電界で加速して単結晶半導体基板 4 1 0 に照射し、添加することで、単結晶半導体基板 4 1 0 の所定の深さに結晶構造が損傷した脆化領域 4 1 4 を形成する (図 1 6 (D) 参照)。

【0 1 4 3】

脆化領域 4 1 4 が形成される領域の深さは、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などによって調節することができる。また、脆化領域 4 1 4 は、イオンの平均侵入深さとほぼ同じ深さの領域に形成される。このため、イオンを添加する深さで、単結晶半導体基板 4 1 0 から分離される単結晶半導体層の厚さを調節することができる。例えば、単結晶半導体層の厚さが、10 nm 以上 500 nm 以下、好ましくは 50 nm 以上 200 nm 以下程度となるように平均侵入深さを調節すれば良い。

20

【0 1 4 4】

当該イオンの照射処理は、イオンドーピング装置やイオン注入装置を用いて行うことができる。イオンドーピング装置の代表例としては、プロセスガスをプラズマ励起して生成された全てのイオン種を被処理体に照射する非質量分離型の装置がある。当該装置では、プラズマ中のイオン種を質量分離しないで被処理体に照射することになる。これに対して、イオン注入装置は質量分離型の装置である。イオン注入装置では、プラズマ中のイオン種を質量分離し、ある特定の質量のイオン種を被処理体に照射する。

【0 1 4 5】

本実施の形態では、イオンドーピング装置を用いて、水素を単結晶半導体基板 4 1 0 に添加する例について説明する。ソースガスとしては水素を含むガスを用いる。照射するイオンについては、H₃⁺ の比率を高くすると良い。具体的には、H⁺、H₂⁺、H₃⁺ の総量に対して H₃⁺ の割合が 50 % 以上 (より好ましくは 80 % 以上) となるようにする。H₃⁺ の割合を高めることで、イオン照射の効率を向上させることができる。

30

【0 1 4 6】

なお、添加するイオンは水素に限定されない。ヘリウムなどのイオンを添加しても良い。また、添加するイオンは一種類に限定されず、複数種類のイオンを添加しても良い。例えば、イオンドーピング装置を用いて水素とヘリウムとを同時に照射する場合には、異なる工程で照射する場合と比較して工程数を低減することができると共に、後の単結晶半導体層の表面荒れを抑えることが可能である。

40

【0 1 4 7】

なお、イオンドーピング装置を用いて脆化領域 4 1 4 を形成する場合には、重金属も同時に添加されるおそれがあるが、ハロゲン原子を含有する酸化膜 4 1 2 を介してイオンの照射を行うことによって、これら重金属による単結晶半導体基板 4 1 0 の汚染を防ぐことができる。

【0 1 4 8】

次に、半導体基板 4 0 0 と、単結晶半導体基板 4 1 0 とを対向させ、酸化膜 4 1 2 を介して密着させる。これにより、半導体基板 4 0 0 と、単結晶半導体基板 4 1 0 とが貼り合わされる (図 1 6 (E) 参照)。なお、単結晶半導体基板 4 1 0 と貼り合わせる半導体基板 4 0 0 の表面に酸化膜または窒化膜を成膜してもよい。

50

【0149】

貼り合わせの際には、半導体基板400または単結晶半導体基板410の一箇所に、0.001N/cm²以上100N/cm²以下、例えば、1N/cm²以上20N/cm²以下の圧力を加えることが望ましい。圧力を加えて、貼り合わせ面を接近、密着させると、密着させた部分において半導体基板400と酸化膜412の接合が生じ、当該部分を始点として自発的な接合がほぼ全面におよぶ。この接合には、ファンデルワールス力や水素結合が作用しており、常温で行うことができる。

【0150】

なお、単結晶半導体基板410と半導体基板400とを貼り合わせる前には、貼り合わせに係る表面につき、表面処理を行うことが好ましい。表面処理を行うことで、単結晶半導体基板410と半導体基板400との界面での接合強度を向上させることができる。

10

【0151】

表面処理としては、ウェット処理、ドライ処理、またはウェット処理とドライ処理の組み合わせ、を用いることができる。また、異なるウェット処理どうしを組み合わせて用いても良いし、異なるドライ処理どうしを組み合わせて用いても良い。

【0152】

なお、貼り合わせの後には、接合強度を増加させるための熱処理を行ってもよい。この熱処理の温度は、脆化領域414における分離が生じない温度（例えば、室温以上400未満）とする。また、この温度範囲で加熱しながら、半導体基板400と酸化膜412とを接合させてもよい。上記熱処理には、拡散炉、抵抗加熱炉などの加熱炉、R T A（瞬間熱アニール、R a p i d T h e r m a l A n n e a l）装置、マイクロ波加熱装置などを用いることができる。なお、上記温度条件はあくまで一例に過ぎず、開示する発明の一態様がこれに限定して解釈されるものではない。

20

【0153】

次に、熱処理を行うことにより、単結晶半導体基板410を脆化領域において分離して、半導体基板400上に、酸化膜412を介して単結晶半導体層416を形成する（図16（F）参照）。

【0154】

なお、上記分離の際の熱処理温度は、できる限り低いものであることが望ましい。分離の際の温度が低いほど、単結晶半導体層416の表面荒れを抑制できるためである。具体的には、例えば、上記分離の際の熱処理温度は、300以上600以下とすればよく、400以上500以下とすると、より効果的である。

30

【0155】

なお、単結晶半導体基板410を分離した後には、単結晶半導体層416に対して、500以上の温度で熱処理を行い、単結晶半導体層416中に残存する水素の濃度を低減させてもよい。

【0156】

次に、単結晶半導体層416の表面にレーザー光を照射することによって、表面の平坦性を向上させ、かつ欠陥を低減させた単結晶半導体層418を形成する（図16（G）参照）。なお、レーザー光の照射処理に代えて、熱処理を行っても良い。

40

【0157】

なお、本実施の形態においては、単結晶半導体層416の分離に係る熱処理の直後に、レーザー光の照射処理を行っているが、本発明の一態様はこれに限定して解釈されない。単結晶半導体層416の分離に係る熱処理の後にエッティング処理を施して、単結晶半導体層416表面の欠陥が多い領域を除去してから、レーザー光の照射処理を行っても良いし、単結晶半導体層416表面の平坦性を向上させてからレーザー光の照射処理を行ってもよい。なお、上記エッティング処理としては、ウェットエッティング、ドライエッティングのいずれを用いてもよい。また、本実施の形態においては、上述のようにレーザー光を照射した後、単結晶半導体層416の膜厚を小さくする薄膜化工程を行ってもよい。単結晶半導体層416の薄膜化には、ドライエッティングまたはウェットエッティングの一方、または双方

50

を用いればよい。

【0158】

以上の工程により、良好な特性の単結晶半導体層418を有するSOI基板を得ることができる(図16(G)参照)。

【0159】

<半導体装置の作製方法>

次に、上記のSOI基板を用いた半導体装置の作製方法について、図17乃至図20を参照して説明する。

【0160】

<下部のトランジスタの作製方法>

はじめに下部のトランジスタ160の作製方法について、図17および図18を参照して説明する。なお、図17および図18は、図16に示す方法で作成したSOI基板の一部であって、図15(A)に示す下部のトランジスタに相当する断面工程図である。

【0161】

まず、単結晶半導体層418を島状に加工して、半導体層120を形成する(図17(A)参照)。なお、この工程の前後において、トランジスタのしきい値電圧を制御するためには、n型の導電性を付与する不純物元素や、p型の導電性を付与する不純物元素を半導体層に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0162】

次に、半導体層120を覆うように絶縁層122を形成する(図17(B)参照)。絶縁層122は、後にゲート絶縁膜となるものである。絶縁層122は、例えば、半導体層120表面の熱処理(熱酸化処理や熱窒化処理など)によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、CVD法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層122は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y(x>0, y>0))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y(x>0, y>0))等を含む単層構造または積層構造とすることが望ましい。また、絶縁層122の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。本実施の形態では、プラズマCVD法を用いて、酸化シリコンを含む絶縁層を単層で形成することとする。

【0163】

次に、絶縁層122上にマスク124を形成し、一導電性を付与する不純物元素を半導体層120に添加して、不純物領域126を形成する(図17(C)参照)。なお、ここでは、不純物元素を添加した後、マスク124は除去する。

【0164】

次に、絶縁層122上にマスクを形成し、絶縁層122が不純物領域126と重畳する領域の一部を除去することにより、ゲート絶縁膜122aを形成する(図17(D)参照)。絶縁層122の除去方法として、ウェットエッチングまたはドライエッチングなどのエッチング処理を用いることができる。

【0165】

次に、ゲート絶縁膜122a上にゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極128aおよび導電層128bを形成する(図17(E)参照)。

【0166】

ゲート電極128aおよび導電層128bに用いる導電層としては、アルミニウムや銅、

10

20

30

40

50

チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。また、導電層の加工は、レジストマスクを用いたエッチングによって行うことができる。

【0167】

次に、ゲート電極128aおよび導電層128bをマスクとして、一導電型を付与する不純物元素を半導体層に添加して、チャネル形成領域134、不純物領域132、および不純物領域130を形成する(図18(A)参照)。例えば、n型トランジスタを形成するためには、リン(P)やヒ素(As)などの不純物元素を添加すればよく、p型トランジスタを形成するためには、硼素(B)やアルミニウム(Al)などの不純物元素を添加すればよい。ここで、添加される不純物元素の濃度は適宜設定することができる。また、不純物元素を添加した後には、活性化のための熱処理を行う。ここで、不純物領域の濃度は、不純物領域126、不純物領域132、不純物領域130の順に高くなる。

10

【0168】

次に、ゲート絶縁膜122a、ゲート電極128a、導電層128bを覆うように、絶縁層136、絶縁層138および絶縁層140を形成する(図18(B)参照)。

【0169】

絶縁層136、絶縁層138、絶縁層140は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層136、絶縁層138、絶縁層140に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層136、絶縁層138、絶縁層140には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層136や絶縁層138、絶縁層140は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。本実施の形態では、絶縁層136として酸化窒化シリコン、絶縁層138として窒化酸化シリコン、絶縁層140として酸化シリコンを用いる場合について説明する。なお、ここでは、絶縁層136、絶縁層138および絶縁層140の積層構造としているが、開示する発明の一態様はこれに限定されない。1層または2層としても良いし、4層以上の積層構造としても良い。

20

【0170】

次に、絶縁層138および絶縁層140にCMP(化学的機械研磨)処理やエッチング処理を行うことにより、絶縁層138および絶縁層140を平坦化する(図18(C)参照)。ここでは、絶縁層138が一部露出されるまで、CMP処理を行う。絶縁層138に窒化酸化シリコンを用い、絶縁層140に酸化シリコンを用いた場合、絶縁層138はエッチングストップとして機能する。

30

【0171】

次に、絶縁層138および絶縁層140にCMP処理やエッチング処理を行うことにより、ゲート電極128aおよび導電層128bの上面を露出させる(図18(D)参照)。ここでは、ゲート電極128aおよび導電層128bが一部露出されるまで、エッチング処理を行う。当該エッチング処理は、ドライエッチングを用いることが好適であるが、ウェットエッチングを用いてもよい。ゲート電極128aおよび導電層128bの一部を露出させる工程において、後に形成されるトランジスタ162の特性を向上させるために、絶縁層136、絶縁層138、絶縁層140の表面は可能な限り平坦にしておくことが好ましい。

40

【0172】

以上の工程により、下部のトランジスタ160を形成することができる(図18(D)参照)。

50

【0173】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0174】

<上部のトランジスタの作製方法>

次に、上部のトランジスタ 162 の作製方法について、図 19 および図 20 を参照して説明する。

【0175】

まず、ゲート電極 128a、導電層 128b、絶縁層 136、絶縁層 138、絶縁層 140 などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層 144 を形成する（図 19 (A) 参照）。なお、酸化物半導体層を形成する前に、絶縁層 136、絶縁層 138、絶縁層 140 の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとする PVD 法やプラズマ CVD 法などの CVD 法などを用いて形成することができる。

【0176】

用いる酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0177】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

【0178】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

【0179】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0180】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)

10

20

30

40

50

で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、In₃SnO₅ (ZnO)_n (n > 0、且つ、nは整数) で表記される材料を用いてもよい。

【0181】

例えば、In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいはIn : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比のIn - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)、In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいはIn : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比のIn - Sn - Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

10

【0182】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【0183】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

20

【0184】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) の酸化物の組成の近傍であるとは、a、b、cが、(a A)² + (b B)² + (c C)² = r² を満たすことを言い、rは、例えば、0.05とすればよい。他の酸化物でも同様である。

【0185】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

30

【0186】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0187】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

40

【0188】

なお、Raは、JIS B 0601で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0189】

【数1】

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY$$

50

【0190】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) ）で表される4点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。Raは原子間力顕微鏡（AFM: Atomic Force Microscope）にて評価可能である。

【0191】

本実施の形態では、c軸配向し、かつab面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる（c軸を中心回転した）結晶（CAC: C Axis Aligned Crystalともいう。）を含む酸化物について説明する。

10

【0192】

CACを含む酸化物とは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。

【0193】

CACは単結晶ではないが、非晶質のみから形成されているものでもない。また、CACは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

20

【0194】

CACに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、CACを構成する個々の結晶部分のc軸は一定の方向（例えば、CACを支持する基板面、CACの表面などに垂直な方向）に揃っていてもよい。または、CACを構成する個々の結晶部分のab面の法線は一定の方向（例えば、CACを支持する基板面、CACの表面などに垂直な方向）を向いていてもよい。

【0195】

CACは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

30

【0196】

このようなCACの例として、膜状に形成され、膜表面または支持する基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0197】

CACに含まれる結晶構造の一例について図24乃至図26を用いて詳細に説明する。なお、特に断りがない限り、図24乃至図26は上方向をc軸方向とし、c軸方向と直交する面をab面とする。なお、単に上半分、下半分という場合、ab面を境にした場合の上半分、下半分をいう。

40

【0198】

図24(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、近接の酸素原子のみ示した構造を小グループと呼ぶ。図24(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図24(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図24(A)に示す小グループは電荷が0である。

【0199】

図24(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図24(B)の上半分および下半分にはそれぞれ1個ずつ4

50

配位のOがある。また、Inも5配位をとるため、図24(B)に示す構造をとりうる。図24(B)に示す小グループは電荷が0である。

【0200】

図24(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図24(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図24(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図24(C)に示す小グループは電荷が0である。

【0201】

図24(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図24(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図24(D)に示す小グループは電荷が+1となる。

10

【0202】

図24(E)に、2個のZnを含む小グループを示す。図24(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図24(E)に示す小グループは電荷が-1となる。

【0203】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう。)と呼ぶ。

【0204】

ここで、これらの小グループ同士が結合する規則について説明する。図24(A)に示す6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。5配位のGaの上半分の1個のOは、下方向に1個の近接Gaを有し、下半分の1個のOは、上方向に1個の近接Gaを有する。4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。したがって、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、または4配位の金属原子(Zn)のいずれかと結合することになる。

20

30

【0205】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0206】

図25(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図25(B)に、3つの中グループで構成される大グループを示す。なお、図25(C)は、図25(B)の層構造をc軸方向から観察した場合の原子配列を示す。

40

【0207】

図25(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図25(A)において、Inの上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図25(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

【0208】

50

図25(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるSnが、4配位のOが1個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。

【0209】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.6 10 67、-0.5と考えることができる。例えば、In(6配位または5配位)、Zn(4配位)、Sn(5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図24(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができます。

【0210】

具体的には、図25(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7 (ZnO)_m$ (mは0または自然数。)とする組成式で表すことができる。

【0211】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物や、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する。)、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物や、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物や、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物や、In-Ga系酸化物などを用いた場合も同様である。

【0212】

例えば、図26(A)に、In-Ga-Zn-O系の層構造を構成する中グループのモデル図を示す。

【0213】

図26(A)において、In-Ga-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0214】

図26(B)に3つの中グループで構成される大グループを示す。なお、図26(C)は、図26(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0215】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは

10

20

30

40

50

、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0216】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図26(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0217】

また、In-Sn-Zn系酸化物は、ITZOと呼ぶことができ、用いるターゲットの組成比は、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35などとなる酸化物ターゲットを用いる。

10

【0218】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In:Zn=50:1~1:2(モル数比に換算するとIn₂O₃:ZnO=25:1~1:4)、好ましくはIn:Zn=20:1~1:1(モル数比に換算するとIn₂O₃:ZnO=10:1~1:2)、さらに好ましくはIn:Zn=15:1~1.5:1(モル数比に換算するとIn₂O₃:ZnO=15:2~3:4)とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=X:Y:Zのとき、Z>1.5X+Yとする。

【0219】

また、酸化物半導体層の厚さは、3nm以上30nm以下とするのが望ましい。酸化物半導体層を厚くしすぎると(例えば、膜厚を50nm以上)、トランジスタがノーマリーオンとなってしまう恐れがあるためである。

20

【0220】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【0221】

本実施の形態では、酸化物半導体層を、In-Ga-Zn-O系の酸化物ターゲットを用いたスパッタリング法により形成する。

【0222】

In-Ga-Zn-O系の酸化物ターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比]の酸化物ターゲットを用いることができる。なお、ターゲットの材料および組成を上述に限定する必要はない。例えば、In₂O₃:Ga₂O₃:ZnO=1:1:2[mol数比]の組成比の酸化物ターゲットを用いることもできる。

30

【0223】

酸化物ターゲットの充填率は、90%以上100%以下、好ましくは95%以上99.9%以下とする。充填率の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体層を緻密な膜とすることができます。

【0224】

成膜の雰囲気は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または、希ガスと酸素の混合雰囲気下などとすればよい。また、酸化物半導体層への水素、水、水酸基、水素化物などの混入を防ぐために、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを用いた雰囲気とすることが望ましい。

40

【0225】

例えば、酸化物半導体層は、次のように形成することができる。

【0226】

まず、減圧状態に保持された成膜室内に基板を保持し、基板温度が、200を超えて500以下、好ましくは300を超えて500以下、より好ましくは350以上450以下となるように加熱する。

【0227】

50

次に、成膜室内の残留水分を除去しつつ、水素、水、水酸基、水素化物などの不純物が十分に除去された高純度ガスを導入し、上記ターゲットを用いて基板上に酸化物半導体層を成膜する。成膜室内の残留水分を除去するためには、排気手段として、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの吸着型の真空ポンプを用いることが望ましい。また、排気手段は、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素、水、水酸基または水素化物などの不純物（より好ましくは炭素原子を含む化合物も）などが除去されているため、当該成膜室で成膜した酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を低減することができる。

【0228】

10

成膜中の基板温度が低温（例えば、100以下）の場合、酸化物半導体に水素原子を含む物質が混入するおそれがあるため、基板を上述の温度で加熱することが好ましい。基板を上述の温度で加熱して、酸化物半導体層の成膜を行うことにより、基板温度は高温となるため、水素結合は熱により切断され、水素原子を含む物質が酸化物半導体層に取り込まれにくい。したがって、基板が上述の温度で加熱された状態で、酸化物半導体層の成膜を行うことにより、酸化物半導体層に含まれる水素、水、水酸基または水素化物などの不純物の濃度を十分に低減することができる。また、スパッタリングによる損傷を軽減することができる。

【0229】

20

成膜条件の一例として、基板とターゲットとの間との距離を60mm、圧力を0.4Pa、直流（DC）電源を0.5kW、基板温度を400、成膜雰囲気を酸素（酸素流量比率100%）雰囲気とする。なお、パルス直流電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるため好ましい。

【0230】

なお、酸化物半導体層をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、酸化物半導体層の被形成表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、基板に電圧を印加し、基板近傍にプラズマを形成して、基板側の表面を改質する方法である。なお、アルゴンに代えて、窒素、ヘリウム、酸素などのガスを用いてもよい。

【0231】

30

酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッティングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッティングは、ドライエッティングでもウェットエッティングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0232】

その後、酸化物半導体層144に対して、熱処理（第1の熱処理）を行ってもよい。熱処理を行うことによって、酸化物半導体層144中に含まれる水素原子を含む物質をさらに除去することができる。熱処理の温度は、不活性ガス雰囲気下、250以上700以下、好ましくは450以上600以下、または基板の歪み点未満とする。不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0233】

40

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層144は大気に触れさせず、水や水素の混入が生じないようにする。

50

【0234】

ところで、上述の熱処理には水素や水などを除去する効果があるため、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該熱処理は、例えば、酸化物半導体層を島状に加工する前、ゲート絶縁膜の形成後などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行ってもよい。

【0235】

次に、酸化物半導体層144などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極142a、ドレイン電極142bを形成する（図19（B）参照）。 10

【0236】

導電層は、PVD法や、CVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0237】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極142aおよびドレイン電極142bへの加工が容易であるというメリットがある。 20

【0238】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $In_2O_3 - SnO_2$ 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛合金（ $In_2O_3 - ZnO$ ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。 30

【0239】

導電層のエッティングは、形成されるソース電極142aおよびドレイン電極142bの端部が、テーパー形状となるように行なうことが好ましい。ここで、テーパー角は、例えば、30°以上60°以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパー形状となるようにエッティングすることにより、後に形成されるゲート絶縁膜146の被覆性を向上し、段切れを防止することができる。

【0240】

上部のトランジスタのチャネル長（L）は、ソース電極142a、およびドレイン電極142bの下端部の間隔によって決定される。なお、チャネル長（L）が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線（Extreme Ultraviolet）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（L）を、10nm以上1000nm（1μm）以下とすることも可能であり、回路の動作速度を高めることができる。また、微細化によって、半導体装置の消費電力を低減することも可能である。 40

【0241】

次に、ソース電極142a、ドレイン電極142bを覆い、かつ、酸化物半導体層144の一部と接するように、ゲート絶縁膜146を形成する（図19（C）参照）。

【0242】

ゲート絶縁膜146は、CVD法やスパッタリング法等を用いて形成することができる。 50

また、ゲート絶縁膜146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化ガリウム、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、などを含むように形成するのが好適である。ゲート絶縁膜146は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。

10

【0243】

上述のように、ゲート絶縁膜を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁膜146に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、窒素が添加されたハフニウムアルミネート($HfAl_xO_yNz$ ($x > 0$ 、 $y > 0$ 、 $z > 0$))、などの高誘電率($high-k$)材料を用いると良い。 $high-k$ 材料をゲート絶縁膜146に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、 $high-k$ 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

20

【0244】

また、酸化物半導体層144に接する絶縁層(本実施の形態においては、ゲート絶縁膜146)は、第13族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【0245】

第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量(原子%)よりアルミニウムの含有量(原子%)が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量(原子%)がアルミニウムの含有量(原子%)以上のものを示す。

30

【0246】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁膜を形成する場合に、ゲート絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁膜の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

40

【0247】

また、酸化物半導体層144に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。

50

また、酸素ドープは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【0248】

例えば、酸化物半導体層144に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + , 0 < X < 1$) とすることができる。また、酸化物半導体層144に接する絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + , 0 < X < 1$) とすることができる。または、酸化物半導体層144に接する絶縁層として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $Ga_xAl_{2-x}O_{3+}$ ($0 < X < 2 , 0 < X < 1$) とすることができる。
10

【0249】

酸素ドープ処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、脱水、脱水化処理された酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層をi型化またはi型に限りなく近い酸化物半導体とすることができる。

【0250】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁膜146に代えて、酸化物半導体層144の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁膜146および下地絶縁膜の双方に適用しても良い。
20

【0251】

ゲート絶縁膜146の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁膜146が酸素を含む場合、脱水、脱水化処理された酸化物半導体層144に酸素を供給し、該酸化物半導体層144の酸素欠損を補填して、i型(真性半導体)またはi型に限りなく近い酸化物半導体層を形成することもできる。
30

【0252】

なお、本実施の形態では、ゲート絶縁膜146の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行ってもよいし、第1の熱処理に第2の熱処理を兼ねさせてても良いし、第2の熱処理に第1の熱処理を兼ねさせててもよい。

【0253】

次に、ゲート電極(これと同じ層で形成される配線を含む)を形成するための導電層を形成し、当該導電層を加工して、ゲート電極148aおよび導電層148bを形成する(図19(D)参照)。
40

【0254】

ゲート電極148aおよび導電層148bは、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極148aおよび導電層148bは、単層構造としても良いし、積層構造としても良い。

【0255】

次に、ゲート絶縁膜146、ゲート電極148a、および導電層148b上に、絶縁層150を形成する(図20(A)参照)。絶縁層150は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成す
50

ることができる。なお、絶縁層 150 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層 150 の単層構造としているが、開示する発明の一態様はこれに限定されず、2 層以上の積層構造としても良い。

【0256】

次に、ゲート絶縁膜 146、絶縁層 150 に、ソース電極 142a にまで達する開口を形成する。その後、絶縁層 150 上にソース電極 142a と接する配線 154 を形成する（図 20（B）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

10

【0257】

配線 154 は、PVD 法や、CVD 法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0258】

より具体的には、例えば、絶縁層 150 の開口を含む領域に PVD 法によりチタン膜を薄く（5 nm 程度）形成し、PVD 法によりチタン膜を形成した後に、開口に埋め込むようにアルミニウム膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極 142a）との接触抵抗を低減させる機能を有する。また、アルミニウム膜のヒロックを防止することができる。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

20

【0259】

絶縁層 150 に形成する開口は、導電層 128b と重畳する領域に形成することが望ましい。このような領域に開口を形成することで、コンタクト領域に起因する素子面積の増大を抑制することができる。

【0260】

30

ここで、導電層 128b を用いずに、不純物領域 126 とソース電極 142a との接続と、ソース電極 142a と配線 154 との接続とを重畳させる場合について説明する。この場合、不純物領域 126 上に形成された絶縁層 136、絶縁層 138 および絶縁層 140 に開口（下部のコンタクトと呼ぶ）を形成し、下部のコンタクトにソース電極 142a を形成した後、ゲート絶縁膜 146 および絶縁層 150 において、下部のコンタクトと重畳する領域に開口（上部のコンタクトと呼ぶ）を形成し、配線 154 を形成することになる。下部のコンタクトと重畳する領域に上部のコンタクトを形成する際に、エッチングにより下部のコンタクトに形成されたソース電極 142a が断線してしまうおそれがある。これを避けるために、下部のコンタクトと上部のコンタクトが重畳しないように形成することにより、素子面積が増大するという問題がおこる。

40

【0261】

本実施の形態に示すように、導電層 128b を用いることにより、ソース電極 142a を断線させることなく、上部のコンタクトの形成が可能となる。これにより、下部のコンタクトと上部のコンタクトを重畳させて設けることができるため、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【0262】

次に、配線 154 を覆うように絶縁層 156 を形成する（図 20（C）参照）。

【0263】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162、および

50

容量素子 164 が完成する（図 20（C）参照）。

【0264】

なお、トランジスタ 162において、酸化物半導体層 144 とソース電極 142a、ドレイン電極 142bとの間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図 15（A）のトランジスタ 162 に酸化物導電層を設けたトランジスタ 162A、162B を図 22（A）（B）に示す。

【0265】

図 22（A）（B）のトランジスタ 162A、162B は、酸化物半導体層 144 とソース電極 142a、ドレイン電極 142bとの間に、ソース領域及びドレイン領域として機能する酸化物導電層 404a、404b が形成されている。図 22（A）（B）のトランジスタ 162A、162B は作製工程により酸化物導電層 404a、404b の形状が異なる例である。

10

【0266】

図 22（A）のトランジスタ 162A では、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層 144 と酸化物導電膜を形成する。酸化物半導体層及び酸化物導電膜上にソース電極 142a、ドレイン電極 142b を形成した後、ソース電極 142a、ドレイン電極 142b をマスクとして、島状の酸化物導電膜をエッティングし、ソース領域およびドレイン領域となる酸化物導電層 404a、404b を形成する。

20

【0267】

図 22（B）のトランジスタ 162B では、酸化物半導体層 144 上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜および金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層 404a、404b、ソース電極 142a、ドレイン電極 142b を形成する。

【0268】

なお、酸化物導電層の形状を加工するためのエッティング処理の際、酸化物半導体層が過剰にエッティングされないように、エッティング条件（エッティング材の種類、濃度、エッティング時間等）を適宜調整する。

【0269】

酸化物導電層 404a、404b の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化シリコンとインジウムスズ酸化物の化合物、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

30

【0270】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層 144 とソース電極 142a、ドレイン電極 142bとの間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ 162A、162B が高速動作をすることができる。

【0271】

40

また、酸化物半導体層 144、酸化物導電層 404a、404b、ソース電極 142a、ドレイン電極 142b の構成とすることによって、トランジスタ 162A、162B の耐圧を向上させることができる。

【0272】

本実施の形態において示すトランジスタ 162 では、酸化物半導体層 144 が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層 144 のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。

50

そして、オフ電流も十分に小さくなる。例えば、トランジスタ162の室温(25℃)でのオフ電流(ここでは、単位チャネル幅(1μm)あたりの値)は100zA(1zA(ゼプトアンペア)は 1×10^{-21} A)以下、望ましくは10zA以下となる。

【0273】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0274】

また、本実施の形態において示す半導体装置では、配線を共通化することも可能であり、10集積度が十分に高められた半導体装置を実現することができる。

【0275】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0276】

(実施の形態4)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図21を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラなどのカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。20

【0277】

図21(A)は、ノート型のパーソナルコンピュータであり、筐体707、筐体708、表示部709、キーボード710などによって構成されている。筐体707と筐体708の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0278】

図21(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスタイラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。30

【0279】

図21(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。40

【0280】

図21(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図21(D)のように展開している状態から重なり合った状態とすることができます、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、操作キー745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子7450

8などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【0281】

図21(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

10

【0282】

図21(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0283】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

20

【0284】

(実施の形態5)

上記実施の形態において、トランジスタ162の半導体層に用いることのできる酸化物半導体層の一形態を、図23を用いて説明する。

【0285】

本実施の形態の酸化物半導体層は、第1の結晶性酸化物半導体層上に第1の結晶性酸化物半導体層よりも厚い第2の結晶性酸化物半導体層を有する積層構造である。

【0286】

絶縁層401上に絶縁層437を形成する。本実施の形態では、絶縁層437として、PCVD法またはスパッタリング法を用いて、50nm以上600nm以下の膜厚の酸化物絶縁層を形成する。例えば、酸化シリコン膜、酸化ガリウム膜、酸化アルミニウム膜、酸化窒化シリコン膜、酸化窒化アルミニウム膜、または窒化酸化シリコン膜から選ばれた一層またはこれらの積層を用いることができる。

30

【0287】

次に、絶縁層437上に膜厚1nm以上10nm以下の第1の酸化物半導体膜を形成する。第1の酸化物半導体膜の形成は、スパッタリング法を用い、そのスパッタリング法による成膜時における基板温度は200以上400以下とする。

【0288】

本実施の形態では、酸化物半導体用ターゲット($In - Ga - Zn - O$ 系酸化物半導体用ターゲット($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]))を用いて、基板とターゲットの間との距離を170mm、基板温度250、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚5nmの第1の酸化物半導体膜を成膜する。

40

【0289】

また、酸化物半導体として $In - Zn - O$ 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1.5 : 1$ (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$)と

50

する。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O = X:Y:Zのとき、Z > 1.5X+Yとする。

【0290】

また、In-Sn-Zn系酸化物は、ITOと呼ぶことができ、用いるターゲットの組成比は、In:Sn:Znが原子数比で、1:2:2、2:1:3、1:1:1、または20:45:35などとなる酸化物ターゲットを用いる。

【0291】

次いで、基板を配置するチャンバー雰囲気を窒素、または乾燥空気とし、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下とする。第1の加熱処理によって第1の結晶性酸化物半導体層450aを形成する(図23(A)参照)。

10

【0292】

成膜時における基板温度や第1の加熱処理の温度にもよるが、第1の加熱処理によって、膜表面から結晶化が起こり、膜の表面から内部に向かって結晶成長し、c軸配向した結晶が得られる。第1の加熱処理によって、亜鉛と酸素が膜表面に多く集まり、上平面が六角形をなす亜鉛と酸素からなるグラフェンタイプの二次元結晶が最表面に1層または複数層形成され、これが膜厚方向に成長して重なり積層となる。加熱処理の温度を上げると表面から内部、そして内部から底部と結晶成長が進行する。

【0293】

第1の加熱処理によって、酸化物絶縁層である絶縁層437中の酸素を第1の結晶性酸化物半導体層450aとの界面またはその近傍(界面からプラスマイナス5nm)に拡散させて、第1の結晶性酸化物半導体層の酸素欠損を低減する。従って、下地絶縁膜として用いられる絶縁層437は、膜中(バルク中)、第1の結晶性酸化物半導体層450aと絶縁層437の界面、のいずれかには少なくとも化学量論的組成比を超える量の酸素が存在することが好ましい。

20

【0294】

次いで、第1の結晶性酸化物半導体層450a上に10nmよりも厚い第2の酸化物半導体膜を形成する。第2の酸化物半導体膜の形成は、スパッタリング法を用い、その成膜時における基板温度は200以上400以下とする。成膜時における基板温度を200以上400以下とすることにより、第1の結晶性酸化物半導体層の表面上に接して成膜する酸化物半導体層にプリカーサの整列が起き、所謂、秩序性を持たせることができる。

30

【0295】

本実施の形態では、酸化物半導体用ターゲット(In-Ga-Zn-O系酸化物半導体用ターゲット(In₂O₃:Ga₂O₃:ZnO = 1:1:2[mol数比])を用いて、基板とターゲットの間との距離を170mm、基板温度400、圧力0.4Pa、直流(DC)電源0.5kW、酸素のみ、アルゴンのみ、又はアルゴン及び酸素雰囲気下で膜厚25nmの第2の酸化物半導体膜を成膜する。

【0296】

次いで、基板を配置するチャンバー雰囲気を窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気とし、第2の加熱処理を行う。第2の加熱処理の温度は、400以上750以下とする。第2の加熱処理によって第2の結晶性酸化物半導体層450bを形成する(図23(B)参照)。第2の加熱処理は、窒素雰囲気下、酸素雰囲気下、或いは窒素と酸素の混合雰囲気下で行うことにより、第2の結晶性酸化物半導体層の高密度化及び欠陥数の減少を図る。第2の加熱処理によって、第1の結晶性酸化物半導体層450aを核として膜厚方向、即ち底部から内部に結晶成長が進行して第2の結晶性酸化物半導体層450bが形成される。

40

【0297】

また、絶縁層437の形成から第2の加熱処理までの工程を大気に触れることなく連続的に行なうことが好ましい。絶縁層437の形成から第2の加熱処理までの工程は、水素及び水分をほとんど含まない雰囲気(不活性雰囲気、減圧雰囲気、乾燥空気雰囲気など)下に

50

制御することが好ましく、例えば、水分については露点 - 40 以下、好ましくは露点 - 50 以下の乾燥室素雰囲気とする。

【0298】

次いで、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bからなる酸化物半導体積層を加工して島状の酸化物半導体積層からなる酸化物半導体層453を形成する(図23(C)参照)。図では、第1の結晶性酸化物半導体層450aと第2の結晶性酸化物半導体層450bの界面を点線で示し、酸化物半導体積層と説明しているが、明確な界面が存在しているのではなく、あくまで分かりやすく説明するために図示している。

【0299】

酸化物半導体積層の加工は、所望の形状のマスクを酸化物半導体積層上に形成した後、当該酸化物半導体積層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。

【0300】

なお、酸化物半導体積層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【0301】

また、上記作製方法により、得られる第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、c軸配向を有していることを特徴の一つとしている。ただし、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、単結晶構造ではなく、非晶質構造でもない構造であり、c軸配向を有した結晶(C Axis Aligned Crystal; CAACとも呼ぶ)を含む酸化物を有する。なお、第1の結晶性酸化物半導体層及び第2の結晶性酸化物半導体層は、一部に結晶粒界を有している。

【0302】

用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【0303】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。

【0304】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、I

10

20

30

40

50

n - Hf - Ga - Zn 系酸化物、In - Al - Ga - Zn 系酸化物、In - Sn - Al - Zn 系酸化物、In - Sn - Hf - Zn 系酸化物、In - Hf - Al - Zn 系酸化物を用いることができる。

【0305】

なお、ここで、例えば、In - Ga - Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0306】

また、第1の結晶性酸化物半導体層上に第2の結晶性酸化物半導体層を形成する2層構造に限定されず、第2の結晶性酸化物半導体層の形成後に第3の結晶性酸化物半導体層を形成するための成膜と加熱処理のプロセスを繰り返し行って、3層以上の積層構造としてもよい。

10

【0307】

上記作製方法で形成された酸化物半導体積層からなる酸化物半導体層 453 を、本明細書に開示する半導体装置に適用できるトランジスタ 162 に、適宜用いることができる。

【0308】

また、酸化物半導体層として本実施の形態の酸化物半導体積層を用いた実施の形態 3 におけるトランジスタにおいては、酸化物半導体層の一方の面から他方の面に電界が印加されることではなく、また、電流が酸化物半導体積層の厚さ方向（一方の面から他方の面に流れる方向、具体的に図 15 (A) では上下方向）に流れる構造ではない。電流は、主として、酸化物半導体積層の界面を流れるトランジスタ構造であるため、トランジスタに光照射が行われ、または BT ストレスが与えられても、トランジスタ特性の劣化は抑制される、または低減される。

20

【0309】

酸化物半導体層 453 のような第1の結晶性酸化物半導体層と第2の結晶性酸化物半導体層の積層をトランジスタに用いることで、安定した電気的特性を有し、且つ、信頼性の高いトランジスタを実現できる。

【0310】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

30

【0311】

（実施の形態 6）

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinson モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0312】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁（粒界等）が存在すると仮定すると、以下の式で表現できる。

40

【0313】

【数 2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0314】

ここで、E はポテンシャル障壁の高さであり、k がボルツマン定数、T は絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinson モデルでは、以下の式で表される。

50

【0315】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0316】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。線形領域におけるドレイン電流 I_d は、以下の式となる。

【0317】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0318】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようになる。

【0319】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0320】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $1 n (I_d / V_g)$ 、横軸を $1 / V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (I_n)、スズ (S_n)、亜鉛 (Z_n) の比率が、 $I_n : S_n : Z_n = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

【0321】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 cm^2 / Vs$ が導出される。欠陥のある $I_n - S_n - Z_n$ 系酸化物で測定される移動度は $35 cm^2 / Vs$ 程度である。しかし、半導体内部および半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2 / Vs$ となると予想できる。

【0322】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

【0323】

10

20

30

40

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

【0324】

ここで、Dはゲート電極方向の電界、B、Gは定数である。BおよびGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。10

【0325】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図27に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0326】

さらに、ゲート電極、ソース電極、ドレイン電極の仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長およびチャネル幅はともに10μm、ドレイン電圧 V_d は0.1Vである。20

【0327】

図27で示されるように、ゲート電圧1V強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

【0328】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図28乃至図30に示す。なお、計算に用いたトランジスタの断面構造を図31に示す。図31に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域2103aおよび半導体領域2103cを有する。半導体領域2103aおよび半導体領域2103cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。30

【0329】

図31(A)に示すトランジスタは、下地絶縁膜2101と、下地絶縁膜2101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物2102の上に形成される。トランジスタは半導体領域2103a、半導体領域2103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域2103bと、ゲート電極2105を有する。ゲート電極2105の幅を33nmとする。40

【0330】

ゲート電極2105と半導体領域2103bの間には、ゲート絶縁膜2104を有し、また、ゲート電極2105の両側面には側壁絶縁物2106aおよび側壁絶縁物2106b、ゲート電極2105の上部には、ゲート電極2105と他の配線との短絡を防止するための絶縁物2107を有する。側壁絶縁物の幅は5nmとする。また、半導体領域2103aおよび半導体領域2103cに接して、ソース電極2108aおよびドレイン電極2108bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

【0331】

図31(B)に示すトランジスタは、下地絶縁膜2101と、酸化アルミニウムよりなる埋め込み絶縁物2102の上に形成され、半導体領域2103a、半導体領域2103c50

と、それらに挟まれた真性の半導体領域 2103b と、幅 33 nm のゲート電極 2105 とゲート絶縁膜 2104 と側壁絶縁物 2106a および側壁絶縁物 2106b と絶縁物 2107 とソース電極 2108a およびドレイン電極 2108b を有する点で図 31(A) に示すトランジスタと同じである。

【0332】

図 31(A) に示すトランジスタと図 31(B) に示すトランジスタの相違点は、側壁絶縁物 2106a および側壁絶縁物 2106b の下の半導体領域の導電型である。図 31(A) に示すトランジスタでは、側壁絶縁物 2106a および側壁絶縁物 2106b の下の半導体領域は n^+ の導電型を呈する半導体領域 2103a および半導体領域 2103c であるが、図 31(B) に示すトランジスタでは、真性の半導体領域 2103b である。すなわち、図 31(B) に示す半導体層において、半導体領域 2103a (半導体領域 2103c) とゲート電極 2105 が L_{off} だけ重ならない領域ができている。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 2106a (側壁絶縁物 2106b) の幅と同じである。

【0333】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Device を使用した。図 28 は、図 31(A) に示される構造のトランジスタのドレイン電流 (I_d 、実線) および移動度 (μ 、点線) のゲート電圧 (V_g 、ゲート電極とソース電極の電位差) 依存性を示す。ドレイン電流 I_d は、ドレイン電圧 (ドレイン電極とソース電極の電位差) を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。

【0334】

図 28(A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 28(B) は 10 nm としたものであり、図 28(C) は 5 nm としたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流) が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流) には目立った変化が無い。ゲート電圧 1 V 前後で、ドレイン電流はメモリセル等で必要とされる 10 μ A を超えることが示された。

【0335】

図 29 は、図 31(B) に示される構造のトランジスタで、オフセット長 L_{off} を 5 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 29(A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 29(B) は 10 nm としたものであり、図 29(C) は 5 nm としたものである。

【0336】

また、図 30 は、図 31(B) に示される構造のトランジスタで、オフセット長 L_{off} を 15 nm としたもののドレイン電流 I_d (実線) および移動度 μ (点線) のゲート電圧 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を +1 V とし、移動度 μ はドレイン電圧を +0.1 V として計算したものである。図 30(A) はゲート絶縁膜の厚さを 15 nm としたものであり、図 30(B) は 10 nm としたものであり、図 30(C) は 5 nm としたものである。

【0337】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化が無い。

【0338】

なお、移動度 μ のピークは、図 28 では $80 \text{ cm}^2 / \text{V s}$ 程度であるが、図 29 では $60 \text{ cm}^2 / \text{V s}$ 程度、図 30 では $40 \text{ cm}^2 / \text{V s}$ 程度と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである

。また、いずれもゲート電圧 1 V 前後で、ドレイン電流はメモリセル等で必要とされる 10 μ A を超えることが示された。

【実施例 1】

【0339】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で 5 atomic % 以上含まれる元素をいう。

【0340】

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることができるとなる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることができるとなる。

10

【0341】

例えば、図 32 (A) ~ (C) は、In、Sn、Znを主成分とし、チャネル長 L が 3 μ m、チャネル幅 W が 10 μ m である酸化物半導体膜と、厚さ 100 nm のゲート絶縁膜を用いたトランジスタの特性である。なお、 V_d は 10 V とした。

【0342】

図 32 (A) は基板を意図的に加熱せずにスパッタリング法で In、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は 18.8 $\text{cm}^2/\text{V sec}$ が得られている。一方、基板を意図的に加熱して In、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることができるとなる。図 32 (B) は基板を 200 に加熱して In、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は 32.2 $\text{cm}^2/\text{V sec}$ が得られている。

20

【0343】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図 32 (C) は、In、Sn、Znを主成分とする酸化物半導体膜を 200 でスパッタリング成膜した後、650 で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は 34.5 $\text{cm}^2/\text{V sec}$ が得られている。

30

【0344】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には 100 $\text{cm}^2/\text{V sec}$ を超える電界効果移動度を実現することも可能になると推定される。

40

【0345】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0346】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場

50

合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図32(A)と図32(B)の対比からも確認することができる。

【0347】

なお、しきい値電圧は I_n 、 S_n 及び Z_n の比率を変えることによっても制御することが可能であり、組成比として $I_n : S_n : Z_n = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比を $I_n : S_n : Z_n = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0348】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0349】

また、意図的に基板を加熱した成膜及び/又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

【0350】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0351】

まず、基板温度を25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。なお、 V_d はドレイン電圧(ドレインとソースの電位差)を示す。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が2MV/cmとなるように V_g に20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをプラスBT試験と呼ぶ。

【0352】

同様に、まず基板温度を25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を150とし、 V_d を0.1Vとした。次に、ゲート絶縁膜に印加される電界強度が-2MV/cmとなるように V_g に-20Vを印加し、そのまま1時間保持した。次に、 V_g を0Vとした。次に、基板温度25とし、 V_d を10Vとし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナスBT試験と呼ぶ。

【0353】

試料1のプラスBT試験の結果を図33(A)に、マイナスBT試験の結果を図33(B)に示す。また、試料2のプラスBT試験の結果を図34(A)に、マイナスBT試験の結果を図34(B)に示す。

【0354】

試料1のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80Vおよび-0.42Vであった。また、試料2のプラスBT試験およびマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79Vおよび0.76Vであった。試料1および試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0355】

熱処理は酸素雰囲気中で行うことができるが、まず、窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0356】

10

20

30

40

50

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下のとすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0357】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでも、より安定な酸化物半導体膜を得ることができる。例えば、組成比 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折(XRD: X-Ray Diffraction)でハロー-パターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0358】

実際に、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

【0359】

XRD 分析を行った試料として、試料 A および試料 B を用意した。以下に試料 A および試料 B の作製方法を説明する。

【0360】

脱水素化処理済みの石英基板上に $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜を 100 nm の厚さで成膜した。

【0361】

$\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (DC) として成膜した。ターゲットは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子数比] の $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

【0362】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加熱処理は、はじめに窒素雰囲気で 1 時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに 1 時間の加熱処理を行っている。このようにして作製した試料を試料 B とした。

【0363】

図 35 に試料 A および試料 B の XRD スペクトルを示す。試料 A では、結晶由来のピークが観測されなかったが、試料 B では、2 が 35 deg 近傍および 37 deg ~ 38 deg に結晶由来のピークが観測された。

【0364】

このように、 In 、 Sn 、 Zn を主成分とする酸化物半導体は成膜時に意図的に加熱すること及び / 又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

【0365】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによってトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を $1 \text{ aA} / \mu\text{m}$ 以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅 $1 \mu\text{m}$ あたりの電流値を示す。

【0366】

図 36 に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示

10

20

30

40

50

す。ここでは、簡単のため測定時の基板温度の逆数に 1 0 0 0 を掛けた数値 (1 0 0 0 / T) を横軸としている。

【 0 3 6 7 】

具体的には、図 3 6 に示すように、基板温度が 1 2 5 の場合には $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、 8 5 の場合には $1 0 0 z \text{ A} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下、 室温 (2 7) の場合には $1 z \text{ A} / \mu\text{m}$ ($1 \times 10^{-21} \text{ A} / \mu\text{m}$) 以下にすることができる。好ましくは、 1 2 5 において $0 . 1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-19} \text{ A} / \mu\text{m}$) 以下に、 8 5 において $1 0 z \text{ A} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下に、 室温において $0 . 1 z \text{ A} / \mu\text{m}$ ($1 \times 10^{-22} \text{ A} / \mu\text{m}$) 以下にすることができる。

【 0 3 6 8 】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリーケや成膜室内的内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 - 7 0 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、Znを主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、Znを主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【 0 3 6 9 】

また、酸化物半導体膜成膜後に 6 5 0 の加熱処理を行った試料 B を用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

【 0 3 7 0 】

測定に用いたトランジスタは、チャネル長 L が $3 \mu\text{m}$ 、チャネル幅 W が $1 0 \mu\text{m}$ 、L o v が $0 \mu\text{m}$ 、d W が $0 \mu\text{m}$ である。なお、V d は $1 0 \text{ V}$ とした。なお、基板温度は - 4 0 、 - 2 5 、 2 5 、 7 5 、 1 2 5 および 1 5 0 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畳する幅を L o v と呼び、酸化物半導体膜に対する一対の電極のはみ出しを d W と呼ぶ。

【 0 3 7 1 】

図 3 7 に、I d (実線) および電界効果移動度 (点線) の V g 依存性を示す。また、図 3 8 (A) に基板温度としきい値電圧の関係を、図 3 8 (B) に基板温度と電界効果移動度の関係を示す。

【 0 3 7 2 】

図 3 8 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は - 4 0 ~ 1 5 0 で $1 . 0 9 \text{ V} \sim - 0 . 2 3 \text{ V}$ であった。

【 0 3 7 3 】

また、図 3 8 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は - 4 0 ~ 1 5 0 で $3 6 \text{ cm}^2 / \text{Vs} \sim 3 2 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【 0 3 7 4 】

上記のような In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu\text{m}$ 以下に保ちつつ、電界効果移動度を $3 0 \text{ cm}^2 / \text{Vsec}$ 以上、好ましくは $4 0 \text{ cm}^2 / \text{Vsec}$ 以上、より好ましくは $6 0 \text{ cm}^2 / \text{Vsec}$ 以上とし、L S I で要求されるオン電流の値を満たすことができる。例えば、L / W = $3 3 \text{ nm} / 4 0 \text{ nm}$ の F E T で、ゲート電圧 $2 . 7 \text{ V}$ 、ドレイン電圧 $1 . 0 \text{ V}$ のとき $1 2 \mu\text{A}$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【 実施例 2 】

10

20

30

40

50

【0375】

本実施例では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図39を用いて説明する。

【0376】

図39は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図および断面図である。図39(A)にトランジスタの上面図を示す。また、図39(B)に図39(A)の一点鎖線A1-A2に対応する断面A1-A2を示す。

【0377】

図39(B)に示すトランジスタは、基板3100と、基板3100上に設けられた下地絶縁膜3102と、下地絶縁膜3102の周辺に設けられた保護絶縁膜3104と、下地絶縁膜3102および保護絶縁膜3104上に設けられた高抵抗領域3106aおよび低抵抗領域3106bを有する酸化物半導体膜3106と、酸化物半導体膜3106上に設けられたゲート絶縁膜3108と、ゲート絶縁膜3108を介して酸化物半導体膜3106と重畳して設けられたゲート電極3110と、ゲート電極3110の側面と接して設けられた側壁絶縁膜3112と、少なくとも低抵抗領域3106bと接して設けられた一対の電極3114と、少なくとも酸化物半導体膜3106、ゲート電極3110および一対の電極3114を覆って設けられた層間絶縁膜3116と、層間絶縁膜3116に設けられた開口部を介して少なくとも一対の電極3114の一方と接続して設けられた配線3118と、を有する。

【0378】

なお、図示しないが、層間絶縁膜3116および配線3118を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜3116の表面伝導に起因して生じる微小リリーク電流を低減することができ、トランジスタのオフ電流を低減することができる。

【実施例3】

【0379】

本実施例では、上記とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【0380】

図40は、本実施例で作製したトランジスタの構造を示す上面図および断面図である。図40(A)はトランジスタの上面図である。また、図40(B)は図40(A)の一点鎖線B1-B2に対応する断面図である。

【0381】

図40(B)に示すトランジスタは、基板3600と、基板3600上に設けられた下地絶縁膜3602と、下地絶縁膜3602上に設けられた酸化物半導体膜3606と、酸化物半導体膜3606と接する一対の電極3614と、酸化物半導体膜3606および一対の電極3614上に設けられたゲート絶縁膜3608と、ゲート絶縁膜3608を介して酸化物半導体膜3606と重畳して設けられたゲート電極3610と、ゲート絶縁膜3608およびゲート電極3610を覆って設けられた層間絶縁膜3616と、層間絶縁膜3616に設けられた開口部を介して一対の電極3614と接続する配線3618と、層間絶縁膜3616および配線3618を覆って設けられた保護膜3620と、を有する。

【0382】

基板3600としてはガラス基板を、下地絶縁膜3602としては酸化シリコン膜を、酸化物半導体膜3606としてはIn-Sn-Zn-O膜を、一対の電極3614としてはタンゲステン膜を、ゲート絶縁膜3608としては酸化シリコン膜を、ゲート電極3610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜3616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線3618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜3620としてはポリイミド膜を、それぞれ用いた。

【0383】

10

20

30

40

50

なお、図40(A)に示す構造のトランジスタにおいて、ゲート電極3610と一対の電極3614との重畠する幅をLovと呼ぶ。同様に、酸化物半導体膜3606に対する一対の電極3614のはみ出しをdWと呼ぶ。

【符号の説明】

【0384】

100	回路	
101	トランジスタ	
102	領域	
120	半導体層	10
122	絶縁層	
124	マスク	
126	不純物領域	
130	不純物領域	
132	不純物領域	
134	チャネル形成領域	
136	絶縁層	
138	絶縁層	
140	絶縁層	
144	酸化物半導体層	
146	ゲート絶縁膜	20
150	絶縁層	
154	配線	
156	絶縁層	
160	トランジスタ	
162	トランジスタ	
162A	トランジスタ	
162B	トランジスタ	
164	容量素子	
200	回路	
201	トランジスタ	30
202	トランジスタ	
203	領域	
300	基板	
301	素子形成層	
302	配線	
303	配線	
304	配線	
305	層間膜	
306	層間膜	
400	半導体基板	40
401	絶縁層	
404a	酸化物導電層	
404b	酸化物導電層	
410	単結晶半導体基板	
412	酸化膜	
414	脆化領域	
416	単結晶半導体層	
418	単結晶半導体層	
437	絶縁層	
450a	第1の結晶性酸化物半導体層	50

4 5 0 b	第 2 の結晶性酸化物半導体層	
4 5 3	酸化物半導体層	
5 0 0	ローデコーダ	
5 0 1	ロードライバ	
5 0 2	メモリセル	
5 0 3	NAND ゲート	
5 0 4	NAND ゲート部	
5 0 5	レベルシフタ	
5 0 6	パッファ	
5 0 7	NAND ゲート	10
5 0 8	レベルシフタ	
5 0 9	パッファ	
6 0 1	N型トランジスタ	
6 0 3	P型トランジスタ	
6 0 5	信号線	
6 0 6	信号線	
6 0 7	領域	
7 0 0	信号線	
7 0 2	NAND ゲート	
7 0 4	信号線	20
7 0 5	領域	
7 0 6	層間膜	
7 0 7	筐体	
7 0 8	筐体	
7 0 9	表示部	
7 1 0	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	
7 1 4	操作ボタン	30
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	40
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	50

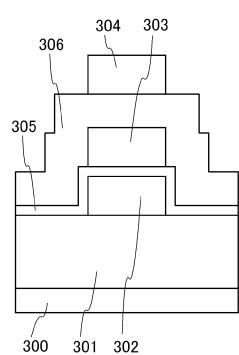
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	パッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	10
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	
8 0 0	信号線	
8 0 2	NANDゲート	
8 0 4	信号線	
8 0 5	領域	
9 0 0	インバータ	
9 0 1	N型トランジスタ	
9 0 3	P型トランジスタ	
9 1 0	入力信号線	20
9 1 1	反転信号入力線	
9 1 2	出力信号線	
9 1 3	反転信号出力線	
1 0 0 0	トランジスタ	
1 0 0 1	配線	
1 0 0 2	配線	
1 0 0 3	領域	
1 0 0 6	層間膜	
1 1 0 0	トランジスタ	
1 1 0 1	配線	30
1 1 0 2	配線	
1 1 0 3	領域	
1 2 0 1	トランジスタ	
1 2 0 2	トランジスタ	
1 2 0 3	容量素子	
1 2 2 a	ゲート絶縁膜	
1 2 8 a	ゲート電極	
1 2 8 b	導電層	
1 3 0 0	層	
1 3 0 1	トランジスタ	40
1 3 0 2	トランジスタ	
1 4 0 0	インバータ	
1 4 0 1	N型トランジスタ	
1 4 0 3	P型トランジスタ	
1 4 0 7	N型トランジスタ	
1 4 0 8	P型トランジスタ	
1 4 1 0	入力信号線	
1 4 1 1	反転信号入力線	
1 4 1 2	出力信号線	
1 4 1 3	反転信号出力線	50

1 4 2 a	ソース電極	
1 4 2 b	ドレイン電極	
1 4 8 a	ゲート電極	
1 4 8 b	導電層	
1 5 0 0	トランジスタ	
1 5 0 1	配線	
1 5 0 2	配線	
1 5 0 3	領域	
1 5 0 6	層間膜	
1 6 0 0	信号線	10
1 6 0 1	回路	
1 6 0 2	バッファ	
1 6 0 3	回路	
1 6 0 4	信号線	
1 6 0 5	信号線	
3 0 2 a	配線	
3 0 2 b	配線	
3 0 3 a	配線	
3 0 3 b	配線	
7 0 3 a	トランジスタ	20
7 0 3 b	トランジスタ	
8 0 3 a	トランジスタ	
8 0 3 b	トランジスタ	
2 1 0 1	下地絶縁膜	
2 1 0 2	埋め込み絶縁物	
2 1 0 3 a	半導体領域	
2 1 0 3 b	半導体領域	
2 1 0 3 c	半導体領域	
2 1 0 4	ゲート絶縁膜	
2 1 0 5	ゲート電極	30
2 1 0 6 a	側壁絶縁物	
2 1 0 6 b	側壁絶縁物	
2 1 0 7	絶縁物	
2 1 0 8 a	ソース電極	
2 1 0 8 b	ドレイン電極	
3 1 0 0	基板	
3 1 0 2	下地絶縁膜	
3 1 0 4	保護絶縁膜	
3 1 0 6	酸化物半導体膜	
3 1 0 6 a	高抵抗領域	40
3 1 0 6 b	低抵抗領域	
3 1 0 8	ゲート絶縁膜	
3 1 1 0	ゲート電極	
3 1 1 2	側壁絶縁膜	
3 1 1 4	一対の電極	
3 1 1 6	層間絶縁膜	
3 1 1 8	配線	
3 6 0 0	基板	
3 6 0 2	下地絶縁膜	
3 6 0 4	保護絶縁膜	50

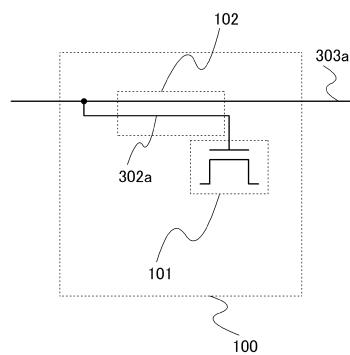
3 6 0 6	酸化物半導体膜
3 6 0 8	ゲート絶縁膜
3 6 1 0	ゲート電極
3 6 1 4	一対の電極
3 6 1 6	層間絶縁膜
3 6 1 8	配線
3 6 2 0	保護膜

【図1】

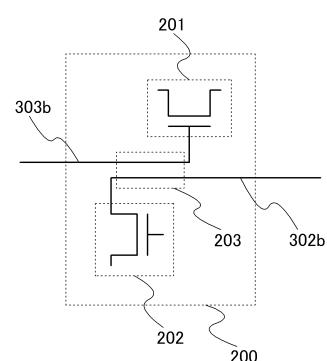
(A)



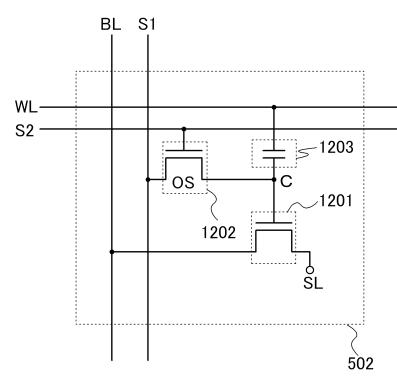
(B)



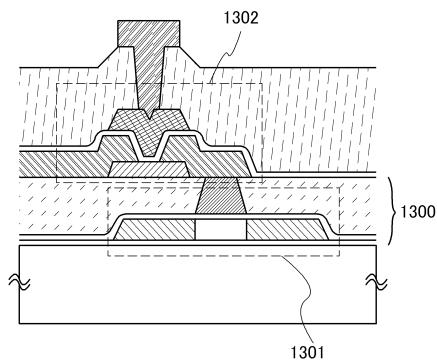
【図2】



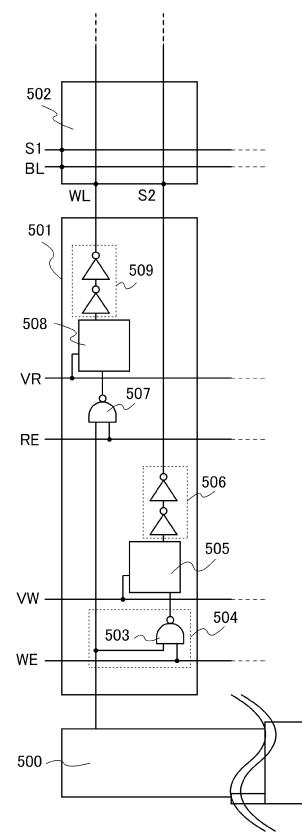
【図3】



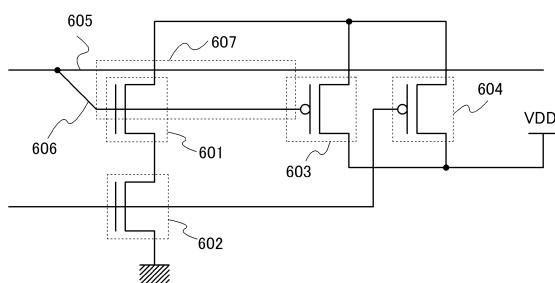
【図4】



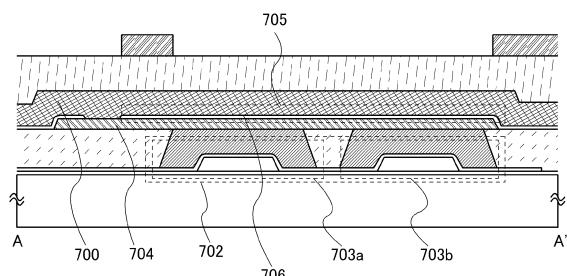
【図5】



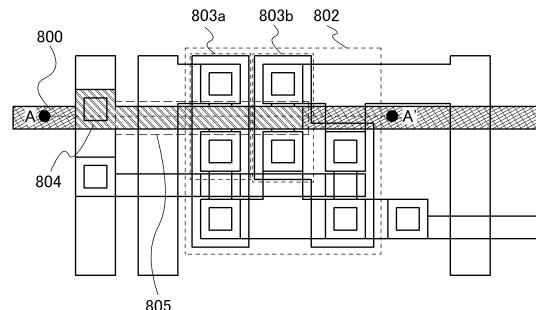
【図6】



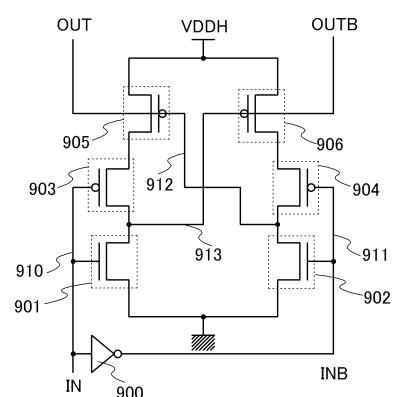
【図7】



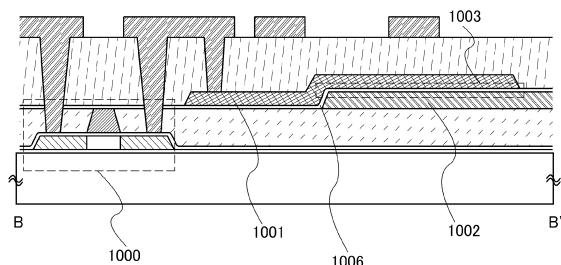
【図8】



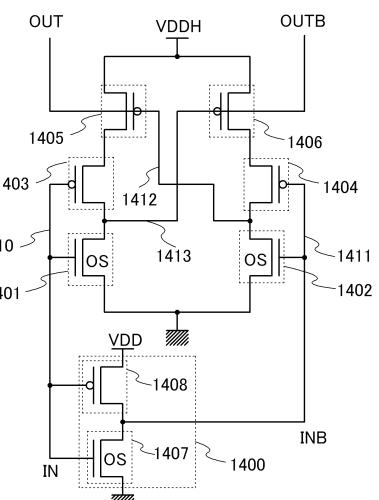
【図9】



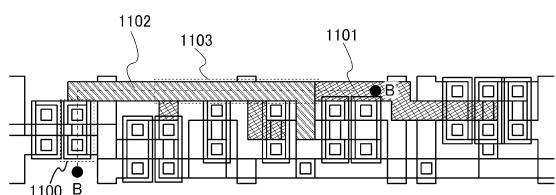
【図10】



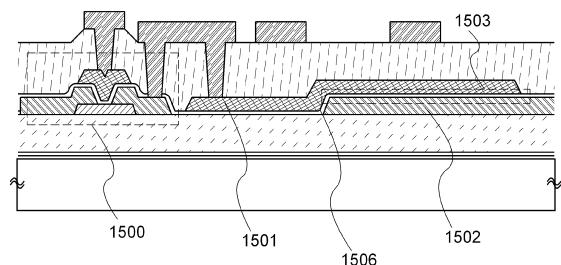
【図12】



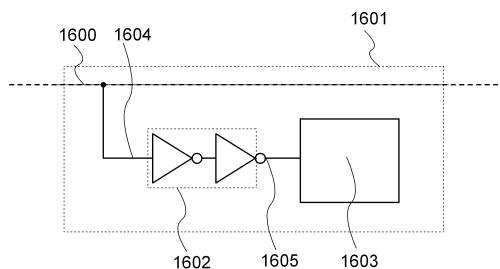
【図11】



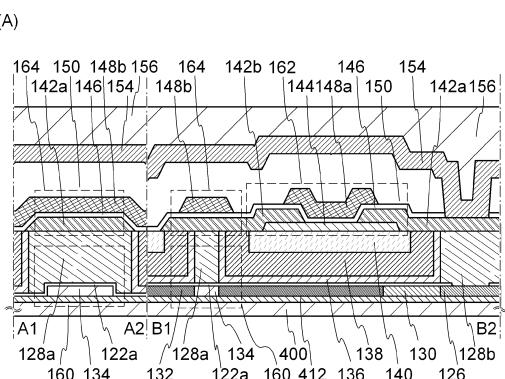
【図13】



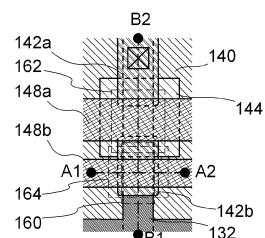
【図14】



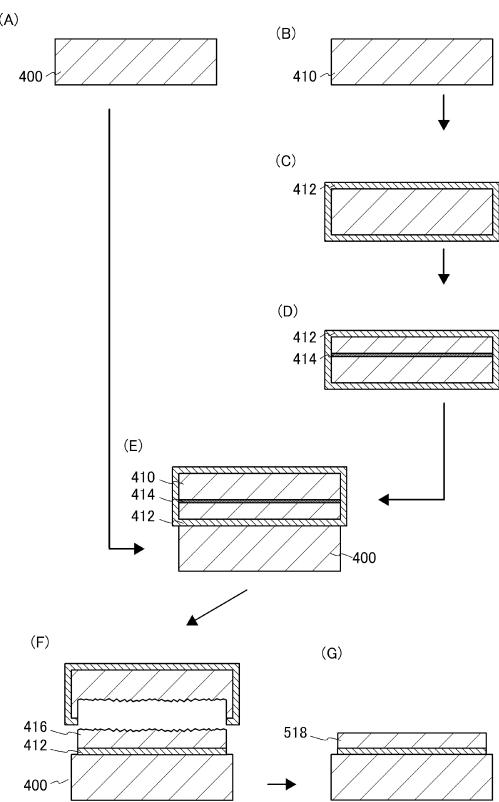
【図15】



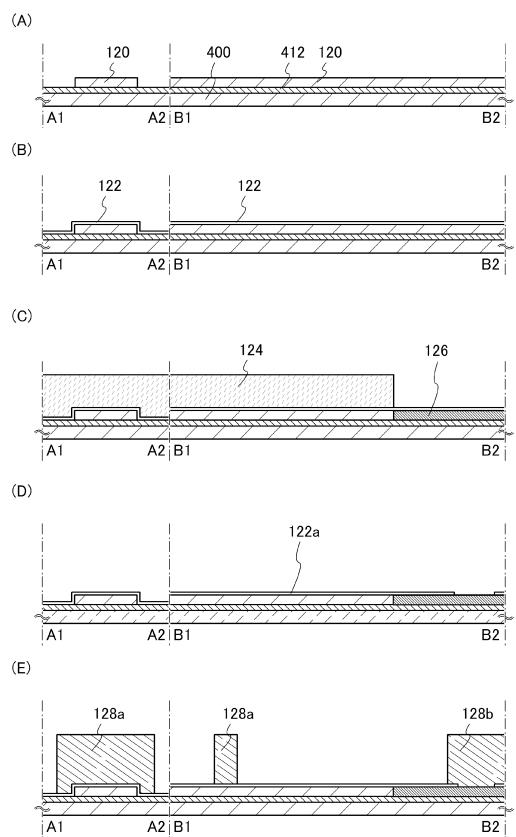
(B)



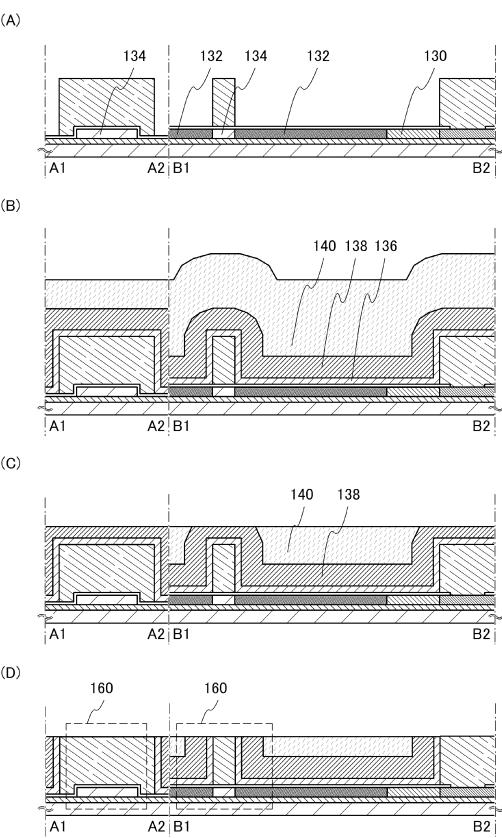
【図16】



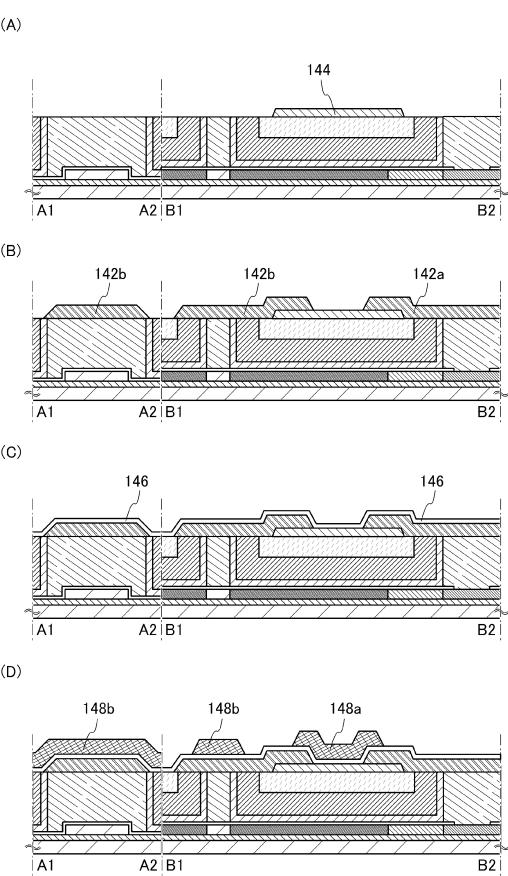
【図17】



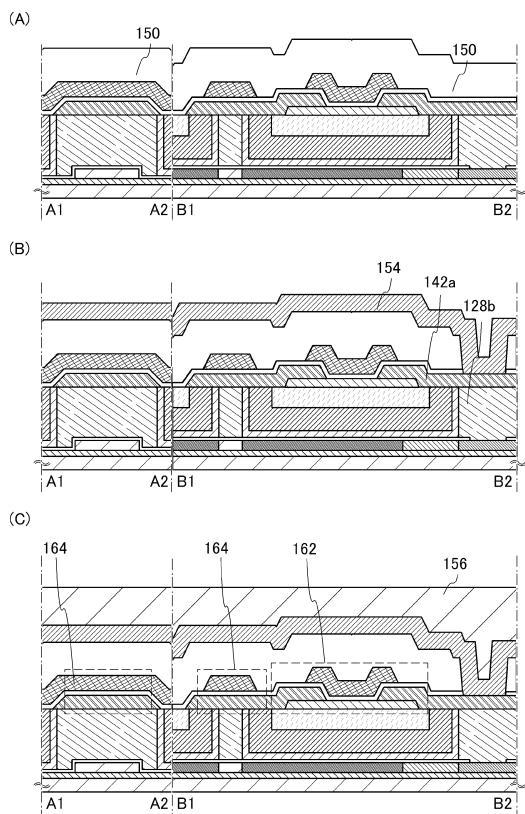
【図18】



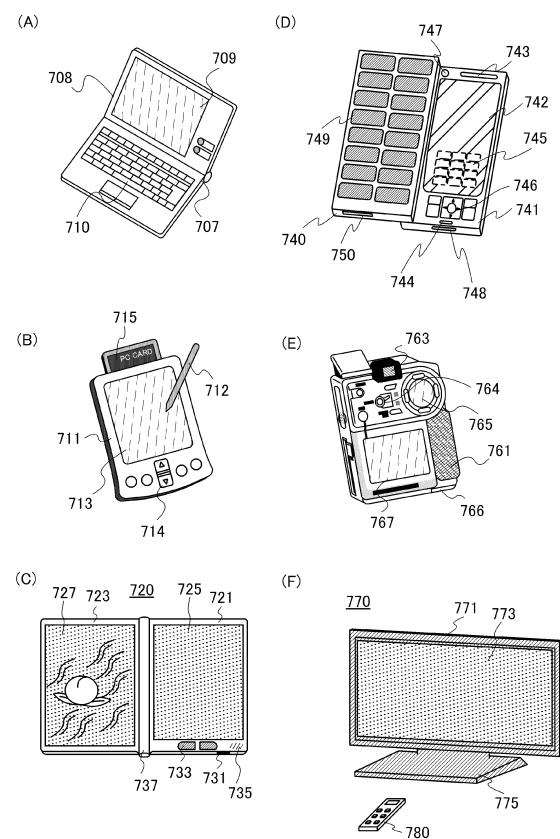
【図19】



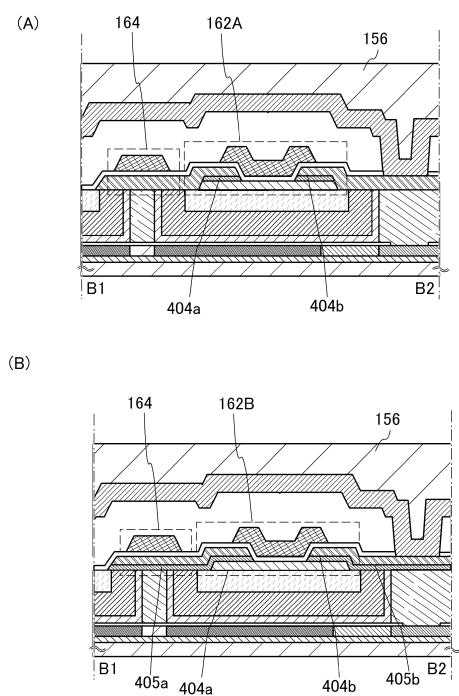
【図20】



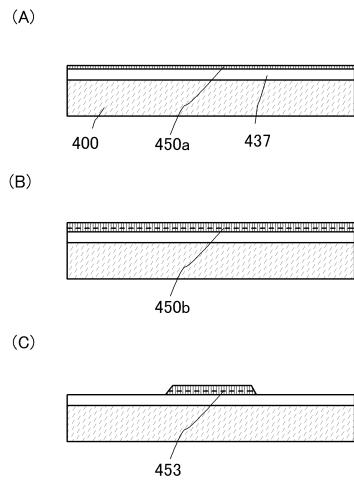
【図21】



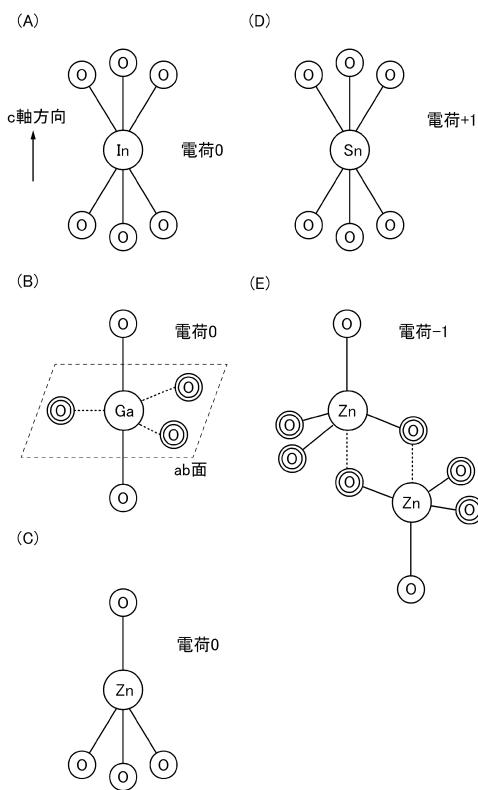
【図22】



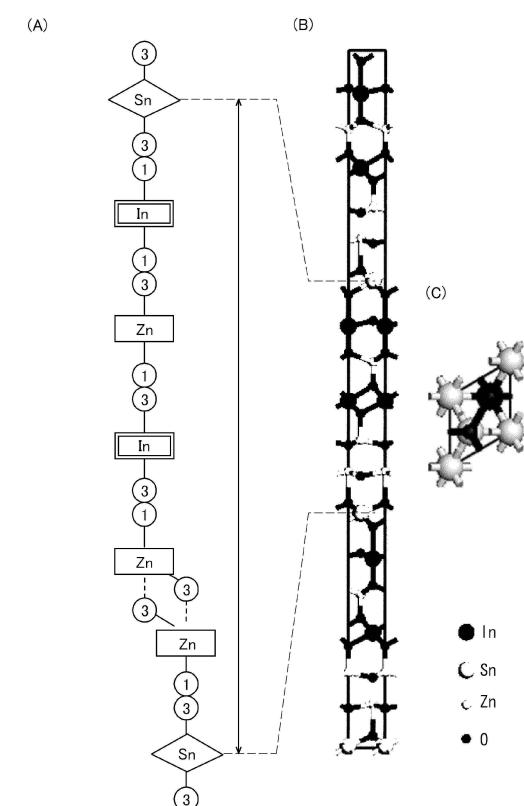
【図23】



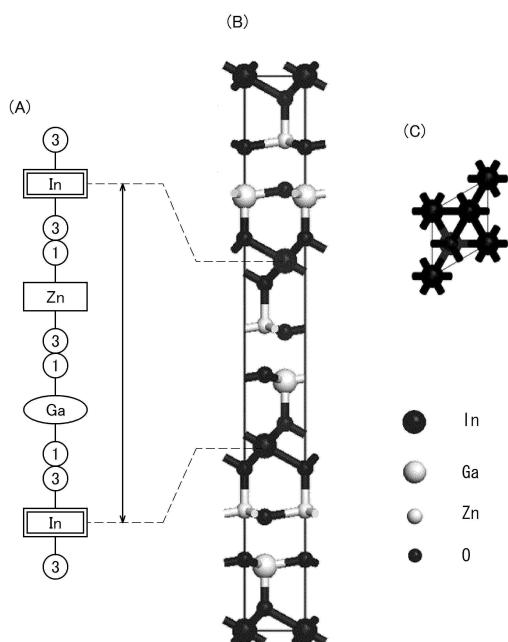
【図24】



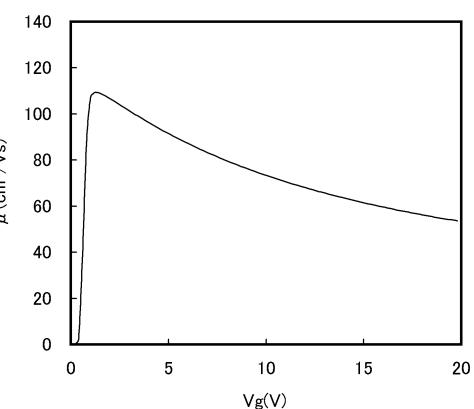
【図25】



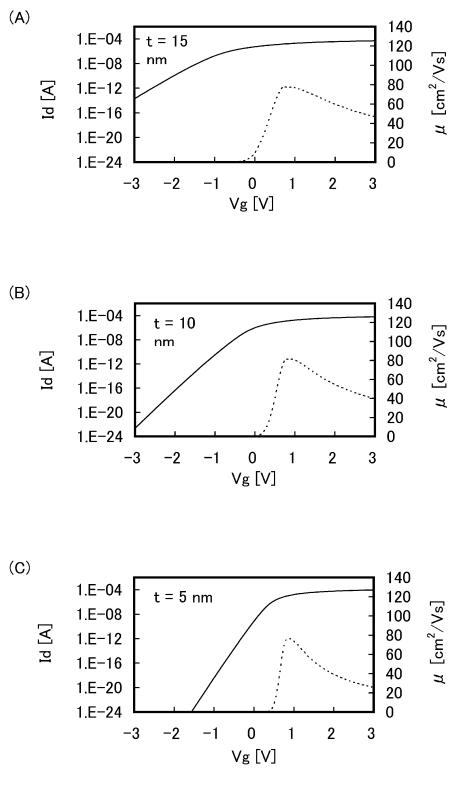
【図26】



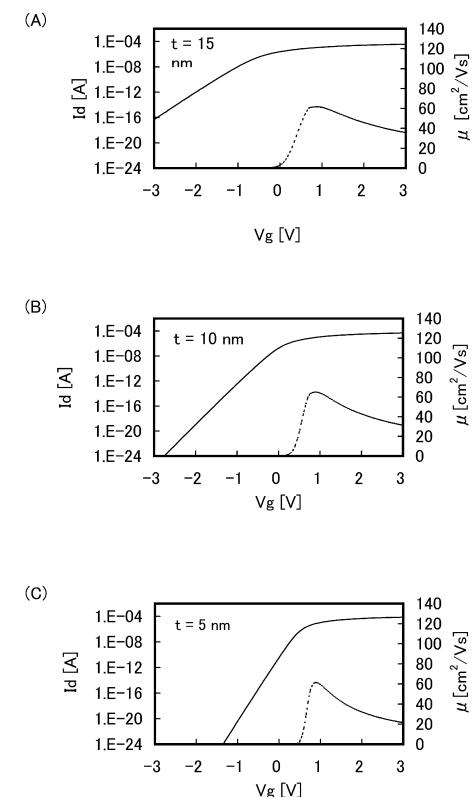
【図27】



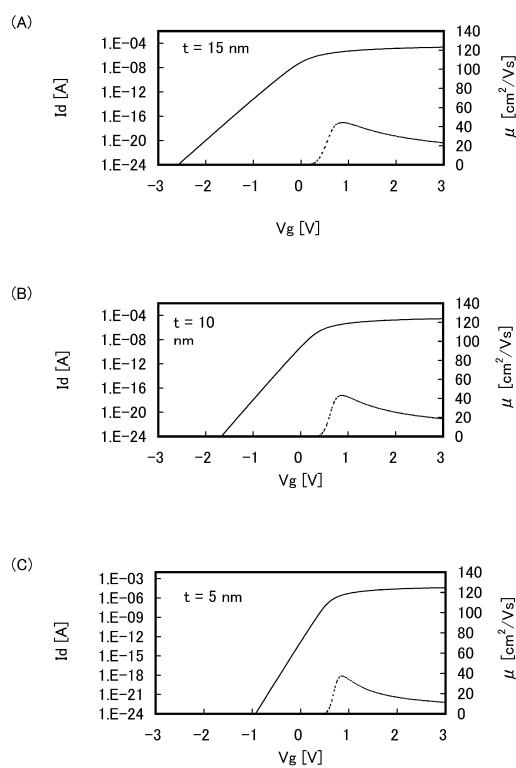
【図28】



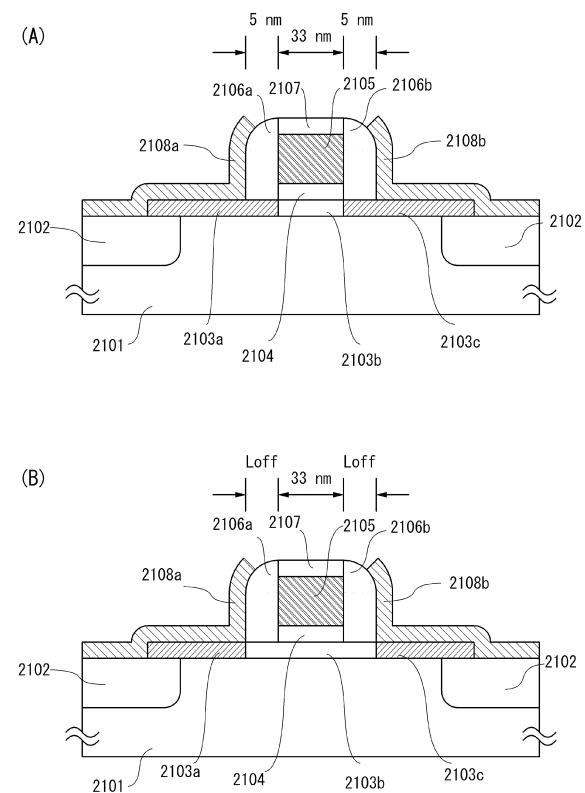
【図29】



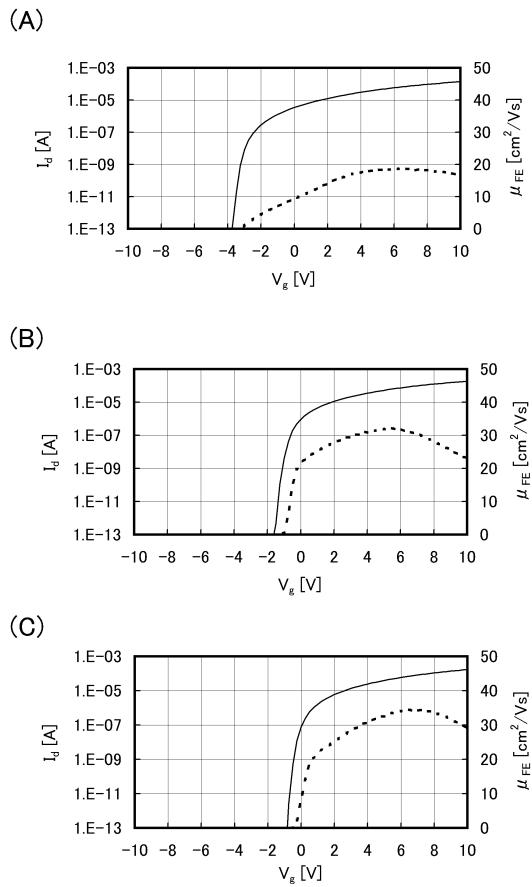
【図30】



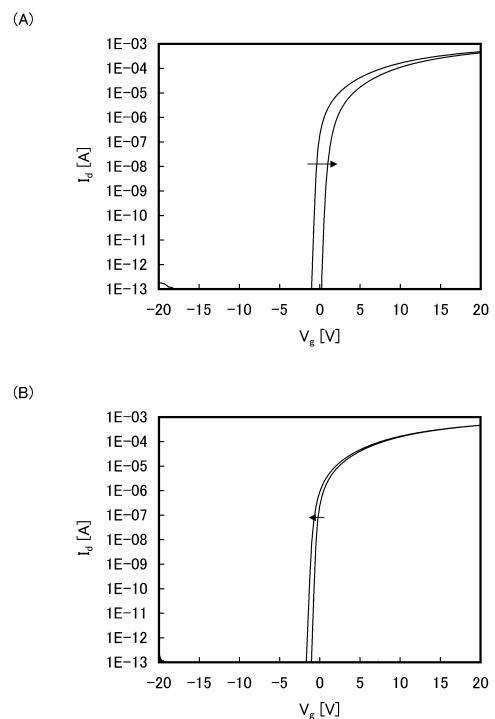
【図31】



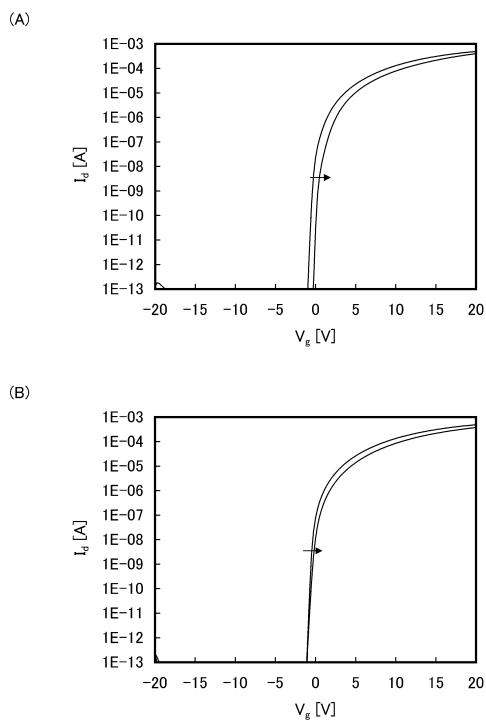
【図3-2】



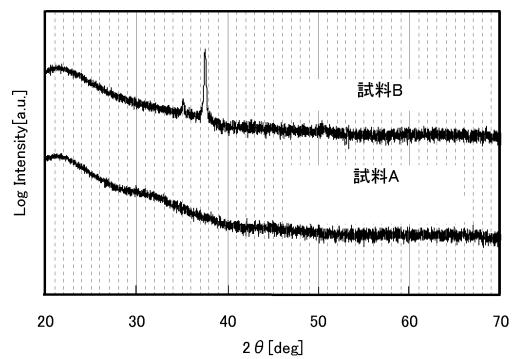
【図3-3】



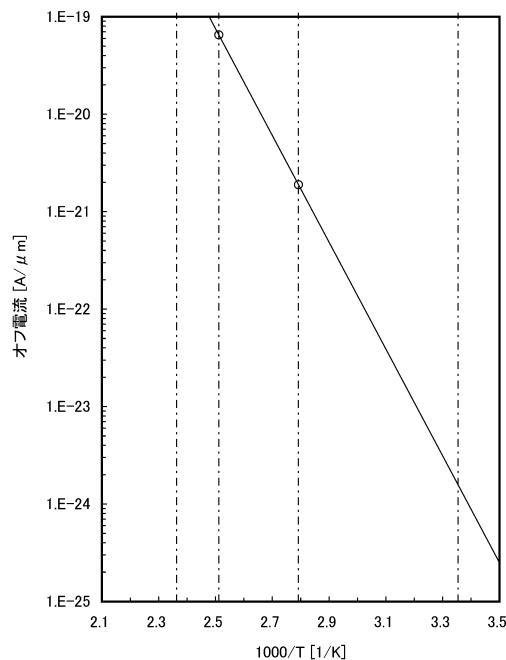
【図3-4】



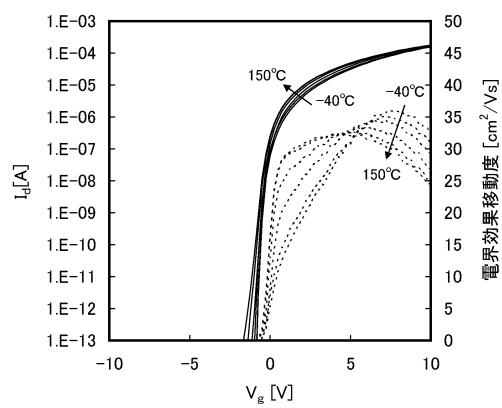
【図3-5】



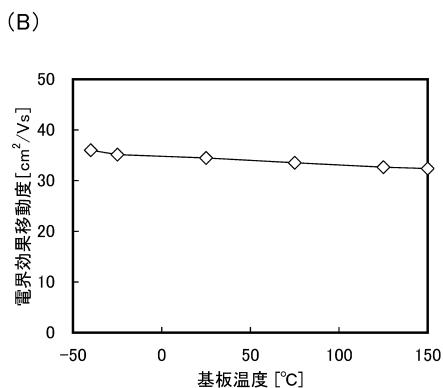
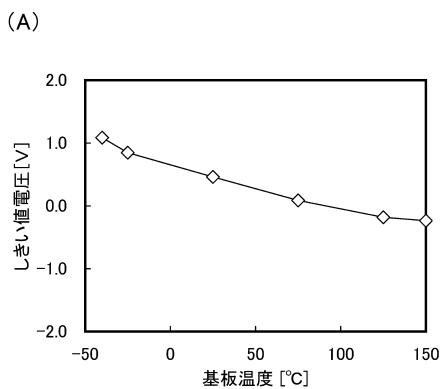
【図36】



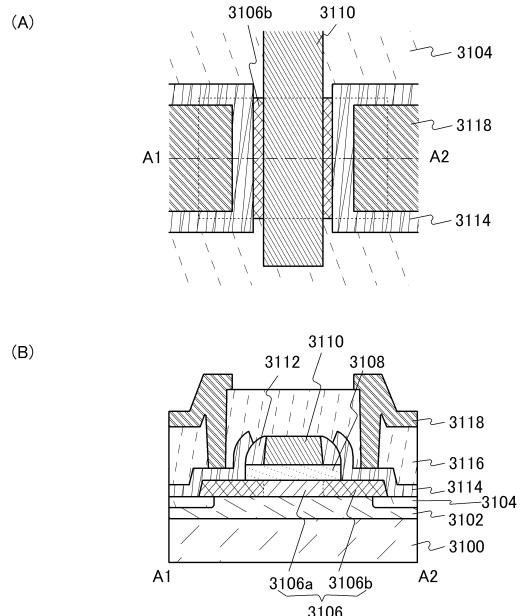
【図37】



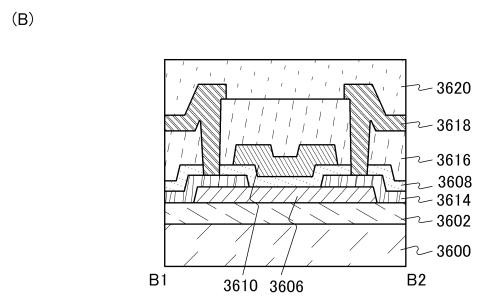
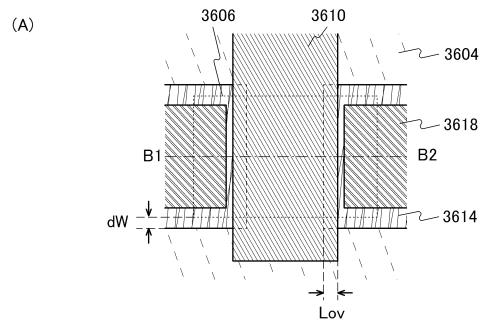
【図38】



【図39】



【図40】



フロントページの続き

(56)参考文献 特開2010-123939(JP, A)
特開平11-040772(JP, A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/8242, 27/10, 27/108