



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0121478
(43) 공개일자 2020년10월26일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/78618 (2013.01)

H01L 29/66742 (2013.01)

(21) 출원번호 10-2019-0044073

(22) 출원일자 2019년04월16일

심사청구일자 2019년04월16일

(71) 출원인

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

김태근

경기도 성남시 분당구 양현로 88, 503-1403

박주현

경기도 포천시 영중면 궁들1길 10

(74) 대리인

특허법인 누리

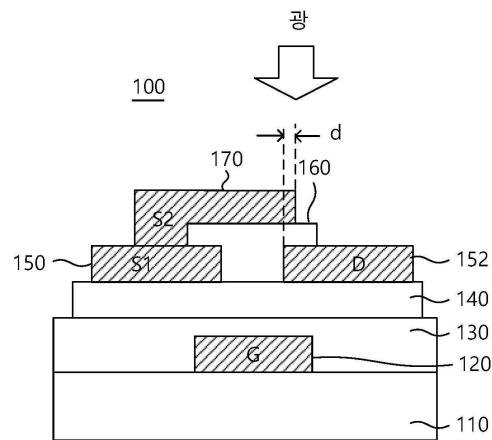
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 이중 소스층을 가지는 박막 트랜지스터 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따른 박막 트랜지스터는, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 배치된 게이트 절연막; 상기 게이트 절연막 상에 배치된 활성층; 상기 활성층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치된 제1 소오스 및 드레인; 상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮는 상부 절연막; 및 상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 포함한다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78603 (2013.01)

H01L 29/78606 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치된 게이트 전극;

상기 게이트 전극을 덮도록 배치된 게이트 절연막;

상기 게이트 절연막 상에 배치된 활성층;

상기 활성층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치된 제1 소오스 및 드레인;

상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮는 상부 절연막; 및

상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 포함하는 것을 특징으로 하는 박막 트랜지스터.

청구항 2

제1 항에 있어서,

상기 제2 소오스는 상기 상부 절연막 상에서 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치되어 것을 특징으로 하는 박막 트랜지스터.

청구항 3

제1 항에 있어서,

상기 활성층은 a-Si, LTPS, IGZO, 또는 ZnO 인 것을 특징으로 하는 박막 트랜지스터.

청구항 4

제1 항에 있어서,

상기 게이트 전극은 도핑된 실리콘, ITO, 또는 알루미늄인 것을 특징으로 하는 박막 트랜지스터.

청구항 5

제1 항에 있어서,

상기 제1 소오스, 상기 드레인, 제2 소오스는 도전성 금속, 또는 금속 합금인 것을 특징으로 하는 박막 트랜지스터.

청구항 6

제1 항에 있어서,

상기 제2 소오스는 상기 드레인과 중첩되는 영역을 가지는 것을 특징으로 하는 박막 트랜지스터.

청구항 7

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 활성층을 형성하는 단계;

상기 활성층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되게 제1 소오스 및 드레인을 형성하는 단

계;

상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮도록 상부 절연막을 형성하는 단계; 및

상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터의 제조 방법.

청구항 8

기관;

상기 기관 상에 배치된 게이트 전극;

상기 게이트 전극을 덮도록 배치된 게이트 절연막;

상기 게이트 절연막 상에 배치되고 서로 이격되어 배치된 제1 소오스 및 드레인;

상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮는 활성층;

상기 활성층을 덮도록 배치된 상부 절연막; 및

상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 포함하는 것을 특징으로 하는 박막형 트랜지스터.

청구항 9

제8 항에 있어서,

상기 제2 소오스는 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치되는 것을 특징으로 하는 박막형 트랜지스터.

청구항 10

제8 항에 있어서,

상기 활성층은 a-Si, LTPS, IGZO, 또는 ZnO 인 것을 특징으로 하는 박막형 트랜지스터.

청구항 11

제1 항에 있어서,

상기 제1 소오스, 상기 드레인, 제2 소오스는 도전성 금속, 또는 금속 합금인 것을 특징으로 하는 박막 트랜지스터.

청구항 12

제1 항에 있어서,

상기 제2 소오스는 상기 드레인과 중첩되는 영역을 가지는 것을 특징으로 하는 박막 트랜지스터.

청구항 13

기관 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 배치되고 서로 이격되어 배치된 제1 소오스 및 드레인을 형성하는 단계;

상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮도록 활성층을 형성하는 단계;

상기 활성층을 덮도록 상부 절연막을 형성하는 단계; 및

상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 제2 소오스를 형성하는 단계를 포함하는 것을

특징으로 하는 박막형 트랜지스터.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터에 관한 것으로, 더 구체적으로 이중 소스층을 가지는 박막 트랜지스터에 관한 것이다.

배경 기술

[0002] 최근 디스플레이는 고해상도화, 대면적화를 추구하고 있다. 해상도가 높아질수록 각 스캔 라인 별 축적 용량 커패시터의 충전에 필요한 시간이 짧아지고, TFT(thin film transistor)의 폭(width) 감소에 따른 RC delay가 생겨 TFT(Thin-Film Transistor)의 이동도 향상이 필요하다. 특히, TFT-LCD(Thin-Film Transistor Liquid Crystal Display) 및 대형 AMOLED(Active Matrix Organic Light-Emitting Diode) TV의 등장으로 비정질 실리콘(a-Si) 또는 저온다결정 실리콘(LTPS)을 대체할 수 있는 반도체 소재에 대한 관심이 높아지고 있다. 고해상도, 대면적 디스플레이의 경우 전하 이동도가 $\sim 1 \text{ cm}^2/(\text{V}\cdot\text{s})$ 수준인 a-Si 박막 트랜지스터(TFT)는 한계가 있다. 이동도가 보다 우수한 Low-temperature polycrystalline silicon (LTPS) TFT 또는 산화물 TFT 기술이 개발되고 있다. 이 중에서도 최근에는 플렉서블 디스플레이의 중요성이 부각되면서 LTPS(low temperature polysilicon) TFT보다 제조공정이 단순하고 상대적으로 저온공정이 가능한 산화물 TFT에 대한 관심이 크다. 하지만 이동도 측면에서 LTPS TFT보다 작은 성능을 보여 많은 연구가 진행되고 있는 실정이다.

[0003] 따라서, 이동도를 향상시키기 위해 산화물 TFT의 초기 단계 연구에서는 금속이온의 도입, 조성 제어, Post-annealing 등을 이용한 연구가 보고되었다. 최근에는 단층 채널 구조가 아닌 다층 채널 구조를 사용하여 고이동도 및 우수한 신뢰성 특성을 확보하는 연구가 진행되고 있다. 하지만 이러한 부분 또한 물질의 조성비를 정확하게 조성해야 되는 어려움이 있어 다양한 연구를 통해 개선하고자 하고 있다.

[0004] 따라서, 기존의 구축된 물질별 공정을 그대로 사용하면서 고이동도와 신뢰성을 개선할 수 있는 박막 트랜지스터를 구현한다면 디스플레이 산업뿐만 아니라 플렉서블 전자기기산업에도 지대한 영향을 미칠 것으로 사료된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하고자 하는 과제는, 제1 소스층을 가진 TFT의 구조에서 소스층을 활성층(또는 channel 층) 상부까지 금속(metal)으로 증착하여 제2 소스층을 구현하는 것이다. Gate 전압은 기준 전위 지점을 제1 소스층뿐만 아니라 활성층(또는 channel 층)까지 영향을 주어 채널을 보다 용이하게 형성한다. 또한, 제2 소스층은 도전층으로 외부 광에 의한 문턱전압 이동을 억제할 수 있다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 박막 트랜지스터는, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 배치된 게이트 절연막; 상기 게이트 절연막 상에 배치된 활성층; 상기 활성층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되어 배치된 제1 소오스 및 드레인; 상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮는 상부 절연막; 및 상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 제2 소오스는 상기 상부 절연막 상에서 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치될 수 있다.

[0008] 본 발명의 일 실시예에 있어서, 상기 활성층은 a-Si, LTPS, IGZO, 또는 ZnO 일 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 게이트 전극은 도핑된 실리콘, ITO, 또는 알루미늄일 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 소오스, 상기 드레인, 제2 소오스는 도전성 금속, 또는 금속 합금일 수 있다.

- [0011] 본 발명의 일 실시예에 있어서, 상기 제2 소오스는 상기 드레인과 중첩되는 영역을 가질 수 있다.
- [0012] 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 활성층을 형성하는 단계; 상기 활성층 상에 배치되고 상기 게이트 전극을 중심으로 서로 이격되게 제1 소오스 및 드레인을 형성하는 단계; 상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮도록 상부 절연막을 형성하는 단계; 및 상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 형성하는 단계를 포함한다.
- [0013] 본 발명의 일 실시예에 따른 박막 트랜지스터는, 기판; 상기 기판 상에 배치된 게이트 전극; 상기 게이트 전극을 덮도록 배치된 게이트 절연막; 상기 게이트 절연막 상에 배치되고 서로 이격되어 배치된 제1 소오스 및 드레인; 상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮는 활성층; 상기 활성층을 덮도록 배치된 상부 절연막; 및 상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 배치된 제2 소오스를 포함한다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 제2 소오스는 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치될 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 활성층은 a-Si, LTPS, IGZO, 또는 ZnO 일 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제1 소오스, 상기 드레인, 제2 소오스는 도전성 금속, 또는 금속 합금일 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 제2 소오스는 상기 드레인과 중첩되는 영역을 가질 수 있다.
- [0018] 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법은, 기판 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮도록 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 배치되고 서로 이격되어 배치된 제1 소오스 및 드레인을 형성하는 단계; 상기 제1 소오스 및 상기 드레인 사이의 공간을 채우고 상기 제1 소오스의 일부를 덮고 상기 드레인의 일부를 덮도록 활성층을 형성하는 단계; 상기 활성층을 덮도록 상부 절연막을 형성하는 단계; 및 상기 제1 소오스와 접촉하고 상기 상부 절연막의 일부를 덮도록 제2 소오스를 형성하는 단계를 포함한다.

발명의 효과

- [0019] 본 발명의 일 실시예에 따른 박막 트랜지스터는 안정적으로 채널을 형성하고, 외부 광에 의한 문턱전압 이동을 억제할 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.
- 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하는 단면도들이다.
- 도 3은 본 발명의 다른 실시예에 따른 박막 트랜지스터를 설명하는 단면도이다.
- 도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] TFT 구조는 기본적으로 소오스, 활성층, 드레인, 게이트 절연막, 게이트 전극으로 구성되어 있다. 활성층 상에 식각 공정시 식각 정지막(etch stop layer)이 요구될 수 있다. TFT 제작 후 보호막(passivation layer)이 요구될 수 있다.
- [0022] 본 발명의 일 실시예에 따른 버텀-게이트(bottom-gate) TFT는 유리 기판 상에 전기 전도도가 좋은 게이트 전극을 형성하고, 상기 게이트 전극 상에 게이트 절연막을 적층한다. 그 후, 채널영역이 형성되는 활성층을 형성한 후 제1 소오스와 드레인을 적층한다. 제1 소오스와 드레인 사이의 노출된 활성층 상에 절연막을 증착한 후 후 패터닝한다. 상기 절연막 상에 제1 소오스와 접촉하는 제2 소오스를 형성한다.
- [0023] 본 발명의 일 실시예에 따른 박막 트랜지스터는 TFT의 동작시 gate 전압에 따라 활성층에서 보다 용이하게 채널을 형성할 수 있다. 통상적인 TFT에서는 게이트 전압의 기준전위 점이 소오스 부분에 국한된다. 하지만, 본 발

명의 일 실시예에 따른 구조는 활성층까지 기준전위 점이 연결된다(??). 또한 제2 소오스의 구성물질이 금속 또는 금속 합금인 경우, 빛에 민감한 상기 활성층을 보호한다. 이에 따라, 디스플레이에 사용되는 TFT의 경우, 빛에 대한 신뢰성이 향상될 수 있다.

[0024] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다. 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0025] 도 1은 본 발명의 일 실시예에 따른 박막 트랜지스터를 나타내는 단면도이다.

[0026] 도 1을 참조하면, 박막 트랜지스터(100)는, 기판(110); 상기 기판(110) 상에 배치된 게이트 전극(120); 상기 게이트 전극(120)을 덮도록 배치된 게이트 절연막(130); 상기 게이트 절연막(130) 상에 배치된 활성층(140); 상기 활성층(140) 상에 배치되고 상기 게이트 전극(120)을 중심으로 서로 이격되어 배치된 제1 소오스(150) 및 드레인(152); 상기 제1 소오스(150) 및 상기 드레인(152) 사이의 공간을 채우고 상기 제1 소오스(150)의 일부를 덮고 상기 드레인(152)의 일부를 덮는 상부 절연막(160); 및 상기 제1 소오스(150)와 접촉하고 상기 상부 절연막(160)의 일부를 덮도록 배치된 제2 소오스(170)를 포함한다.

[0027] 상기 기판(110)은 유리 기판, 유전체 기판, 또는 플라스틱 기판일 수 있다. 상기 기판은 디스플레이 소자의 기판으로 동작할 수 있다.

[0028] 상기 게이트 전극(120)은 고농도로 도핑된 실리콘, 알루미늄, 몰리브덴, 또는 타이타늄일 수 있다. 게이트 전극(120)은 상기 활성층(140)을 가로지르도록 패터닝될 수 있다.

[0029] 상기 게이트 절연막(130)은 상기 게이트 전극(120) 상에 배치될 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화 질화막 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(130)은 상기 게이트 전극(120)을 상부면 및 측면을 덮을 수 있다.

[0030] 상기 활성층(140)은 상기 게이트 절연막(130) 상에 형성될 수 있다. 상기 활성층(140)은 패터닝되어 이웃한 트랜지스터와 분리될 수 있다. 상기 활성층(140)은 n형 또는 p형으로 도핑된 반도체일 수 있다. 상기 활성층(140)은 비정질 실리콘, 폴리실리콘, IGZO (In-Ga-Zn-Oxide), 또는 ZnO일 수 있다. 상기 활성층(140)은 상기 게이트 전극(120)에 인가된 게이트 전압에 따라 상기 활성층 내에 채널을 형성할 수 있다.

[0031] 제1 소오스(150) 및 드레인(152)은 상기 활성층(140) 상에 상기 게이트 전극(120)을 중심으로 서로 이격되어 배치될 수 있다. 상기 제1 소오스(150)는 상기 활성층(140)과 오믹 접촉할 수 있다. 또한, 상기 드레인(152)은 상기 활성층(140)과 오믹 접촉할 수 있다. 상기 제1 소오스(150) 및 드레인(152)은 전극으로 도전성 물질로 형성될 수 있다. 구체적으로, 상기 제1 소오스(150) 및 드레인(152)은 알루미늄, 몰리브덴, 또는 타이타늄일 수 있다. 상기 제1 소오스(150), 상기 드레인(152), 제2 소오스(170)는 도전성 금속, 또는 금속 합금일 수 있다.

[0032] 상부 절연막(160)은 상기 제1 소오스(150)와 상기 드레인(152) 사이에 노출된 활성층(140)을 덮도록 배치된다. 상기 상부 절연막(160)은 상기 제1 소오스(152)의 일부를 덮고, 상기 드레인(152)의 일부를 덮도록 패터닝될 수 있다. 상기 상부 절연막(160)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 상부 절연막(160)의 유전율 및 두께는 채널 형성을 위하여 적절히 조절될 수 있다.

[0033] 제2 소오스(170)는 상기 제1 소오스(150)의 노출된 부위의 일부를 덮고 상기 상부 절연막(160)을 덮도록 연장될 수 있다. 상기 제2 소오스(170)는 상기 상부 절연막(160) 상에서 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치될 수 있다. 상기 제2 소오스(170)는 상기 드레인(152)과 전기적 분리되도록 상기 상부 절연막(160)의 일부를 노출시킬 수 있다. 상기 제2 소오스(170)는 상기 제1 소오스(150)와 동일한 재질일 수 있다. 상기 드레인(152)과 상기 제2 소오스(170)는 수직으로 중첩되는 영역(d)를 구비할 수 있다. 이에 따라, 광이 상기 제2 소오스(170)에 입사하는 경우, 상기 제2 소오스(170)는 상기 광을 반사시켜 상기 활성층(140)에 광이 도달하는 것을 억제할 수 있다. 이에 따라, 상기 박막 트랜지스터는 광에 의한 문턱전압의 변동을 억제할 수 있다.

[0034] 도 2a 내지 도 2f는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하는 단면도들이다.

- [0035] 도 2a 내지 도 2f를 참조하면, 박막 트랜지스터의 제조 방법은, 기판(110) 상에 게이트 전극(120)을 형성하는 단계; 상기 게이트 전극(120)을 덮도록 게이트 절연막(130)을 형성하는 단계; 상기 게이트 절연막(130) 상에 활성층(140)을 형성하는 단계; 상기 활성층(140) 상에 배치되고 상기 게이트 전극(120)을 중심으로 서로 이격되게 제1 소오스(150) 및 드레인(152)을 형성하는 단계; 상기 제1 소오스(150) 및 상기 드레인(152) 사이의 공간을 채우고 상기 제1 소오스(150)의 일부를 덮고 상기 드레인(152)의 일부를 덮도록 상부 절연막(160)을 형성하는 단계; 및 상기 제1 소오스(150)과 접촉하고 상기 상부 절연막(160)의 일부를 덮도록 배치된 제2 소오스(170)를 형성하는 단계를 포함한다.
- [0036] 도 2a를 참조하면, 기판(110) 상에 게이트 전극(120)이 패터닝된다. 상기 기판(110)은 유리 기판일 수 있다. 상기 게이트 전극(120)은 알루미늄, 또는 폴리브텐일 수 있다. 상기 게이트 전극(120)은 포토리소그래피 공정과 이방성 플라즈마 식각 공정을 통하여 수행될 수 있다.
- [0037] 도 2b를 참조하면, 상기 게이트 전극(120)이 형성된 기판(110) 상에 게이트 절연막(130)이 형성될 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(130)은 화학 기상 증착법으로 형성될 수 있다.
- [0038] 도 2c를 참조하면, 상기 게이트 절연막(130) 상에 활성층(140)이 형성될 수 있다. 상기 활성층(140)은 비정질 실리콘, 폴리 실리콘, IGZO (In-Ga-Zn-Oxide), 또는 ZnO일 수 있다. 상기 비정질 실리콘은 플라즈마 도움 화학 기상 증착법으로 형성될 수 있다. 상기 폴리 실리콘은 비정질 실리콘을 레이저 조사에 의하여 다결정화될 수 있다. 상기 활성층(140)은 패터닝될 수 있다. 상기 활성층(140)은 이온 주입 공정을 통하여 도핑될 수 있다. 이에 따라, 상기 제1 소오스(150)가 배치될 영역에 대응하는 활성층 및 상기 드레인(152)이 배치될 영역에 대응하는 활성층은 고농도의 불순물로 도핑될 수 있다.
- [0039] 도 2d를 참조하면, 상기 활성층(140) 상에 제1 소오스(150)와 드레인(152)이 패터닝될 수 있다. 상기 제1 소오스(150)와 상기 드레인(152)은 상기 활성층 상에서 상기 게이트 전극(120)을 기준으로 서로 이격되어 배치될 수 있다. 상기 제1 소오스와 상기 드레인 사이의 간격은 상기 게이트 전극(120)의 폭보다 작을 수 있다. 이에 따라, 채널이 안정적으로 형성될 수 있다. 상기 제1 소오스(150)는 접지되고, 상기 드레인(152)은 드레인 전압으로 유지될 수 있다. 상기 게이트 전극에 인가되는 게이트 전압에 따라 채널이 턴온 또는 턴오프될 수 있다. 상기 제1 소오스(150)와 상기 드레인(152)은 알루미늄, 또는 폴리브텐일 수 있다.
- [0040] 도 2e를 참조하면, 상기 제1 소오스(150) 및 드레인(152)이 형성된 기판 상에 상부 절연막(160)이 형성된다. 상기 상부 절연막(160)은 상기 제1 소오스와 상기 드레인 사이의 공간을 채우고, 상기 제1 소오스의 일부를 덮고, 상기 드레인의 일부를 덮을 수 있다. 상기 상부 절연막의 두께와 유전율은 채널의 형상을 조절할 수 있다. 상기 상부 절연막(160)은 실리콘 산화막 또는 실리콘 질화막일 수 있다.
- [0041] 도 2f를 참조하면, 제2 소오스(170)가 상기 제1 소오스(150)와 접촉하고 상기 상부 절연막(160)의 일부를 덮도록 형성될 수 있다. 상기 제2 소오스(170)는 상기 드레인(152)과 중첩되는 영역을 구비할 수 있다. 상기 제2 소오스(170)는 상기 제1 소오스(150)와 상기 드레인(152) 사이의 영역을 덮을 수 있다. 상기 제2 소오스(170)는 상기 제1 소오스와 동일한 물질로 형성될 수 있다.
- [0042] 도 3은 본 발명의 다른 실시예에 따른 박막 트랜지스터를 설명하는 단면도이다.
- [0043] 도 3을 참조하면, 박막 트랜지스터(200)는, 기판(110); 상기 기판(110) 상에 배치된 게이트 전극(120); 상기 게이트 전극(120)을 덮도록 배치된 게이트 절연막(130); 상기 게이트 절연막(130) 상에 배치되고 서로 이격되어 배치된 제1 소오스(250) 및 드레인(252); 상기 제1 소오스(250) 및 상기 드레인(252) 사이의 공간을 채우고 상기 제1 소오스(250)의 일부를 덮고 상기 드레인(252)의 일부를 덮는 활성층(240); 상기 활성층(240)을 덮도록 배치된 상부 절연막(260); 및 상기 제1 소오스(250)와 접촉하고 상기 상부 절연막(260)의 일부를 덮도록 배치된 제2 소오스(270)를 포함한다.
- [0044] 상기 게이트 절연막(130)은 상기 게이트 전극(120) 상에 배치될 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화 질화막 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(130)은 상기 게이트 전극(120)을 상부면 및 측면을 덮을 수 있다.
- [0045] 제1 소오스(250) 및 드레인(252)은 상기 게이트 절연막(130) 상에 상기 게이트 전극(120)을 중심으로 서로 이격되어 배치될 수 있다. 상기 제1 소오스(250)는 상기 활성층(240)과 오믹 접합할 수 있다. 또한, 상기 드레인(252)은 상기 활성층(240)과 오믹 접합할 수 있다. 상기 제1 소오스(250) 및 드레인(252)은 전극으로 도전성 물

질로 형성될 수 있다. 구체적으로, 상기 제1 소오스(250) 및 드레인(252)은 알루미늄, 몰리브덴, 또는 타이타늄 일 수 있다.

[0046] 상기 활성층(240)은 상기 제1 소오스(250) 및 드레인(252) 사이의 노출된 게이트 절연막(130) 상에 형성될 수 있다. 상기 활성층(240)은 패터닝되어 이웃한 트랜지스터와 분리될 수 있다. 상기 활성층(240)은 n형 또는 p형으로 도핑된 반도체일 수 있다. 상기 활성층(240)은 비정질 실리콘, 폴리실리콘, IGZO (In-Ga-Zn-Oxide), 또는 ZnO일 수 있다. 상기 활성층(240)은 상기 게이트 전극(120)에 인가된 게이트 전압에 따라 상기 활성층 내에 채널을 형성할 수 있다.

[0047] 상부 절연막(260)은 상기 활성층(240)을 덮도록 배치된다. 상기 상부 절연막(260)은 상기 활성층의 측면 및 상부면을 덮도록 패터닝될 수 있다. 상기 상부 절연막(260)은 실리콘 산화막 또는 실리콘 질화막일 수 있다. 상기 상부 절연막(260)의 유전율 및 두께는 채널 형성을 위하여 적절히 조절될 수 있다.

[0048] 제2 소오스(270)는 상기 제1 소오스(250)의 노출된 부위의 일부를 덮고 상기 상부 절연막(260)을 덮도록 연장될 수 있다. 상기 제2 소오스(270)는 상기 상부 절연막(260) 상에서 상기 제1 소오스 및 상기 드레인 사이의 공간을 덮도록 배치될 수 있다. 상기 제2 소오스(270)는 상기 드레인(252)과 전기적 분리되도록 상기 상부 절연막(260)의 일부를 노출시킬 수 있다. 상기 제2 소오스(270)는 상기 제1 소오스(250)와 동일한 재질일 수 있다. 상기 드레인(252)과 상기 제2 소오스(270)는 수직으로 중첩되는 영역(d)를 구비할 수 있다. 이에 따라, 광이 상기 제2 소오스(270)에 입사하는 경우, 상기 제2 소오스(270)는 상기 광을 반사시켜 상기 활성층(240)에 광이 도달하는 것을 억제할 수 있다. 이에 따라, 상기 박막 트랜지스터는 광에 의한 문턱전압의 변동을 억제할 수 있다.

[0049] 도 4a 내지 도 4f는 본 발명의 일 실시예에 따른 박막 트랜지스터의 제조 방법을 설명하는 단면도들이다.

[0050] 도 4a 내지 도 4f를 참조하면, 박막 트랜지스터(200)의 제조 방법은, 기판(110) 상에 게이트 전극(120)을 형성하는 단계; 상기 게이트 전극을 덮도록 게이트 절연막(130)을 형성하는 단계; 상기 게이트 절연막 상에 배치되고 서로 이격되어 배치된 제1 소오스(250) 및 드레인(252)을 형성하는 단계; 상기 제1 소오스(250) 및 상기 드레인(252) 사이의 공간을 채우고 상기 제1 소오스(250)의 일부를 덮고 상기 드레인(252)의 일부를 덮도록 활성층(240)을 형성하는 단계; 상기 활성층(240)을 덮도록 상부 절연막(260)을 형성하는 단계; 및 상기 제1 소오스(250)과 접촉하고 상기 상부 절연막(260)의 일부를 덮도록 제2 소오스(270)를 형성하는 단계를 포함한다.

[0051] 도 4a를 참조하면, 기판(110) 상에 게이트 전극(120)이 패터닝된다. 상기 기판(110)은 유리 기판일 수 있다. 상기 게이트 전극(120)은 알루미늄, 또는 몰리브덴일 수 있다. 상기 게이트 전극(120)은 포토리소그래피 공정과 이방성 플라즈마 식각 공정을 통하여 수행될 수 있다.

[0052] 도 4b를 참조하면, 상기 게이트 전극(120)이 형성된 기판(110) 상에 게이트 절연막(130)이 형성될 수 있다. 상기 게이트 절연막(130)은 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중에서 적어도 하나를 포함할 수 있다. 상기 게이트 절연막(130)은 화학 기상 증착법으로 형성될 수 있다.

[0053] 도 4c를 참조하면, 상기 게이트 절연막(130) 상에 제1 소오스(250) 및 드레인(252)이 이 형성될 수 있다. 상기 제1 소오스(250)와 상기 드레인(252)은 상기 게이트 절연막(130) 상에서 상기 게이트 전극(120)을 기준으로 서로 이격되어 배치될 수 있다. 상기 제1 소오스(250)와 상기 드레인(252) 사이의 간격은 상기 게이트 전극(120)의 폭보다 작을 수 있다. 이에 따라, 채널이 안정적으로 형성될 수 있다. 상기 제1 소오스(250)는 접지되고, 상기 드레인(252)은 드레인 전압으로 유지될 수 있다. 상기 게이트 전극에 인가되는 게이트 전압에 따라 채널이 턴온 또는 턴오프될 수 있다. 상기 제1 소오스(250)와 상기 드레인(252)은 알루미늄, 또는 몰리브덴일 수 있다.

[0054] 도 4d를 참조하면, 상기 제1 소오스(250) 및 상기 드레인(252) 사이의 공간을 채우고 상기 제1 소오스(250)의 일부를 덮고 상기 드레인(252)의 일부를 덮도록 활성층(240)이 형성될 수 있다. 상기 활성층(240)은 비정질 실리콘, 폴리 실리콘, IGZO (In-Ga-Zn-Oxide), 또는 ZnO일 수 있다. 상기 비정질 실리콘은 플라즈마 도움 화학 기상 증착법으로 형성될 수 있다. 상기 폴리 실리콘은 비정질 실리콘을 레이저 조사에 의하여 다결정화될 수 있다. 상기 활성층(240)은 패터닝될 수 있다. 상기 활성층(240)은 이온 주입 공정을 통하여 도핑될 수 있다. 이에 따라, 상기 제1 소오스(250)와 접촉하는 활성층 및 상기 드레인(252)과 접촉하는 활성층은 고농도의 불순물로 도핑될 수 있다.

[0055] 도 4e를 참조하면, 상기 활성층(240)이 형성된 기판 상에 상부 절연막(260)이 형성된다. 상기 상부 절연막(260)은 상기 활성층(240)의 상부면 및 측면을 덮을 수 있다. 상기 상부 절연막(260)의 두께와 유전율은 채널의 형

상을 조절할 수 있다. 상기 상부 절연막(260)은 실리콘 산화막 또는 실리콘 질화막일 수 있다.

[0056] 도 4f를 참조하면, 제2 소오스(270)가 상기 제1 소오스(250)와 접촉하고 상기 상부 절연막(260)의 일부를 덮도록 형성될 수 있다. 상기 제2 소오스(270)는 상기 드레인(252)과 중첩되는 영역을 구비할 수 있다. 상기 제2 소오스(270)는 상기 제1 소오스(250)와 상기 드레인(252) 사이의 영역을 덮을 수 있다. 상기 제2 소오스(270)는 상기 제1 소오스와 동일한 물질로 형성될 수 있다.

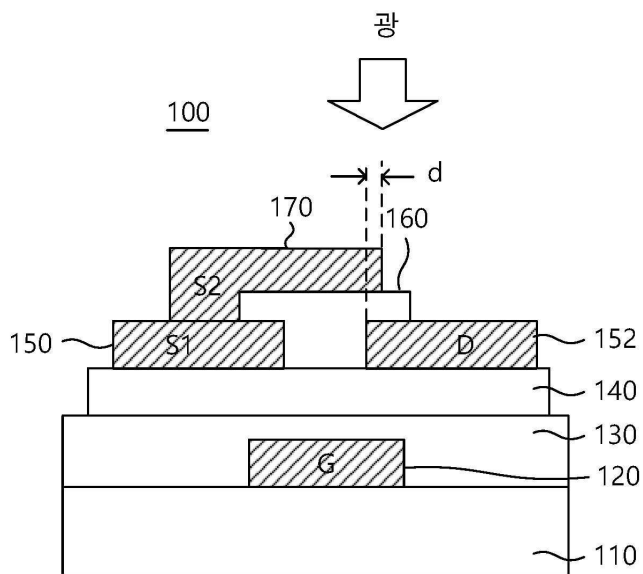
[0057] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

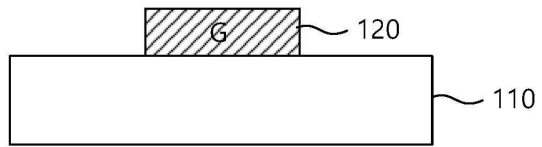
[0058] 110: 기판
120: 게이트 전극
130: 게이트 절연막
140: 활성층
150: 제1 소오스
152: 드레인
160: 상부 절연막
170: 제2 소오스

도면

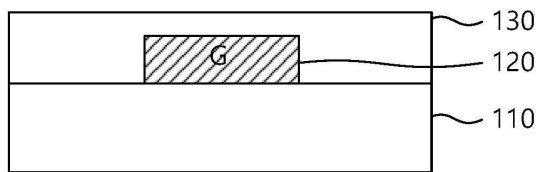
도면1



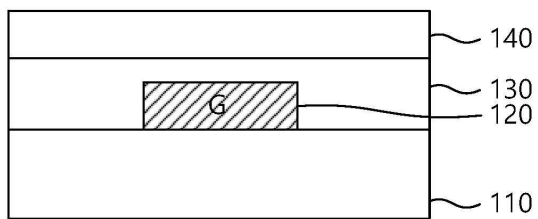
도면2a



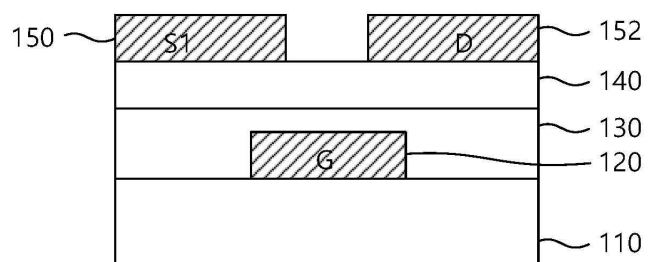
도면2b



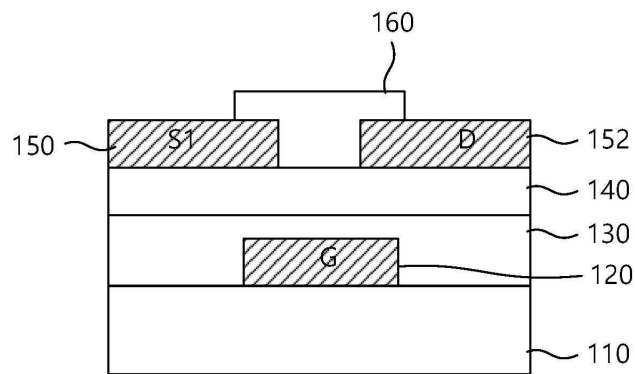
도면2c



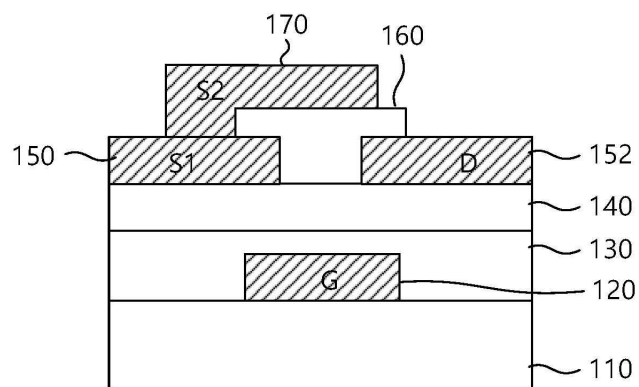
도면2d



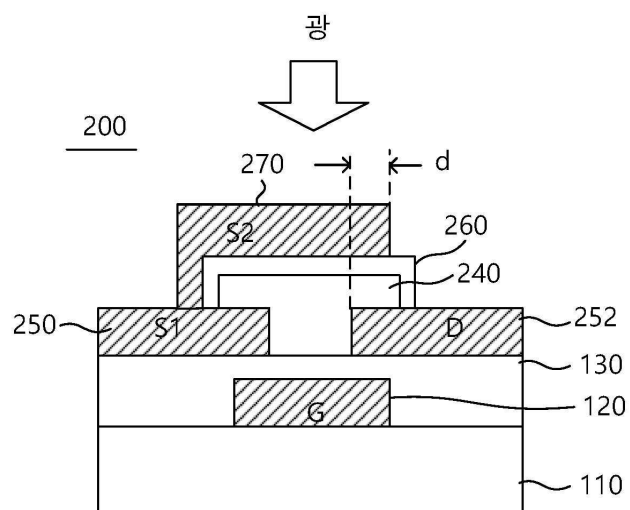
도면2e



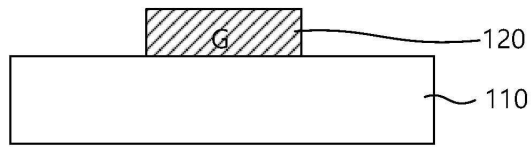
도면 2f



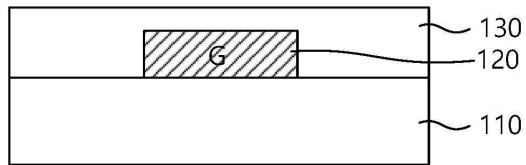
도면3



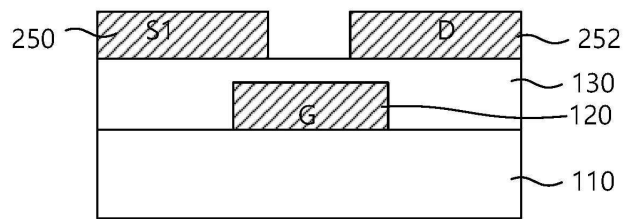
도면4a



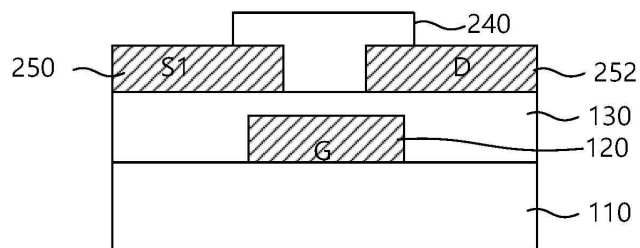
도면4b



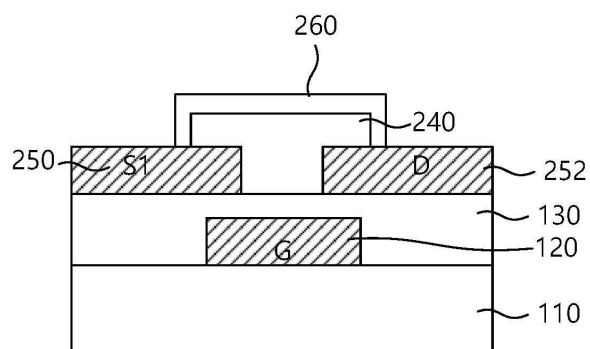
도면4c



도면4d



도면4e



도면4f

