



(12)发明专利

(10)授权公告号 CN 104183537 B

(45)授权公告日 2017.05.10

(21)申请号 201310190106.8

(22)申请日 2013.05.21

(65)同一申请的已公布的文献号

申请公布号 CN 104183537 A

(43)申请公布日 2014.12.03

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 邓浩

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 21/768(2006.01)

(56)对比文件

CN 101132023 A,2008.02.27,

US 2012/0068315 A1,2012.03.22,

US 2012/0156890 A1,2012.06.21,

审查员 刘晓华

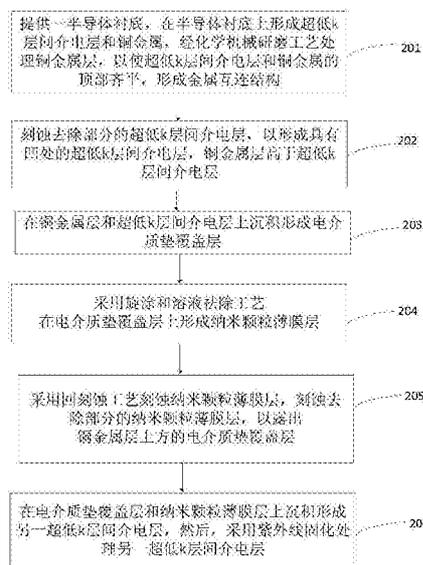
权利要求书1页 说明书5页 附图3页

(54)发明名称

一种制作半导体器件的方法

(57)摘要

本发明公开了一种制作半导体器件的方法,包括下列步骤,提供半导体衬底;在所述半导体衬底上形成第一超低k层间介电层和金属互连结构;刻蚀去除部分的所述第一超低k层间介电层,以使所述金属互连结构的顶部高于所述第一超低k层间介电层;在所述金属互连结构和所述第一超低k层间介电层上依次形成垫覆盖层和纳米颗粒薄膜层;去除部分的所述纳米颗粒薄膜层,以露出所述金属互连结构上方的所述垫覆盖层;在所述垫覆盖层和所述纳米颗粒薄膜层上形成第二超低k层间介电层;采用紫外线固化处理所述第二超低k层间介电层。根据本发明的制造工艺在金属互连结构上形成具有双应力的垫覆盖层,以避免在采用紫外线固化处理超低k介质层时产生较弱的电介质垫覆盖层接触面以及引起超低k层间介电层的力学失效,同时也避免了在界面处的铜传输和原子空洞的问题。



1. 一种制作半导体器件的方法,包括:
提供半导体衬底;
在所述半导体衬底上形成第一超低k层间介电层和金属互连结构;
刻蚀去除部分的所述第一超低k层间介电层,以使所述金属互连结构的顶部高于所述第一超低k层间介电层;
在所述金属互连结构和所述第一超低k层间介电层上依次形成垫覆盖层和纳米颗粒薄膜层;
去除部分的所述纳米颗粒薄膜层,以露出所述金属互连结构上方的所述垫覆盖层;
在所述垫覆盖层和所述纳米颗粒薄膜层上形成第二超低k层间介电层;
采用紫外线固化处理所述第二超低k层间介电层。
2. 如权利要求1所述的方法,其特征在于,刻蚀所述第一超低k层间介电层的方法为反应离子刻蚀。
3. 如权利要求1所述的方法,其特征在于,形成所述纳米颗粒薄膜层的方法包括旋涂含有所述纳米颗粒的溶液和采用溶液祛除工艺除去所述溶液中的溶剂。
4. 如权利要求1所述的方法,其特征在于,所述纳米颗粒薄膜层中的纳米颗粒为金属氧化物颗粒。
5. 如权利要求4所述的方法,其特征在于,所述金属氧化物为氧化锌或者氧化钛。
6. 如权利要求3所述的方法,其特征在于,所述溶剂为醇溶液。
7. 如权利要求6所述的方法,其特征在于,所述醇溶液为甲醇、乙醇、丙醇或者高级醇。
8. 如权利要求1所述的方法,其特征在于,去除部分的所述纳米颗粒薄膜层的方法为反应离子刻蚀。
9. 如权利要求1所述的方法,其特征在于,经所述紫外线固化处理之后的所述金属互连结构上方的垫覆盖层具有拉应力。
10. 如权利要求1所述的方法,其特征在于,所述垫覆盖层为具有压应力的氮化碳化硅。

一种制作半导体器件的方法

技术领域

[0001] 本发明涉及半导体制造工艺,尤其涉及一种制作半导体器件的方法。

背景技术

[0002] 随着半导体制造技术越来越精密,集成电路也发生着重大的变革,集成在同一芯片上的元器件数量已从最初的几十、几百个增加到现在的数以百万个。为了达到复杂度和电路密度的要求,半导体集成电路芯片的制作工艺利用批量处理技术,在衬底上形成各种类型的复杂器件,并将其互相连接以具有完整的电子功能,目前大多采用在导线之间以超低k层间介电层作为隔离各金属内连线的介电材料,互连结构用于提供在IC芯片上的器件和整个封装之间的布线。在该技术中,在半导体衬底表面首先形成例如场效应晶体管(FET)的器件,然后在BEOL(集成电路制造后段制程)中形成互连结构。

[0003] 正如摩尔定律所预测的,半导体衬底尺寸的不断缩小,以及为了提高器件的性能在半导体衬底上形成了更多的晶体管,采用互连结构来连接晶体管是必然的选择。然而相对于元器件的微型化和集成度的增加,电路中导体连线数目不断的增多,使得导体连线架构中的电阻及电容所产生的寄生效应,造成了严重的传输延迟(RC Delay),为了减少RC延迟,采用超低k介电材料作为介电层。然而,超低k(ULK,ultra low-k)介电材料的空隙不断的增大,以及工艺集成过程中可能造成薄膜损伤。超低k介电材料的材料密度和k值随着材料的孔隙率的增加而降低。当孔隙率增加时,发生孔合并的几率会增加,此外,孔的连通增加了大孔的形成几率,反过来会在铜阻挡层等比例微缩时损害台阶覆盖。最终,孔的连通还会为气体污染物、湿气、湿法清洗化学品、化学机械平坦化(CMP)浆料和用于阻挡层淀积的原子层淀积(ALD)前驱体提供扩散通道,因此需要采用紫外线辐射(UV radiation)对其加以控制。在现有技术中,当采用紫外线固化处理超低k介电材料时,紫外辐射会通过超低k介电材料辐射到超低k介电材料层下方的垫覆盖层,同时紫外辐射导致该垫覆盖层的极性从压应力改变为拉应力。这将导致较弱的垫覆盖层的接触面以及引起超低k层间介电层的力学失效(mechanical failure)。

[0004] 同时,不断缩小的半导体器件的尺寸,以及在半导体衬底上由金属铜和超低k层间介电层构成的互连结构所产生的器件的可靠性问题和复杂的制作工艺已成为目前研究的重点。在半导体互连结构中电迁移(EM,electro migration)是重要的金属失效机理。在金属铜层和超低k层间介电层的界面处的电迁移失效能够引起超大规模集成电路的可靠性问题。在互连结构中的铜金属层上沉积拉应力垫覆盖层可以产生抗电迁移效应以避免金属失效,同时还可以解决在金属铜层/超低k层间介电层的界面处铜原子传输和铜原子空洞的问题。

[0005] 因此,随着半导体工艺水平的不断提高,双应力衬垫(DSL,Dual Stress Liner)技术得到了广泛的应用。采用双应力衬垫技术在互连结构上形成双应力垫覆盖层,在互连结构的超低k层间介电层上形成压应力垫覆盖层(compressive stress liner),在互连结构的铜金属层上形成拉应力垫覆盖层(tensile stress liner),可以为器件提供更好的附着

性、较低的有效电容和抗电迁移,以提高器件的可靠性和良品率。

[0006] 因此,提出了一种在集成电路制造后段制程中在金属互连结构上形成双应力电介质垫覆盖层的方法,以提高器件的可靠性和良品率。

发明内容

[0007] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0008] 为了解决现有技术中存在的问题,本发明提出了一种制作半导体器件的方法,包括下列步骤,提供半导体衬底;在所述半导体衬底上形成第一超低k层间介电层和金属互连结构;刻蚀去除部分的所述第一超低k层间介电层,以使所述金属互连结构的顶部高于所述第一超低k层间介电层;在所述金属互连结构和所述第一超低k层间介电层上依次形成垫覆盖层和纳米颗粒薄膜层;去除部分的所述纳米颗粒薄膜层,以露出所述金属互连结构上方的所述垫覆盖层;在所述垫覆盖层和所述纳米颗粒薄膜层上形成第二超低k层间介电层;采用紫外线固化处理所述第二超低k层间介电层。

[0009] 优选地,刻蚀所述第一超低k层间介电层的方法为反应离子刻蚀。

[0010] 优选地,形成所述纳米颗粒薄膜层的方法包括旋涂含有所述纳米颗粒的溶液和采用溶液祛除工艺除去所述溶液中的溶剂。

[0011] 优选地,所述纳米颗粒薄膜层中的纳米颗粒为金属氧化物颗粒。

[0012] 优选地,所述金属氧化物为氧化锌或者氧化钛。

[0013] 优选地,所述溶剂为醇溶液。

[0014] 优选地,所述醇溶液为甲醇、乙醇、丙醇或者高级醇。

[0015] 优选地,刻蚀所述纳米颗粒薄膜层的方法为反应离子刻蚀。

[0016] 优选地,经所述紫外线固化处理之后的所述金属互连结构上方的垫覆盖层具有拉应力。

[0017] 优选地,所述垫覆盖层为具有压应力的氮化碳化硅。

[0018] 综上所述,根据本发明的制造工艺在金属互连结构上形成双应力电介质垫覆盖层,以避免在采用紫外线固化处理超低k介质层时产生较弱的电介质垫覆盖层接触面以及引起超低k层间介电层的力学失效,同时也避免了在界面处的铜传输和原子空洞的问题。

附图说明

[0019] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。在附图中,

[0020] 图1A-1F为根据本发明一个实施方式制作互连结构的相关步骤所获得的器件的剖视图;

[0021] 图2为根据本发明另一个实施方式制作互连结构的工艺流程图。

具体实施方式

[0022] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然

而,对于本领域技术人员来说显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0023] 为了彻底了解本发明,将在下列的描述中提出详细的步骤,以便说明本发明提出了一种在互连结构上形成双应力垫覆盖层的方法,以提高在集成电路制造后段制程中的电迁移率。显然本发明的较佳实施例详细的描述如下,然而去除这些详细描述外,本发明还可以具有其他实施方式。

[0024] 为了提高在集成电路制造后段制程中的电迁移率,本发明提出了一种在互连结构上形成双应力垫覆盖层的方法。参照图1A至图1F,示出根据本发明一个方面的实施例的相关步骤的剖视图。

[0025] 如图1A所示,提供半导体衬底100,半导体衬底100可包括任何半导体材料,此半导体材料可包括但不限于:Si、SiC、SiGe、SiGeC、Ge合金、GeAs、InAs、InP,以及其它III-V或II-VI族化合物半导体。半导体衬底100包括各种隔离结构,例如浅沟槽绝缘。半导体衬底100还可以包括有机半导体或者如Si/SiGe、绝缘体上硅(SOI)、或者绝缘体上SiGe(SGDI)的分层半导体。在半导体衬底100上沉积形成刻蚀停止层101,其材料为含碳的氮化硅(NDC),制备的方法可选用化学气相沉积(CVD)。作为一个实例,在进行化学气相沉积时,功率为200~400W,加热使腔体内的温度至300~400℃,腔体内的压力为2~5Torr,采用的三甲基硅烷(3MS)或者四甲基硅烷(4MS)的气体流量为100~200立方厘米/分钟(sccm),He的气体流量为350~450立方厘米/分钟(sccm),NH₃气体流量为300~500立方厘米/分钟(sccm),沉积时间持续3s。然后,在刻蚀停止层101上沉积形成超低k层间介电层102,其介电常数k小于2,通常采用化学气相旋涂工艺(SOG)、甩胶技术或化学气相沉积技术制备,其材料可以为硅玻璃(FSG)、氧化硅(silicon oxide)、含碳材料、孔洞性材料(porous-like material)或相似物。作为一个实例,超低k层间介电层102为孔洞性材料包含有致孔剂,致孔剂可以是任何合适产生孔的材料,致孔剂材料可以是碳氢化合物、含有抗蚀剂的丙烯酸盐(丙烯酸酯)族的聚合物、氟化的聚合物等。可以在熔炉中或者通过其他工艺实施固化,例如紫外线固化、快速热固化、闪光灯固化、激光固化等。在刻蚀停止层101上超低k层间介电层102中依次形成有扩散阻挡层(未示出)和铜金属层103,其中扩散阻挡层的制备方法可选用物理气相沉积(PVD),阻挡层可于介于-40℃~400℃的温度与约介于0.1毫托(mTorr)~100毫托(mTorr)的压力下形成。扩散阻挡层材料为金属或金属化合物层的材质例如钽、氮化钽、钛、氮化钛、氮化锆、氮化钛锆、钨、氮化钨、其合金或其组成物。此外,扩散阻挡层亦可能包括多个膜层。优选在扩散阻挡层上先形成一层钴(Co)增强层(enhancement layer)(未示出)然后再形成铜晶种层(未示出)。钴增强层能够提高铜互连的电迁移耐力,同时可以有效地加强在较小几何沟槽/结构中的铜填充能力。制备钴层的方法可选用化学气相沉积(CVD),层厚度约为1.5nm。铜晶种层的制备方法可以选用物理气相沉积(PVD)。在铜晶种层上使用电化学电镀的方法形成铜金属层103,通过对有机物和无机物水浴成分和补给的即时分析可以维持稳定的电镀工艺,其中优选的铜电镀化学添加剂和电流波形可以完成对0.07um~0.1um的间隙填充。接着,采用化学机械研磨(CMP)处理铜金属层103,以去除多余的铜金属层,直到露出超低k层间介电层102,使铜金属层103与超低k层间介电层的顶部齐平则停止化学机械研磨。

[0026] 如图1B所示,在铜金属层103的两侧刻蚀超低k层间介电层102,在超低k层间介电层中形成凹处(recess)使铜金属层103高于低k介电层102。可以采用干法刻蚀去部分超低k层间介电层,干法蚀刻工艺包括但不限于:反应离子蚀刻(RIE)、离子束蚀刻、等离子体蚀刻或者激光切割。最好通过一个或者多个RIE步骤进行干法蚀刻。在采用干法刻蚀去除部分超低k层间介电层之后,可执行一软湿法清洗(soft WET)步骤以去除残余物。或者,可以采用湿法刻蚀去除部分超低k层间介电层,湿蚀刻法能够采用氢氟酸溶液,例如缓冲氧化物蚀刻剂或氢氟酸缓冲溶液。刻蚀方法优选采用反应离子蚀刻或者湿法刻蚀。

[0027] 如图1C所示,在超低k层间介电层102和铜金属层103上形成电介质垫覆盖层104,其材料为非晶氮化碳化硅,垫覆盖层104具有压应力。可以防止铜扩散到周围的超低k层间介电层,垫覆盖层的粘合性、物理性能和电气性能对下面超低k层间介电层和金属层的气密性、内应力性和弹性模量等性能和可靠性是非常重要的。作为一个实例,非晶氮化碳化硅具有压应力,厚度范围为100埃~500埃。具有压应力的垫覆盖层具有良好的附着力、抑制铜的扩散并提供较强的机械结构,还具有较高的击穿电压、良好的气密性和钝化铜金属层。当采用紫外线辐射电介质层垫覆盖层时,使其的机械应力状态发生变化,即从压应力变为拉应力。

[0028] 如图1D所示,在电介质垫覆盖层104上形成纳米颗粒薄膜层105。纳米颗粒薄膜中的颗粒直径范围为1nm~4nm,最高可以吸收375nm的紫外线辐射。纳米颗粒薄膜层105的制备方法包括旋涂(spin)含有所述纳米颗粒的溶液和采用溶液祛除工艺(solution driven-out)除去所述溶液中的溶剂,纳米颗粒薄膜层为单分子层。纳米颗粒是由金属氧化物组成的,其包括氧化锌、氧化钛。氧化锌和氧化钛可以在不同类型的溶剂(醇溶液)中合成,所述醇溶液包括甲醇、乙醇、丙醇或者高级醇。在形成纳米颗粒的过程中,可以调整纳米颗粒的尺寸,以达到有效地吸收紫外线辐射。在垫覆盖层104上形成的纳米颗粒薄膜层105,其目的是吸收紫外线辐射以保护垫覆盖层,避免垫覆盖层内部应力从压应力经紫外线辐射后变为拉应力。

[0029] 如图1E所示,采用回刻蚀(etch-back)工艺刻蚀纳米颗粒薄膜层105,以露出电介质垫覆盖层104,使铜金属层上方电介质垫覆盖层104和纳米颗粒薄膜层105的顶部齐平。其中,所述回蚀刻工艺可以为但不限制于利用反应性离子刻蚀,刻蚀采用的气体可以为氯等离子体,回蚀刻上述纳米颗粒薄膜材料。作为一个实例,以采用氯等离子体(CL plasma)作为刻蚀气体对纳米颗粒薄膜进行反应性离子刻蚀,气体的流量为315~385立方厘米/分钟(sccm),反应室内压力可为5~10毫托(mTorr),功率为900W~1100W,刻蚀的时间为5s~10s。或者,将上述半导体结构浸泡在回蚀刻溶液中,回蚀刻处理的温度范围为25~60℃,回蚀刻处理的时间范围为30秒~300秒。

[0030] 如图1F所示,在电介质垫覆盖层104和纳米颗粒薄膜层105上形成超低k层间介电层106,其介电常数k小于2,通常采用化学气相旋涂工艺(SOG)、甩胶技术或化学气相沉积技术制备,其材料可以为硅玻璃(FSG)、氧化硅(silicon oxide)、含碳材料、孔洞性材料(porous-like material)或相似物。作为一个实例,超低k层间介电层106为孔洞性材料包含有致孔剂,致孔剂可以是任何合适产生孔的材料,致孔剂材料可以是碳氢化合物、含有抗蚀剂的丙烯酸盐(丙烯酸酯)族的聚合物、氟化的聚合物等。可以在熔炉中或者通过其他工艺实施固化,例如紫外线固化、快速热固化、闪光灯固化、激光固化等。接着采用紫外光固化

处理超低k层间介电层材料,优选地,在真空反应室中进行紫外光固化工艺,保证真空反应室的压强为5毫托(mTorr)~19毫托(mTorr),采用紫外光强度为20~300mW/cm²,照射温度范围为350~480℃,照射时间为4~7分钟,同时施加一定的反应气体,反应气体的流量通常为100~1,000立方厘米/分钟(sccm),反应气体可以是含有O₂或者O₃的等离子气体。紫外光固化处理之后,在纳米颗粒薄膜层105下方的电介质垫覆盖层没有受到紫外线的辐射,其应力状态仍为压应力;在铜金属层上方的电介质垫覆盖层没有纳米颗粒薄膜层的保护,其应力状态从压应力变为拉应力。最终,在铜互连结构上形成双应力垫覆盖层。

[0031] 参照图2,示出了根据本发明一个实施方式制作互连结构的工艺流程图,用于简要示出整个制造工艺的流程。

[0032] 在步骤201中,提供一半导体衬底,在半导体衬底上形成超低k层间介电层和铜金属层,经化学机械研磨工艺处理铜金属层,以使超低k层间介电层和铜金属的顶部齐平,形成互连结构。

[0033] 在步骤202中,刻蚀去除部分的超低k层间介电层,以形成具有凹处的超低k层间介电层,铜金属层高于超低k层间介电层。

[0034] 在步骤203中,在铜金属层和超低k层间介电层上沉积形成电介质垫覆盖层。

[0035] 在步骤204中,采用旋涂和溶液祛除工艺在电介质垫覆盖层上形成纳米颗粒薄膜层。

[0036] 在步骤205中,采用回刻蚀工艺刻蚀纳米颗粒薄膜层,刻蚀去除部分的纳米颗粒薄膜层,以露出铜金属层上方的电介质垫覆盖层,电介质垫覆盖层和纳米颗粒薄膜层的顶部齐平。

[0037] 在步骤206中,在电介质垫覆盖层和纳米颗粒薄膜层上沉积形成另一超低k层间介电层,然后,采用紫外线固化处理所述另一超低k层间介电层。

[0038] 综上所述,根据本发明的制造工艺在铜互连结构上形成双应力电介质垫覆盖层,以避免在采用紫外线固化处理超低k介质层时产生较弱的电介质垫覆盖层接触面以及引起低k层间介电层的力学失效,同时也避免了在界面处的铜原子传输和原子空洞的问题。

[0039] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。

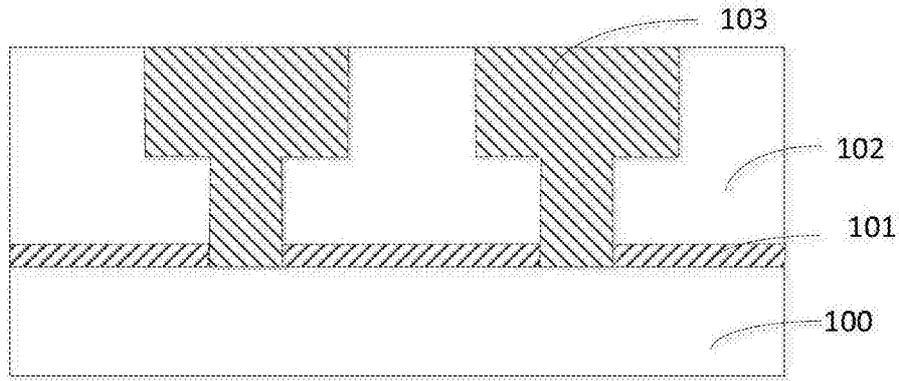


图1A

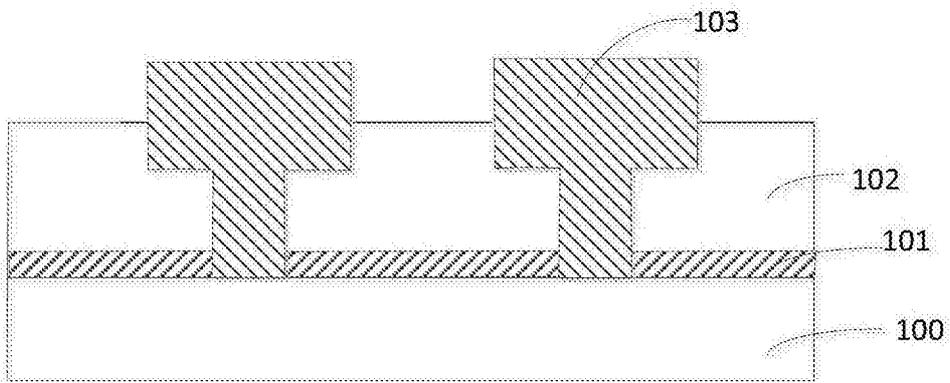


图1B

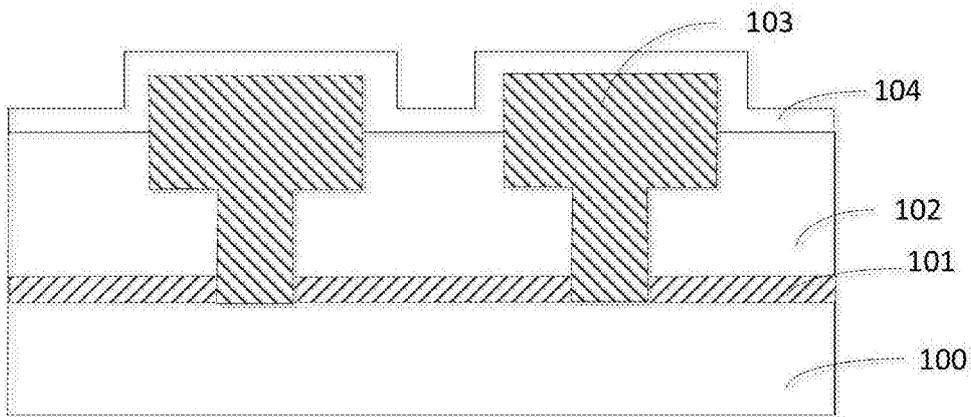


图1C

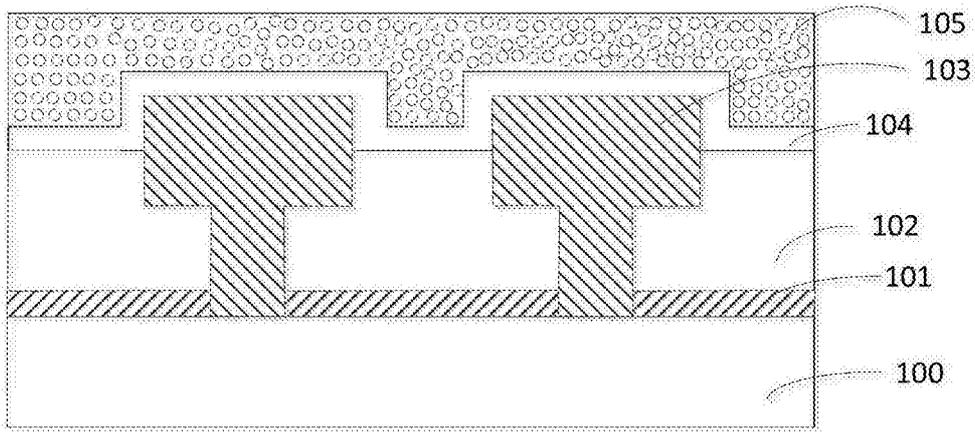


图1D

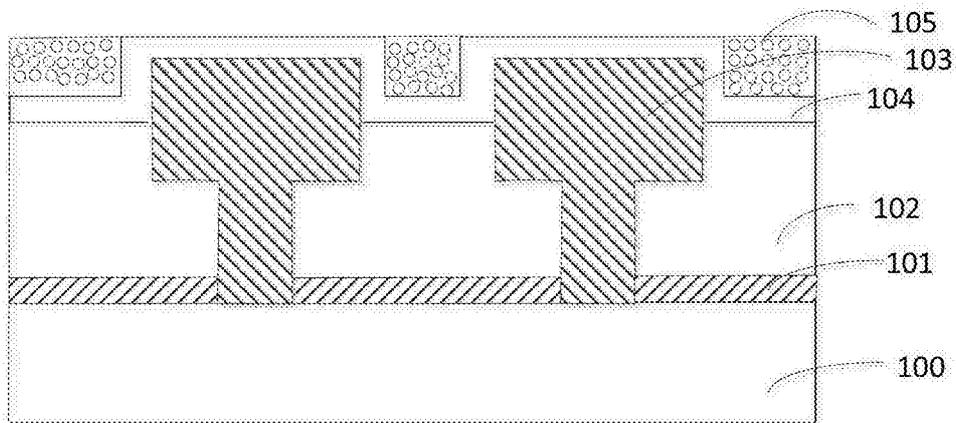


图1E

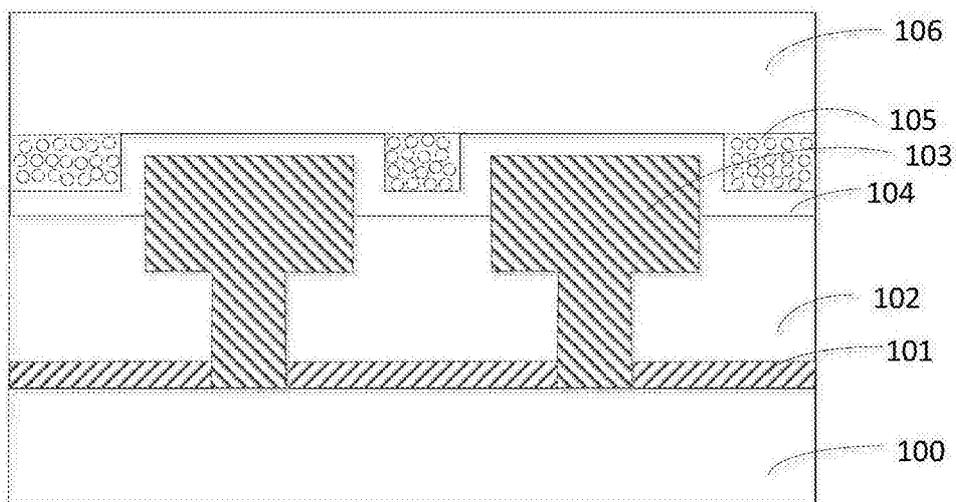


图1F

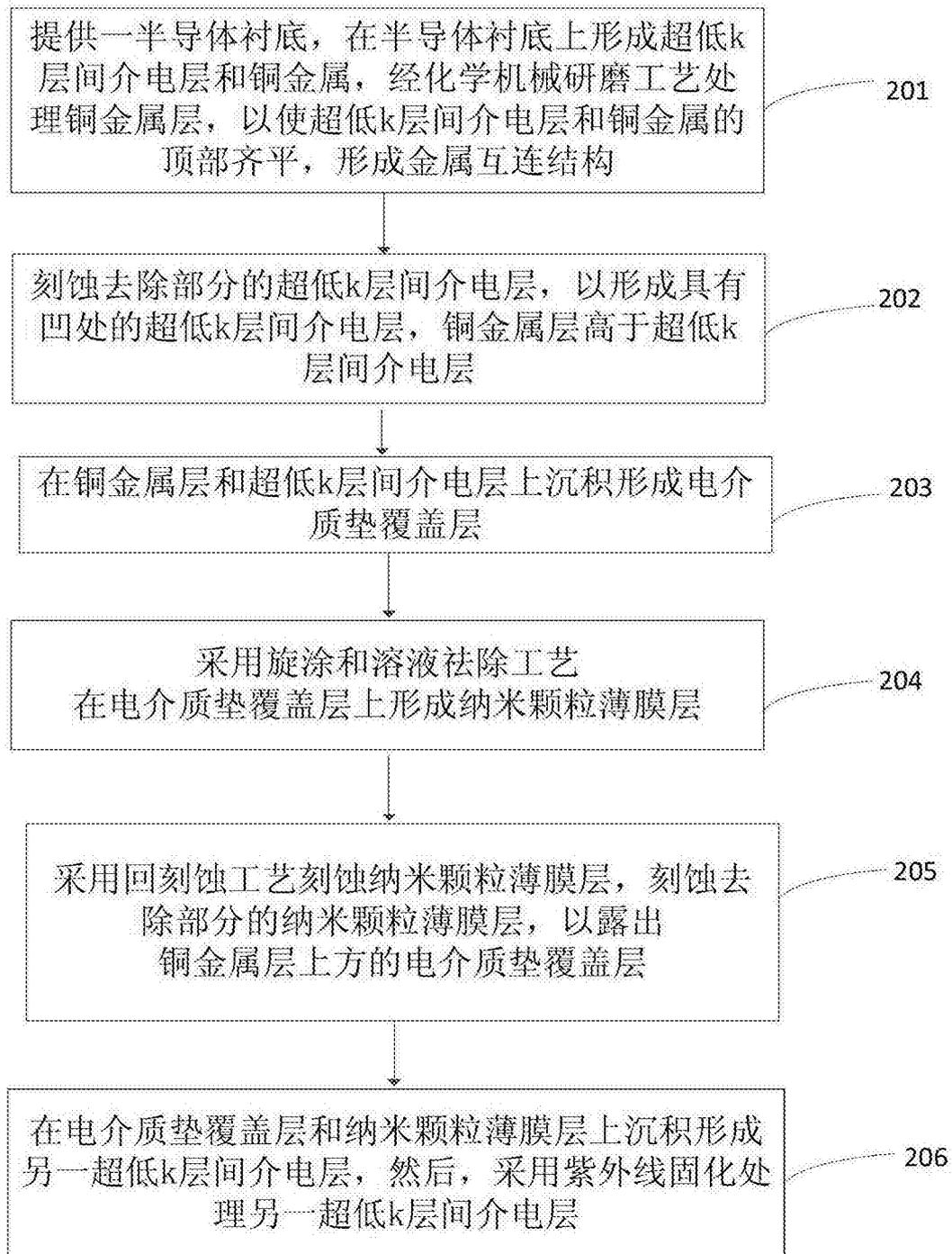


图2