(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 108564982 A
(43)申请公布日 2018.09.21

(21)申请号 201810266730.4

(22)申请日 2018.03.28

(71)申请人 睿力集成电路有限公司
地址 230000 安徽省合肥市经济技术开发区翠微路6号海恒大厦526室

(72)发明人 不公告发明人

(74)专利代理机构 北京市铸成律师事务所 11313
代理人 张臻贤 武晨燕

(51)Int.Cl.
G11C 29/18(2006.01)
G11C 29/56(2006.01)

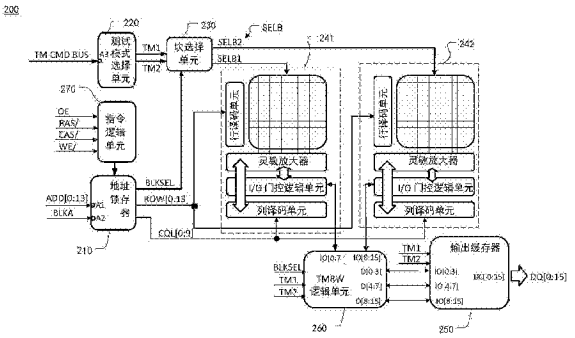
权利要求书3页 说明书11页 附图6页

(54)发明名称

存储器装置及用于其的测试电路

(57)摘要

本发明至少提供一种存储器装置，其中，地址锁存器可根据块选择使能信号输出块选择控制信号；测试模式选择单元可根据测试模式选择指令信号输出测试模式选择信号；块选择单元根据模式选择信号和块选择使能信号输出块选择信号；当根据块选择信号使能第一存储模块时，第一存储模块输出第一输入输出数据；当根据块选择信号使能第二存储模块时，第二存储模块输出第二输入输出数据；当存储器根据测试模式选择信号进入第一测试模式时，输出缓存器将部分输入输出端口置于禁用状态，并将第一输入输出数据和第二输入输出数据先后从未禁用的输入输出端口输出。本发明的存储器装置可以减少占用测试机台的输入输出端口。



CN 108564982 A

1.一种存储器装置,其特征在于,包括:

地址锁存器,具有地址信号输入端和块选择使能信号输入端,分别用于接收地址信号和块选择使能信号,所述地址锁存器输出地址控制信号和块选择控制信号;

测试模式选择单元,具有测试模式选择指令输入端,用于接收测试模式选择指令信号,所述测试模式选择单元根据所述测试模式选择指令信号输出测试模式选择信号;

块选择单元,连接于所述地址锁存器和所述测试模式选择单元,所述块选择单元用于根据所述块选择控制信号和所述测试模式选择信号输出块选择信号;

第一存储模块,连接于所述块选择单元和所述地址锁存器,当根据所述块选择信号使能所述第一存储模块时,所述第一存储模块将所述地址控制信号译码并输出第一输入输出数据;

第二存储模块,连接于所述块选择单元和所述地址锁存器,当根据所述块选择信号使能所述第二存储模块时,所述第二存储模块将所述地址控制信号译码并输出第二输入输出数据;以及

输出缓存器,具有多个输入输出端口,所述输出缓存器连接于所述测试模式选择单元,并连接于所述第一存储模块和所述第二存储模块,当所述存储器装置根据所述测试模式选择信号进入第一测试模式时,所述输出缓存器将部分输入输出端口置于禁用状态,并将所述第一输入输出数据和所述第二输入输出数据先后从未禁用的输入输出端口输出。

2.根据权利要求1所述的存储器装置,其特征在于,所述存储器装置还包括:

测试模式读写逻辑单元,连接于所述第一存储模块与所述输出缓存器之间,以及所述第二存储模块与所述输出缓存器之间,并连接于所述地址锁存器和所述测试模式选择单元,用于根据所述块选择控制信号和所述测试模式选择信号对所述第一输入输出数据和所述第二输入输出数据进行逻辑处理,以得到逻辑处理结果;

其中,当所述存储器装置根据所述测试模式选择信号进入第二测试模式时,所述输出缓存器将部分输入输出端口置于禁用状态,并将所述逻辑处理结果从未禁用的输入输出端口输出。

3.根据权利要求2所述的存储器装置,其特征在于,所述第二测试模式包括第一测试子模式和第二测试子模式;

当所述存储器装置根据所述测试模式选择信号进入第一测试子模式时,所述测试模式读写逻辑单元用于将所述第一输入输出数据和所述第二输入输出数据与期望数据执行逻辑异或处理,得到第一逻辑处理结果;

当所述存储器装置根据所述测试模式选择信号进入第二测试子模式时,所述测试模式读写逻辑单元用于对所述第一输入输出数据和所述第二输入输出数据执行逻辑异或处理,得到第二逻辑处理结果。

4.根据权利要求3所述的存储器装置,其特征在于,所述测试模式读写逻辑单元包括:

寄存器,用于输出期望数据;

第一数据比较器,连接于所述寄存器、所述第一存储模块以及所述第二存储模块,用于将所述第一输入输出数据和所述第二输入输出数据与所述期望数据执行逻辑异或处理,得到所述第一逻辑处理结果;

第二数据比较器,连接于所述第一存储模块以及所述第二存储模块,用于将所述第一

输入输出数据与所述第二输入输出数据执行逻辑异或，得到所述第二逻辑处理结果；以及

多路选择器，所述多路选择器的输入端连接于所述第一数据比较器、所述第二数据比较器以及所述测试模式选择单元，所述多路选择器的输出端连接于所述输出缓存器，所述多路选择器用于在所述测试模式选择信号的控制下输出所述第一逻辑处理结果和所述第二逻辑处理结果的任一者。

5.根据权利要求2所述的存储器装置，其特征在于，所述输出缓存器包括：

第一缓存器组，包括多个第一缓存器，所述第一缓存器的输入端连接于所述第一存储模块，多个所述第一缓存器的输出端形成第一组输入输出端口，其中，所述第一缓存器的输出端置于未禁用状态；

第二缓存器组，包括多个第二缓存器，所述第二缓存器的输入端连接于所述第一存储模块，多个所述第二缓存器的输出端形成第二组输入输出端口，其中，所述第二缓存器的输出端根据所述测试模式选择信号置于禁用状态；以及

第三缓存器组，包括多个第三缓存器，所述第三缓存器的输入端连接于所述第二存储模块，多个所述第三缓存器的输出端形成第三组输入输出端口，其中，所述第三缓存器的输出端根据所述测试模式选择信号置于禁用状态。

6.根据权利要求1所述的存储器装置，其特征在于，所述测试模式选择指令信号包括初始测试模式信号、熔丝信号和测试模式控制信号，所述初始测试模式信号来自于所述存储器装置的内部电路，所述测试模式控制信号来自于外部测试信号，并且所述测试模式控制信号的使能优先级高于所述熔丝信号，所述熔丝信号的使能优先级高于所述初始测试模式信号。

7.根据权利要求6所述的存储器装置，其特征在于，所述测试模式选择单元包括至少一个测试模式选择子单元，所述测试模式选择子单元包括：

熔丝电路，用于根据熔丝状态输出所述熔丝信号和熔丝使能信号；

第一多路选择器，具有第一输入端和第二输入端，分别用于输入所述初始测试模式信号和所述熔丝信号，所述第一多路选择器用于在所述熔丝使能信号的控制下，输出所述熔丝信号和所述初始测试模式信号的任一者；

测试模式控制单元，用于输出所述测试模式控制信号和测试模式使能信号；以及

第二多路选择器，连接于所述第一多路选择器和所述测试模式控制单元，用于在所述测试模式使能信号的控制下，将所述测试模式控制信号和所述第一多路选择器的输出信号的任一者作为所述测试模式选择信号输出。

8.根据权利要求1所述的存储器装置，其特征在于，当所述存储器装置根据所述测试模式选择信号进入第三测试模式时，所述输出缓存器将全部输入输出端口置于未禁用状态，并将所述第一输入输出数据和所述第二输入输出数据从所述全部输入输出端口输出。

9.根据权利要求1所述的存储器装置，其特征在于，所述测试模式选择信号包括第一测试模式选择信号和第二测试模式选择信号，所述块选择单元包括：

逻辑与门，连接于所述测试模式选择单元，用于将所述第一测试模式选择信号的反相信号与所述第二测试模式选择信号进行逻辑与后输出；

第一逻辑与非门，连接于所述地址锁存器和所述逻辑与门，用于将所述块选择控制信号和所述逻辑与门的输出进行逻辑与非后输出所述第一块选择信号；以及

第二逻辑与非门，连接于所述地址锁存器和所述逻辑与门，用于将所述块选择控制信号和逻辑与门的输出进行逻辑与非后输出所述第二块选择信号。

10.一种用于存储器装置的测试电路，其特征在于，包括多个如权利要求1至9任一项所述的存储器装置以及与所述存储器装置的部分输入输出端口连接的测试机台。

11.根据权利要求10所述的测试电路，其特征在于，所述测试机台包括块选择使能信号输出端，用于输出所述块选择使能信号，多个所述存储器装置的所述块选择使能信号输入端连接在一起形成第一连接点，所述第一连接点连接于所述测试机台的所述块选择使能信号输出端。

12.根据权利要求10所述的测试电路，其特征在于，所述存储器装置具有行地址选通信号端口、列地址选通信号端口、写允许信号端口，多个所述存储器装置的所述行地址选通信号端口连接在一起形成第二连接点，多个所述存储器装置的所述列地址选通信号端口连接在一起形成第三连接点，多个所述存储器装置的所述写允许信号端口连接在一起形成第四连接点，所述第二连接点、所述第三连接点以及所述第四连接点分别连接于所述测试机台的一个输入输出端口。

存储器装置及用于其的测试电路

技术领域

[0001] 本发明涉及半导体存储器领域，尤其涉及一种存储器装置及用于存储器装置的测试电路。

背景技术

[0002] 半导体存储器(Semi-Conductor Memory)是一种以半导体电路作为存储媒体的存储器，是由半导体集成电路组成。图1示出了一个16位存储器装置100的电路图，存储器装置100包括两个8位存储模块141和142，存储器装置100还包括指令逻辑单元170和地址锁存器110，指令逻辑单元170在外部信号OE、RAS/、CAS/和WE/的控制下输出内部控制信号，地址锁存器130锁存地址信号ADD[0:13]，并输出行地址信号ROW[0:13]和列地址信号COL[0:9]至存储模块141和142，存储模块141和142将行地址信号ROW[0:13]和列地址信号COL[0:9]译码并输出数据，输出缓存器151将存储模块141的数据缓存输出，输出缓存器152将存储模块142的数据缓存输出。

[0003] 图2示出了现有技术中常用的存储器装置测试电路示意图，将多个被测存储器装置100(DUT'1、DUT'2、DUT'3、DUT'4、DUT'5、DUT'6……)与测试机台10连接，其中，第1个存储器装置DUT'1的OE端口、RAS/端口、CAS/端口和WE/端口都需要分别占用测试机台10的1个输入输出端口IO1[0:3]，并且地址端口A[0:13]需要占用测试机台10的14个输入输出端口IO1[4:17]，数据端口DQ[0:15]需要占用测试机台10的16个输入输出端口IO1[18:13]，每一个存储器装置100都需要类似的连接，当有6个存储器装置时，就需要占用测试机台10的201个输入输出端口，因此，现有技术的测试电路需要占用测试机台的多个IO端口，导致测试资源的浪费和测试成本的增加。

发明内容

[0004] 本发明实施例提供一种存储器装置以及用于存储器装置的测试电路，以解决或缓解现有技术中的一项或更多项技术问题。

[0005] 作为本发明实施例的一个方面，本发明实施例提供一种存储器装置，包括：

[0006] 地址锁存器，具有地址信号输入端和块选择使能信号输入端，分别用于接收地址信号和块选择使能信号，所述地址锁存器输出地址控制信号和块选择控制信号；

[0007] 测试模式选择单元，具有测试模式选择指令输入端，用于接收测试模式选择指令信号，所述测试模式选择单元根据所述测试模式选择指令信号输出测试模式选择信号；

[0008] 块选择单元，连接于所述地址锁存器和所述测试模式选择单元，用于根据所述块选择控制信号和所述测试模式选择信号输出块选择信号；

[0009] 第一存储模块，连接于所述块选择单元和所述地址锁存器，当根据所述块选择信号使能所述第一存储模块时，所述第一存储模块将所述地址控制信号译码并输出第一输入输出数据；

[0010] 第二存储模块，连接于所述块选择单元和所述地址锁存器，当根据所述块选择信

号使能所述第二存储模块时，所述第二存储模块将所述地址控制信号译码并输出第二输入输出数据；以及

[0011] 输出缓存器，具有多个输入输出端口，所述输出缓存器连接于所述测试模式选择单元，并连接于所述第一存储模块和所述第二存储模块，当所述存储器装置根据所述测试模式选择信号进入第一测试模式时，所述输出缓存器将部分输入输出端口置于禁用状态，并将所述第一输入输出数据和所述第二输入输出数据先后从未禁用的输入输出端口输出。

[0012] 进一步地，所述存储器装置还包括：

[0013] 测试模式读写逻辑单元，连接于所述第一存储模块与所述输出缓存器之间，以及所述第二存储模块与所述输出缓存器之间，并连接于所述地址锁存器和所述测试模式选择单元，用于根据所述块选择控制信号和所述测试模式选择信号对所述第一输入输出数据和所述第二输入输出数据进行逻辑处理，以得到逻辑处理结果；

[0014] 其中，当所述存储器装置根据所述测试模式选择信号进入第二测试模式时，所述输出缓存器将部分输入输出端口置于禁用状态，并将所述逻辑处理结果从未禁用的输入输出端口输出。

[0015] 进一步地，所述第二测试模式包括第一测试子模式和第二测试子模式，

[0016] 当所述存储器装置根据所述测试模式选择信号进入第一测试子模式时，所述测试模式读写逻辑单元用于将所述第一输入输出数据和所述第二输入输出数据与期望数据执行逻辑异或处理，得到第一逻辑处理结果；

[0017] 当所述存储器装置根据所述测试模式选择信号进入第二测试子模式时，所述测试模式读写逻辑单元用于对所述第一输入输出数据和所述第二输入输出数据执行逻辑异或处理，得到第二逻辑处理结果。

[0018] 进一步地，所述测试模式读写逻辑单元包括：

[0019] 寄存器，用于输出期望数据；

[0020] 第一数据比较器，连接于所述寄存器、所述第一存储模块以及所述第二存储模块，用于将所述第一输入输出数据和所述第二输入输出数据与所述期望数据执行逻辑异或处理，得到所述第一逻辑处理结果；

[0021] 第二数据比较器，连接于所述第一存储模块以及所述第二存储模块，用于将所述第一输入输出数据与所述第二输入输出数据执行逻辑异或，得到所述第二逻辑处理结果；以及

[0022] 多路选择器，所述多路选择器的输入端连接于所述第一数据比较器、所述第二数据比较器以及所述测试模式选择单元，所述多路选择器的输出端连接于所述输出缓存器，所述多路选择器用于在所述测试模式选择信号的控制下输出所述第一逻辑处理结果和所述第二逻辑处理结果的任一者。

[0023] 进一步地，所述输出缓存器包括：

[0024] 第一缓存器组，包括多个第一缓存器，所述第一缓存器的输入端连接于所述第一存储模块，多个所述第一缓存器的输出端形成第一组输入输出端口，其中，所述第一缓存器的输出端置于未禁用状态；

[0025] 第二缓存器组，包括多个第二缓存器，所述第二缓存器的输入端连接于所述第一存储模块，多个所述第二缓存器的输出端形成第二组输入输出端口，其中，所述第二缓存器

的输出端根据所述测试模式选择信号置于禁用状态；以及

[0026] 第三缓存器组，包括多个第三缓存器，所述第三缓存器的输入端连接于所述第二存储模块，多个所述第三缓存器的输出端形成第三组输入输出端口，其中，所述第三缓存器的输出端根据所述测试模式选择信号置于禁用状态。

[0027] 进一步地，所述测试模式选择指令信号包括初始测试模式信号、熔丝信号和测试模式控制信号，所述初始测试模式信号来自于所述存储器装置的内部电路，所述测试模式控制信号来自于外部测试信号，并且所述测试模式控制信号的使能优先级高于所述熔丝信号，所述熔丝信号的使能优先级高于所述初始测试模式信号。

[0028] 进一步地，所述测试模式选择单元包括至少一个测试模式选择子单元，所述测试模式选择子单元包括：

[0029] 熔丝电路，用于根据熔丝状态输出所述熔丝信号和熔丝使能信号；

[0030] 第一多路选择器，具有第一输入端和第二输入端，分别用于输入所述初始测试模式信号和所述熔丝信号，所述第一多路选择器用于在所述熔丝使能信号的控制下，输出所述熔丝信号和所述初始测试模式信号的任一者；

[0031] 测试模式控制单元，用于输出所述测试模式控制信号和测试模式使能信号；以及

[0032] 第二多路选择器，连接于所述第一多路选择器和所述测试模式控制单元，用于在所述测试模式使能信号的控制下，将所述测试模式控制信号和所述第一多路选择器的输出信号的任一者作为所述测试模式选择信号输出。

[0033] 进一步地，当所述存储器装置根据所述测试模式选择信号进入第三测试模式时，所述输出缓存器将全部输入输出端口置于未禁用状态，并将所述第一输入输出数据和所述第二输入输出数据从所述全部输入输出端口输出。

[0034] 进一步地，所述测试模式选择信号包括第一测试模式选择信号和第二测试模式选择信号，所述块选择单元包括：

[0035] 逻辑与门，连接于所述测试模式选择单元，用于将所述第一测试模式选择信号的反相信号与所述第二测试模式选择信号进行逻辑与后输出；

[0036] 第一逻辑与非门，连接于所述地址锁存器和所述逻辑与门，用于将所述块选择控制信号和所述逻辑与门的输出进行逻辑与非后输出所述第一块选择信号；以及

[0037] 第二逻辑与非门，连接于所述地址锁存器和所述逻辑与门，用于将所述块选择控制信号和逻辑与门的输出进行逻辑与非后输出所述第二块选择信号。

[0038] 作为本发明实施例的另一个方面，本发明实施例还提供一种用于存储器装置的测试电路，包括多个以上所述的存储器装置以及与所述存储器装置的部分输入输出端口连接的测试机台。

[0039] 进一步地，所述测试机台包括块选择使能信号输出端，用于输出所述块选择使能信号，多个所述存储器装置的所述块选择使能信号输入端连接在一起形成第一连接点，所述第一连接点连接于所述测试机台的所述块选择使能信号输出端。

[0040] 进一步地，所述存储器装置具有行地址选通信号端口、列地址选通信号端口、写允许信号端口，多个所述存储器装置的所述行地址选通信号端口连接在一起形成第二连接点，多个所述存储器装置的所述列地址选通信号端口连接在一起形成第三连接点，多个所述存储器装置的所述写允许信号端口连接在一起形成第四连接点，所述第二连接点、所述

第三连接点以及所述第四连接点分别连接于所述测试机台的一个输入输出端口。

[0041] 本发明实施例采用上述技术方案，可以在对存储器装置进行测试时共享测试机台的驱动资源，减少占用测试机台的输入输出端口。

[0042] 上述概述仅仅是为了说明书的目的，并不意图以任何方式进行限制。除上述描述的示意性的方面、实施方式和特征之外，通过参考附图和以下的详细描述，本发明进一步的方面、实施方式和特征将会是容易明白的。

附图说明

[0043] 在附图中，除非另外规定，否则贯穿多个附图相同的附图标记表示相同或相似的部件或元素。这些附图不一定是按照比例绘制的。应该理解，这些附图仅描绘了根据本发明公开的一些实施方式，而不应将其视为是对本发明范围的限制。

[0044] 图1为现有技术中的存储器装置的电路图。

[0045] 图2为用于现有技术中的存储器装置的测试电路图。

[0046] 图3为本发明实施的存储器装置的电路图。

[0047] 图4为本发明实施例的存储器装置的测试模式选择单元的电路图。

[0048] 图5为本发明实施例的存储器装置的输出缓存器的电路图。

[0049] 图6为本发明实施例的存储器装置的TMRW逻辑单元的电路图。

[0050] 图7为本发明实施例的存储器装置的块选择单元的电路图。

[0051] 图8为用于本发明实施例的存储器装置的测试电路图。

[0052] 附图标记说明：

[0053] 现有技术：

[0054] 100：存储器装置； 110：地址锁存器； 141：第一存储模块；

[0055] 142：第二存储模块； 151、152：输出缓存器；

[0056] 170：指令逻辑单元； 10：测试机台。

[0057] 本发明：

[0058] 200：存储器装置；

[0059] 210：地址锁存器； 220：测试模式选择单元；

[0060] 230：块选择单元； 241：第一存储模块；

[0061] 242：第二存储模块； 250：输出缓存器；

[0062] 260：TMRW逻辑单元； 270：指令逻辑单元；

[0063] 221：第一测试模式选择子单元； 222：第二测试模式选择子单元；

[0064] 221A：第一熔丝电路； 222A：第二熔丝电路；

[0065] 221C：第一测试模式选择控制单元； 222C：第二测试模式选择控制单元；

[0066] 221B：第一多路选择器； 221D：第二多路选择器；

[0067] 222B：第三多路选择器； 222D：第四多路选择器；

[0068] 231：第一逻辑与非门； 232：第二逻辑与非门； 233：第四逻辑与门；

[0069] 251：第一缓存器组； 251A：第一缓存器； 252：第二缓存器组；

[0070] 252A：第二缓存器； 253：第三缓存器组； 253A：第三缓存器；

[0071] 254：反相器； 255：逻辑或非门； 261：第一数据比较器；

[0072] 262:第二数据比较器; 263:寄存器; 264:第五多路选择器;

[0073] 265:第一逻辑与门; 266:第二逻辑与门; 267:第三逻辑与门;

[0074] 20:测试机台。

具体实施方式

[0075] 在下文中,仅简单地描述了某些示例性实施例。正如本领域技术人员可认识到的那样,在不脱离本发明的精神或范围的情况下,可通过各种不同方式修改所描述的实施例。因此,附图和描述被认为本质上是示例性的而非限制性的。

[0076] 在本发明的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0077] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,“多个”的含义是两个或两个以上,除非另有明确具体的限定。

[0078] 在本发明中,除非另有明确的规定和限定,术语“安装”、“相连”、“连接”、“固定”等术语应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是机械连接,也可以是电连接,还可以是通信;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通或两个元件的相互作用关系。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0079] 在本发明中,除非另有明确的规定和限定,第一特征在第二特征之“上”或之“下”可以包括第一和第二特征直接接触,也可以包括第一和第二特征不是直接接触而是通过它们之间的另外的特征接触。而且,第一特征在第二特征“之上”、“方”和“上面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”包括第一特征在第二特征正上方和斜上方,或仅仅表示第一特征水平高度小于第二特征。

[0080] 下文的公开提供了许多不同的实施方式或例子用来实现本发明的不同结构。为了简化本发明的公开,下文中对特定例子的部件和设置进行描述。当然,它们仅仅为示例,并且目的不在于限制本发明。此外,本发明可以在不同例子中重复参考数字和/或参考字母,这种重复是为了简化和清楚的目的,其本身不指示所讨论各种实施方式和/或设置之间的关系。

[0081] 本发明实施例提供一种存储器装置,通过增加测试模式选择单元和块选择单元,以实现在对存储器装置进行测试时可以减少占用测试机台的输入输出端口数量,并且可以对存储器装置执行不同的测试模式。

[0082] 如图3所示为本实施例的存储器装置200,包括地址锁存器210、测试模式选择单元220、块选择单元230、第一存储模块241、第二存储模块242和输出缓存器250。

[0083] 地址锁存器210具有地址信号输入端A1和块选择使能信号输入端A2,地址信号输

入端A1接收地址信号ADD[0:13]，块选择使能信号输入端A2接收块选择使能信号BLKA，地址锁存器210根据地址信号ADD[0:13]和块选择使能信号BLKA输出块选择控制信号BLKSEL和地址控制信号，该地址控制信号包括列地址信号COL[0:9]和行地址信号ROW[0:13]。

[0084] 测试模式选择单元220具有测试模式选择指令输入端A3，测试模式选择指令输入端A3接收测试模式选择指令信号TM CMD BUS，其中，测试模式选择单元220可以一个或多个测试模式选择子单元，每个测试模式选择子单元都将根据测试模式选择指令信号TM CMD BUS输出一个测试模式选择信号，测试模式选择子单元的数量取决于所需要的测试模式的数量。

[0085] 以下实施例将以两个测试模式选择子单元进行示例说明，即测试模式选择单元220包括第一测试模式选择子单元221和第二测试模式选择子单元222，第一测试模式选择子单元221用于根据测试模式选择指令信号TM CMD BUS输出第一测试模式选择信号TM1，第二测试模式选择子单元222用于根据测试模式选择指令信号TM CMD BUS输出第二测试模式选择信号TM2。

[0086] 测试模式选择指令信号TM CMD BUS可以包括初始测试模式信号(第一初始测试模式信号default1和第二初始测试模式信号default2)、熔丝信号(第一熔丝信号Fuse1和第二熔丝信号Fuse2)、测试模式选择控制信号(第一测试模式选择控制信号TM CTRL1和第二测试模式选择控制信号TM CTRL2)。其中，初始测试模式信号来源于存储器装置200的内部电路设计，即初始测试模式信号在存储器装置200一经制造就默认生成，例如初始测试模式信号可以来源于存储器装置200的内部工作电压VDD，从而被设置为高电平信号，也可以来源于存储器装置200的接地端电压VSS，从而被设置为低电平信号。

[0087] 如图4所示，第一测试模式选择子单元221包括第一熔丝电路221A、第一多路选择器221B、第一测试模式选择控制单元221C和第二多路选择器221D。

[0088] 第一熔丝电路221A根据第一熔丝状态输出第一熔丝信号Fuse1和第一熔丝使能信号Fuse enable1，第一熔丝状态包括熔丝熔断而改变或生成的电平信号，其中，熔丝是一种对存储器装置200的硬件接口进行安全保护的结构，在物理上，位于存储器装置200所在的芯片上。

[0089] 第一多路选择器221B具有第一输入端B1和第二输入端B2，第一输入端B1为逻辑“0”，用于输入第一初始测试模式信号default1，第二输入端B2为逻辑“1”，用于输入第一熔丝信号Fuse1，第一多路选择器221B的选通信号端B3输入第一熔丝使能信号Fuse enable1，用于在第一熔丝使能信号Fuse enable1输出逻辑“1”时输出第一熔丝信号Fuse1，在第一熔丝使能信号Fuse enable1输出逻辑“0”时输出第一初始测试模式信号default1。也就是说，第一熔丝信号Fuse1的使能优先级高于第一初始测试模式信号default1。

[0090] 第一测试模式选择控制单元221C用于输出第一测试模式选择控制信号TM CTRL1和第一TM使能信号TM enable1，第一测试模式选择控制信号TM CTRL1来自于外部测试信号，可根据用户的测试需求设定，也就是说，第一测试模式选择控制单元221C可设置于外部测试电路或外部测试机台。

[0091] 第二多路选择器221D连接于第一多路选择器221B和第一测试模式选择控制单元221C，具体地，第二多路选择器221D的逻辑“0”输入端连接于第一多路选择器221B的输出端，第二多路选择器221D的逻辑“1”输入端连接于第一测试模式选择控制单元221C的输出

端，第二多路选择器221D的选通信号端B4输入第一TM使能信号TM enable1，用于在第一TM使能信号TM enable1输出逻辑“1”时将第一测试模式选择控制信号TM CTRL1作为第一测试模式选择信号TM1输出，在第一TM使能信号TM enable1输出逻辑“0”时将第一多路选择器221B的输出信号作为第一测试模式选择信号TM1输出，即输出第一熔丝信号Fuse1或第一初始测试模式信号default1。也就是说，第一测试模式选择控制信号TM CTRL1的优先级高于第一熔丝信号Fuse1。

[0092] 继续参阅图4，第二测试模式选择子单元222包括第二熔丝电路222A、第三多路选择器222B、第二测试模式选择控制单元222C和第四多路选择器222D。

[0093] 第二熔丝电路222A根据第二熔丝状态输出第二熔丝信号Fuse2和第二熔丝使能信号Fuse enable2；第二多路选择器222B具有第三输入端B5和第四输入端B6，分别输入第二初始测试模式信号default2和第二熔丝信号Fuse2；第二测试模式选择控制单元222C输出第二测试模式选择控制信号TM CTRL2和第二TM使能信号TM enable2；第四多路选择器222D连接于第三多路选择器222B和第二测试模式选择控制单元222C，用于在第二TM使能信号TM enable2输出逻辑“1”时将第二测试模式选择控制信号TM CTRL2作为第二测试模式选择信号TM2输出，在第二TM使能信号TM enable2输出逻辑“0”时将第三多路选择器222B的输出信号作为第二测试模式选择信号TM2输出，即输出第二熔丝信号Fuse2或第二初始测试模式信号default2。第二测试模式选择子单元222的具体工作原理可参阅第一测试模式选择子单元221。

[0094] 当存储器装置200一经生产制造将会根据电路设计需求被赋予一个默认的测试模式，我们可以根据改变熔丝状态来改变存储器装置200的测试模式，当熔丝状态已经不可变更时，可以通过外部测试电路或测试机台的测试模式选择控制信号来改变存储器装置200的测试模式。

[0095] 如图3所示，块选择单元230连接于地址锁存器210和测试模式选择单元220，用于根据块选择控制信号BLKSEL、第一测试模式选择信号TM1和第二测试模式选择信号TM2输出块选择信号SELB，其中，块选择信号SELB包括第一块选择信号SELB1和第二块选择信号SELB2。

[0096] 其中，第一存储模块241连接于块选择单元230和地址锁存器210，当第一存储模块241在第一块选择信号SELB1的控制下被使能时，第一存储模块241将列地址信号COL[0:9]和行地址信号ROW[0:13]译码并输出第一输入输出数据IO[0:7]。第二存储模块242连接于块选择单元230和地址锁存器210，当第二存储模块252在第二块选择信号SELB2的控制下被使能时，第二存储模块242将列地址信号COL[0:9]和行地址信号ROW[0:13]译码并输出第二输入输出数据IO[8:15]。

[0097] 如图3和图5所示，输出缓存器250连接于第一存储模块241、第二存储模块242和测试模式选择单元220，包括多个输入输出端口DQ，可分为第一组输入输出端口DQ[0:3]、第二组输入输出端口DQ[4:7]和第三组输入输出端口DQ[8:15]。

[0098] 当存储器装置200进入第一测试模式时，输出缓存器250将第三组输入输出端口DQ[8:15]置于禁用状态，并将第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]先后从未禁用的输入输出端口DQ[0:7]输出。

[0099] 当存储器装置200进入第二测试模式时，输出缓存器250将第二组输入输出端口DQ

[4:7]和第三组输入输出端口DQ[8:15]置于禁用状态，并将TMRW逻辑单元260的输出数据从未禁用的输入输出端口(DQ[0:4])输出。

[0100] 当存储器装置200进入第三测试模式时，输出缓存器250将全部输入输出端口DQ[0:15]置于未禁用状态，并将第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]从全部输入输出端口DQ[0:15]输出。

[0101] 如图5所示为本实施例的输出缓存器250的电路图，输出缓存器250包括第一缓存器组251、第二缓存器组252、第三缓存器组253、反相器254和逻辑或非门255。

[0102] 第一缓存器组251包括多个第一缓存器251A，第一缓存器251A的输入端IN1连接于第一存储模块241，第一缓存器251A的输出端OUT1形成第一组输入输出端口DQ[0:3]的其中一个，第一缓存器251A的使能端EN1连接于电源电压VDD，即第一缓存器组251在电源电压VDD作用下使第一组输入输出端口DQ[0:4]有效。

[0103] 反相器254连接于测试模式选择单元220，用于将第一测试模式选择信号TM1反相输出。第二缓存器组252包括多个第二缓存器252A，第二缓存器252A的输入端IN2连接于第一存储模块241，第二缓存器252A的输出端OUT2形成第二组输入输出端口DQ[47]的其中一个，第二缓存器252A的使能端EN2连接于反相器254的输出端C1，即第二缓存器组252在第一测试模式选择信号TM1输出逻辑“1”时，使第二组输入输出端口DQ[4:7]处于禁用状态(即关闭状态)。

[0104] 逻辑或非门255连接于模式选择单元220，用于将第一测试模式选择信号TM1和第二测试模式选择信号TM2进行逻辑与非后输出。第三缓存器组253包括多个第三缓存器253A，第三缓存器253A的输入端IN3连接于第二存储模块242，第三缓存器253A的输出端OUT3形成第三组输入输出端口DQ[8:15]的其中一个，第三缓存器253A的使能端EN3连接于逻辑或非门255的输出端C2，即第三缓存器组253在第一测试模式选择信号TM1和第二测试模式选择信号TM2都不输出逻辑“0”时，使第三组输入输出端口DQ[8:15]处于禁用状态。

[0105] 优选地，如图3所示，本实施例的存储器装置200还包括测试模式读写(Test Mode Read Write，TMRW)逻辑单元260，连接于第一存储模块241与输出缓存器250之间，以及连接于第二存储模块242与输出缓存器250之间，并连接于地址锁存器210和测试模式选择单元230，TMRW逻辑单元260用于根据块选择控制信号BLKSEL、第一测试模式选择信号TM1和第二测试模式选择信号TM2对第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]进行不同的逻辑处理。

[0106] 图6为TMRW逻辑单元260的电路图，TMRW逻辑单元260包括第一逻辑与门265、多个第二逻辑与门266、多个第六多路选择器MUX1、多个第七多路选择器MUX2、多个第二逻辑与门267、寄存器263、第一数据比较器261、第二数据比较器262和第五多路选择器264。

[0107] 第一逻辑与门265用于将第一测试模式选择信号TM1的反相信号和第二测试模式选择信号TM2的反相信号逻辑与后输出至多个第二逻辑与门266，第二输入输出数据IO[8:15]中的每一位数据输入一个第二逻辑与门266，第二逻辑与门266将第二输入输出数据IO[8:15]中的每一位数据分别与第一逻辑与门265的输出结果进行逻辑与后输出数据D[8:15]，数据D[8:15]经由输出缓存器250的第三组输入输出端口DQ[8:15]缓存输出。

[0108] 多个第六多路选择器MUX1在块选择控制信号BLKSEL的控制下将第一输入输出数据IO[4:7]或第二输入输出数据IO[12:15]输出至多个第七多路选择器MUX2；多个第七多路

选择器MUX2在第二测试模式选择信号TM2的控制下将第一输入输出数据IO[4:7]或第二输入输出数据IO[12:15]输出至多个第二逻辑与门267。多个第二逻辑与门267在第一测试模式选择信号TM1输出逻辑“0”时将第一输入输出数据IO[4:7](BLKSEL＝0)或第二输入输出数据IO[12:15](BLKSEL＝1)作为数据D[4:7]，数据D[4:7]再经由输出缓存器250的第二组输入输出端口DQ[4:7]缓存输出；当第一测试模式选择信号TM1输出逻辑“1”时，输出缓存器250的第二组输入输出端口DQ[4:7]被禁用，参见表1。

[0109] 表1

[0110]

测试模式		TM1	TM2	DQ[0:3]	DQ[4:7]	DQ[8:15]
第三测试模式		0	0	IO[0:3]	IO[4:7]	IO[8:15]
第一测试模式		0	1	IO[0:3], BLKSEL=0 IO[8:11], BLKSEL=1	IO[4:7], BLKSEL=0 IO[12:15], BLKSEL=1	禁用
第二测试模式	第二测试子模式	1	0	4:1 压缩	禁用	禁用
	第一测试子模式	1	1	2:1 压缩	禁用	禁用

[0111] 多个第八多路选择器MUX3在块选择控制信号BLKSEL的控制下将第一输入输出数据IO[0:3或第二输入输出数据IO[8:11]输出至多个第九多路选择器MUX3；多个第九多路选择器MUX4在第二测试模式选择信号TM2的控制下将第一输入输出数据IO[0:3]或第二输入输出数据IO[8:11]输出至多个第十多路选择器MUX5。

[0112] 也就是说，当TM1＝0且TM2＝0时，多个第十多路选择器MUX5在第一测试模式选择信号TM1输出逻辑“0”时将第一输入输出数据IO[0:3](BLKSEL＝0)或第二输入输出数据IO[8:11](BLKSEL＝1)作为数据D[0:3]，数据D[0:3]再经由输出缓存器250的第一组输入输出端口DQ[0:3]缓存输出；当第一测试模式选择信号TM1输出逻辑“1”时，输出缓存器250的第二组输入输出端口DQ[4:7]被禁用，参见表1。

[0113] 寄存器263用于输出期望数据exp[0:3]；第一数据比较器261连接于寄存器263，第一存储模块241以及第二存储模块242，用于对第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]与期望数据exp[0:3]进行逻辑异或处理，得到第一逻辑处理结果Out1[0:3]，也就是说第一数据比较器261相当于对数据进行了2:1的压缩。

[0114] 第二数据比较器262连接于第一存储模块241以及第二存储模块242，用于对第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]进行两次逻辑异或处理，得到第二逻辑处理结果Out2[0:3]，也就是说，第二数据比较器262相当于将数据进行了4:1的压缩。

[0115] 多个第五多路选择器264连接于第一数据比较器261、第二数据比较器262以及测试模式选择单元220，用于在第二测试模式选择信号TM2的控制下输出第一数据比较器261的第一逻辑处理结果Out1[0:3]或第二数据比较器262的第二逻辑处理结果Out2[0:3]至多个第十多路选择器MUX5。

[0116] 图7示出了块选择单元230的电路结构，块选择单元230包括第四逻辑与门233、第

一逻辑与非门231和第二逻辑与非门232。

[0117] 第四逻辑与门233连接于测试模式选择单元220，用于将第一测试模式选择信号TM1的反相信号与第二测试模式选择信号TM2进行逻辑与后输出；第一逻辑与非门231连接于地址锁存器210和第四逻辑与门233，用于将块选择控制信号BLKSEL和第四逻辑与门233的输出结果进行逻辑与非后输出，第一逻辑与非门231输出即为第一块选择信号SELB1；第二逻辑与非门232连接于地址锁存器210和第四逻辑与门233，用于将块选择控制信号BLKSEL和第四逻辑与门233的输出进行逻辑与非后输出，第二逻辑与非门232输出即为第二块选择信号SELB2。

[0118] 进一步地，存储器装置还包括指令逻辑单元270，具有输出允许信号端口OE、行地址选通信号端口RAS/、列地址选通信号端口CAS/、写允许信号端口WE/，分别用于输入输出允许信号、行地址选通信号、列地址选通信号、写允许信号，并输出内部控制信号至地址锁存器210。

[0119] 表1还示出了第一测试模式选择信号TM1和第二测试模式选择信号TM2与存储器装置200的测试模式以及输入输出端口DQ的关系。

[0120] 当TM1＝0且TM2＝0时，存储器装置200进入第三测试模式，输出缓存器250的全部输入输出端口DQ[0:15]都未禁用，第一输入输出数据IO[0:7]和第二输入输出数据IO[8:15]的每一位数据通过一个端口DQ输出。

[0121] 当TM1＝0且TM2＝1时，存储器装置200进入第一测试模式，输出缓存器250的第三组输入输出端口DQ[8:15]置于禁用状态，第一输入输出数据IO[4:7](BLKSEL＝0时)和第二输入输出数据IO[12:15](BLKSEL＝1时)作为数据D[4:7]经由输出缓存器250的第二组输入输出端口DQ[4:7]缓存输出；并且，第一输入输出数据IO[0:3](BLKSEL＝0时)和第二输入输出数据IO[8:11](BLKSEL＝1时)作为数据D[0:3]经由输出缓存器250的第一组输入输出端口DQ[0:3]缓存输出。也就是说，在第一测试模式下，当BLKSEL＝0时，第一输入输出数据IO[0:7]先从未禁用的输入输出端口DQ[0:7]输出，然后，当BLKSEL＝1时，第二输入输出数据IO[8:15]再从未禁用的输入输出端口DQ[0:7]输出。

[0122] 当TM1＝1且TM2＝0时，存储器装置200进入第二测试子模式，输出缓存器250的第三组输入输出端口DQ[8:15]和第二组输入输出端口DQ[4:7]置于禁用状态，第二数据比较器262的第二逻辑处理结果Out2[0:3]经由输出缓存器250的第一组输入输出端口DQ[0:3]输出。

[0123] 当TM1＝1且TM1＝1时，存储器装置200进入第一测试子模式，输出缓存器250的第三组输入输出端口DQ[8:15]和第二组输入输出端口DQ[4:7]置于禁用状态，第一数据比较器261的第一逻辑处理结果Out1[0:3]经由输出缓存器250的第一组输入输出端口DQ[0:3]输出。

[0124] 本实施例还提供一种应用于上述存储器装置200的测试电路，包括多个存储器装置200以及连接于存储器装置200的测试机台20，如图8所示，本实施例以10个存储器装置200为例，并依次编号为DUT0、DUT1、DUT2……DUT9。其中，测试机台20包括块选择使能信号输出端IO2[3]，块选择使能信号输出端IO2[3]用于输出块选择使能信号BLKA，每个存储器装置200的块选择使能信号输入端A2都连接在一起形成第一连接点E1，第一连接点E1连接于测试机台20的块选择使能信号输出端IO2[3]。

[0125] 每个存储器装置200的端口RAS/连接在一起形成第二连接点E2，第二连接点E2连接于测试机台20的的端口IO2[0]；每个存储器装置200的端口CAS/连接在一起形成第三连接点E3，第三连接点E3连接于测试机台20的端口IO2[1]；每个存储器装置200的端口WE/连接在一起形成第四连接点E4，第四连接点E4连接于测试机台20的端口IO2[2]；每个存储器装置200的地址控制信号输入端A1连接于在一起，然后连接于测试机台的端口IO2[4:17]；每个存储器装置200的端口OE分别连接于测试机台20的端口IO2[18:27]；测试机台20的端口IO[28:67]连接存储器装置200的输入输出端口DQ[03]。

[0126] 需要说明的是，测试机台20与存储器装置200的输入输出端口DQ的连接关系数量要根据测试模式进行设定，也就是说，当存储器装置200进入第二测试模式时，将存储器装置200的第一组输入输出端口DQ[0:3]和第二组输入输出端口DQ[4:7]连接到测试机台20，每个存储器装置200的输入输出端口DQ仅占用测试机台20的8个端口；当存储器装置200进入第一测试子模式或第二测试子模式时，将存储器装置200的第一组输入输出端口DQ[0:3]连接到测试机台20，每个存储器装置200的输入输出端口DQ仅需要占用测试机台20的4个端口IO。

[0127] 因此，本发明实施例提供的存储器装置可以根据测试需要进入不同的测试模式，并能共享测试机台的驱动装置，减少占用测试机台的端口，降低测试成本。

[0128] 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到其各种变化或替换，这些都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

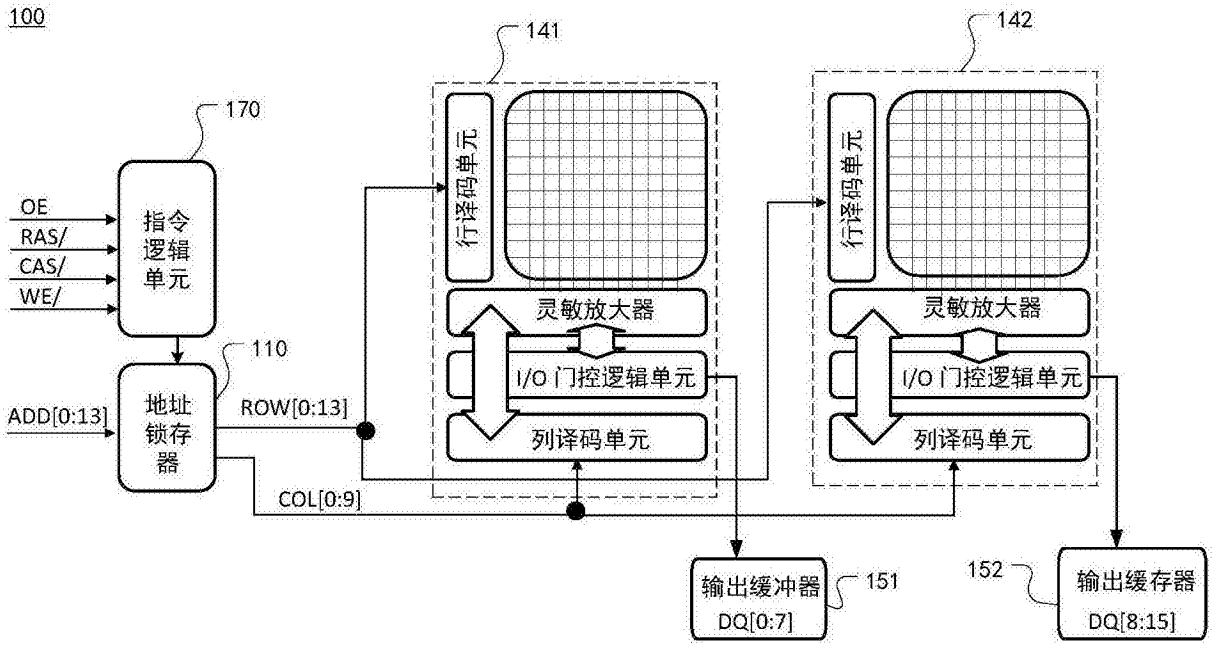

100
141
142
170
OE
RAS/
CAS/
WE/
指令逻辑单元
行译码单元
灵敏放大器
I/O 门控逻辑单元
列译码单元
110
ADD[0:13]
地址锁存器
ROW[0:13]
COL[0:9]
输出缓冲器
DQ[0:7]
151
152
输出缓存器
DQ[8:15]

图1

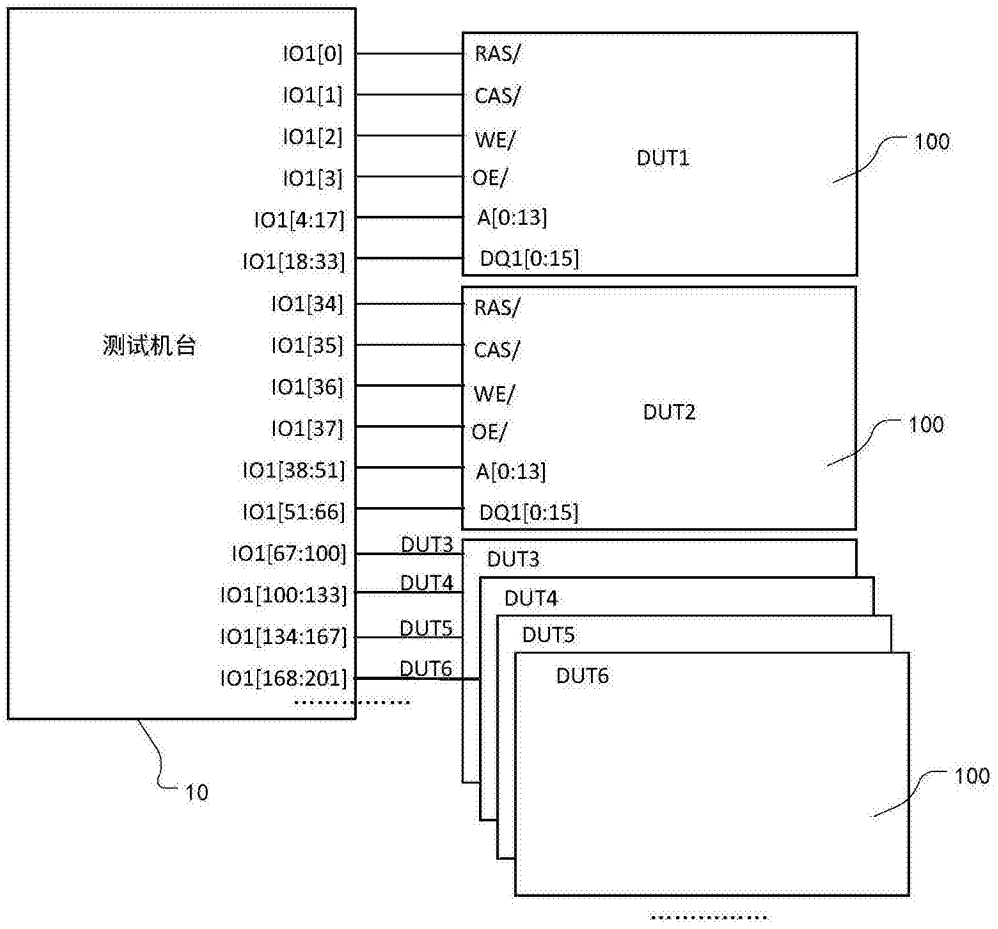

测试机台
IO1[0]
IO1[1]
IO1[2]
IO1[3]
IO1[4:17]
IO1[18:33]
IO1[34]
IO1[35]
IO1[36]
IO1[37]
IO1[38:51]
IO1[51:66]
IO1[67:100]
IO1[100:133]
IO1[134:167]
IO1[168:201]
RAS/
CAS/
WE/
OE/
A[0:13]
DQ1[0:15]
DUT1
DUT2
DUT3
DUT4
DUT5
DUT6
100
10

图2

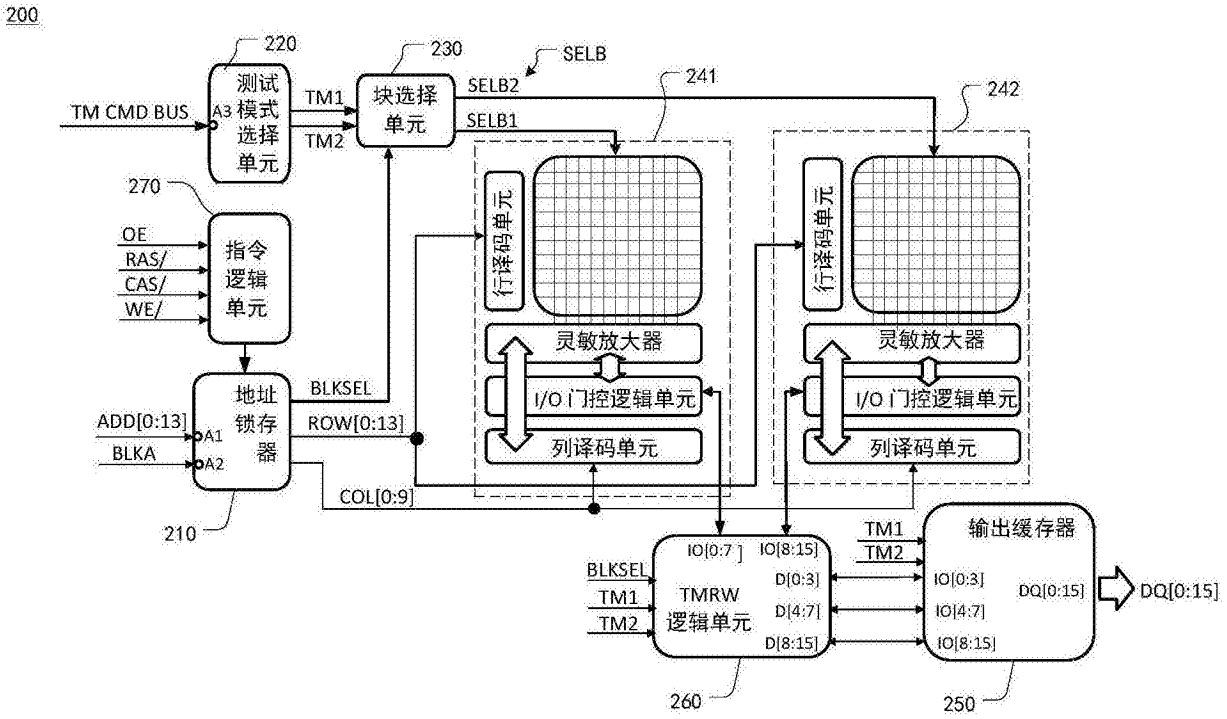

200
220
测试模式选择单元
TM CMD BUS
A3
TM1
TM2
230
块选择单元
SELB
SELB2
SELB1
241
242
270
指令逻辑单元
OE
RAS/
CAS/
WE/
地址锁存器
ADD[0:13]
BLKA
A1
A2
BLKSEL
ROW[0:13]
COL[0:9]
210
行译码单元
灵敏放大器
I/O门控逻辑单元
列译码单元
TMRW逻辑单元
IO[0:7]
IO[8:15]
D[0:3]
D[4:7]
D[8:15]
260
输出缓存器
IO[0:3]
IO[4:7]
IO[8:15]
DQ[0:15]
250

图3

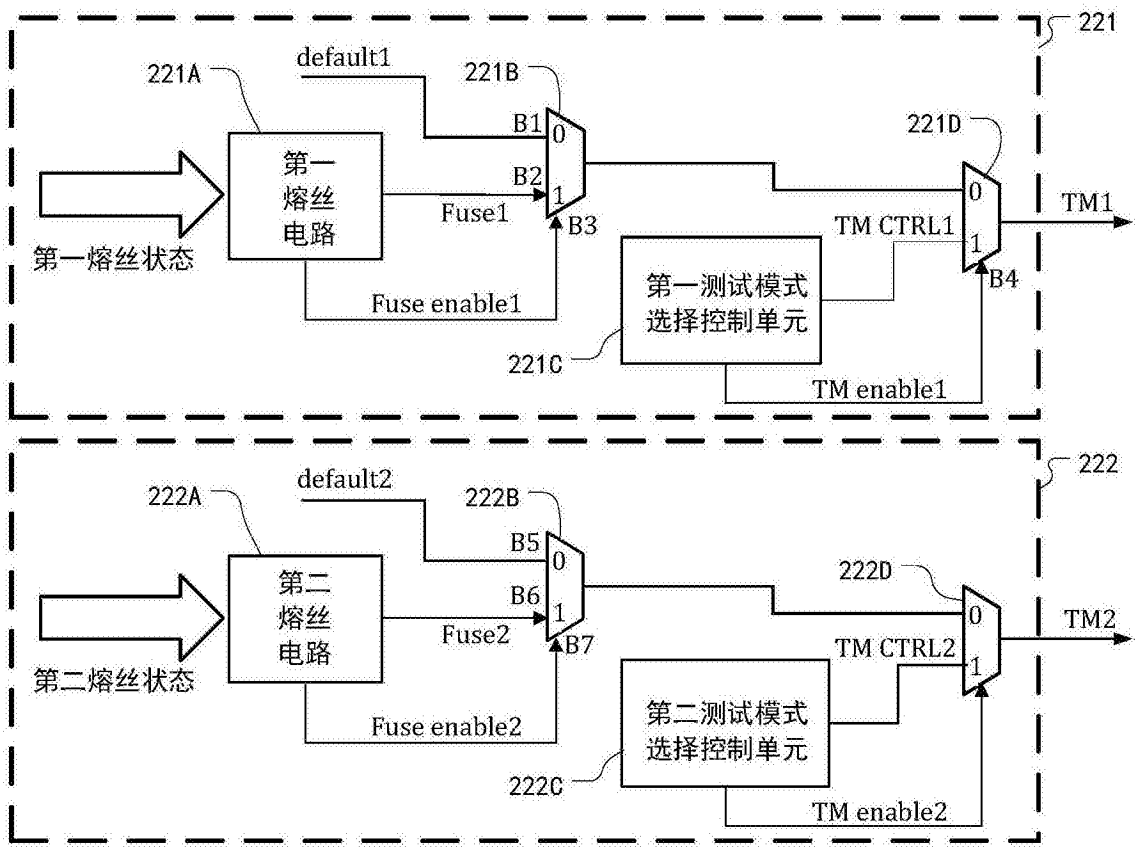

220
221
221A
default1
221B
B1
0
B2
1
B3
第一
熔丝
电路
Fuse1
第一熔丝状态
Fuse enable1
221C
第一测试模式
选择控制单元
TM CTRL1
221D
0
1
B4
TM1
TM enable1
222
222A
default2
222B
B5
0
B6
1
B7
第二
熔丝
电路
Fuse2
第二熔丝状态
Fuse enable2
222C
第二测试模式
选择控制单元
TM CTRL2
222D
0
1
TM2
TM enable2

图4

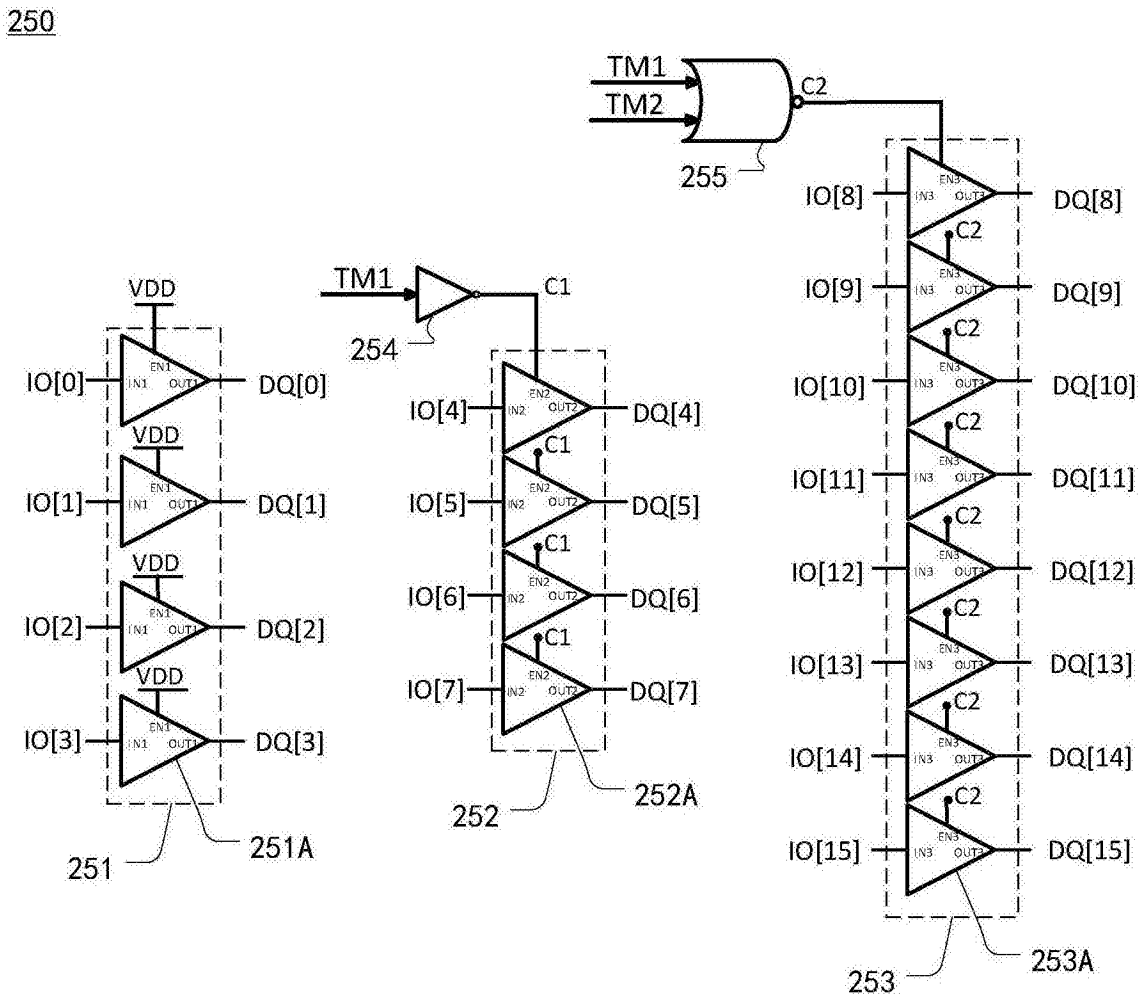

250
TM1
TM2
C2
255
IO[8]
DQ[8]
C2
IO[9]
DQ[9]
C2
IO[10]
DQ[10]
C2
IO[11]
DQ[11]
C2
IO[12]
DQ[12]
C2
IO[13]
DQ[13]
C2
IO[14]
DQ[14]
C2
IO[15]
DQ[15]
253
253A
TM1
C1
254
IO[4]
DQ[4]
C1
IO[5]
DQ[5]
C1
IO[6]
DQ[6]
C1
IO[7]
DQ[7]
252
252A
VDD
IO[0]
DQ[0]
VDD
IO[1]
DQ[1]
VDD
IO[2]
DQ[2]
VDD
IO[3]
DQ[3]
251
251A

图5

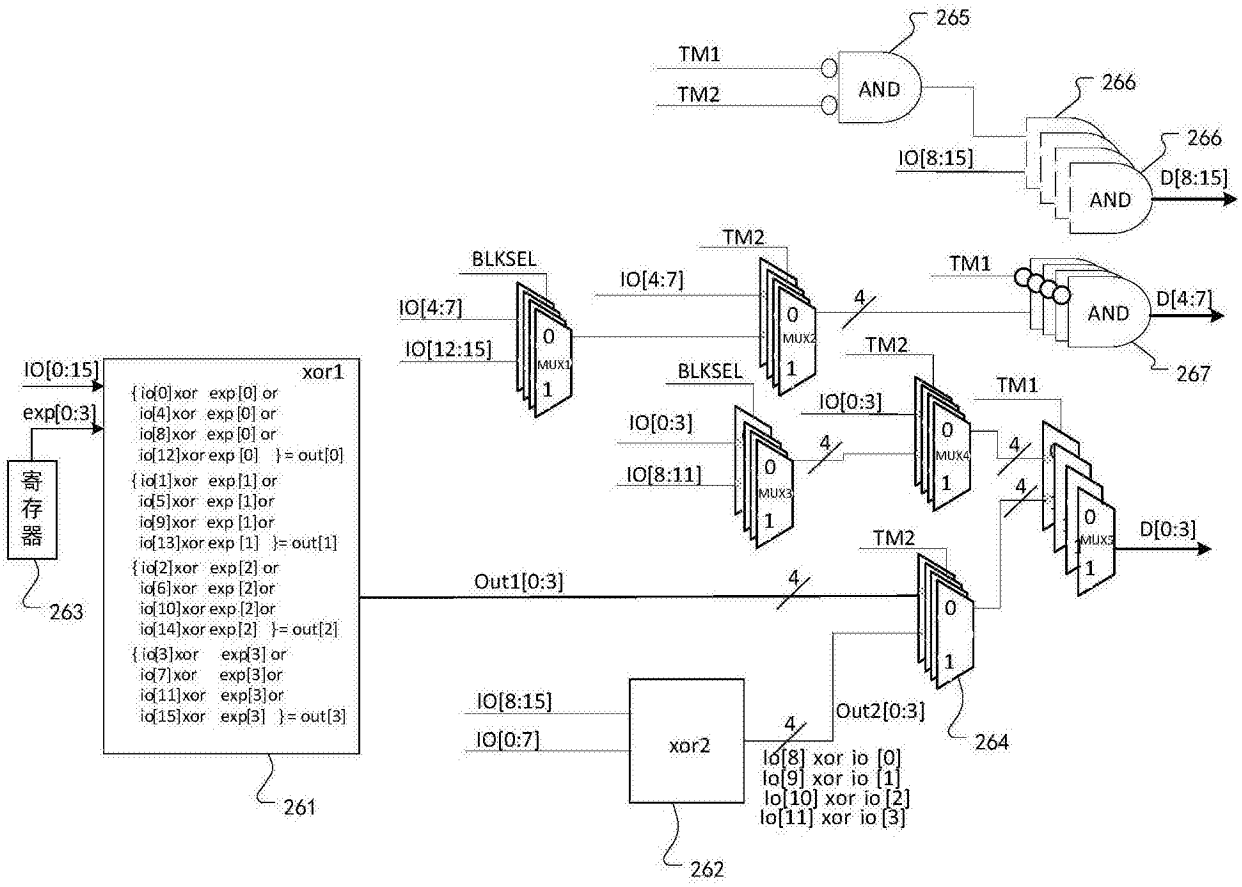

265
TM1
TM2
AND
266
IO[8:15]
266
AND
D[8:15]
BLKSEL
IO[4:7]
IO[12:15]
MUX1
TM2
IO[4:7]
MUX2
4
TM1
AND
D[4:7]
267
IO[0:15]
exp[0:3]
寄存器
263
xor1
{ io[0]xor exp[0] or
io[4]xor exp[0] or
io[8]xor exp[0] or
io[12]xor exp[0] }= out[0]
{ io[1]xor exp[1] or
io[5]xor exp[1]or
io[9]xor exp[1]or
io[13]xor exp[1] }= out[1]
{ io[2]xor exp[2] or
io[6]xor exp[2]or
io[10]xor exp[2]or
io[14]xor exp[2] }= out[2]
{ io[3]xor exp[3] or
io[7]xor exp[3]or
io[11]xor exp[3]or
io[15]xor exp[3] }= out[3]
261
BLKSEL
IO[0:3]
IO[8:11]
MUX3
IO[0:3]
MUX4
4
TM1
4
4
MUX5
D[0:3]
TM2
Out1[0:3]
4
IO[8:15]
IO[0:7]
xor2
4
Out2[0:3]
264
Io[8] xor io [0]
Io[9] xor io [1]
Io[10] xor io [2]
Io[11] xor io [3]
262

图6

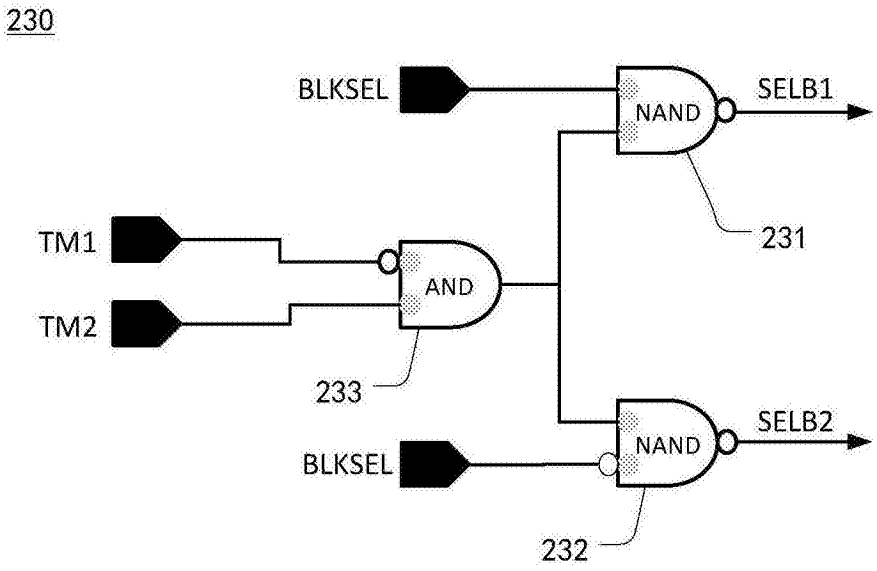

230
BLKSEL
NAND
SELB1
231
TM1
TM2
AND
233
BLKSEL
NAND
SELB2
232

图7

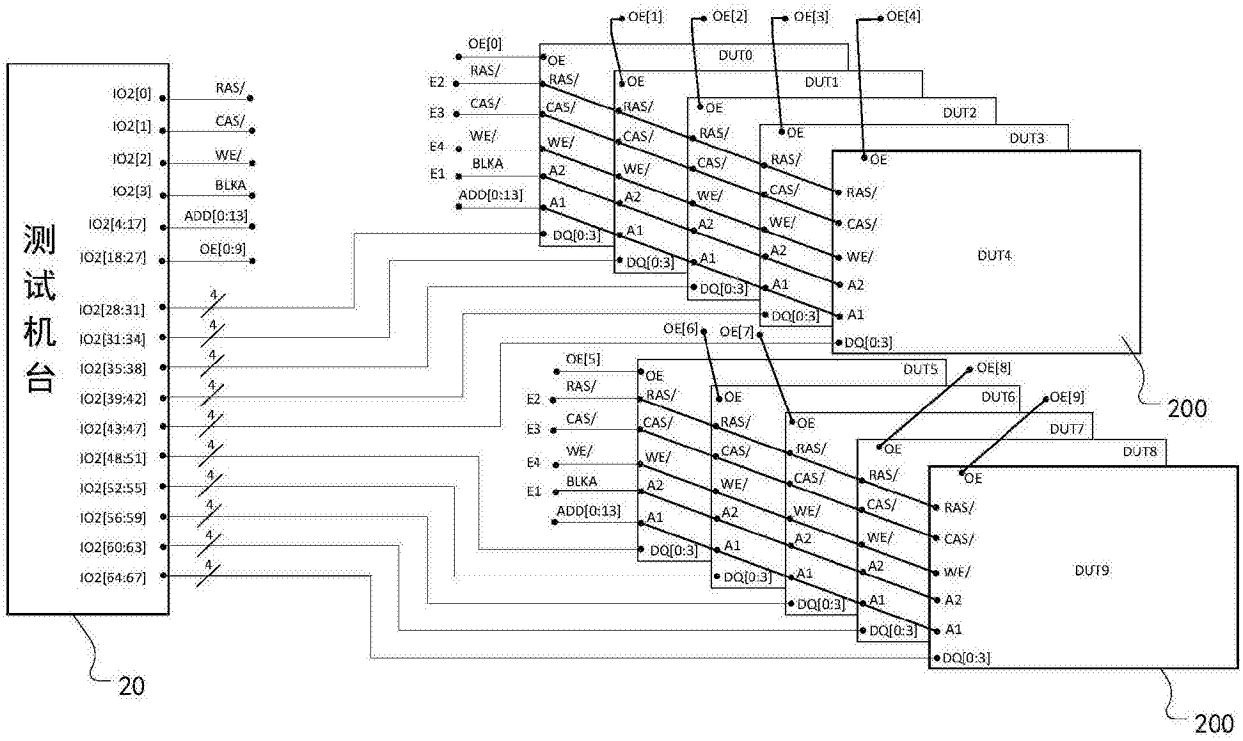

测试机台
IO2[0]
IO2[1]
IO2[2]
IO2[3]
IO2[4:17]
IO2[18:27]
IO2[28:31]
IO2[31:34]
IO2[35:38]
IO2[39:42]
IO2[43:47]
IO2[48:51]
IO2[52:55]
IO2[56:59]
IO2[60:63]
IO2[64:67]
RAS/
CAS/
WE/
BLKA
ADD[0:13]
OE[0:9]
4
20
OE[0]
OE[1]
OE[2]
OE[3]
OE[4]
OE[5]
OE[6]
OE[7]
OE[8]
OE[9]
E2
E3
E4
E1
OE
A2
A1
DQ[0:3]
DUT0
DUT1
DUT2
DUT3
DUT4
DUT5
DUT6
DUT7
DUT8
DUT9
200
200

图8