



(12) 发明专利申请

(10) 申请公布号 CN 104094352 A

(43) 申请公布日 2014. 10. 08

(21) 申请号 201280069204. X

(51) Int. Cl.

(22) 申请日 2012. 12. 07

G11C 7/10 (2006. 01)

(30) 优先权数据

13/313,699 2011. 12. 07 US

(85) PCT国际申请进入国家阶段日

2014. 08. 07

(86) PCT国际申请的申请数据

PCT/US2012/068467 2012. 12. 07

(87) PCT国际申请的公布数据

W02013/086334 EN 2013. 06. 13

(71) 申请人 斯班逊有限公司

地址 美国加利福尼亚州

(72) 发明人 K·威德默 C·兹特劳 A·勒

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 王锦阳

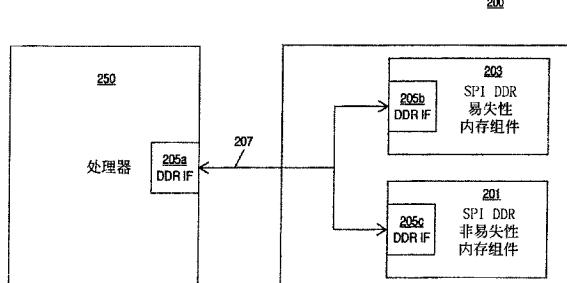
权利要求书2页 说明书5页 附图5页

(54) 发明名称

高速串行外围接口内存子系统

(57) 摘要

揭露的是一种内存子系统。内存子系统包括串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 (203)、耦接至串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件的串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件 (201)、以及串行外围接口 (SPI) 双倍数据速率 (DDR) 接口 (205a-c)。串行外围接口 (SPI) 双倍数据速率 (DDR) 接口 (205a-c) 存取串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 (203) 以及串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件 (201)，其中数据是在时脉信号的前缘和降缘存取。



1. 一种内存子系统,其包含 :

串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 (203) ;

耦接至该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 (203) 的串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件 (201) ;以及

存取该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 (203) 和该串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件 (201) 的串行外围接口 (SPI) 双倍数据速率 (DDR) 接口 (205a-c),其中数据是在时脉信号的前缘和降缘存取。

2. 根据权利要求 1 所述的内存子系统,其中该 SPI DDR 易失性内存组件包含 SPI DDR PSRAM 且该 SPI DDR 非易失性内存组件包含 SPI DDR 快闪内存。

3. 根据权利要求 2 所述的内存子系统,其中该 SPI DDR PSRAM 及该 SPI DDR 快闪内存共用相同的汇流排。

4. 根据权利要求 1 所述的内存子系统,其中该内存子系统设于含 9 个接脚的封装中。

5. 根据权利要求 1 所述的内存子系统,其中该内存子系统设于含 7 个主动接脚的封装中。

6. 根据权利要求 5 所述的内存子系统,其中该 7 个主动接脚包括 2 个 CE 接脚。

7. 根据权利要求 5 所述的内存子系统,其中该 7 个主动接脚包含 1 个 SCK、4 个 I/O 以及 2 个 CE 接脚。

8. 一种电子装置,其包含 :

处理子系统;以及

内存子系统,其中该内存子系统包含 :

串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件;

耦接至该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件的串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件;以及

存取该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存和该串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存的串行外围接口 (SPI) 双倍数据速率 (DDR) 接口。

9. 根据权利要求 8 所述的电子装置,其中该 SPI DDR 易失性内存组件包含 SPI DDR PSRAM 且该 SPI DDR 非易失性内存组件包含 SPI DDR 快闪内存。

10. 根据权利要求 9 所述的电子装置,其中该 SPI DDR PSRAM 及该 SPI DDR 快闪内存共用相同的汇流排。

11. 根据权利要求 8 所述的电子装置,其中该内存子系统设于含 9 个接脚的封装中。

12. 根据权利要求 8 所述的电子装置,其中该内存子系统设于含 7 个主动接脚的封装中。

13. 根据权利要求 12 所述的电子装置,其中该 7 个主动接脚包括 2 个 CE 接脚。

14. 根据权利要求 12 所述的电子装置,其中该 7 个主动接脚包含 1 个 SCK、4 个 I/O 以及 2 个 CE 接脚。

15. 一种形成内存子系统的方法,其包含 :

形成串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件;

形成耦接至该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件的串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件;以及

形成用于存取该串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存和该串行外围接口 (SPI) 双倍数据速率非易失性内存的串行外围接口 (SPI) 双倍数据速率 (DDR) 接口。

高速串行外围接口内存子系统

背景技术

[0001] 电视机、数字相机、手机、媒体内容播放机、平板计算机等消费性电子产品，是为了满足消费者对日用电子设备的实质需求而予以设计、制造并且行销。数据存储组件在此类装置的运作上扮演重要角色。数据存储组件可包括 RAM、PSRAM、ROM、快闪内存等。

[0002] 快闪内存是可用电气方式予以抹除及再程式化的非易失性计算机内存。快闪内存主要是用在记忆卡和 USB 快闪驱动器中，目的是在计算机与其它数字产品之间进行一般数据存储和传输。快闪内存是一种以大区块抹除及程式化的特定类型电子可抹除可程式化唯读内存 (EEPROM)。示例应用包括用于个人数字助理器 (PDA)、膝上型计算机、数字播音器、数字相机及行动电话的数据存储。其它应用包括游戏机，其中可将快闪内存而非其它类型 EEPROM 或电池供电式 SRAM 用于游戏存储数据。

[0003] PSRAM 属于动态 RAM，内建复新 (refresh) 和位址控制电路，使其行为类似于静态 RAM (SRAM)。其将高密度 DRAM 与真实 SRAM 的易用性结合起来。PSRAM 是用于 Apple iPhone TM 及其它嵌入式系统内。

[0004] 在其中内存子系统同时包括易失性（例如 RAM）及非易失性（例如快闪内存）内存组件的电子应用中，内存组件可共用相同的汇流排或使用分离汇流排。由于要处理器在相同的汇流排上管理不同速度的内存组件会有困难，共用相同汇流排的内存必需具有相同的接脚输出及通量效能 (throughput performance)。汇流排共用内存子系统的一个实施例是含并列型 NOR 快闪内存（非易失性）及 PSRAM（易失性）内存的内存子系统。在使用分离汇流排的内存子系统中，处理器可独立管理每一个内存组件而无汇流排竞争。然而，独立汇流排系统对于易失性及非易失性内存组件两者的分离迹线都必须支援。应领会的是，独立汇流排子系统针对高通量效能予以最佳化，并且较不注重成本（此类内存包括并列型 NOR 快闪内存及动态 RAM 内存）。相比之下，汇流排共用系统节省与减少迹线数量直接有关的成本，此为其特征。

[0005] 现有特征在于并列型 NOR 快闪内存 /PSRAM 基本架构的汇流排共用子系统，可需要 40 或更多条迹线，以便匹配由内存接口提供的数据、位址、及控制线。降低含并列型 NOR 快闪内存和 PSRAM 组件的封装的组件成本是通过使用较小封装及 / 或缩减晶粒（这些电路形于其上）的尺寸予以达成。然而，封装尺寸缩减受限于晶粒作用所需的接垫，原因是晶粒尺寸无法缩减超过容纳所需接垫所必要的尺寸。同样地，所需迹线数量限制可缩减的封装尺寸。因此，虽然现有的并列型 NOR 快闪内存 /PSRAM 内存相较于独立汇流排系统减少了迹线，为了符合对于缩减封装尺寸且更节省成本的持续性需求，所需的显着额外缩减仍前景受到限制。

发明内容

[0006] 由于所需的晶粒尺寸，现有的并列型 NOR 快闪内存 /PSRAM 内存封装，对于需用以符合封装尺寸减小和成本更节省的持续性需求方面，尺寸缩减的前景有限。提供的是一个内存子系统，其具有比现有晶粒所需更小的串行外围接口 (SPI)，而有助于对付这些缺点。

然而,所声称的具体实施例不受限于对付这些缺点的实现。内存子系统包括串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件、串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件以及串行外围接口 (SPI) 双倍数据速率 (DDR) 接口。串行外围接口 (SPI) 双倍数据速率 (DDR) 接口存取串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件及串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件,其中数据是在时脉信号的前缘和降缘上存取。

附图说明

- [0007] 本发明连同其进一步优点可配合附图参照底下说明得到最佳理解,其中:
- [0008] 图 1 表示根据一具体实施例的含高速串行外围接口 (SPI) 内存子系统的电子装置。
- [0009] 图 2 表示根据一具体实施例的 SPI 内存子系统。
- [0010] 图 3 描述现有行动基带的结构化组成相较于根据示例性具体实施例所结构化行动基带的差异。
- [0011] 图 4 表示一连串简图,其描述现有 NOR 多晶片封装相较于根据示例性具体实施例所提供多晶片封装的面积与接脚数差异。
- [0012] 图 5 表示根据一具体实施例用于形成 SPI 内存子系统的方法中所进行步骤的流程图。
- [0013] 应注意的是,相称的参考元件符号在图示系指相称的元件。

具体实施方式

[0014] 本发明现将参照如附图所示的其各个具体实施例予以详述。在底下的说明中,提出特定细节以便透彻了解本发明。然而,所属领域的技术人员显然知道无需用到本文所提的一些实现细节即可实践本发明。也应了解的是,为了不多余混淆本发明,已不详述众所周知的运作。

[0015] 根据一具体实施例的高速串行外围接口内存子系统的示例性运作环境
[0016] 图 1 表示根据一具体实施例的含高速串行外围接口 (SPI) 内存子系统 200 的电子装置 100。示例性具体实施例的高速 SPI 内存子系统的设计提供具有内存子系统的电子装置 100,其通量效能类似于现有的并列型内存子系统但具有较低接脚数。电子装置 100 可包括但不限于电视机、数字相机、手机、媒体内容播放机以及平板计算机。图 1 中所示具体实施例的电子装置 100 包括高速 SPI 内存子系统 200 及处理器 250。

[0017] 请参阅图 1,高速 SPI 内存子系统 200 为电子装置 100 的数据存储子系统,并且为其运作提供内存支援。高速 SPI 内存子系统 200 经由双倍数据速率 (DDR) 接口(例如下面所述)由电子装置处理器 250 存取。DDR 接口在时脉周期的升缘及降缘两者读取及写入数据。SPI 内存子系统 200 的结构化组成引用图 2 予以在本文下面详述。

[0018] 高速串行外围接口内存子系统

[0019] 图 2 表示根据一具体实施例的 SPI 内存子系统 200 的组件。在一具体实施例中,高速 SPI 内存子系统 200 包括共用相同汇流排的串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件(例如,NOR、NAND、PCM 等快闪内存组件)、以及串行外围接口 (SPI) 双倍数

据速率 (DDR) 非易失性内存组件 (例如, DRAM、PSRAM、SRAM 等)。相较于特征为并列型汇流排基本架构的现有系统,串列基本架构有助于减少内存子系统作用所需迹线的数量。相较于现有的系统,减少用于使内存子系统作用的迹线的数量,能缩减晶粒 (其上形成高速 SPI 内存子系统 200) 的尺寸,并且能缩减封装 (其含有 SPI 内存子系统 200) 的尺寸。在图 2 的具体实施例中, SPI 内存子系统 200 包括串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件 201、串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件 203、串行外围接口 (SPI) 双倍数据速率 (DDR) 接口 205a、205b 和 205c 以及 SPI 汇流排 207。图 2 中还表示处理器 250。

[0020] 请参阅图 2, SPI DDR 非易失性内存组件 201 将数据存储在可用双倍数据速率存取的快闪内存单元内。在一具体实施例中,可致能 SPIDDR 非易失性内存组件 201 以供 SPI DDR 接口 205c 存取。此外,在一具体实施例中,可用双倍数据速率在时脉信号的升缘及降缘两者经由 SPI DDR 接口 205c 存取 SPI DDR 非易失性内存组件 201 的内存单元。作为 SPI 内存子系统 200 的非易失性数据存储组件, SPI DDR 非易失性内存组件 201 在 SPI 内存子系统 200 电源关闭时不失去数据。SPI DDR 非易失性内存组件 201 通过 SPI 汇流排 207 耦接至 SPI DDR 易失性内存组件 203。

[0021] SPI DDR 易失性内存组件 203 将数据存储在可用双倍数据速率存取的内存单元内。在一具体实施例中,可致能 SPI DDR 易失性内存组件 203 以供通过 SPI 接口 205b 存取。此外,在一具体实施例中,如同 SPIDDR 非易失性内存组件 201,可用双倍数据速率在时脉信号的升缘及降缘两者经由 SPI DDR 接口 205b 存取 SPI DDR 易失性内存组件 203 的内存单元。SPI DDR 易失性内存组件 203 是 SPI 内存子系统 200 的易失性数据存储组件。SPI DDR 易失性内存组件 203 通过 SPI 汇流排 207 耦接至 SPI DDR 非易失性内存组件 201。

[0022] 处理器 250 执行指令,并且使用其经由 SPI DDR 非易失性内存组件 201 及 SPI DDR 易失性内存组件 203 存取的数据。可经由 SPI DDR 接口 205a 通过处理器 250 将指令和数据写入及读出 SPI DDR 非易失性内存组件 201 及 SPI DDR 易失性内存组件 203。在一具体实施例中,SPIDDR 接口 205a 可在时脉周期的升缘及降缘两者存取内存单元 (例如,经由 SPI DDR 接口 205b 和 205c)。所以, SPI 子系统 200 能够达到高通量效能,类似于附有并列型基本架构的子系统所达成的效能。

[0023] 运作

[0024] 在运作时,若处理器 250 试图存取 SPI DDR 易失性内存组件 203,则由处理器 250 (经由 SPI DDR 接口 205a) 提示 SPI DDR 接口 205b 致能 SPI DDR 易失性内存组件 203 供存取,于是存取 SPI DDR 易失性内存组件 203 内所需的内存位置。或者,若处理器 250 试图存取 SPI DDR 非易失性内存组件 201,则由处理器 250 (经由 SPI DDR 接口 205a) 提示 DDR 接口 205c 致能 SPI DDR 非易失性内存组件 201 供存取,于是存取 SPI DDR 非易失性内存 201 内所需的内存位置。应了解的是, SPI DDR 接口 205a、205b 及 205c 致能 SPI 子系统 200 以达到高速通量效能,类似于现有并列型 NOR 子系统所提供的通量,如上所述。然而, SPI 子系统 200 除了提供通量优点,还有 SPI 协定所提供的低接脚数效益。

[0025] 与现有系统对照

[0026] 图 3 描述现有行动基带装置与根据一具体实施例所提供的行动基带装置之间的差异。请参阅图 3,现有的行动基带装置 300 包括 VS-R301、PSRAM 303 以及基带处理器

305。并且,根据一具体实施例提供的 SPI DDR 行动基带装置 350 包括 SPI DDR 快闪内存 351(非易失性内存组件)、SPI DDR PSRAM 353(易失性内存组件)以及基带处理器 355。如图 3 所示, SPI DDR 行动基带装置 350 是一种 9 个接脚(7 个主动接脚)的架构,其包括 SPI DDR(DSPI) 快闪内存组件及 SPI DDR PSRAM(DPSRAM) 内存组件。这与图 3 中所示现有的 40 接脚并列型 NOR 快闪内存行动基带装置 300 形成对比。在一具体实施例中, SPI DDR 行动基带 350 中的七个主动接脚是 1 个 SCK、4 个 I/O 以及 2 个 CE(图未示)。在一具体实施例中, 分离的 CE 用于致能及禁能(disable)DSPI 或 DPSRAM。

[0027] 图 4 表示一系列简图 400, 其描述现有的 NOR 多晶片封装相较于根据示例性具体实施例所提供的多晶片封装在面积和接脚数方面的差异。请参阅图 4, 于 A, 表示的是含 PSRAM 的 40 接脚并列型 NOR 快闪内存子系统的方块图 410, 并且于 B 表示的是其多晶片封装的接端的简图 420。其次, 于 C, 表示的是特征为 9 接脚 SPI DDR(DSPI) 内存子系统的根据示例性具体实施例所提供的多晶片封装的接端的简图 430。在一具体实施例中, SPI DDR 快闪内存子系统缩减 50% 的面积并且减少 78% 的接脚数。在其它具体实施例中, 可有其它面积和接脚数减少量。再请参阅图 4, 于 D, 表示的是含 9 接脚 SPI DDR(DSPI) 内存子系统的多晶片封装的截面 440, 以及于 E, 表示的是 9 接脚 SPI DDR(DSPI) 内存子系统的接垫布局 450。

[0028] 具体实施例示例性优点

[0029] 在一具体实施例中, DDR 接口(例如, 图 2 中的 205a、205b 和 205c) 用于致能 SPI 内存子系统(例如, 图 2 中的 200), 以达成与并列型 NOR 内存子系统类似的通量效能, 同时仍维持 SPI 协定的低接脚数效益。SPI 快闪内存架构按照现有已含括呈 8 接垫组态的串列(单一数据输入且单一数据输出)装置。最近, 此类装置提供的输出数量已增加到包括 4 个信号(同时仍维持 8 个接垫)。这些变更虽无法让此类 SPI 快闪内存子系统的速度等同于从发式(burst-type)并列型 NOR 快闪内存, 效能面仍已改良。相比之下, 示例性具体实施例使用 SPI DDR 接口, 达到与从发式并列型 NOR 快闪内存子系统类似的通量效能。另外, 示例性具体实施例的 SPI DDR 接口(例如, 图 2 中的 205a, 205b 和 205c) 可配合适于容纳此接口的现有 SPI 汇流排予以使用。在一具体实施例中, SPI DDR 内存子系统的快闪内存和 PSRAM 组件可具有相同的效能并且遵循相同的协定。

[0030] 示例性具体实施例提供的其它优点包括, 相较于并列型 NOR 子系统, 缩减使用的接垫数量(所用接垫数量缩减到 40 个或多达 78% 至 9 个)。此外, 相较于现有的 SDR(单一数据速率)SPI 组态, 通过示例性的双 I/O DDR 汇流排(5 个主动接脚)和现有的四 I/O SDR 汇流排(7 个主动接脚)的相当效能, 得以证实一具体实施例的 SPI DDR 组态的效能优点及接脚节约。示例性具体实施例提供的较低接脚数对封装尺寸缩减造成直接影响。例如, 在一具体实施例中, 相较于示例性 DSPI+DPSRAM($6 \times 4\text{mm} = 24\text{mm}^2$), BGA44 中的并列型 NOR+PSRAM($6.2 \times 7.2\text{mm} = 77\text{mm}^2$) 达到 50% 的封装尺寸缩减。此外, 在示例性具体实施例中, 快闪内存不属于接垫受限型, 所以可持续缩减晶粒尺寸(这与使用 40 或更多接垫的并列型 NOR 快闪内存不一样)。在一具体实施例中, 与示例性内存子系统相关的处理器可节省晶粒的基板面积(real estate), 原因在于使用的控制接垫较少, 或处理器可通过未使用的接垫支援其它特征或功能。

[0031] 根据一具体实施例用于形成高速串行外围接口内存子系统的程序

[0032] 图 5 表示根据一具体实施例形成内存子系统用的方法中所进行步骤的流程图

500。虽然流程图中揭露的是特定步骤，此等步骤仍属示例性。也就是，这些具体实施例非常适用于进行流程图中所叙述的各种其它步骤或步骤的变形。

[0033] 于 501，形成 SPI DDR 易失性内存组件。在示例性具体实施例中，SPI DDR 易失性内存组件包括可用双倍数据速率存取的内存单元。在一具体实施例中，形成含 SPI DDR 接口的 SPI DDR 易失性内存组件。

[0034] 于 503，形成 SPI DDR 非易失性内存组件。在示例性具体实施例中，SPI DDR 非易失性内存组件包括可用双倍数据速率存取的快闪内存单元。

[0035] 于 505，形成含 SPI DDR 非易失性内存组件及 SPI DDR 易失性内存组件的封装。在一具体实施例中，形成含 SPI DDR 接口的 SPI DDR 非易失性内存组件。

[0036] 引用其示例性具体实施例，揭露的是内存子系统。内存子系统包括串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件、耦接至串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件的串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件、以及串行外围接口 (SPI) 双倍数据速率 (DDR) 接口。串行外围接口 (SPI) 双倍数据速率 (DDR) 接口存取串行外围接口 (SPI) 双倍数据速率 (DDR) 易失性内存组件及串行外围接口 (SPI) 双倍数据速率 (DDR) 非易失性内存组件，其中数据是在时脉信号的前缘和降缘上存取。

[0037] 虽然上面为了方便起见，以单数说明许多组件和程序，所属领域的技术人员将了解到，多个组件及重复程序也可用于实践本发明的技术。另外，尽管本发明已引用其特定具体实施例予以特别表示且说明，所属领域的技术人员仍将理解的是，仍可制作形式变更及所揭露具体实施例的细节，而不脱离本发明的精神或范围。例如，本发明的具体实施例可搭配各式各样的组件予以运用，并且不应该受限于上述任何一者。因此，希望将本发明解读成包括所有落在本发明真实精神和范围内的变形及均等件。

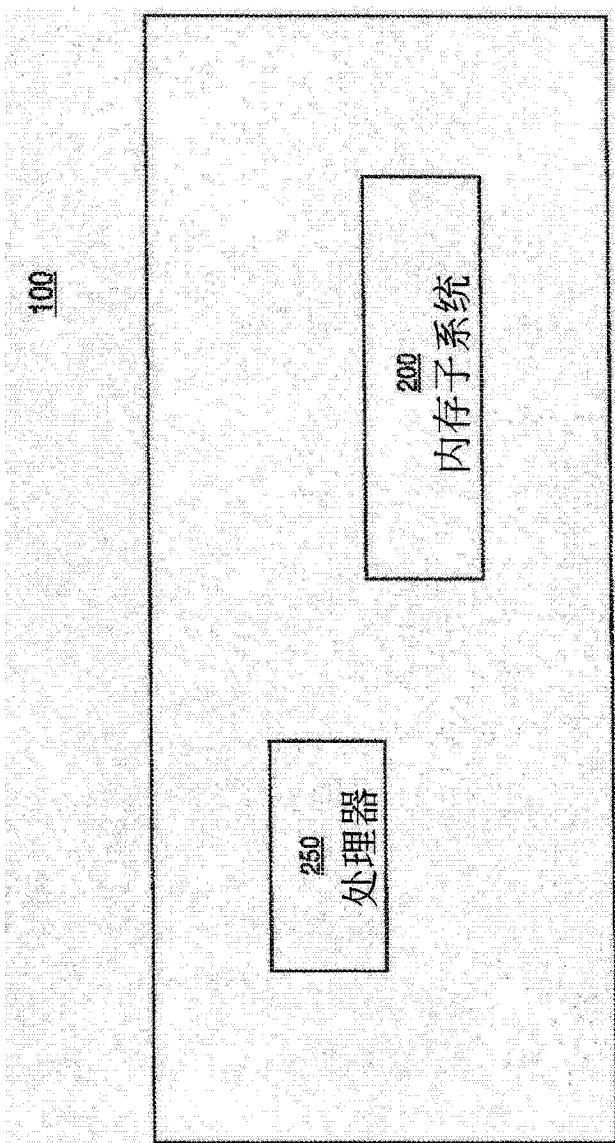


图 1

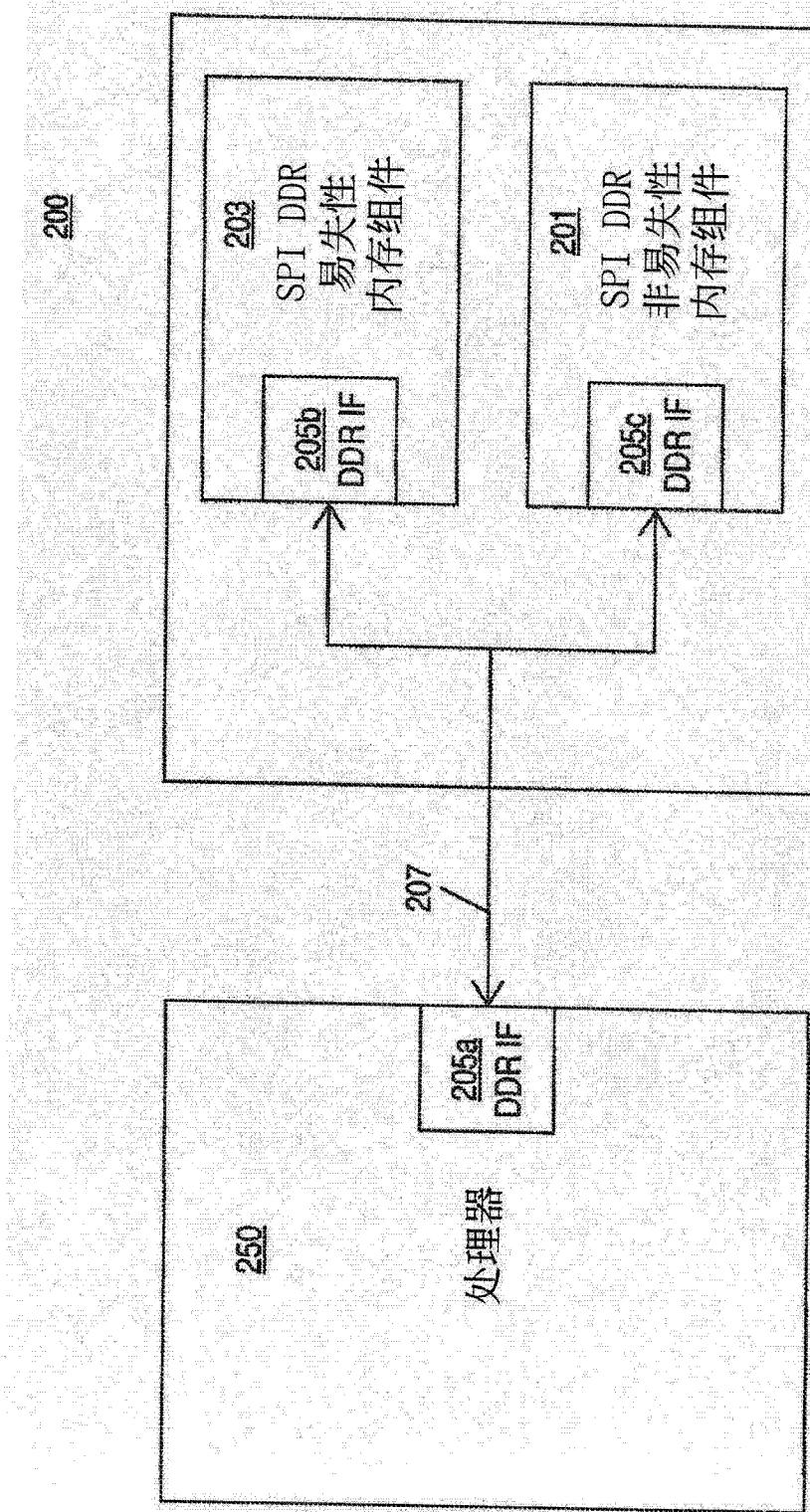


图 2

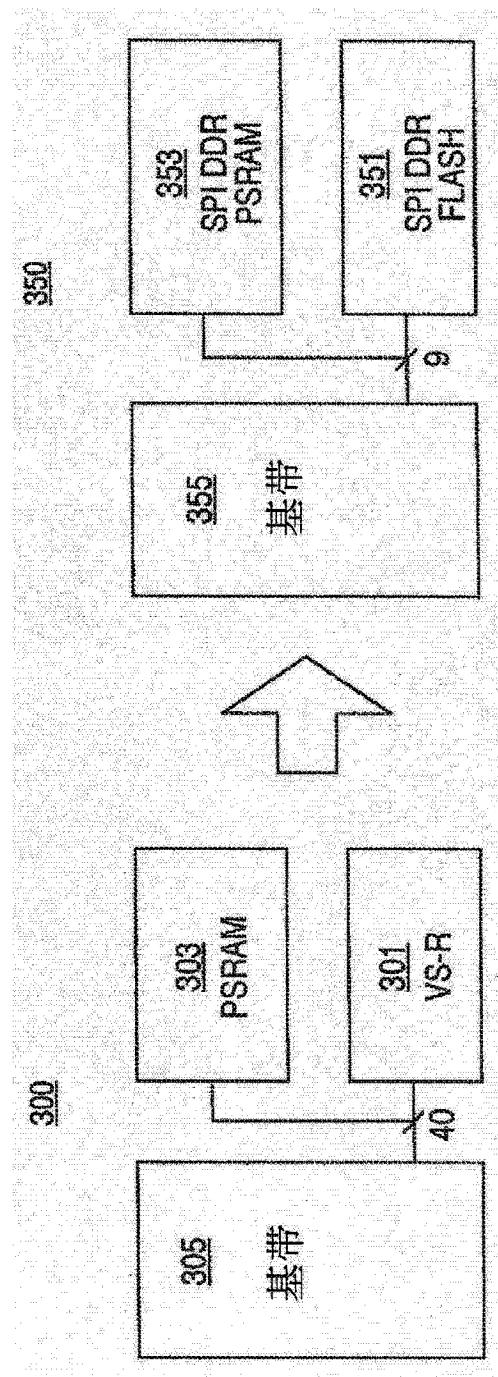


图 3

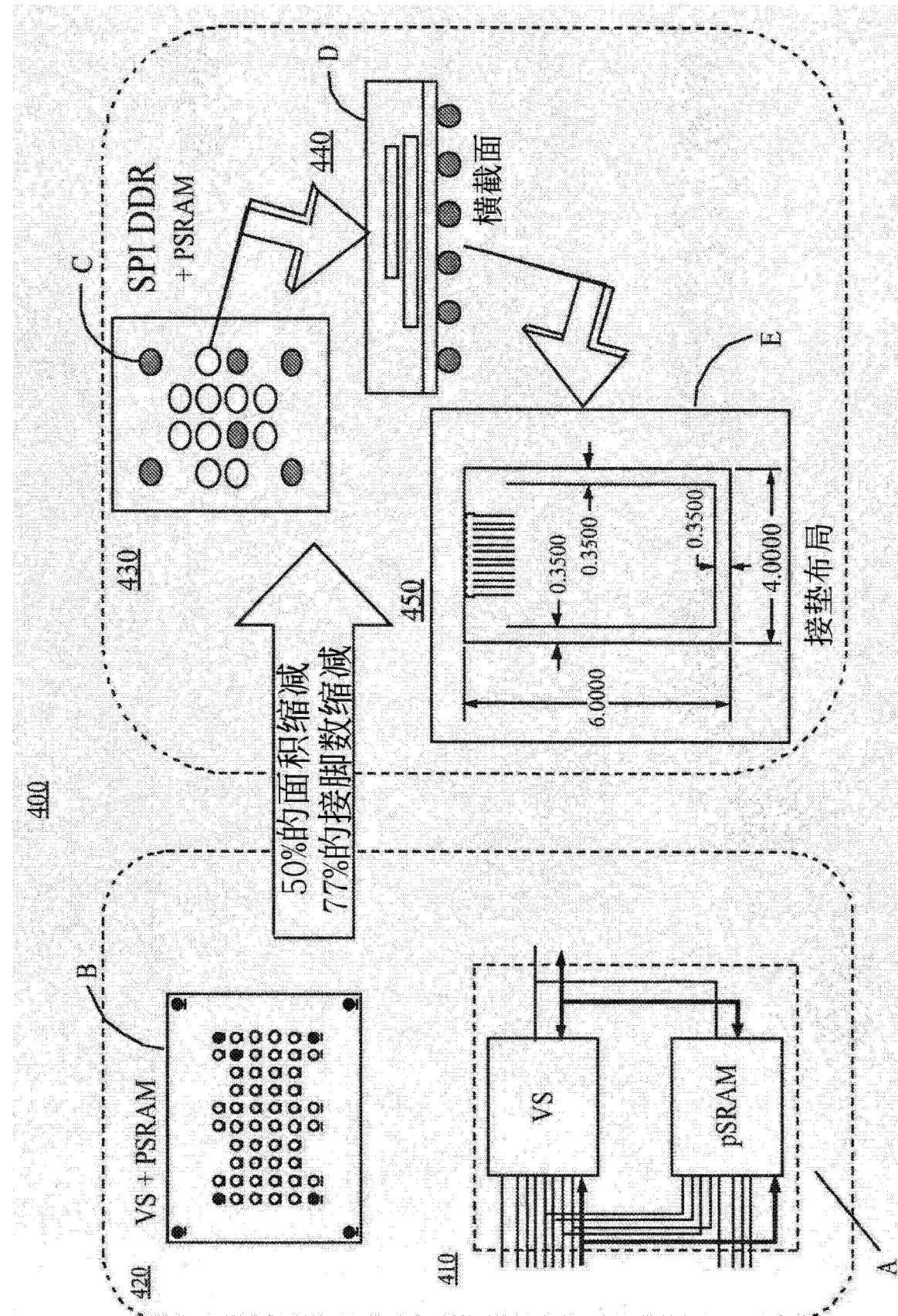


图 4

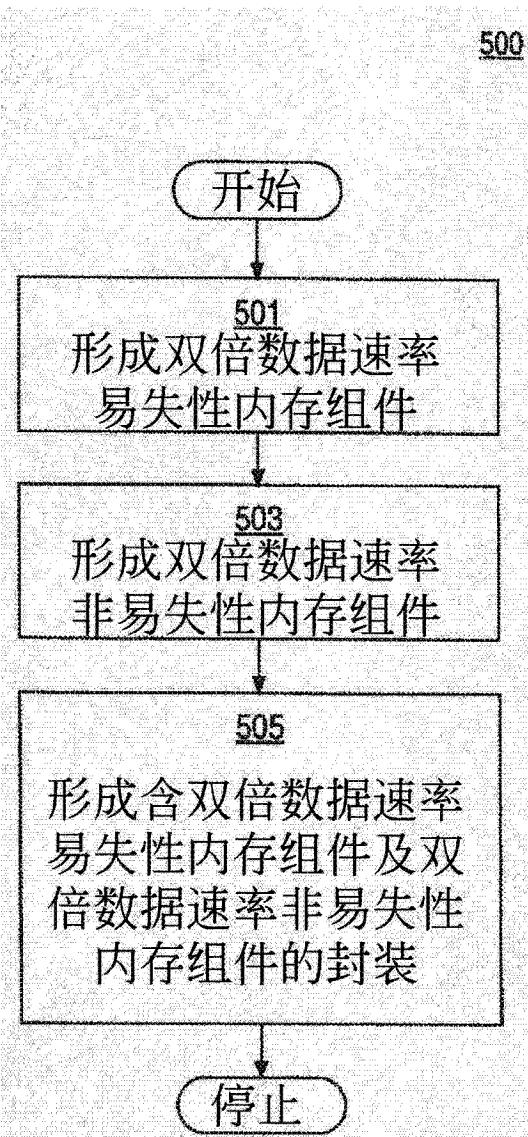


图 5