

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成19年4月26日(2007.4.26)

【公開番号】特開2001-312892(P2001-312892A)

【公開日】平成13年11月9日(2001.11.9)

【出願番号】特願2000-130835(P2000-130835)

【国際特許分類】

| | | |
|----------------|----------------|------------------|
| <i>G 1 1 C</i> | <i>16/04</i> | <i>(2006.01)</i> |
| <i>G 1 1 C</i> | <i>16/02</i> | <i>(2006.01)</i> |
| <i>H 0 1 L</i> | <i>21/8247</i> | <i>(2006.01)</i> |
| <i>H 0 1 L</i> | <i>27/115</i> | <i>(2006.01)</i> |
| <i>H 0 1 L</i> | <i>29/788</i> | <i>(2006.01)</i> |
| <i>H 0 1 L</i> | <i>29/792</i> | <i>(2006.01)</i> |

【F I】

| | | |
|----------------|--------------|----------------|
| <i>G 1 1 C</i> | <i>17/00</i> | <i>6 2 5</i> |
| <i>G 1 1 C</i> | <i>17/00</i> | <i>6 0 1 P</i> |
| <i>G 1 1 C</i> | <i>17/00</i> | <i>6 2 2 A</i> |
| <i>H 0 1 L</i> | <i>27/10</i> | <i>4 3 4</i> |
| <i>H 0 1 L</i> | <i>29/78</i> | <i>3 7 1</i> |

【手続補正書】

【提出日】平成19年3月12日(2007.3.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項3

【補正方法】変更

【補正の内容】

【請求項3】 前記複数の通常メモリセルは、各々がフロー・ティング・ゲートを有する電界効果型トランジスタであり、

各前記メモリブロックは、

前記通常メモリセルの列に対応して設けられる複数の通常ビット線と、

前記通常メモリセルの行に対応して設けられる複数のワード線とをさらに含み、

前記通常メモリセルの列に含まれる複数の通常メモリセルは、前記通常メモリセルの列に対応する前記通常ビット線と前記ソース線との間に並列に接続され、コントロールゲートがそれぞれ対応する行の前記ワード線に接続される、請求項2に記載の不揮発性半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項6

【補正方法】変更

【補正の内容】

【請求項6】 一括して消去動作を行なう単位となる複数のメモリブロックを備え、各前記メモリブロックは、

外部から与えられる通常データを保持する、行列状に配置された複数の通常メモリセルと、

前記複数の通常メモリセルの行にそれぞれ対応して設けられる複数のワード線と、

前記複数の通常メモリセルの列の少なくともいずれかひとつに隣接して設けられ、前記メモリブロックの書きおよび消去の許可情報であるロックビットを保持するロックビットセル列を含み、

前記ロックビットセル列は、

コントロールゲートとフローティングゲートとを各々が有する第1、第2の電界効果型トランジスタを有し、

前記第1の電界効果型トランジスタは、第1の内部ノードと第2の内部ノードとの間に接続され、コントロールゲートが前記複数のワード線のいずれか一つに接続され、しきい値電圧の大きさによって前記ロックビットを保持し、

前記第2の電界効果型トランジスタは、前記第1の電界効果型トランジスタと並列接続され、前記メモリブロックの一括消去時において前記フローティングゲートから電子の引き抜きが生じない電位となる第3の内部ノードにコントロールゲートが接続される、不揮発性半導体記憶装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0055

【補正方法】変更

【補正の内容】

【0055】

請求項3に記載の不揮発性半導体記憶装置は、請求項2に記載の不揮発性半導体記憶装置の構成に加えて、複数の通常メモリセルは、各々がフローティングゲートを有する電界効果型トランジスタであり、各メモリブロックは、通常メモリセルの列に対応して設けられる複数の通常ビット線と、通常メモリセルの行に対応して設けられる複数のワード線とをさらに含み、通常メモリセルの列に含まれる複数の通常メモリセルは、通常メモリセルの列に対応する通常ビット線とソース線との間に並列に接続され、コントロールゲートがそれぞれ対応する行のワード線に接続される。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

請求項6に記載の不揮発性半導体記憶装置は、一括して消去動作を行なう単位となる複数のメモリブロックを備え、各メモリブロックは、外部から与えられる通常データを保持する、行列状に配置された複数の通常メモリセルと、複数の通常メモリセルの行にそれぞれ対応して設けられる複数のワード線と、複数の通常メモリセルの列の少なくともいずれかひとつに隣接して設けられ、メモリブロックの書き込みおよび消去の許可情報であるロックビットを保持するロックビットセル列を含み、ロックビットセル列は、コントロールゲートとフローティングゲートとを各々が有する第1、第2の電界効果型トランジスタを有し、第1の電界効果型トランジスタは、第1の内部ノードと第2の内部ノードとの間に接続され、コントロールゲートが複数のワード線のいずれか一つに接続され、しきい値電圧の大きさによってロックビットを保持し、第2の電界効果型トランジスタは、第1の電界効果型トランジスタと並列接続され、メモリブロックの一括消去時においてフローティングゲートから電子の引き抜きが生じない電位となる第3の内部ノードにコントロールゲートが接続される。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0069

【補正方法】変更

【補正の内容】

【0069】

図1を参照して、不揮発性半導体記憶装置1は、内部にROM(リードオンリメモリ)を備え、このROMに保持しているプログラムコードと外部から与えられるコマンド信号

に基づき書込および消去の制御を行なう C P U 8 と、 C P U 8 により制御されて、図示しない外部電源電位から書込および消去用の高電圧を発生する書込／消去用高電圧発生回路 10 と、それぞれが電気的に分離された P ウェル (W E L L) の内部に形成されるメモリ ブロック 20 - 1 ~ 20 - n とを含む。メモリブロック 20 - 1 ~ 20 - n は、一般には 1 つまたは 2 つ程度のメモリアレイとして集合的に配置される。不揮発性半導体記憶装置 1 の消去動作は、このメモリブロック 20 - 1 ~ 20 - n の各々を単位として行なわれる。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

この不揮発性半導体記憶装置 1 は、いわゆる N O R 型フラッシュメモリであり、各メモリメモリブロックに含まれるメモリトランジスタのソースは共通のソース線 S L に接続されている。不揮発性半導体記憶装置 1 は、さらに、書込／消去用高電圧発生回路 10 から所定の電位を受けてソース線 S L の電位を設定する S L ドライバ 12 を含む。