

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 19 年 4 月 26 日 (2007.4.26)

【公開番号】特開 2001-312892 (P2001-312892A)
 【公開日】平成 13 年 11 月 9 日 (2001.11.9)
 【出願番号】特願 2000-130835 (P2000-130835)
 【国際特許分類】

G 1 1 C 16/04 (2006.01)
G 1 1 C 16/02 (2006.01)
H 0 1 L 21/8247 (2006.01)
H 0 1 L 27/115 (2006.01)
H 0 1 L 29/788 (2006.01)
H 0 1 L 29/792 (2006.01)

【F I】

G 1 1 C 17/00 6 2 5
 G 1 1 C 17/00 6 0 1 P
 G 1 1 C 17/00 6 2 2 A
 H 0 1 L 27/10 4 3 4
 H 0 1 L 29/78 3 7 1

【手続補正書】
 【提出日】平成 19 年 3 月 12 日 (2007.3.12)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】請求項 3
 【補正方法】変更
 【補正の内容】

【請求項 3】 前記複数の通常メモリセルは、各々がフローティングゲートを有する電界効果型トランジスタであり、
 各前記メモリブロックは、
 前記通常メモリセルの列に対応して設けられる複数の通常ビット線と、
 前記通常メモリセルの行に対応して設けられる複数のワード線とをさらに含み、
 前記通常メモリセルの列に含まれる複数の通常メモリセルは、前記通常メモリセルの列に対応する前記通常ビット線と前記ソース線との間に並列に接続され、コントロールゲートがそれぞれ対応する行の前記ワード線に接続される、請求項 2 に記載の不揮発性半導体記憶装置。

【手続補正 2】
 【補正対象書類名】明細書
 【補正対象項目名】請求項 6
 【補正方法】変更
 【補正の内容】

【請求項 6】 一括して消去動作を行なう単位となる複数のメモリブロックを備え、
 各前記メモリブロックは、
 外部から与えられる通常データを保持する、行列状に配置された複数の通常メモリセルと、
 前記複数の通常メモリセルの行にそれぞれ対応して設けられる複数のワード線と、
 前記複数の通常メモリセルの列の少なくともいずれかひとつに隣接して設けられ、前記メモリブロックの書込および消去の許可情報であるロックビットを保持するロックビットセル列を含み、

前記ロックビットセル列は、

コントロールゲートとフローティングゲートとを各々が有する第 1、第 2 の電界効果型トランジスタを有し、

前記第 1 の電界効果型トランジスタは、第 1 の内部ノードと第 2 の内部ノードとの間に接続され、コントロールゲートが前記複数のワード線のいずれか一つに接続され、しきい値電圧の大きさによって前記ロックビットを保持し、

前記第 2 の電界効果型トランジスタは、前記第 1 の電界効果型トランジスタと並列接続され、前記メモリブロックの一括消去時において前記フローティングゲートから電子の引き抜きが生じない電位となる第 3 の内部ノードにコントロールゲートが接続される、不揮発性半導体記憶装置。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 5

【補正方法】変更

【補正の内容】

【0 0 5 5】

請求項 3 に記載の不揮発性半導体記憶装置は、請求項 2 に記載の不揮発性半導体記憶装置の構成に加えて、複数の通常メモリセルは、各々がフローティングゲートを有する電界効果型トランジスタであり、各メモリブロックは、通常メモリセルの列に対応して設けられる複数の通常ビット線と、通常メモリセルの行に対応して設けられる複数のワード線とをさらに含み、通常メモリセルの列に含まれる複数の通常メモリセルは、通常メモリセルの列に対応する通常ビット線とソース線との間に並列に接続され、コントロールゲートがそれぞれ対応する行のワード線に接続される。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 8

【補正方法】変更

【補正の内容】

【0 0 5 8】

請求項 6 に記載の不揮発性半導体記憶装置は、一括して消去動作を行なう単位となる複数のメモリブロックを備え、各メモリブロックは、外部から与えられる通常データを保持する、行列状に配置された複数の通常メモリセルと、複数の通常メモリセルの行にそれぞれ対応して設けられる複数のワード線と、複数の通常メモリセルの列の少なくともいずれかひとつに隣接して設けられ、メモリブロックの書込および消去の許可情報であるロックビットを保持するロックビットセル列を含み、ロックビットセル列は、コントロールゲートとフローティングゲートとを各々が有する第 1、第 2 の電界効果型トランジスタを有し、第 1 の電界効果型トランジスタは、第 1 の内部ノードと第 2 の内部ノードとの間に接続され、コントロールゲートが複数のワード線のいずれか一つに接続され、しきい値電圧の大きさによってロックビットを保持し、第 2 の電界効果型トランジスタは、第 1 の電界効果型トランジスタと並列接続され、メモリブロックの一括消去時においてフローティングゲートから電子の引き抜きが生じない電位となる第 3 の内部ノードにコントロールゲートが接続される。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 9

【補正方法】変更

【補正の内容】

【0 0 6 9】

図 1 を参照して、不揮発性半導体記憶装置 1 は、内部に R O M (リードオンリメモリ) を備え、この R O M に保持しているプログラムコードと外部から与えられるコマンド信号

に基づき書込および消去の制御を行なうCPU8と、CPU8により制御されて、図示しない外部電源電位から書込および消去用の高電圧を発生する書込／消去用高電圧発生回路10と、それぞれが電氣的に分離されたPウェル(WELL)の内部に形成されるメモリブロック20-1～20-nとを含む。メモリブロック20-1～20-nは、一般には1つまたは2つ程度のメモリアレイとして集合的に配置される。不揮発性半導体記憶装置1の消去動作は、このメモリブロック20-1～20-nの各々を単位として行なわれる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0071

【補正方法】変更

【補正の内容】

【0071】

この不揮発性半導体記憶装置1は、いわゆるNOR型フラッシュメモリであり、各メモリメモリブロックに含まれるメモリトランジスタのソースは共通のソース線SLに接続されている。不揮発性半導体記憶装置1は、さらに、書込／消去用高電圧発生回路10から所定の電位を受けてソース線SLの電位を設定するSLドライバ12を含む。