

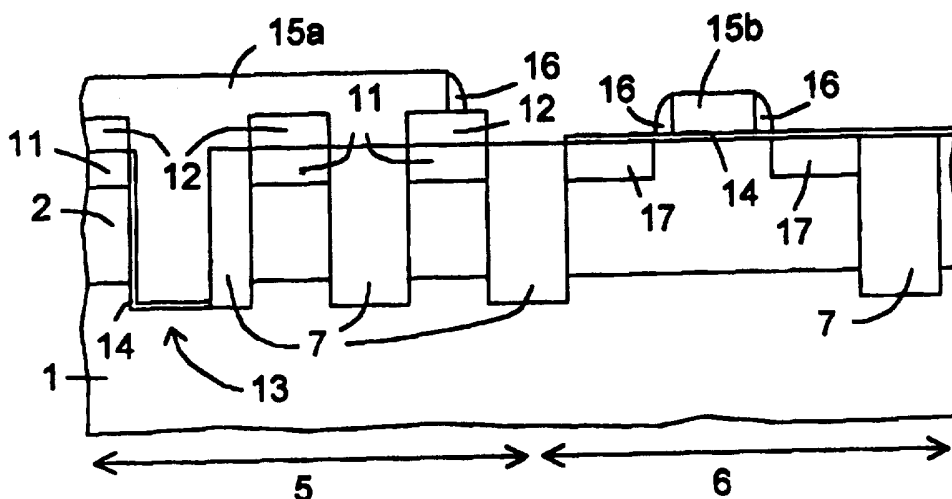


PCT
WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

INTERNATIONALE ZUSAMMENFASSUNG	
(51) Internationale Patentklassifikation ⁶ : H01L 21/8246, 27/112	A1
(11) Internationale Veröffentlichungsnummer: WO 96/13064	
(43) Internationales Veröffentlichungsdatum: 2. Mai 1996 (02.05.96)	
(21) Internationales Aktenzeichen: PCT/DE95/01365	(81) Bestimmungsstaaten: BR, CN, JP, KR, RU, US, europäisches Patent (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(22) Internationales Anmeldedatum: 5. Oktober 1995 (05.10.95)	
(30) Prioritätsdaten: P 44 37 581.6 20. Oktober 1994 (20.10.94) DE	
(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).	
(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): RISCH, Lothar [DE/DE]; Tizianstrasse 27, D-85579 Neubiberg (DE). HOFMANN, Franz [DE/DE]; Herbergstrasse 25b, D-80995 München (DE). RÖSNER, Wolfgang [DE/DE]; Heinzelmannchenstrasse 2, D-81739 München (DE). KRAUTSCHNEIDER, Wolfgang [DE/DE]; Am Oberfeld 50, D-83104 Hohenthann (DE).	
Veröffentlicht Mit internationalem Recherchenbericht.	

(54) Title: PROCESS FOR PRODUCING A READ-ONLY STORAGE CELL ARRANGEMENT WITH VERTICAL MOS TRANSISTORS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG EINER FESTWERTSPEICHERZELLENANORDNUNG MIT VERTIKALEN MOS-TRANSISTOREN



(57) Abstract

To produce a read-only storage cell arrangement with first storage cells comprising a vertical MOS transistor and second storage cells comprising no vertical MOS transistors, holes (13) are etched in a silicon substrate (1) with a sequence of layers corresponding to source (1), channel (2) and drain (11) for the first storage cells, having a gate dielectric (14) and a gate electrode (15a). Insulation pits (7) at a spacing of preferably their width are produced to isolate neighbouring storage cells.

(57) Zusammenfassung

Zur Herstellung einer Festwertspeicherzellenanordnung mit ersten Speicherzellen, die einen vertikalen MOS-Transistor umfassen, und zweiten Speicherzellen, die keinen vertikalen MOS-Transistor umfassen, werden in einem Siliziumsubstrat (1) mit einer Schichtenfolge entsprechend Source (1), Kanal (2) und Drain (11) für die ersten Speicherzellen Löcher (13) geätzt, die mit einem Gatedielektrikum (14) und einer Gateelektrode (15a) versehen werden. Zur Isolation benachbarter Speicherzellen werden Isolationsgräben (7) erzeugt, deren Abstand vorzugsweise gleich ihrer Breite ist.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AT	Österreich	GA	Gabon	MR	Mauretanien
AU	Australien	GB	Vereinigtes Königreich	MW	Malawi
BB	Barbados	GE	Georgien	NE	Niger
BE	Belgien	GN	Guinea	NL	Niederlande
BF	Burkina Faso	GR	Griechenland	NO	Norwegen
BG	Bulgarien	HU	Ungarn	NZ	Neuseeland
BJ	Benin	IE	Irland	PL	Polen
BR	Brasilien	IT	Italien	PT	Portugal
BY	Belarus	JP	Japan	RO	Rumänien
CA	Kanada	KE	Kenya	RU	Russische Föderation
CF	Zentrale Afrikanische Republik	KG	Kirgisistan	SD	Sudan
CG	Kongo	KP	Demokratische Volksrepublik Korea	SE	Schweden
CH	Schweiz	KR	Republik Korea	SI	Slowenien
CI	Côte d'Ivoire	KZ	Kasachstan	SK	Slowakei
CM	Kamerun	LI	Liechtenstein	SN	Senegal
CN	China	LK	Sri Lanka	TD	Tschad
CS	Tschechoslowakei	LU	Luxemburg	TG	Togo
CZ	Tschechische Republik	LV	Lettland	TJ	Tadschikistan
DE	Deutschland	MC	Monaco	TT	Trinidad und Tobago
DK	Dänemark	MD	Republik Moldau	UA	Ukraine
ES	Spanien	MG	Madagaskar	US	Vereinigte Staaten von Amerika
FI	Finnland	ML	Mali	UZ	Usbekistan
FR	Frankreich	MN	Mongolei	VN	Vietnam

Beschreibung

Verfahren zur Herstellung einer Festwertspeicherzellenanordnung mit vertikalen MOS-Transistoren.

Für viele elektronische Systeme werden Speicher benötigt, in die Daten in digitaler Form fest eingeschrieben sind. Derartige Speicher werden unter anderem als Festwertspeicher, Lesespeicher oder Read-Only-Memory bezeichnet.

Für große Datenmengen, wie insbesondere die digitale Abspeicherung von Musik, werden als Lesespeicher vielfach Kunststoffscheiben, sogenannte Compact Disk, verwendet, die mit Aluminium beschichtet sind. In der Beschichtung weisen diese Scheiben zweierlei punktartige Vertiefungen auf, die den logischen Werten Null und Eins zugeordnet werden. In der Anordnung dieser Vertiefungen ist die Information digital abgespeichert.

Zum Lesen der auf einer Compact Disk gespeicherten Daten wird die Scheibe in einem Lesegerät mechanisch rotiert. Die punktartigen Vertiefungen werden über eine Laserdiode und eine Photozelle abgetastet. Typische Abtastraten sind dabei 2 x 40 kHz. Auf einer Kunststoffscheibe können ca. 4 GBit Informationen gespeichert werden.

Das Lesegerät umfaßt bewegte Teile, die mechanisch verschleiben, die vergleichsweise viel Volumen benötigen und die nur einen langsamen Datenzugriff erlauben. Darüber hinaus ist das Lesegerät empfindlich gegen Erschütterungen und daher für mobile Systeme nur begrenzt geeignet.

Zur Speicherung kleinerer Datenmengen werden vielfach Festwertspeicher auf Halbleiterbasis, insbesondere Silizium, verwendet. Diese sind meist als planare integrierte Siliziumschaltung realisiert, in der als Speicherzellen MOS-Transi-

- storen verwendet werden. Beim Auslesen werden die einzelnen Speicherzellen über die Gateelektrode der MOS-Transistoren, die mit einer Wortleitung verbunden ist, ausgewählt. Der Eingang jedes MOS-Transistors ist mit einer Referenzleitung verbunden, der Ausgang mit einer Bitleitung. Beim Lesevorgang wird bewertet, ob ein Strom durch den Transistor fließt oder nicht. Entsprechend werden die logischen Werte Null und Eins zugeordnet.
- 10 Technisch wird die Speicherung von Null und Eins bei diesen Festwertspeichern dadurch bewirkt, daß in Speicherzellen, in denen der dem Zustand "kein Stromfluß durch den Transistor" zugeordnete logische Wert gespeichert ist, kein MOS-Transistor hergestellt wird oder keine leitende Verbindung zur Bit-
- 15 leitung realisiert wird. Alternativ können für die beiden logischen Werte durch MOS-Transistoren realisiert werden, die durch unterschiedliche Implantationen im Kanalgebiet unterschiedliche Einsatzspannungen aufweisen.
- 20 Diese bekannten Siliziumspeicher weisen meist einen planaren Aufbau auf. Damit wird pro Speicherzelle ein minimaler Flächenbedarf erforderlich, der bei etwa 6 bis 8 F^2 liegt, wobei F die in der jeweiligen Technologie kleinste herstellbare Strukturgröße ist. Planare Festwertsiliziumspeicher sind damit bei einer Ein- μm -Technologie auf Speicherdichten um 0,14 bit/ μm^2 begrenzt.
- 30 Aus US-PS 5 021 355 ist ein Festwertspeicher mit vertikalen MOS-Transistoren bekannt. Zur Herstellung dieses Festwertspeichers wird in einem n-dotierten Substrat eine p-Wanne erzeugt. An der Oberfläche der p-Wanne wird ein n-dotiertes Draingebiet erzeugt. Zur Bildung vertikaler MOS-Transistoren werden Gräben geätzt, die bis in die p-Wanne hineinreichen. Durch Implantation wird am Boden der Gräben ein Sourcegebiet
- 35 gebildet, das bis an das n-dotierte Substrat angrenzen kann. Entlang der Flanken des Grabens ist ein Kanalgebiet angeordnet. Die Oberfläche des Grabens wird mit einem Gatedielektri-

kum versehen. Der Graben wird mit einer Gateelektrode aufgefüllt. Benachbarte Speicherzellen werden durch flache Isolationsgebiete, die die Draingebiete durchtrennen und bis in die p-Wanne hineinreichen, gegeneinander isoliert. Null und
5 Eins werden in dieser Anordnung dadurch unterschieden, daß für einen der logischen Werte kein Graben geätzt und kein Transistor hergestellt wird.

Der Erfindung liegt das Problem zugrunde, ein Verfahren zur
10 Herstellung einer Festwertspeicherzellenanordnung auf Halbleiterbasis anzugeben, mit dem Festwertspeicherzellenanordnungen mit erhöhter Speicherdichte erzielt werden und bei dem eine hohe Ausbeute sichergestellt ist.

15 Dieses Problem wird erfindungsgemäß gelöst durch ein Verfahren gemäß Anspruch 1. Weitere Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

In dem erfindungsgemäßen Verfahren wird eine Festwertspeicherzellenanordnung hergestellt, die erste Speicherzellen und
20 zweite Speicherzellen umfaßt. Die ersten Speicherzellen, in denen ein erster logischer Wert gespeichert ist, werden durch einen zur Hauptfläche vertikalen MOS-Transistor realisiert. Die zweiten Speicherzellen, in denen ein zweiter logischer
25 Wert gespeichert ist, werden dadurch realisiert, daß kein MOS-Transistor gebildet wird.

Zur Herstellung der Festwertspeicherzellenanordnung werden in einem Siliziumsubstrat, das von einem ersten Leitfähig-
30 keitstyp dotiert ist, ein erstes dotiertes Gebiet und ein zweites dotiertes Gebiet erzeugt. Das erste dotierte Gebiet ist von einem zweiten, zum ersten entgegengesetzten Leitfähigkeitstyp dotiert. Es erstreckt sich über das gesamte Zellenfeld. Es kann sowohl als entsprechend ausgedehnte Wanne
35 als auch als durchgehende Schicht über das gesamte Substrat gebildet sein. Das zweite dotierte Gebiet ist vom ersten

Leitfähigkeitstyp dotiert und grenzt an die Hauptfläche des Substrats an.

5 Es werden mehrere, im wesentlichen parallel verlaufende Isolationsgräben erzeugt. Die Isolationsgräben weisen parallel zur Hauptfläche einen streifenförmigen Querschnitt auf und verlaufen über das gesamte Zellenfeld. Die Isolationsgräben reichen von der Hauptfläche bis in das vom ersten Leitfähigkeitstyp dotierte Substrat hinein.

10

Zur Herstellung der ersten Speicherzellen werden Löcher geöffnet, die von der Hauptfläche durch das erste dotierte Gebiet hindurch in das vom ersten Leitfähigkeitstyp dotierte Substrat hineinreichen. Die Oberfläche der Löcher wird mit
15 einem Gatedielektrikum und einer Gateelektrode versehen. Das zweite dotierte Gebiet, das erste dotierte Gebiet und das Substrat wirken dabei als Drain, Kanal und Source.

20 Zur Herstellung der zweiten Speicherzellen wird an den entsprechenden Orten kein Loch geätzt.

Die Speicherzellen werden vorzugsweise in Zeilen und Spalten angeordnet. Zwischen je zwei Spalten ist jeweils ein Isolationsgraben angeordnet. Quer zu den Isolationsgräben verlaufen
25 Wortleitungen, mit denen die Gateelektroden verbunden sind. Die zweiten dotierten Gebiete, die jeweils zwischen benachbarten Isolationsgräben parallel zu den Isolationsgräben verlaufen, werden als Bitleitungen verwendet. Das Substrat stellt eine gemeinsame Leitung dar, über die eine Betriebs-
30 spannung angelegt wird.

Als Halbleitersubstrat wird vorzugsweise ein Substrat aus monokristallinem Silizium verwendet.

35 Vorzugsweise werden die Löcher zur Bildung der vertikalen MOS-Transistoren jeweils so angeordnet, daß sie die Grenzfläche zwischen einem der Isolationsgräben und dem benachbarten

Teil des zweiten dotierten Gebietes überlappen. Dadurch läßt sich die Anordnung mit größerer Packungsdichte erstellen.

Es ist besonders vorteilhaft, die Isolationsgräben in solchen
5 Abständen und mit solchen Breiten zu erzeugen, daß der Abstand zwischen benachbarten Isolationsgräben im wesentlichen gleich der Breite der Isolationsgräben ist. Gleichzeitig werden die Löcher mit einem Querschnitt parallel zur Hauptfläche erzeugt, dessen lineare Abmessungen im wesentlichen gleich
10 der Breite der Isolationsgräben ist. Das bedeutet, die Löcher werden zum Beispiel quadratisch mit einer Seitenlänge entsprechend der Breite der Isolationsgräben oder rund mit einem Durchmesser entsprechend der Breite der Isolationsgräben hergestellt. Der Mittelpunkt des Querschnitts der Löcher wird
15 dabei in Bezug auf die Mitte der Isolationsgräben versetzt angeordnet.

Wird in dieser Ausführungsform die Breite der Isolationsgräben gleich der kleinsten, in der verwendeten Technologie her-
20 zustellenden Strukturgröße F erzeugt, so beträgt der Flächenbedarf einer Speicherzelle $4 F^2$. In dieser Ausführungsform der Erfindung wird ausgenutzt, daß die Justiergenauigkeit stets besser als die kleinste herstellbare Strukturgröße F ist. Bei einer $1\text{-}\mu\text{m}$ -Technologie läßt sich damit eine Spei-
25 cherzelle mit einer Fläche von $4 \mu\text{m}^2$ herstellen. Damit werden Speicherdichten von $0,25 \text{ bit}/\mu\text{m}^2$ erzielt. Die erfindungsgemäß hergestellte Festwert-Speicherzellenanordnung ist daher zur Abspeicherung hoher Datenmengen geeignet. Sie ist damit eine attraktive Alternative zu einem herkömmlichen Compact Disk-
30 speicher, da die erfindungsgemäße Anordnung einen wahlfreien Zugriff auf die gespeicherte Information erlaubt, da sie zum Auslesen kein mechanisches Laufwerk und damit weniger elektrische Leistung erfordert und da sie auch für mobile Systeme einsetzbar ist.

35

Bei der Herstellung einer Speicherzellenanordnung mit $4 F^2$ - Speicherzellen ist es vorteilhaft, die Löcher in Bezug auf

die Mitte der Isolationsgräben um etwa eine halbe Breite der Isolationsgräben versetzt anzuordnen, da dann die Isolation zwischen benachbarten Speicherzellen am größten ist.

- 5 Es liegt im Rahmen der Erfindung, bei der Herstellung des Zellenfeldes der Speicherzellenanordnung gleichzeitig MOS-Transistoren zur Ansteuerung der Speicherzellenanordnung in der Peripherie auf dem Substrat zu bilden. Das Gateoxid und die Gateelektroden der MOS-Transistoren in der Peripherie
10 können dabei in den gleichen Prozeßschritten wie das Gateoxid und die Gateelektroden im Zellenfeld gebildet werden.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der Figuren näher erläutert.

15

Figur 1 zeigt ein Substrat mit einem ersten dotierten Gebiet.

Figur 2 zeigt das Substrat nach der Herstellung von Isolationsgräben.

20

Figur 3 zeigt das Substrat mit einer Maske, die ein Gebiet für eine Peripherie abdeckt.

Figur 4 zeigt das Substrat nach der Bildung eines zweiten dotierten Gebietes und einer isolierenden Schicht an
25 der Oberfläche des zweiten dotierten Gebietes.

Figur 5 zeigt das Substrat nach der Öffnung von Löchern für vertikale MOS-Transistoren und der Bildung eines Gateoxids.
30

Figur 6 zeigt das Substrat nach Erzeugung einer dotierten Polysiliziumschicht.

35 Figur 7 zeigt das Substrat nach Strukturierung der dotierten Polysiliziumschicht in Wortleitungen und Gateelektroden für MOS-Transistoren in der Peripherie sowie nach

Erzeugung von Source/Drain-Gebieten für die MOS-Transistoren der Peripherie.

Figur 8 zeigt eine Aufsicht auf ein Zellenfeld einer nach dem
5 erfindungsgemäßen Verfahren hergestellten Speicherzellenanordnung.

Auf einem Substrat 1 aus zum Beispiel n-dotiertem monokristallinem Silizium mit einer Dotierstoffkonzentration von $1 \times 10^{19} \text{ cm}^{-3}$ wird ein erstes dotiertes Gebiet 2 erzeugt. Das erste dotierte Gebiet 2 wird zum Beispiel p-dotiert mit einer Dotierstoffkonzentration von zum Beispiel $5 \times 10^{16} \text{ cm}^{-3}$ (siehe Figur 1). Das erste dotierte Gebiet 2 wird zum Beispiel durch eine ganzflächige oder maskierte Implantation mit
15 Bor oder durch Aufwachsen von einer in situ p-dotierten Schicht mittels einer CVD-Epitaxie hergestellt. Das erste dotierte Gebiet 2 umfaßt eine Hauptfläche 3. Senkrecht zur Hauptfläche 3 weist das erste dotierte Gebiet 2 eine Dicke von zum Beispiel $0,5 \text{ }\mu\text{m}$ bis $1 \text{ }\mu\text{m}$ auf.

20 Unter Verwendung einer Grabenmaske, die auf die Hauptfläche 3 aufgebracht wird und die der Übersichtlichkeit halber nicht dargestellt ist, werden in einem anisotropen Trockenätzverfahren Gräben 4 geätzt (siehe Figur 2). In demjenigen Teil
25 des Substrats 1, in dem im weiteren ein Zellenfeld 5 gebildet wird, verlaufen die Gräben 4 streifenförmig über die Hauptfläche 3. Die Gräben 4 weisen eine Tiefe von zum Beispiel $0,5$ bis $1 \text{ }\mu\text{m}$ auf. Sie reichen bis in das n-dotierte Substrat 1 hinein. Parallel zur Hauptfläche 3 weisen die Gräben 4 eine
30 Breite von einer minimalen Strukturgröße F , zum Beispiel $0,6 \text{ }\mu\text{m}$, auf und eine Länge von zum Beispiel $100 \text{ }\mu\text{m}$. Im Bereich des Zellenfeldes 5 sind zum Beispiel 16.000 Gräben parallel nebeneinander angeordnet. Der Abstand zwischen benachbarten Gräben 4 beträgt wiederum eine minimale Strukturgröße, zum
35 Beispiel $0,6 \text{ }\mu\text{m}$.

Außerhalb des Zellenfeldes 5 wird in dem Substrat im weiteren eine Peripherie gebildet. Bei der Grabenätzung werden im Bereich der Peripherie 5 ebenfalls Gräben 4a erzeugt, die später zur Isolation von in der Peripherie 6 herzustellenden Schaltungsteilen verwendet werden.

Anschließend werden die Gräben 4, 4a mit isolierendem Material gefüllt. Dazu wird zum Beispiel eine thermische Oxidation bei 900°C durchgeführt, bei der eine SiO₂-Schicht in einer Dicke von etwa 40 nm entsteht. Anschließend wird in einem TEOS-Verfahren eine weitere SiO₂-Schicht mit im wesentlichen konformer Kantenbedeckung abgeschieden. Die weitere SiO₂-Schicht wird in einer solchen Dicke abgeschieden, daß die Gräben 4, 4a vollständig aufgefüllt werden. Anschließend werden die weitere SiO₂-Schicht und die SiO₂-Schicht in einem zu Silizium selektiven Ätzverfahren, zum Beispiel mit CHF₃, CF₄, Ar rückgeätzt, bis die Oberfläche des ersten dotierten Gebietes 2 freigelegt wird. Auf diese Weise werden die Gräben 4, 4a mit einer Grabenisolation 7 aus SiO₂ aufgefüllt.

Anschließend wird auf die Hauptfläche 3 ganzflächig eine dünne SiO₂-Schicht 8 und eine Si₃N₄-Schicht 9 aufgebracht. Die SiO₂-Schicht 8 wird in einer Dicke von zum Beispiel 20 nm und die Si₃N₄-Schicht 9 in einer Dicke von zum Beispiel 100 nm erzeugt. Es wird eine Maske 10 aus zum Beispiel Photolack erzeugt, die die Peripherie 6 abdeckt, während das Zellenfeld von der Maske 10 unbedeckt bleibt. Unter Verwendung der Maske 10 als Ätzmaske wird in einem anisotropen Trockenätzprozeß die Si₃N₄-Schicht 9 und die SiO₂-Schicht 8 strukturiert, so daß die Hauptfläche 3 im Bereich des Zellenfeldes 5 freigelegt wird.

Durch eine Implantation mit Arsen bei einer Implantationsenergie von 50 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ wird zwischen den Grabenisolationen 7 jeweils ein streifenförmiges zweites dotiertes Gebiet 11 erzeugt, das n⁺-dotiert ist mit einer Dotierstoffkonzentration von 10^{21} cm^{-3} . Die Tiefe des

zweiten dotierten Gebietes 11 senkrecht zur Hauptfläche 3 beträgt jeweils etwa $0,2\text{ }\mu\text{m}$ (siehe Figur 3).

Nach Entfernen der Maske 10 wird eine thermische Oxidation bei 850°C in feuchter Atmosphäre durchgeführt. Dabei entsteht an der Oberfläche der zweiten dotierten Gebiete 11 selbstjustiert eine isolierende Schicht 12 aus SiO_2 . Die isolierende Schicht 12 weist eine Dicke von etwa 400 nm auf (siehe Figur 4).

10

Um die Planarität im Zellenfeld 5 zu verbessern, kann vor der Implantation zur Bildung der zweiten dotierten Gebiete 11 eine zu SiO_2 selektive Siliziumätzung mit zum Beispiel HBr , Cl_2 , He durchgeführt werden. Dabei wird im Zellenfeld die Höhe des ersten dotierten Gebietes 2 um etwa die halbe Dicke der später herzustellenden isolierenden Schicht 12 reduziert. Bei der thermischen Oxidation zur selbstjustierten Bildung der isolierenden Schicht 12 an der Oberfläche der zweiten dotierten Gebiete 11 wird dann die beim Rückätzen entstandene Stufe durch das Aufquellen des Materials bei der Oxidation ausgeglichen, so daß im Zellenfeld eine planare Oberfläche erzielt wird. Der Übersichtlichkeit halber sind diese Schritte nicht im einzelnen dargestellt.

25 Nach der Bildung der isolierenden Schicht 12 werden in der Peripherie 6 die Siliziumnitridschicht 9 und die SiO_2 -Schicht 8 zum Beispiel mit CHF_3 , O_2 bzw. CHF_3 , CF_4 , Ar entfernt.

Es wird eine Maske erzeugt, die die Peripherie 6 vollständig abdeckt und die im Zellenfeld den Ort für Löcher definiert. In einem anisotropen Ätzprozeß, zum Beispiel mit Ar werden anschließend Löcher 13 geätzt, die jeweils an eine Grabenisolation 7 angrenzen und diese teilweise überlappen. In diesem Ätzprozeß wird das Zellenfeld 5 programmiert. Die Löcher 13 weisen parallel zur Hauptfläche 3 einen im wesentlichen quadratischen Querschnitt mit einer Seitenlänge von einer minimalen Strukturgröße F , zum Beispiel $0,6\text{ }\mu\text{m}$ auf. Bezüglich der

35

Mitte der jeweils benachbarten Grabenisolation sind die Löcher 13 um $F/2$ versetzt angeordnet. Dabei wird ausgenutzt, daß in heutigen Technologien die Justiergenauigkeit stets besser ist als die minimale Strukturgröße F . Die Löcher 13
5 reichen bis in das n-dotierte Substrat 1 hinein. Sie weisen eine Tiefe von zum Beispiel 1 μm auf.

Nach Entfernen der Maske wird eine thermische Oxidation bei zum Beispiel 750°C durchgeführt. Dabei entsteht an freilie-
10 genden Siliziumflächen ein Gateoxid 14. Das Gateoxid 14 entsteht dabei sowohl an den freiliegenden Siliziumflächen, die die Flanken und den Boden der Löcher 13 bilden als auch in der Peripherie 6 an der freiliegenden Oberfläche des ersten dotierten Gebietes 2. Wegen der unterschiedlichen Dotierung
15 wächst das Gateoxid 14 in den Löchern 13 auf der Oberfläche des ersten dotierten Gebietes 2 mit geringerer Dicke auf als auf der Oberfläche des Substrats 1 sowie des zweiten dotierten Gebietes 11. An der Oberfläche des ersten dotierten Ge-
bietes 2 wird das Gateoxid 14 in einer Dicke von zum Beispiel
20 15 nm, an der Oberfläche des Substrats 1 und des zweiten dotierten Gebietes 11 in einer Dicke von ca. 30 nm erzeugt (siehe Figur 5).

Es wird eine Implantation mit zum Beispiel Bor durchgeführt.
25 Dabei beträgt die Implantationsenergie zum Beispiel 25 keV und die Dosis zum Beispiel $1 \times 10^{12} \text{ cm}^{-2}$. Durch diese Implantation wird die Einsatzspannung von im folgenden in der Peripherie 6 herzustellenden MOS-Transistoren eingestellt.

30 Anschließend wird ganzflächig eine leitfähige Schicht 15 aus zum Beispiel dotiertem Polysilizium abgeschieden. Die leitfähige Schicht 15 wird mit im wesentlichen konformer Kantenbedeckung abgeschieden. Die Dicke der leitfähigen Schicht 15 wird so eingestellt, daß die Löcher 13 vollständig aufgefüllt
35 werden. Die Abscheidung der leitfähigen Schicht 15 erfolgt zum Beispiel in einem CVD-Verfahren mit SiH_4 , wobei dem Prozeßgas als Dotierstoff Phosphor beigegeben wird. Die

leitfähige Schicht 15 wird in einer Dicke von zum Beispiel 400 nm abgeschieden (siehe Figur 6).

Es wird eine Photolackmaske (nicht dargestellt) erzeugt. Unter Verwendung der Photolackmaske als Ätzmaske wird die leitfähige Schicht 15 in einem anisotropen Ätzprozeß, zum Beispiel mit HBr, Cl₂ strukturiert (siehe Figur 7). Dabei werden im Bereich des Zellenfeldes 5 aus der leitfähigen Schicht 15 Wortleitungen 15a gebildet. Gleichzeitig werden im Bereich der Peripherie 6 Gateelektroden 15b für MOS-Transistoren gebildet.

Die Wortleitungen 15a verlaufen quer zu den Grabenisolationen 7. Der in den Löchern 13 angeordnete Teil der Wortleitungen 15a bildet jeweils eine Gateelektrode für den aus Substrat 1, erstem dotiertem Gebiet 2, zweitem dotiertem Gebiet 11 und an der Flanke des jeweiligen Lochs 13 angeordneten Gatedielektrikum 14 gebildeten MOS-Transistor. Die Gateelektroden dieser vertikalen MOS-Transistoren sind herstellungsbedingt mit der jeweiligen Wortleitung 15a verbunden.

Zur Fertigstellung von lateralen MOS-Transistoren in der Peripherie 6 werden anschließend durch konforme Abscheidung und anisotrope Ätzung einer SiO₂-Schicht an senkrechten Flanken der Wortleitungen 15a sowie der Gateelektroden 15b SiO₂-Spacer 16 erzeugt. Durch Implantation mit zum Beispiel Arsen bei einer Energie von 50 keV und einer Dosis von $5 \times 10^{15} \text{ cm}^{-2}$ werden in der Peripherie 6 Source/Drain-Gebiete 17 gebildet. Da die Source/Drain-Gebiete 17 der MOS-Transistoren in der Peripherie 6 vom gleichen Leitfähigkeitstyp dotiert sind wie die Gateelektrode 15b und die Wortleitungen 15a, kann diese Implantation ohne zusätzliche Maske erfolgen.

Zur Herstellung der lateralen MOS-Transistoren in der Peripherie 6 können weitere, aus der MOS-Technik bekannte Verfahrensschritte wie LDD-Profil, Salicide-Technik und ähnliches durchgeführt werden.

Zur Fertigstellung der Festwertspeicherzellenanordnung wird anschließend ganzflächig eine planarisierende Zwischenoxidschicht zum Beispiel aus Bor-Phosphor-Silikatglas abgeschieden, in der Kontaktlöcher geöffnet werden. Die Kontaktlöcher werden zum Beispiel mit Wolfram aufgefüllt. Es folgt die Erzeugung einer Metallisierungsebene zum Beispiel durch Abscheidung und Strukturierung einer Aluminiumschicht. Schließlich wird eine Passivierungsschicht aufgebracht. Dabei wird auch das Substrat 1 mit einem Kontakt versehen. Diese Standardschritte sind nicht im einzelnen dargestellt.

In der erfindungsgemäß hergestellten Festwertspeicherzellenanordnung wird das Substrat 1, das n-dotiert ist, als gemeinsame Referenzleitung verwendet, die mit den Sourcegebieten der vertikalen MOS-Transistoren im Zellenfeld 5 verbunden ist. Die jeweils zwischen benachbarten Grabenisolationen 7 angeordneten streifenförmigen Teile des ersten dotierten Gebietes 2, das p-dotiert ist, wird als Kanalgebiet für die vertikalen MOS-Transistoren verwendet. Die zweiten dotierten Gebiete 11, die jeweils streifenförmig zwischen benachbarten Grabenisolationen 7 verlaufen, werden als Bitleitungen verwendet.

Figur 8 zeigt eine Aufsicht auf das Zellenfeld 5 der erfindungsgemäß hergestellten Festwertspeicherzellenanordnung. Die Festwertspeicherzellenanordnung umfaßt im Zellenfeld 5 erste Speicherzellen 18 sowie zweite Speicherzellen 19. Die Zellengröße der ersten Speicherzellen 18 und der zweiten Speicherzellen 19 sind in Figur 8 als strichpunktierte Linien eingetragen. In den ersten Speicherzellen 18 ist jeweils ein erster logischer Wert, in den zweiten Speicherzellen 19 ein zweiter logischer Wert gespeichert. Der erste logische Wert wird in den ersten Speicherzellen 18 dadurch eingeschrieben, daß im Bereich der ersten Speicherzellen 18 durch Ätzung des Loches 13 und Bildung von Gateoxid 14 und Gateelektrode 15

ein vertikaler MOS-Transistor gebildet wird, dessen Gateelektrode mit einer der Wortleitungen 15a verbunden ist.

Der zweite logische Wert wird in den zweiten Speicherzellen 19 dadurch eingeschrieben, daß im Bereich der zweiten Speicherzellen 19 kein Loch geätzt wird und damit im weiteren Herstellungsverfahren kein vertikaler MOS-Transistor entsteht. Die über die zweiten Speicherzellen 19 verlaufenden Wortleitungen 15a sind damit im Bereich der zweiten Speicherzellen 19 nicht mit einer vertikalen Gateelektrode verbunden. Dadurch kann bei Auswahl einer zweiten Speicherzelle 19 über die entsprechende Wortleitung 15a kein Strom über die entsprechenden Bitleitung 11 fließen.

15 In dem erfindungsgemäßen Herstellungsverfahren werden sieben Masken benötigt, wobei gleichzeitig mit dem Zellenfeld 5 laterale Transistoren in der Peripherie 6 hergestellt werden. Der Flächenbedarf einer Speicherzelle 18, 19 beträgt in diesem Ausführungsbeispiel $4 F^2$, wobei F die in der jeweiligen
20 Lithographie kleinste herstellbare Strukturgröße ist.

Patentansprüche

1. Verfahren zur Herstellung einer Festwertspeicherzellenanordnung,

5

- bei dem an einer Hauptfläche (3) eines Halbleitersubstrats (1) ein Zellenfeld (5) mit ersten Speicherzellen (18), in denen ein erster logischer Wert gespeichert ist und die mindestens einen zur Hauptfläche (3) vertikalen MOS-Transistor umfassen, und zweite Speicherzellen (19), in denen ein zweiter logischer Wert gespeichert ist und die keinen MOS-Transistor umfassen, gebildet wird,

10

15

- bei dem das Halbleitersubstrat (3) von einem ersten Leitfähigkeitstyp dotiert ist und mit einem ersten dotierten Gebiet (2), das von einem zweiten, zum ersten entgegengesetzten Leitfähigkeitstyp dotiert wird und das im Bereich des Zellenfeldes (5) an die Hauptfläche (3) angrenzt, versehen wird,

20

- bei dem mehrere, im wesentlichen parallel verlaufende, streifenförmige Isolationsgräben (7) erzeugt werden, die von der Hauptfläche (3) durch das erste dotierte Gebiet (2) bis in das Halbleitersubstrat (1) hineinreichen,

25

- bei dem ein zweites, vom ersten Leitfähigkeitstyp dotiertes Gebiet (11) erzeugt wird, das eine geringere Tiefe als das erste dotierte Gebiet (2) aufweist und das an die Hauptfläche (3) angrenzt,

30

- bei dem zur Bildung vertikaler MOS-Transistoren Löcher (13) geöffnet werden, die von der Hauptfläche (3) durch das erste dotierte Gebiet (2) bis in das Halbleitersubstrat (1) reichen und deren Oberfläche mit einem Gatedielektrikum (14) und einer Gateelektrode (15) versehen wird.

35

2. Verfahren nach Anspruch 1,

bei dem die Löcher (13) zur Bildung der vertikalen MOS-Transistoren jeweils so geöffnet werden, daß sie die Grenzfläche zwischen einem der Isolationsgräben (7) und dem benachbarten Teil des zweiten dotierten Gebietes (2) überlappen.

5

3. Verfahren nach Anspruch 2,

- 10 - bei dem die Isolationsgräben (7) in solchen Abständen und mit solchen Breiten erzeugt werden, daß der Abstand zwischen benachbarten Isolationsgräben (7) im wesentlichen gleich der Breite der Isolationsgräben (7) ist,
- 15 - bei dem die Löcher (13) mit einem Querschnitt parallel zur Hauptfläche (3) mit linearen Abmessungen im wesentlichen gleich der Breite der Isolationsgräben (7) hergestellt werden,
- 20 - bei dem der Mittelpunkt des Querschnitts der Löcher (13) im Bezug auf die Mitte der Isolationsgräben (7) versetzt angeordnet wird.

4. Verfahren nach Anspruch 3,

bei dem der Mittelpunkt des Querschnitts der Löcher (13) in Bezug auf die Mitte der Isolationsgräben (7) um etwa eine
25 halbe Breite der Isolationsgräben (7) versetzt angeordnet wird.

5. Verfahren nach einem der Ansprüche 1 bis 4,

bei dem zur Bildung der Isolationsgräben (7) unter Verwendung
30 einer Grabenmaske in einem anisotropen Trockenätzprozeß Gräben (4) geätzt werden, die mit isolierendem Material aufgefüllt werden.

6. Verfahren nach Anspruch 5,

35

16

- bei dem im Zellenfeld (5) die Oberfläche der zweiten dotierten Gebiete (11) mit einer isolierenden Schicht (12) versehen wird,
- 5 - bei dem die Löcher (13) durch anisotropes Trockenätzen unter Verwendung einer Lochmaske geätzt werden,
- bei dem zur Bildung des Gateoxids (14) eine thermische Oxidation durchgeführt wird,
- 10 - bei dem zur Bildung der Gateelektrode ganzflächig eine leitfähige Schicht (15) mit im wesentlichen konformer Kantenbedeckung abgeschieden wird, die die Löcher (13) im wesentlichen auffüllt und die so strukturiert wird, daß
- 15 streifenförmige Wortleitungen (15a) entstehen, die quer zu den Isolationsgräben (7) verlaufen.

7. Verfahren nach Anspruch 6,

- 20 - bei dem auf die Hauptfläche (3) ganzflächig eine Doppelschicht (8, 9) aus SiO_2 und Si_3N_4 aufgebracht wird,
- bei dem die Doppelschicht (8, 9) nach der Implantation zur Bildung der zweiten dotierten Gebiete (11) im Bereich des
- 25 Zellenfeldes (5) entfernt wird,
- bei dem die isolierende Schicht (12) an der Oberfläche der zweiten dotierten Gebiete durch eine thermische Oxidation gebildet wird, wobei eine Oxidation der Oberfläche außerhalb des Zellenfeldes (5) durch die Doppelschicht (8, 9)
- 30 verhindert wird,
- bei dem die Doppelschicht (8, 9) nach der Bildung der isolierenden Schicht (12) entfernt wird.

35

8. Verfahren nach Anspruch 7,

bei dem vor dem Aufbringen der Doppelschicht (8, 9) im Bereich des Zellenfeldes (5) eine Silizium selektiv zu SiO_2 angreifende Ätzung durchgeführt wird.

5 9. Verfahren nach einem der Ansprüche 6 bis 8,

- bei dem bei der thermischen Oxidation zur Bildung des Gateoxids (14) gleichzeitig eine Gateoxidschicht für MOS-Transistoren in einer Peripherie (6) außerhalb des Zellenfeldes (5) gebildet werden,

10

- bei dem die leitfähige Schicht (15) so strukturiert wird, daß gleichzeitig Gateelektroden (15b) für die MOS-Transistoren in der Peripherie (6) gebildet werden.

15

10. Verfahren nach Anspruch 9,

- bei dem die Flanken der Gateelektroden (15b) der MOS-Transistoren in der Peripherie (6) mit Flankenisolationen (16) versehen werden,

20

- bei dem durch Implantation Source/Drain-Gebiete (17) für die MOS-Transistoren in der Peripherie (6) gebildet werden, wobei die mit Flankenisolationen (16) versehenen Gateelektroden (15b) als Maske verwendet werden.

25

1/4

FIG 1

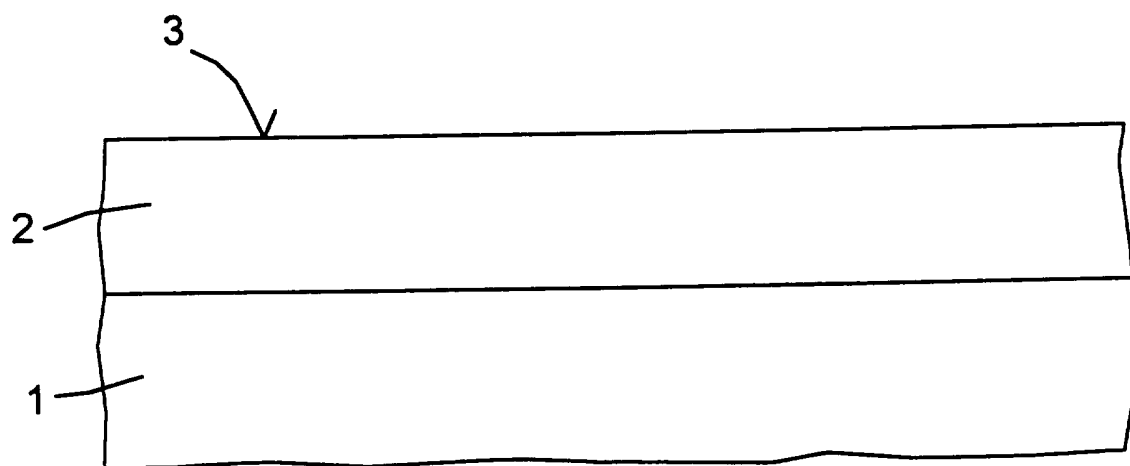


FIG 2

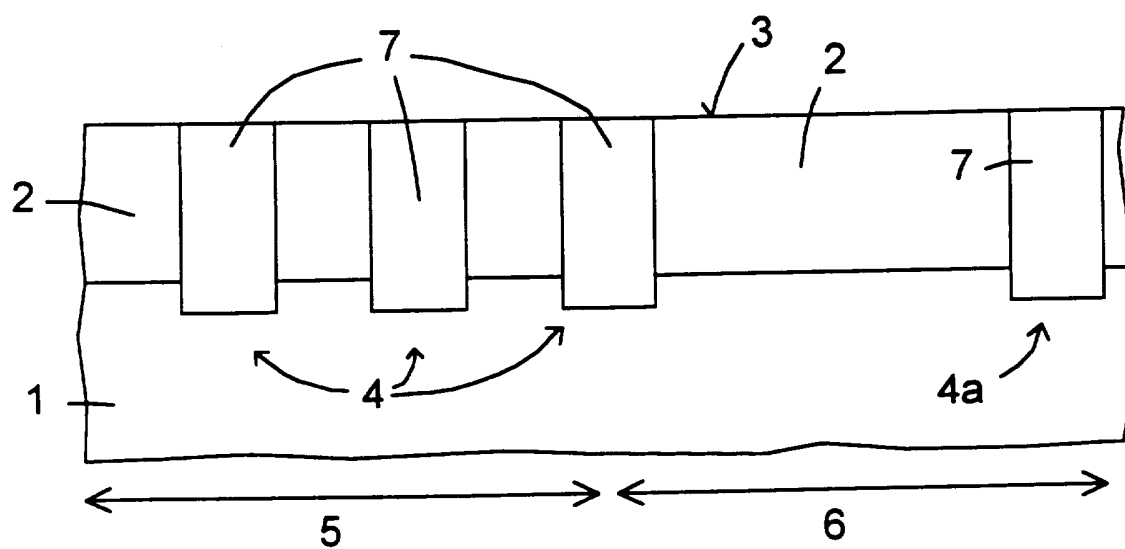


FIG 5

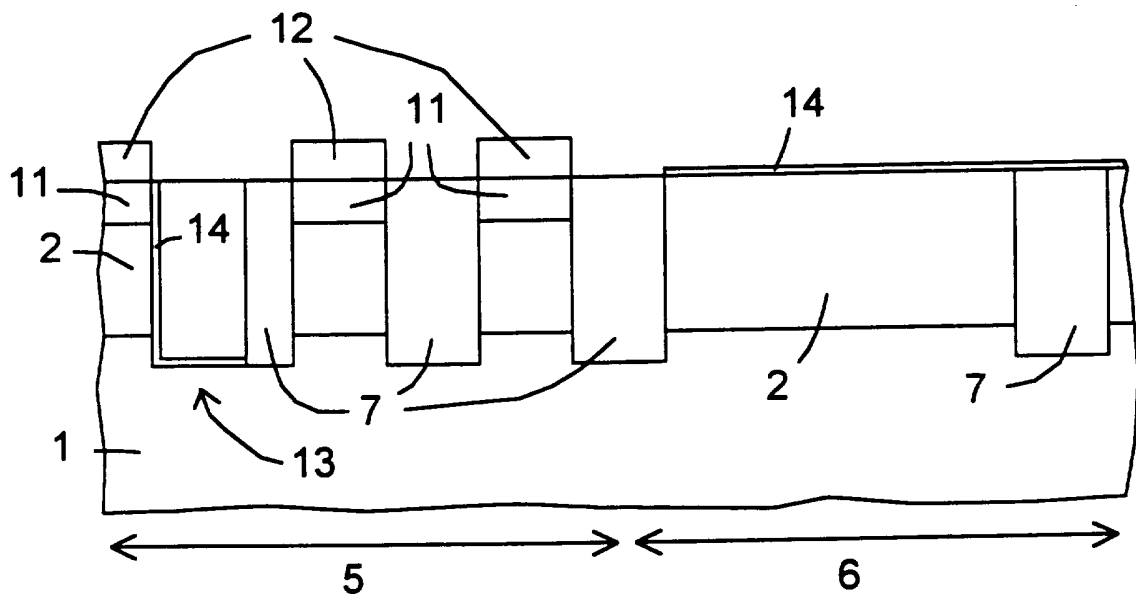
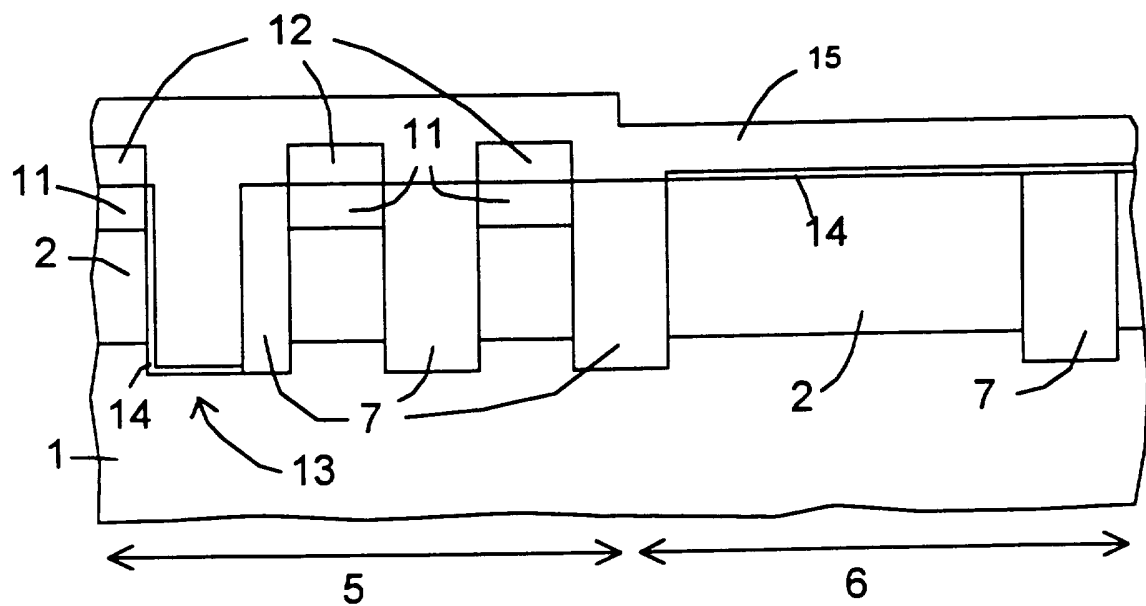


FIG 6



4/4

FIG 7

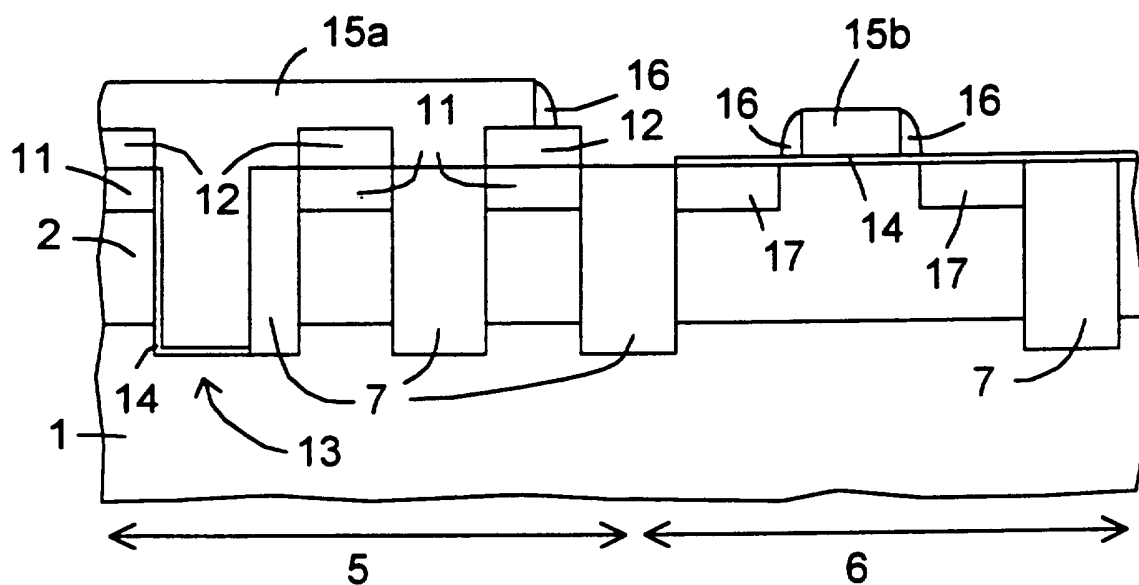
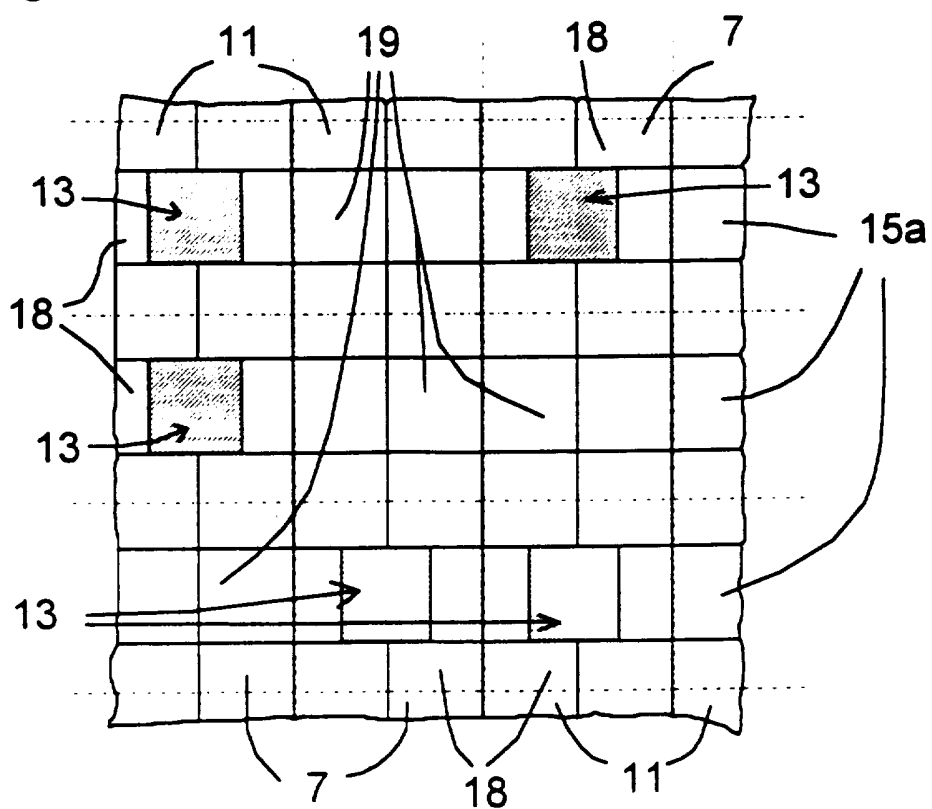


FIG 8



INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 95/01365

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L21/8246 H01L27/112

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US,A,5 021 355 (DHONG SANG H ET AL) 4 June 1991 cited in the application see column 6, line 7 - line 13; figure 13 ---	1-10
A	US,A,4 663 644 (SHIMIZU SHINJI) 5 May 1987 see column 4, line 65 - column 5, line 1 see column 10, line 55 - line 57; figure 4E -----	1-10

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

15 January 1996

Date of mailing of the international search report

14. 11. 95

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Authorized officer

Vendange, P

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 95/01365

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-5021355	04-06-91	US-A- 4954854 CA-A, C 2006745 DE-D- 69011736 EP-A- 0399191 JP-B- 7009991	04-09-90 22-11-90 29-09-94 28-11-90 01-02-95
US-A-4663644	05-05-87	JP-A- 60136378	19-07-85

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 95/01365

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L21/8246 H01L27/112

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US,A,5 021 355 (DHONG SANG H ET AL) 4.Juni 1991 in der Anmeldung erwähnt siehe Spalte 6, Zeile 7 - Zeile 13; Abbildung 13 ---	1-10
A	US,A,4 663 644 (SHIMIZU SHINJI) 5.Mai 1987 siehe Spalte 4, Zeile 65 - Spalte 5, Zeile 1 siehe Spalte 10, Zeile 55 - Zeile 57; Abbildung 4E -----	1-10

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung, die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

15. Januar 1996

Absendedatum des internationalen Recherchenberichts

30. 01. 96

Name und Postanschrift der Internationale Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Bevollmächtigter Bediensteter

Vendange, P

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 95/01365

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US-A-5021355	04-06-91	US-A- 4954854	04-09-90
		CA-A, C 2006745	22-11-90
		DE-D- 69011736	29-09-94
		EP-A- 0399191	28-11-90
		JP-B- 7009991	01-02-95
US-A-4663644	05-05-87	JP-A- 60136378	19-07-85