



(12) 发明专利

(10) 授权公告号 CN 103098369 B

(45) 授权公告日 2016.01.06

(21) 申请号 201180043704.1

(22) 申请日 2011.09.13

(30) 优先权数据

12/880,311 2010.09.13 US

(85) PCT国际申请进入国家阶段日

2013.03.11

(86) PCT国际申请的申请数据

PCT/US2011/051411 2011.09.13

(87) PCT国际申请的公布数据

W02012/037133 EN 2012.03.22

(73) 专利权人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 R·F·佩恩

(74) 专利代理机构 北京纪凯知识产权代理有限公司

公司 11245

代理人 赵蓉民

(51) Int. Cl.

H03F 3/45(2006.01)

H03K 17/62(2006.01)

H03M 1/12(2006.01)

(56) 对比文件

US 6573853 B1, 2003.06.03, 全文.

US 2009/0279893 A1, 2009.11.12, 全文.

US 6653966 B1, 2003.11.25, 全文.

US 2004/0017224 A1, 2004.01.29, 全文.

US 2003/0218556 A1, 2003.11.27, 全文.

CN 101207384 A, 2008.06.25, 全文.

审查员 贾云杰

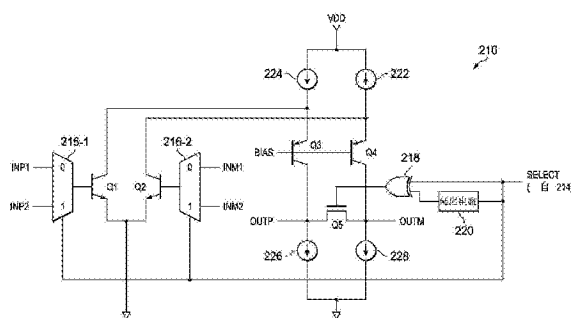
权利要求书2页 说明书4页 附图3页

(54) 发明名称

毛刺减少的多路复用放大器

(57) 摘要

第一多路复用器(216-1)耦合到折叠式共基共射差分放大器(210)的第一输入端(INP1/INP2),并且第二多路复用器(216-2)耦合到其第二输入端(INM1/INM2),该差分放大器(210)包括晶体管(Q1到Q4)和电流源(222-228)。在差分输入信号(INP1/INM1)和(INP2/INM2)之间的切换是通过由控制器(214)提供的选择信号 SELECT 控制的。复位机构包括开关(Q5),该开关耦合在放大器(210)的输出端(OUTP, OUTM)之间并且由脉冲发生器(XOR门218和延迟电路220)控制。在选择信号 SELECT 的上升沿或者下降沿上,提供脉冲从而激活开关(Q5),以便短暂地将输出端(OUTP, OUTM)短路。这避免了毛刺并且得到较快的建立时间。



1. 一种用于减少毛刺的多路复用放大器装置,其包括:
放大器,其具有第一输入端、第二输入端、第一输出端和第二输出端;
第一多路复用器,其耦合到所述放大器的所述第一输入端;
第二多路复用器,其耦合到所述放大器的所述第二输入端;
开关,其耦合在所述放大器的所述第一输出端和所述第二输出端之间;
脉冲发生器,其耦合到所述开关,以便控制所述开关;和
控制器,其耦合到所述第一多路复用器、所述第二多路复用器和所述脉冲发生器,其中所述控制器给所述第一多路复用器和所述第二多路复用器中的每一个提供选择信号,并且其中当切换所述第一多路复用器和所述第二多路复用器时,所述控制器激活所述脉冲发生器。
2. 根据权利要求 1 所述的多路复用放大器装置,其中所述脉冲发生器进一步包括:
逻辑电路,所述逻辑电路耦合到所述控制器以便接收所述选择信号,并且所述逻辑电路耦合到所述开关;和
延迟电路,所述延迟电路耦合到所述控制器以便接收所述选择信号,并且所述延迟电路耦合到所述开关。
3. 根据权利要求 2 所述的多路复用放大器装置,其中所述逻辑电路进一步包括 XOR 门。
4. 根据权利要求 3 所述的多路复用放大器装置,其中所述放大器进一步包括:
第一晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第一晶体管的所述控制电极耦合到所述第一多路复用器;
第二晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第二晶体管的所述控制电极耦合到所述第二多路复用器,并且其中所述第二晶体管的所述第一无源电极耦合到所述第一晶体管的所述第一无源电极;
第一电流源,其耦合到所述第一晶体管的所述第二无源电极;
第二电流源,其耦合到所述第二晶体管的所述第二无源电极;
第一偏置晶体管,其耦合在所述第一电流源和所述第一输出端之间;和
第二偏置晶体管,其耦合在所述第二电流源和所述第二输出端之间。
5. 根据权利要求 4 所述的多路复用放大器装置,其中所述第一晶体管和所述第二晶体管是 NPN 晶体管。
6. 一种用于减少毛刺的多路复用放大器装置,其包括:
数据转换器电路;
第一多路复用器,其耦合到所述数据转换器电路;
第二多路复用器,其耦合到所述数据转换器电路;
放大器,其具有第一输入端、第二输入端、第一输出端和第二输出端,其中所述第一多路复用器耦合到所述放大器的所述第一输入端,并且其中所述第二多路复用器耦合到所述放大器的所述第二输入端;
开关,其耦合在所述放大器的所述第一输出端和所述第二输出端之间;
脉冲发生器,其耦合到所述开关,以便控制所述开关;和
控制器,其耦合到所述第一多路复用器、所述第二多路复用器和脉冲发生器,其中所述控制器给所述第一多路复用器和所述第二多路复用器中的每一个提供选择信号,并且其中

当切换所述第一多路复用器和所述第二多路复用器时,所述控制器激活所述脉冲发生器。

7. 根据权利要求 6 所述的多路复用放大器装置,其中所述脉冲发生器进一步包括:

逻辑电路,所述逻辑电路耦合到所述控制器以便接收所述选择信号,并且所述逻辑电路耦合到所述开关;和

延迟电路,所述延迟电路耦合到所述控制器以便接收所述选择信号,并且所述延迟电路耦合到所述开关。

8. 根据权利要求 7 所述的多路复用放大器装置,其中所述逻辑电路进一步包括 XOR 门。

9. 根据权利要求 8 所述的多路复用放大器装置,其中所述放大器进一步包括:

第一晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第一晶体管的所述控制电极耦合到所述第一多路复用器;

第二晶体管,其具有第一无源电极、第二无源电极和控制电极,其中所述第二晶体管的所述控制电极耦合到所述第二多路复用器,并且其中所述第二晶体管的第一无源电极耦合到所述第一晶体管的所述第一无源电极;

第一电流源,其耦合到所述第一晶体管的所述第二无源电极;

第二电流源,其耦合到所述第二晶体管的所述第二无源电极;

第一偏置晶体管,其耦合在所述第一电流源和所述第一输出端之间;和

第二偏置晶体管,其耦合在所述第二电流源和所述第二输出端之间。

10. 根据权利要求 9 所述的多路复用放大器装置,其中所述第一晶体管和所述第二晶体管是 NPN 晶体管。

11. 根据权利要求 8 所述的多路复用放大器装置,其中所述数据转换器电路进一步包括:

第一跟踪和保持即 T/H 电路;

第二 T/H 电路;

第一模数转换器即 ADC,其耦合到所述第一 T/H 电路;

第二 ADC,其耦合到所述第二 T/H 电路;

第一数模转换器即 DAC,其耦合到所述第一 ADC;

第二 DAC,其耦合到所述第二 ADC;

第一加法器,其耦合到所述第一 DAC、所述第一 T/H 电路和所述第一多路复用器,其中所述第一加法器确定所述第一 T/H 电路的输出和所述第一 DAC 的输出之间的差;和

第二加法器,其耦合到所述第二 DAC、所述第二 T/H 电路和所述第二多路复用器,其中所述第二加法器确定所述第二 T/H 电路的输出和所述第二 DAC 的输出之间的差。

毛刺减少的多路复用放大器

技术领域

[0001] 本发明总体涉及放大器,并且更具体地涉及残差放大器(residue amplifier)。

背景技术

[0002] 参考附图的图 1A,参考数字 100 总体标示常规模数转换器(ADC)100。ADC 100 通常包括若干级 102-1 到 102-N、ADC 106(其通常为闪烁型 ADC)和数字输出电路 104。级 102-1 到 102-N 通常按一顺序彼此串联耦合,其中第一级 102-1 接收模拟输入信号,并且其中随后的级 102-2 到 102-N 中的每一级分别接收来自前一级 102-1 到 102-(N-1)的残差信号。ADC 106 耦合到最后一级 102-N(接收其残差信号)。基于其输入信号(残差信号或模拟输入信号),级 102-1 到 102-N 和 ADC 106 能够解析(resolve)一部分模拟输入信号,所述一部分模拟输入信号被提供到数字输出电路 104。接着,数字输出电路 104 可以执行纠错或者其他数字处理,从而生成数字输出信号 DOUT。

[0003] 现在转向图 1B 和图 1C,可以更详细地看到级 102-1 到 102-N(为了简单起见,在下文中称作级 102)。级 102 通常包括跟踪和保持(T/H)电路 108(即,T/H 放大器)、ADC 110、数模转换器(DAC)112、加法器 114 和残差放大器 116。在操作中,T/H 电路 110 在时钟信号 CLK 的逻辑高状态期间进入跟踪相位/阶段 T,并且在时钟信号 CLK 的逻辑低状态期间进入保持相位/阶段 H。在跟踪相位 T 期间,T/H 电路对其模拟输入信号 SIN(其可以是模拟输入信号 AIN 或者来自前一级的残差信号)进行采样。在保持相位 H 期间,采样信号被提供到 ADC 110 和加法器 114。ADC 110 解析一部分信号 SIN,将解析的比特提供到数字输出电路 104 和 DAC 112。DAC 112 将解析的比特转换为模拟信号,该模拟信号被提供到加法器 114。加法器 114 确定采样信号和来自 DAC 的模拟信号之间的差,该差由放大器 116 放大并作为残差信号 ROUT 输出。

[0004] ADC 100 存在一些缺点。具体地,用于每一级 102-1 到 102-N 的残差放大器 116 以小于 50%的占空比操作,这消耗了过量的功率。因此,期望有消耗较少功率的残差放大器。

[0005] 在美国专利 US 3,877,023、5,180,932、6,218,887 和 6,489,845 中给出了其他常规电路的一些示例。

发明内容

[0006] 因此,本发明的示例实施例提供了一种装置。该装置包括:放大器,其具有第一输入端、第二输入端、第一输出端和第二输出端;第一多路复用器,其耦合到放大器的第一输入端;第二多路复用器,其耦合到放大器的第二输入端;开关,其耦合在放大器的第一和第二输出端之间;脉冲发生器,其耦合到开关,以便控制开关;和控制器,其耦合到第一多路复用器、第二多路复用器和脉冲发生器,其中控制器给第一和第二多路复用器中的每一个提供选择信号,并且其中当切换第一和第二多路复用器时,激活脉冲发生器。

[0007] 根据本发明的示例实施例,脉冲发生器进一步包括:逻辑电路,其耦合到控制器以便接收选择信号并且其耦合到开关;和延迟电路,其耦合到控制器以便接收选择信号并且

其耦合到开关。

[0008] 根据本发明的示例实施例,该逻辑电路进一步包括 XOR 门。

[0009] 根据本发明的示例实施例,放大器进一步包括:第一晶体管,其具有第一无源(passive)电极、第二无源电极和控制电极,其中第一晶体管的控制电极耦合到第一多路复用器;第二晶体管,其具有第一无源电极、第二无源电极和控制电极,其中第二晶体管的控制电极耦合到第二多路复用器,并且其中第二晶体管的第一无源电极耦合到第一晶体管的第一无源电极;第一电流源,其耦合到第一晶体管的第二无源电极;第二电流源,其耦合到第二晶体管的第二无源电极;第一偏置晶体管,其耦合在第一电流源和第一输出端之间;和第二偏置晶体管,其耦合在第二电流源和第二输出端之间。

[0010] 根据本发明的示例实施例,第一和第二晶体管是 NPN 晶体管。

[0011] 根据本发明的示例实施例,提供了一种装置。该装置包括:数据转换器电路;第一多路复用器,其耦合到数据转换器电路;第二多路复用器,其耦合到数据转换器电路;放大器,其具有第一输入端、第二输入端、第一输出端和第二输出端,其中第一多路复用器耦合到放大器的第一输入端,并且其中第二多路复用器耦合到放大器的第二输入端;开关,其耦合在放大器的第一和第二输出端之间;脉冲发生器,其耦合到开关,以便控制开关;和控制器,其耦合到第一多路复用器、第二多路复用器和脉冲发生器,其中控制器给第一和第二多路复用器中的每一个提供选择信号,并且其中当切换第一和第二多路复用器时,控制器激活脉冲发生器。

[0012] 根据本发明的示例实施例,数据转换器电路进一步地包括:第一跟踪和保持(T/H)电路;第二 T/H 电路;第一模数转换器(ADC),其耦合到第一 T/H 电路;第二 ADC,其耦合到第二 T/H 电路;第一数模转换器(DAC),其耦合到第一 ADC;第二 DAC,其耦合到第二 ADC;第一加法器,其耦合到第一 DAC、第一 T/H 电路和第一多路复用器,其中第一加法器确定第一 T/H 电路的输出和第一 DAC 的输出之间的差;和第二加法器,其耦合到第二 DAC、第二 T/H 电路和第二多路复用器,其中第二加法器确定第二 T/H 电路的输出和第二 DAC 的输出之间的差。

[0013] 根据本发明的示例实施例,提供了一种装置。该装置包括:按一顺序彼此串联耦合的多个级,其中每一级接收模拟输入信号或者来自前一级的残差信号,并且其中每一级包括:数据转换器电路;第一多路复用器,其耦合到数据转换器电路;第二多路复用器,其耦合到数据转换器电路;放大器,其具有第一输入端、第二输入端、第一输出端和第二输出端,其中第一多路复用器耦合到放大器的第一输入端,并且其中第二多路复用器耦合到放大器的第二输入端;开关,其耦合在放大器的第一和第二输出端之间;脉冲发生器,其耦合到开关,从而控制开关;和控制器,其耦合到第一多路复用器、第二多路复用器和脉冲发生器,其中控制器将选择信号提供给第一和第二多路复用器中的每一个,并且其中当切换第一和第二多路复用器时,控制器激活脉冲发生器;ADC,其耦合到该顺序中的最后一级;和数字输出电路,其耦合到每一级的 ADC 和数据转换器电路。

[0014] 前面已经相当广泛地概述了本发明的特征和技术优点,以便可以更好地理解后面对本发明的详细描述。在下文中将描述本发明的额外的特征和优点,其形成了本发明的权利要求的主题。本领域技术人员应该理解,所公开的概念和具体实施例可以容易地被用作修改或设计实施本发明的同一目的的其他结构的基础。本领域技术人员也应该认识到,这

些等价构造没有偏离如随附的权利要求中陈述的本发明的精神和范围。

附图说明

[0015] 参考附图描述示例实施例,其中:

[0016] 图 1A 和图 1B 是常规 ADC 的示例的电路图;

[0017] 图 1C 是用于图 1A 和图 1B 的 ADC 的时序图;

[0018] 图 2A 和图 2B 是根据本发明的示例实施例的 ADC 的示例的电路图;和

[0019] 图 2C 是图 2B 的残差放大器的示例的电路图。

具体实施方式

[0020] 图 2A 示出根据本发明的原理的示例 ADC 200。ADC 200 具有与 ADC 100 相同的通用功能。然而,流水线中存在差别;即,级 102-1 到 102-N 被级 202-1 到 202-N 替代。

[0021] 在图 2B 中,可以更详细地看到级 202-1 到 203-N(在下文中称为 202)。在操作中,T/H 电路 203-1 和 203-2 经耦合从而接收模拟输入信号 IN(其为模拟输入信号 AIN 或者来自前一级的残差信号)。由于这些 T/H 电路 203-1 和 203-2 彼此并联布置,所以 T/H 电路 203-1 和 203-2 的时序可以被设计为,使得在时钟信号的基本不重叠的逻辑阶段或者相位上进行采样。T/H 电路 203-1 和 203-2 分别耦合到 ADC 204-1 和 204-2,并且 ADC 204-1 和 204-2、DAC 206-1 和 206-2、加法器 208-1 和 208-2 以及残差放大器 210 接着可以执行模拟处理,从而为数字输出电路 104 解析采样信号并且生成残差信号 ROUT。

[0022] 这里,每一个数据转换器电路(其分别包括 ADC 204-1 或 204-2、DAC 206-1 或 206-2 以及加法器 208-1 或 208-2)受益于单个放大器的使用。原因是,(每一个数据转换器电路的)放大器的占空比将小于 50%,这会消耗过度的功率。因此,放大器 210 可以由控制器 214 进行时分复用,从而处理来自每一个数据转换器电路或者数据通路的信号。

[0023] 转向图 2C,可以更详细地看到残差放大器 210。在这个示例中,采用折叠式共基共射差分放大器(其通常包括 NPN 晶体管 Q1 到 Q4 以及电流源 222、224、226 和 228),其由偏压 BIAS 偏置。耦合到这个放大器的输入端的是多路复用器 216-1 和 216-2。差分输入信号 INP1/INM1 和 INP2/INM2(其分别由加法器 208-1 和 208-2 提供)之间的切换是通过选择信号 SELECT(其由控制器 214 提供)控制的。另外,多路复用器(未示出)耦合到这个放大器的输出端(以便接收输出信号 OUTP 和 OUTM),从而在正确的时刻将正确的输入和输出信号引导到放大器,以便进行处理。

[0024] 然而,当多路复用器 216-1 和 216-2 切换时,放大器(其通常包括 NPN 型晶体管 Q1 到 Q4 以及电流源 222、224、226 和 228)在切换瞬间显示出不稳定的行为。这个不稳定的行为被称为毛刺,并且如果不解决,那么毛刺会消耗大量的放大器的可用建立时间,或者甚至导致电压放大器输出节点或者内部节点工作在其期望范围以外的电压上。换句话说,这个毛刺会降低性能。为了解决这个问题,在放大器的输出端提供了复位机构。复位机构通常包括开关 Q5,开关 Q5 耦合在放大器的输出端之间,并且由脉冲发生器(其通常包括 XOR 门和延迟电路)控制。因此,在选择信号 SELECT 的上升沿或下降沿上,脉冲被提供到开关 Q5(其激活开关 Q5),以便短暂地将放大器的输出端短路在一起。因此,可以避免毛刺,这得到较快的建立时间。

[0025] 本发明所涉及的本领域技术人员会理解,可以对所描述的示例实施例以及在本发明的范围内实现的其他实施例进行修改。

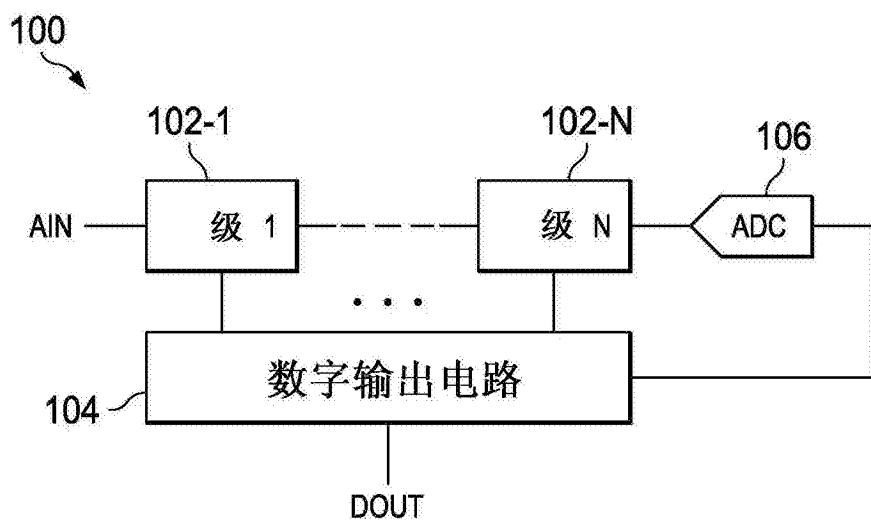


图 1A(现有技术)

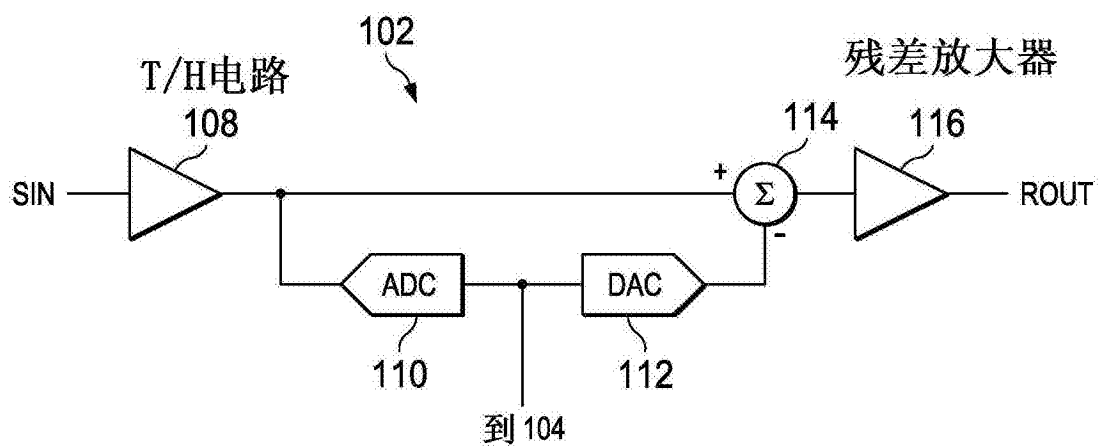


图 1B(现有技术)



图 1C(现有技术)

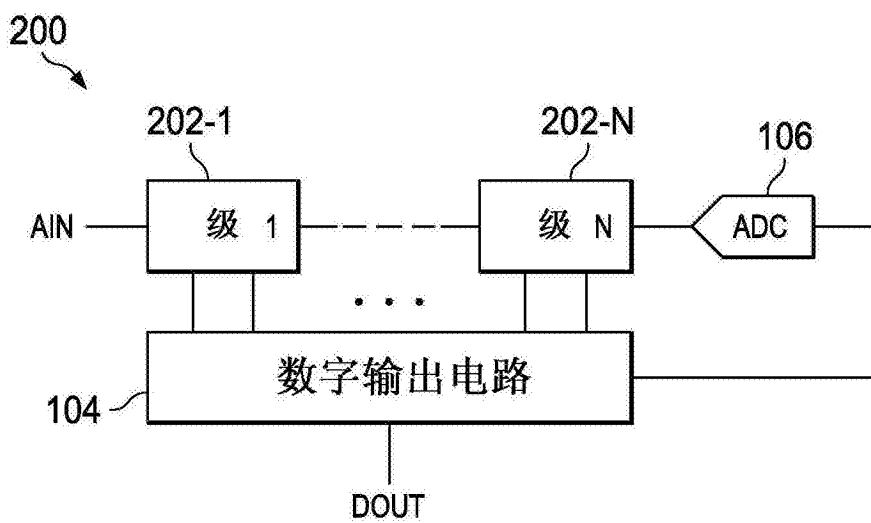


图 2A

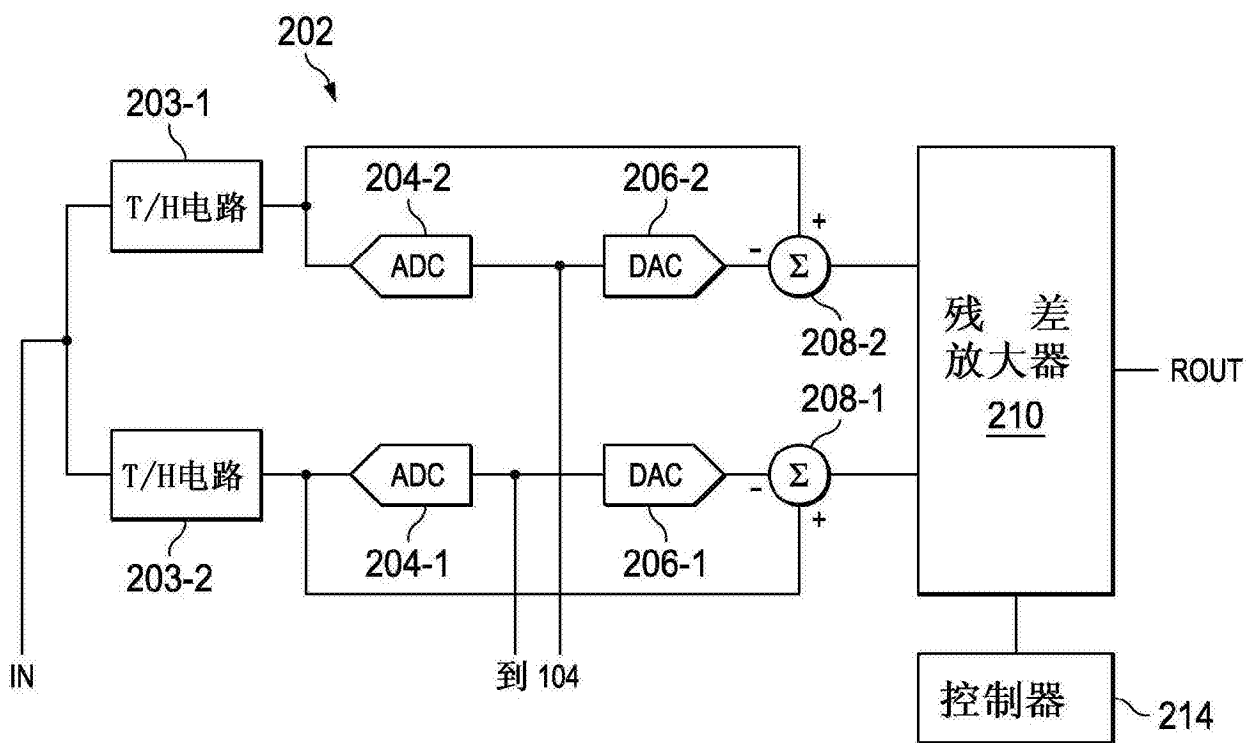


图 2B

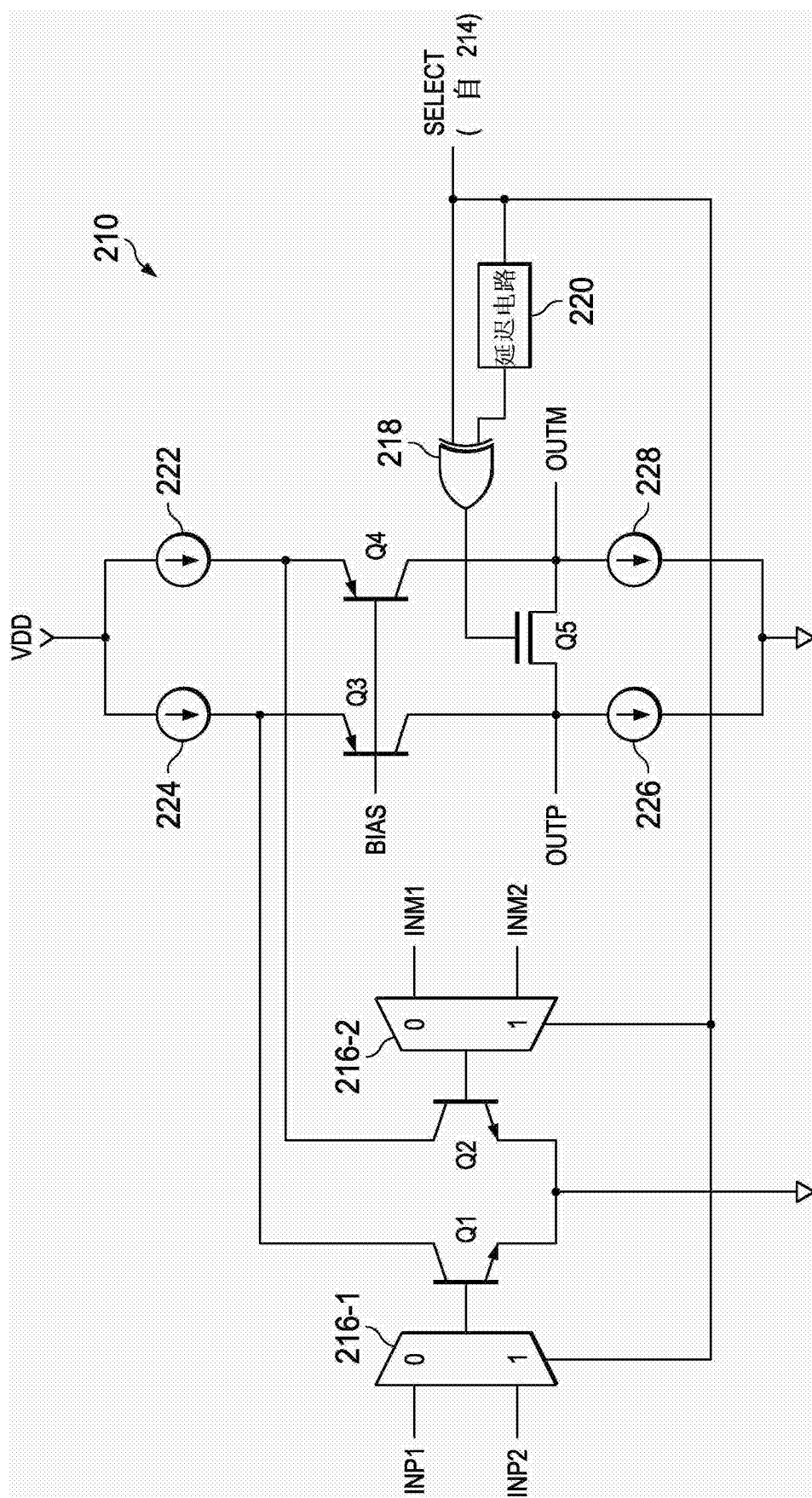


图 2C