(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 23/50

(45) 공고일자 1996년03월22일
(11) 공고번호 특1996-0003767

(21) 출원번호	특1992-0017207	(65) 공개번호	특1993-0006889
(22) 출원일자	1992년09월21일	(43) 공개일자	1993년04월22일

(30) 우선권주장 91-241045 1991년09월20일 일본(JP)

(71) 출원인 후지쓰 가부시끼가이샤 세끼사와 요시
일본국 가나가와껜 가와사끼시 나까하라구 가미고다나까 1015번지

(72) 발명자 오가와 준지
일본국 가나가와껜 가와사끼시 나까하라구 가미고다나까 1015
다끼따 마사또
일본국 가나가와껜 가와사끼시 나까하라구 가미고다나까 1015

(74) 대리인 문병암

심사관 : 양희용 (책자공보 제4382호)

(54) 반도체 장치

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제 1 도는 종래의 LOC 구조를 갖는 반도체 장치의 전체구성에 대한 사시도.

제 2 도는 제 1 도에 도시된 종래의 LOC 구조를 갖는 반도체 장치의 A-A선 단면도.

제 3 도는 종래의 LOC 구조로 된 DRAM의 평면도.

제 4 도는 제 3 도에 도시된 종래의 LOC 구조를 갖는 반도체 장치에 대한 회로도. 종래 구조의 문제점을 나타낸다.

제 5 도는 제 1 도와 문제점이 도시된 종래 LOC 구조를 갖는 반도체 장치의 평면도.

제 6 도는 본 발명의 기본원칙을 나타내는 블럭도.

제 7 도는 제 1 실시예의 적절한 부분을 나타내는 평면도.

제 8 도는 제 2 실시예의 적절한 부분을 나타내는 평면도.

제 9 도는 제 3 실시예의 적절한 부분을 나타내는 평면도.

제 10 도는 제 4 실시예의 적절한 부분을 나타내는 평면도.

[발명의 상세한 설명]

본 발명은 소위 LOC(칩위의 리드) 구조를 갖는 반도체 장치에 관한 것이다. LOC 구조는 반도체 칩의 상부표면을 접착물을 사용하여 리드프레임의 내부표면에 연결시키므로서 즉, 반도체 칩과 리드프레임을 접착하므로서 구성된다. 따라서 리드프레임의 내부 리드선단은 반도체 칩의 소자형성표면 상부에 위치한다.

반도체 칩의 접착 패드와 내부리드의 선단은 접착배선과 밀봉수지이다.

LOC 구조의 채택은 증가된 전기적 잇점과 큰 크기로 칩이 비교적 작은 패키지에 장착되는 것을 가능하게 한다.

전기적 잇점을 고려하면, 감지증폭기와 입력부 3과 같은 각 회로 블럭에 사용될 내부리드로부터 전

원선 또는 접지선으로서 구별되게 사용될 내부리드의 와이어 본딩(Wire Bonding)을 수행하는 것이 가능하다. 그 결과는 다음과 같다.

1. 칩내에 AL(알루미늄) 배선은 짧아지고 속도를 높일 수 있다.

2. 칩내의 각 회로 블럭의 배선설계가 손쉽게 되며 따라서, 증가된 비트 수로 반도체 장치 구조는 쉽게 개발될 수 있다.

3. 버스바 리드가 배선을 위해 사용되므로, AL 배선의 저항은 감소될 수 있으며 이로 인해 반도체 장치가 고속동작이 적절하게 한다.

4. 다수의 본딩와이어가 자유로이 선택될 수 있으므로 데이타 판독을 위한 감지 증폭기의 동작중 야기되는 잡음을 줄일 수 있다.

LOC 구조는 소정의 크기로 패키지 내에 삽입될 수 있다는 잇점이 있다. 즉, 종래의 패키지 구조는 반도체 칩 둘레에 배선리드에 대한 큰 공간을 필요로 하나 이와 반대로 LOC 구조는 패키지에 칩의 면적 비율이 증가할 수 있다.

제 1 도는 종래의 LOC 구조를 갖는 반도체 장치의 사시도이다.

제 2 도는 제 1 도에 도시된 종래의 LOC구조를 갖는 반도체 장치의 A-A선 단면도이다.

제 1 도와 2 도에 있어서, 1은 반도체 칩(LSI칩)이고, 2는 반도체 칩 1에 대한 소자형성표면이며, 3은 리드프레임이고, 4는 리드프레임 3의 내부리드이며, 5는 리드프레임 3의 외부리드, 6은 반도체 칩 1을 리드프레임에 부착하기 위한 양면테이프.

7은 Vcc 전원용 내부리드 둘레 버스바이고, 8은 Vss 전원용 내부둘레 버스바이며, 9는 Au 배선을 포함하는 본딩배선이고, 10은 올딩수지이다.

그러한 LOC 구조로 된 반도체 장치는 4메가 비트(4M)의 SRAM과 4메가 비트(4M)와 16메가 비트(16M) 사이의 용량으로 DRAM을 패키지하기 위한 기술로서 주로 개발되었다. 그것은 반도체 칩을 장착하기 위한 다이 패드(die-pad)로 불리는 종래 리드프레임 부분으로부터 제거되고 반도체 칩의 소자형성면에 연장되는 내부리드를 갖는다.

제 1 도에 도시된 반도체 장치는 여러곳에서 주변회로에 배선으로서 처리되는 종래 반도체 칩위에 형성된 알미늄 전원배선 대신에, 예를 들어, 철분이 함유된 낮은 임피런스의 버스바 7과 8을 갖는다. 이에따라 전원의 전기적 특성이 향상된다.

제 3 도는 종래 LOC 구조의 DRAM 부위를 도시하고 있다.

제 4 도는 제 3 도에 도시된 부위에 대해 동일한 회로를 도시하고 있으며 제 1 도에 도시된 종래 LOC 구조를 갖는 반도체 장치의 출력 범위에 대한 회로도이다. 제 4 도는 종래 구조의 가장 중요한 문제점의 부분을 나타내고 제 5 도는 제 3 도에 도시된 부위의 개략평면도이며 제 1 도에 도시된 종래 LOC 구조를 갖는 반도체 장치의 평면도이다.

제 5 도는 종래 구조의 가장 중요한 문제점의 부분을 나타낸다.

최근 DRAM에서 비트의 수가 증가하는 경향과 함께 반도체 칩위에 장착되는 다중의 출력버퍼 11이 8로부터 16,32…로 증가한다.

제 4 도에서, 12와 13은 인버터이고, 14와 15는 nMOS 트랜지스터이며, 16은 본딩패드이고, 17은 외부리드이며, 18은 외부부하이다. R1 내지 R3, L1과 C1 내지 C4는 각각 본딩패드 16에서 외부리드 17까지 신호통로에 편승(Parastic) 임피던스의 저항, 인덕턴스 및 캐패시턴스이다. 외부부하 18은 캐패시턴스 CL, 저항 R4와 R5 및 전류 J1과 J2를 포함하는 모형에 의해 예증된다.

제 3 도에 도시된 바와같이, R1은 본딩배선 9의 저항을 나타내고 있다. C1은 본딩패드 16과 출력버퍼 11의 최종단계(nMOS 14와 15가 있는 버퍼를 포함하는) 사이의 편승 캐패시턴스를 합한 본딩배선 9의 총 캐피시턴스의 절반과 같다. C2는 본딩배선 9의 캐피시턴스 절반과 내부리드 4의 총 캐피시턴스 절반과 같다. C3는 외부리드 17의 총 캐피시턴스 절반을 합한 내부리드의 총 캐피시턴스 절반과 같다. C4는 외부리드 17의 총 캐피시턴스 절반이다. R2는 내부리드 4의 저항이다. R3는 외부리드 5의 저항이다. L1은 최종단계의 출력버퍼 11로부터 외부리드 17의 최 끝단까지 선의 인덕턴스이다. 제 3 도에 있는 참고 번호 20은 메모리셀 배열을 분리하므로서 얻어진 블럭이다.

다수(8, 16, 32…,) 출력버퍼 11이 동시에 접속할 때 생기는 잡음때문에 전원선만에 의해 제공될 수 없으므로 잡음에 대한 효과적인 대처가 고려되었다.

신호를 출력하는 본딩패드의 위치와 신호를 전송하는 내부리드의 길이 및 범위에 본딩패드나 신호를 수신하는 내부리드 보다 전기적 특성에 관해 더 많은 고려가 되어야 한다.

즉, 내부패드와 신호를 방출하는 본딩패드는 편승 임피던스 구성품을 최소화하도록 구성되는 것 즉 고속 접근의 달성을 목적으로 제 3 도에 도시된 R1, R2, R3, L1 및 C1과 같은 구성품을 최소화하도록 구성되는 것이 필요하다.

그러나, 제 3 도에 도시된 DRAM과 같이 제 1 도에 도시된 종래 LOC 구조를 갖는 반도체 장치는 내부리드와 신호를 단독으로 수신하기 위해 본딩패드를 처리하는 것과 동일한 방법으로 내부리드와 신호를 방출하는 본딩패드를 처리한다. 이에따라 신호를 출력하는 본딩패드는 제 5 도에 도시된 바와같이 더 긴 측면과 반도체 칩 1의 소자형성면의 가까운 중앙의 방향에 배열된다. 더우기, 신호를 송출하기 위한 내부리드 4B의 선단 4BB는 중앙의 상부와 반도체 칩 1의 소자형성면 2의 더 긴 측면의 방향에, 신호를 단독으로 수신하기 위한 내부리드 4A의 선단 4AA와 마찬가지로, 위치한다.

따라서, 편승 임피던스 구성품 즉, R1, R2, R3, L1 및 C1 내지 C4의 값은 커지게 되어 신호 전송지

연의 문제가 야기되고 신속한 판독을 방해한다.

제 1 도에 도시된 바와같은 종래 LOC 구조를 갖는 반도체 장치는 제 5 도에 도시된 바와같이 굽은 선으로 형성된 자체 신호통로 19를 갖는다. 이로 인해, 빠른 동작이 방지된다. 제 5 도에서, 20은 메모리셀 배열로부터의 블럭스프릿(split)이다. 4A는 신호를 단독으로 수신하기 위한 내부리드이다. 21A는 신호수단을 위한 본딩패드이고, 21B는 신호를 방출하기 위한 본딩패드이며 4B는 신호를 방출하기 위한 내부리드이다.

본 발명의 목적은 신호를 단독으로 방출하기 위한 본딩패드로부터 외부리드로 가는 신호통로에 최소의 편승 임피던스의 종래 구조를 가진 반도체 장치를 제공하여 데이타를 판독기록하는 것이며, 더욱이, 짧아진 신호통로로 고속판독을 촉진하는 것이다.

본 발명의 형태는 반도체 칩을 리드프레임에 접착하므로서 리드프레임의 내부리드의 선단이 반도체 칩의 소자형성면의 상부에 위치하게 형성된 반도체 장치내에 존재한다. 그리고 반도체 칩의 본딩패드와 내부리드의 선단사이의 본딩배선 수지 밀봉으로 수행된다. 신호를 단독으로 수신하기 위한 본딩패드는 소자형성면의 중앙상부 주위에 평행하게 형성된다. 신호를 단독으로 방출하기 위한 본딩패드 또는 신호 수신과 송출 양측이 소자형성면의 주변가까이에 형성된다. 신호를 단독으로 수신하기 위한 내부리드는 신호를 단독으로 수신하기 위한 본딩패드와 상응하는 소자형성표면의 중앙상부 주변에 평행하게 위치한다. 신호를 송출하기 위한 내부리드 또는 수신과 송신 양측에 상응하는 소자형성면의 주위상부에 위치한다.

이하 첨부된 도면에 따라 본 발명의 실시예를 설명하면 다음과 같다.

바람직한 실시예의 세부설명을 하기전에 본 발명의 기본적인 원칙의 설명을 하면 다음과 같다.

제 6 도는 본 발명의 기본적인 원칙을 나타내는 블럭도이다.

제 6에 있어, 22는 반도체 칩이고, 23은 반도체 칩의 소자형성표면이며, 24는 신호를 수신하기 위한 본딩패드이고, 25는 하나의 신호를 방출하거나 또는 신호를 수신 또는 방출하기 위한 본딩패드이며, 검은 신호를 단독으로 수신하기 위한 내부리드이고, 27은 하나의 신호를 수신하거나 또는 신호를 수신 또는 방출하기 위한 본딩패드이며 28과 29는 본딩배선이다.

본 발명에 따라 LOC 구조를 갖는 반도체 장치는 신호를 단독으로 수신하기 위한 본딩패드 24가 주변의 한측면을 따라 중앙가까이에 형성되고 신호를 단독으로 방출하기 위한 또는 신호를 수신하거나 방출하기 위한 본딩패드 25는 소자형성면 23의 주변에 형성된다.

그러므로, 신호를 단독으로 수신하기 위한 내부리드 26는 신호를 단독으로 수신하기 위한 본딩패드 24에 상응하는 소자형성면 23의 주변하나의 측면을 따라 중앙상부 위에 위치한 선단 26A를 갖는다. 하나의 신호를 수신하거나 방출하기 위한 내부리드 27은 하나의 신호를 방출하거나 하나의 신호를 수신과 방출하기 위한 본딩패드 25와 상응되는 소자형성면 23의 주변상부에 위치한 선단 27A를 갖는다.

제 5 도에 도시된 바와같이, 본 발명은 제 5 도에 도시된 종래의 구조와 비교하여 신호통로에 대해 칩내의 우회부분을 제거하므로서 더 짧은 신호통을 만든다. 그러므로 본 발명은 판독을 더 촉진한다.

제 7 도 내지 10 도를 참고로 하여 아래에 설명된 것은 본 발명의 제 1 내지 제 4 실시예이다. 각각은 본 발명에 적용되는 64메가 비트(64M) DRAM을 나타낸다.

제 7 도는 제 1 실시예의 적절한 부분을 나타내는 평면도이다. 제 7 도에서, 32는 주된 칩 몸체이고, 33은 주된 칩 몸체 32의 소자형성면이며, 34 내지 41은 8메가 비트(8M) 블럭이고, 42 내지 77은 본딩패드이며, 78 내지 103은 내부리드이다.

RAS는 열 어드레스 스트로브(strobe) 신호이며, CAS는 행 어드레스 스트로브 신호이고, WE는 판독가능제어 신호이며, OE는 출력가능 신호이고, A0 내지 A11은 어드레스이며, Vcc와 Vss는 전원전압이다.

본딩패드 42 내지 77에서, 본딩패드 43, 46, 51, 57, 62 및 69는 Vcc 전원용이고, 본딩패드 42, 48, 54, 59, 65 및 68은 Vss 전원용이다.

본딩패드 44, 45, 47 및 49는 제어신호(WE, CAS, RAS 및 OE) 수신용이며, 본딩패드 50, 52, 53, 55, 56, 58, 60, 61, 63, 64, 66 및 67은 어드레스(A0 내지 A12) 수신용이다. 본딩패드 70 내지 77은 데이타수신 및 방출용 (DQ0 내지 DQ7)이다.

내부리드 78 내지 103에서, 내부리드 84는 Vcc 전원용이다. 내부리드 97은 Vss 전원용이다. 내부리드 78, 79, 102 및 103은 제어신호(WE, RAS, DE 및 CAS)수신용이다.

또한, 내부리드 81, 83, 85, 87, 89 내지 92, 94, 96, 98 및 100은 어드레스(A0 내지 A12) 수신용이며 내부리드 80, 82, 86, 88, 93, 95, 99 및 101은 데이타(DQ0 내지 DQ7) 수신 및 방출용이다.

즉, 제 6 도에서 명확하게 되는 것과 같이, Vcc 전원용 본딩패드 43, 46, 51, 57, 62 및 65와 Vss 전원용 본딩패드 42, 48, 54, 59, 65 및 68은 소자형성면 33의 중앙 긴 측면의 방향에 형성된다.

이 결과, Vcc 전원용 내부리드 84와 Vss 전원용 내부리드 97은 더 긴 측면의 방향에서 소자형성면 33의 중앙상부로 확장된 선단을 갖는다. 내부리드 84와 97의 최끝단은 소정의 간격으로 상호반대이다.

제어신호(WE, CAS,RAS 및 DE) 수신용 본딩패드 44, 45, 47 및 49와 어드레스 수신용 본딩패드 50, 52, 53, 55, 56, 58, 60, 61, 63, 64, 66 및 67은 소자형성면 33의 더 긴 측면의 방향에서 내부리드 84의 최끝단과 소자형성면 33의 중앙상부 위의 내부리드 97 최끝단 사이에 제공된 구역아래에 형성

된다.

더 나아가, 이러한 본딩패드에 사용하여, 제어신호 수신용 내부리드 78, 79, 102 및 103과 내부리드 81, 83, 85, 87, 89 내지 92, 94, 96, 98 및 100은 소자형성면 33의 중앙상부 위의 길이 방향을 따라 형성된 그들 각각의 선단을 갖는다.

마찬가지로, 본딩패드 70 내지 77이 형성된 위치에 상응하여, 데이타(DQ0 내지 DQ7) 수신 및 방출용 내부리드 80, 82, 86, 88, 93, 95, 99 및 101은 소자형성면 33의 길이 방향을 따라 주변의 상부에 형성된 그들 각각의 선단을 갖는다.

따라서, 제 1 실시예에 있어, 중앙의 길이 방향을 따라 형성된 회로는 열 어드레스 스트로브 신호 RAS, 행 어드레스 스트로브 신호 CAS 및 어드레스 A0 내지 A11과 같은 입력신호를 수신한다.

소자형성면 33의 중앙에서 더 긴 측면의 방향 따라 회로가 집중되고 버스바로 인하여 전원이 낮음 임피던스를 갖기 때문에, LOC 구조가 잇점을 취하고 소자형성면 33의 중앙에 제공된 본딩패드는 8메가 비트(8M) 블럭 34 내지 41에 접근지시 신호를 전송한다.

데이타 신호 수신 및 방출용 본딩패드 70 내지 77 부근의 출력버퍼를 통하고 소자형성면 33의 주변에 제공된 본딩패드 70 내지 77에 최종적으로 도달할 때까지, 접근지신호는 단어선(word line) 전송 지연, 감지증폭기 동작신호의 전송지연, 행 어드레스의 전송 지연에 의해 중앙에서 칩주변으로 전송된다.

데이타 신호를 수신하고 방출하기 위한 본딩패드 70 내지 77은 길이 방향에서 주변위에 형성된다. 내부리드 80, 82, 86, 88, 93, 95, 99 및 101은 소자형성면 33의 길이 방향주변의 상부에 상응되게 형성되므로, 소자형성면 33과 내부리드 80, 82, 86, 88, 93, 95, 99 및 101 사이는 최소화될 수 있다.

그 결과, 데이타 신호 수신 및 방출용 본딩패드 70 내지 77로부터 외부리드로 가는 신호통로에 편승 임피던스는 최소화 되고 판독이 촉진된다.

역시, 입력신호로부터 출력신호까지 신호통로용 우회부의 감소는 신속한 동작에 효과적이다.

제 8 도는 제 2 실시예의 적절한 부분을 나타내는 평면도이다.

제 2 실시예의 목적은 출력버퍼용 전원의 임피던스 개선에 있다. 제 2 실시예를 제 1 실시예와 구분되게 하는 것은 Vcc 전원용 본딩패드 104와 105가 소자형성면 33의 주변위 8메가 비트(8M) 블럭 35와 36 주위에 형성되고 Vss 전원용 본딩패드 106과 107이 소자형성면 33의 주변위 8메가 비트(8M) 블럭 38과 39 주위에 형성된다는 것이다.

제 2 실시예는 제 1 실시예의 것과 동일하게 구성된다.

즉, 제 2 실시예에 있어서, Vcc 전원용 본딩패드 104와 105는 소자형성면 33의 중앙부에서와 마찬가지로 8메가 비트(8M) 블럭 35와 36의 주위에 제공되고 블럭 35와 36내에 제공된 출력버퍼 부위내에 전원의 임피던스가 제 1 실시예보다 좀더 효과적으로 감소될 수 있다. Vss 전원용 본딩패드가 소자형성면 33의 중앙부에서와 마찬가지로 블럭 38과 39의 주위에 제공된다. 그리고 블럭 38과 39내에 제공된 출력버퍼부위 내의 전원 임피던스는 제 1 실시예에서 보다 효과적으로 감소될 수 있다. 그러므로, 데이타 DQ1, DQ2, DQ6 및 DQ7은 제 1 실시예에서 보다 더 빠른 속도로 판독/기록할 수 있다.

제 9 도는 제 3 실시예의 적절한 부분을 나타내는 평면도이다.

제 3 실시예의 목적은 제 2 실시예보다 출력버퍼의 전원 임피던스를 더욱더 개선하는 것이다.

제 3 실시예를 제 2 실시예와 구분되게 하는 것은 Vcc 전원용 본딩패드 108 내지 112가 소자형성면 33의 주위에 8메가 비트(8M) 블럭 34, 37, 38, 40 및 41(제 7 도와 8 도에 도시되고 9 도에는 도시되지 않음)이 형성되고 Vcc 전원용 본딩패드 104와 Vss 전원용 본딩패드 106이 형성되지 않는 것이다. 제 3 실시예는 제 2 실시예의 것과 동일하게 구성된다.

제 3 실시예에 있어서, Vcc 전원용 본딩패드는 블럭 34, 37, 38, 40 및 41의 주위에 제공되고 Vss 전원용 본딩패드는 블럭 34, 37, 38, 40 및 41 주위에 제공되며 이에따라, 블럭 34, 37, 38, 40 및 41의 출력버퍼 부위전원 임피던스는 제 2 실시예에서 보다 더 효과적으로 감소될 수 있다.
그러므로, 데이타 신호 DQ0, DQ3, DQ4, DQ5 및 DQ7용 판독/기록은 제 2 실시예보다 더 빠른 속도로 실행될 수 있다.

제 10 도는 제 4 실시예의 적절한 부분을 나타내는 평면도이다.

제 4 실시예는 Vcc 전원용 본딩패드 43과 69, Vss 전원용 본딩패드 42와 68, 제어신호 수신용 본딩패드 44, 45, 47 및 49, 본딩패드 50, 52, 53, 55, 56, 58, 60, 61, 63, 64, 66 및 67이 소자형성면 33의 중앙부근 짧은 측면의 방향인 가로 방향에 형성되는 것이다. 그리고 데이타 신호 수신 및 방출용 본딩패드 70 내지 77이 소자형성면 33의 주변의 짧은 측면위에 형성되는 것이다.

이에따라, Vcc 전원용 내부리드 84는 소자형성면 33의 중앙부근 상부위의 폭을 가로질러 연장된 선단을 갖는다.

제어신호 WE, RAS DE 및 CAS 수신용 내부리드 78, 79, 102 및 103, 어드레스 신호 A0 내지 A11 수신용 내부패드 81, 83, 85, 87, 89 내지 92, 94, 96, 98 및 100은 소자형성면 33의 중앙부근 상부위의 짧은 면을 따라 위치한 그들의 선단을 갖는다.

데이타신호 DQ0 내지 DQ7 수신 및 방출용 내부리드 80, 82, 86, 88, 93, 95, 99 및 101은 소자형성면 33의 상부주위 짧은 면을 따라 위치한 그들의 선단을 갖는다. 따라서, 제 4 실시예는 제 3 실시예와 유사한 잇점을 얻을 수 있다.

상기된 바와같이, 본 발명은 소자형성면과 신호를 단독으로 방출하거나 또는 신호를 수신하거나 방출하기 위한 내부리드 사이에 중첩을 가능하게 하므로 본딩패드로부터 외부리드로 가는 신호통로에 편승 임피던스를 감소하는데 효과적이며 신속한 판독/기록동작에 효과적이다. 더우기 신호통로의 우회부분을 짧게하여 판독/기록을 신호하게 한다.

(57) 청구의 범위

청구항 1

반도체 칩을 리드프레임에 부착시켜 상기 리드프레임의 내부리드 선단이 반도체 칩의 소자형성면 상부에 위치하고, 상기 반도체 칩의 본딩패드와 상기 내부리드의 상기 선단사이에 본딩배선을 수지 밀봉하여 구성된 반도체 장치에 있어서, 신호수신용 본딩패드가 상기 소자형성면의 중앙상부 위의 주변에 평행으로 형성되고, 신호를 전송하거나 또는 신호를 수신 및 방출하기 위한 본딩패드는 상기 소자형성면의 주위 둘레에 형성되며, 신호수신용 내부리드는 신호수신용 상기 본딩패드와 상응하는 소자형성면의 중앙상부 위의 주변에 평행으로 위치한 선단을 가지고, 신호를 전송하거나 신호를 수신 또는 전송하기 위한 내부리드는 신호를 전송하거나 신호를 수신 또는 전송하기 위한 상기 본딩패드와 상응하는 상기 소자형성면의 주변상부 위에 위치하는 선단을 갖는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1 항에 있어서, 신호를 단독으로 수신하기 위한 본딩패드는 소자형성면의 중앙에서 더 긴 측면에 평행으로 제공되는 것을 특징으로 하는 반도체 장치.

청구항 3

제 1 항에 있어서, 신호를 단독으로 수신하기 위한 본딩패드는 소자형성면의 중앙에서 더 짧은 방향에 제공되는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1 항에 있어서, 소자형성면의 중앙에 형성된 신호수신용 본딩패드는 전원입력용 본딩패드를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1 항에 있어서, 출력신호에 대해 출력버퍼에 전원을 공급하기 위한 본딩패드는 상기 출력버퍼의 최소하나와 상응하는 상기 소자형성면의 주변 부근에 형성되고, 전원용 내부리드는 상기 본딩패드에 상응하여 형성된 것을 특징으로 하는 반도체 장치.

청구항 6

제 5 항에 있어서, 신호수신용 본딩패드는 소자형성면의 중앙에서 더 긴 측면의 방향에 제공된 것을 특징으로 하는 반도체 장치.

청구항 7

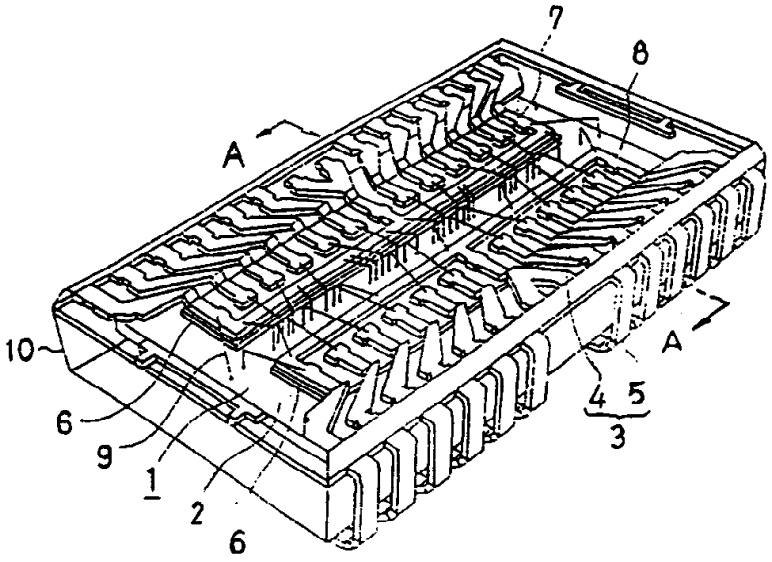
제 2 항에 있어서, 신호수신용 본딩패드는 상기 소자형성면의 중앙에서 더 짧은 측면의 방향에 제공된 것을 특징으로 하는 반도체 장치.

청구항 8

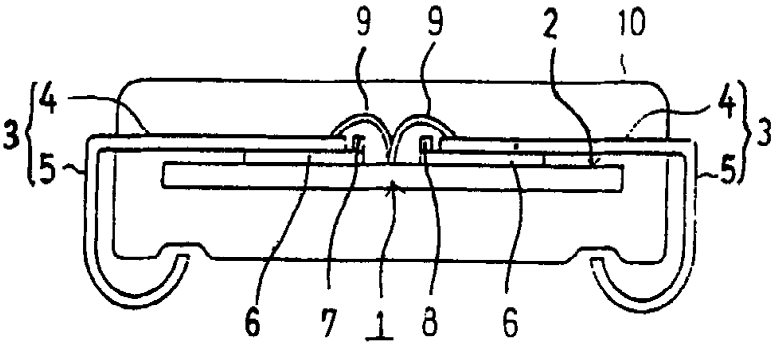
제 2 항에 있어서, 상기 소자형성면의 중앙에 형성된 신호수신용 본딩패드는 전원입력용 본딩패드를 포함하는 것을 특징으로 하는 반도체 장치.

도면

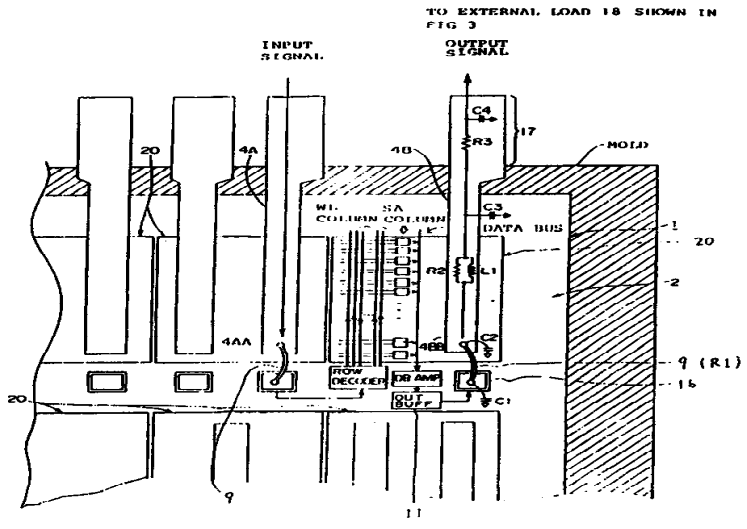
도면1


7
8
A
A
10
6
9
1
2
6
4 5
3

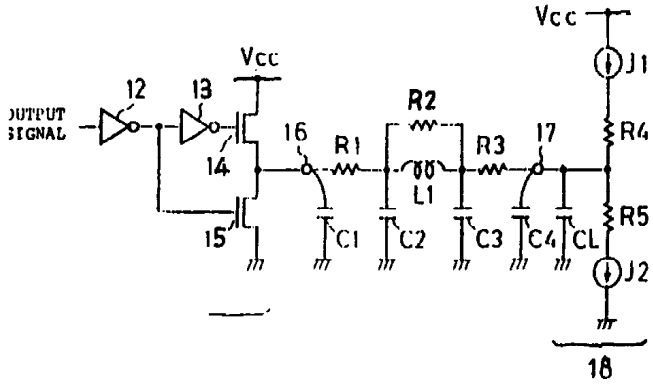
도면2


9
9
2
10
4
3
5
4
3
5
6
7
1
8
6

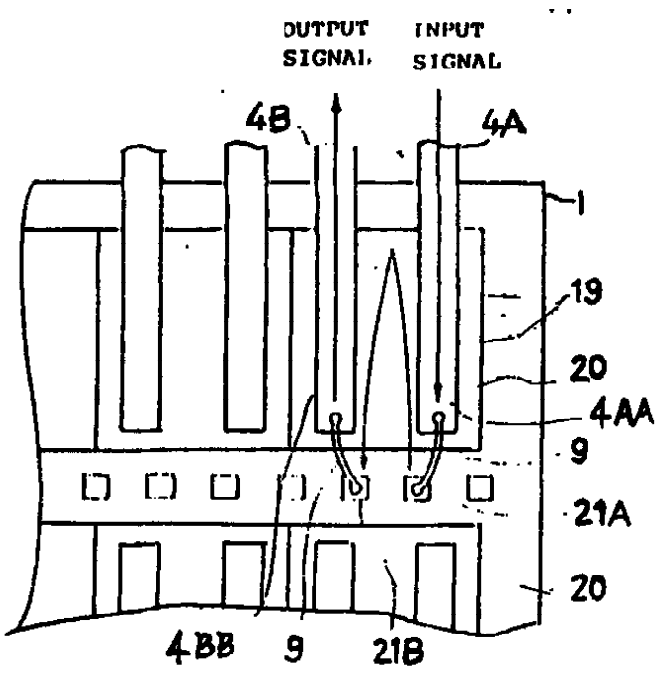
도면3


TO EXTERNAL LOAD 18 SHOWN IN FIG 3
INPUT SIGNAL
OUTPUT SIGNAL
C4
R3
17
MOLD
20
4A
4B
WL
SA
COLUMN
COLUMN
C3
DATA BUS
1
20
R2
2
4AA
4BB
C2
9 (R1)
ROW DECODER
DB AMP
16
OUT BUFF
C1
20
9
11

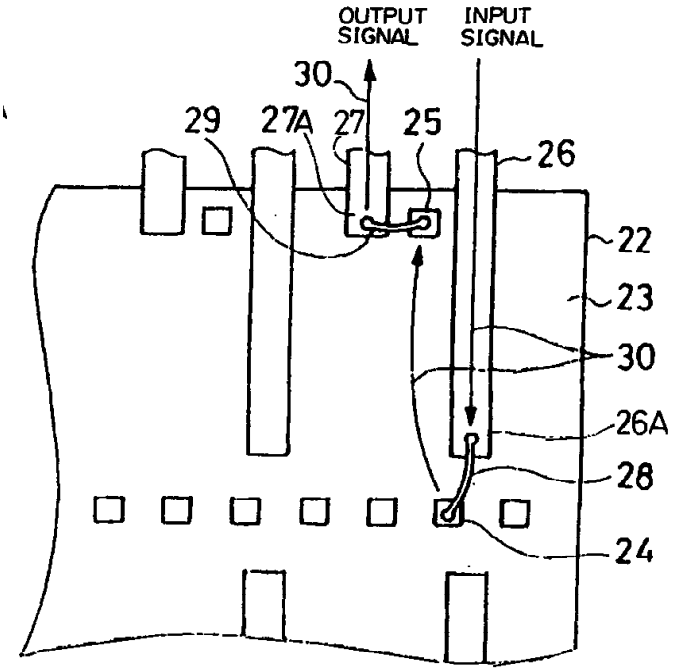
도면4


Vcc
Vcc
J1
12
13
R2
OUTPUT
SIGNAL
16
R1
R3
17
R4
14
L1
R5
15
C1
C2
C3
C4
CL
J2
18

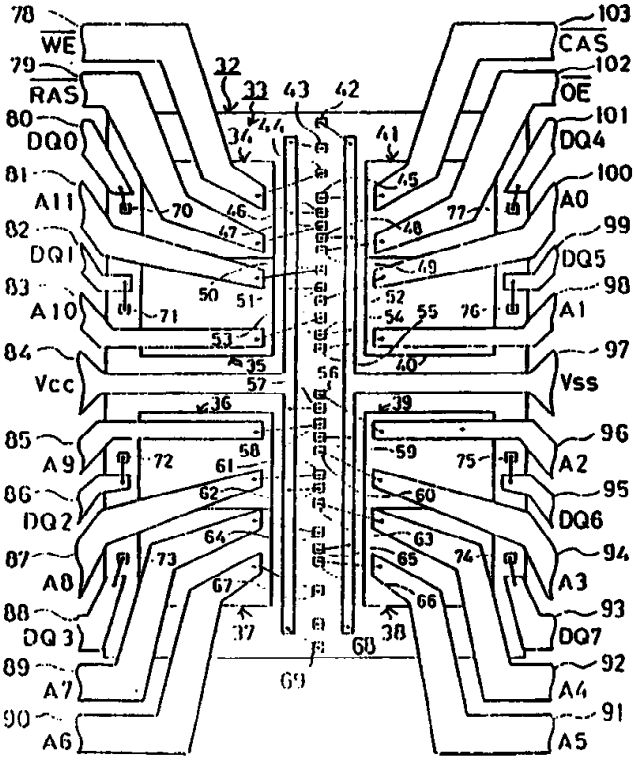
도면5


OUTPUT
SIGNAL
INPUT
SIGNAL
4B
4A
1
19
20
4AA
9
21A
20
4BB
9
21B

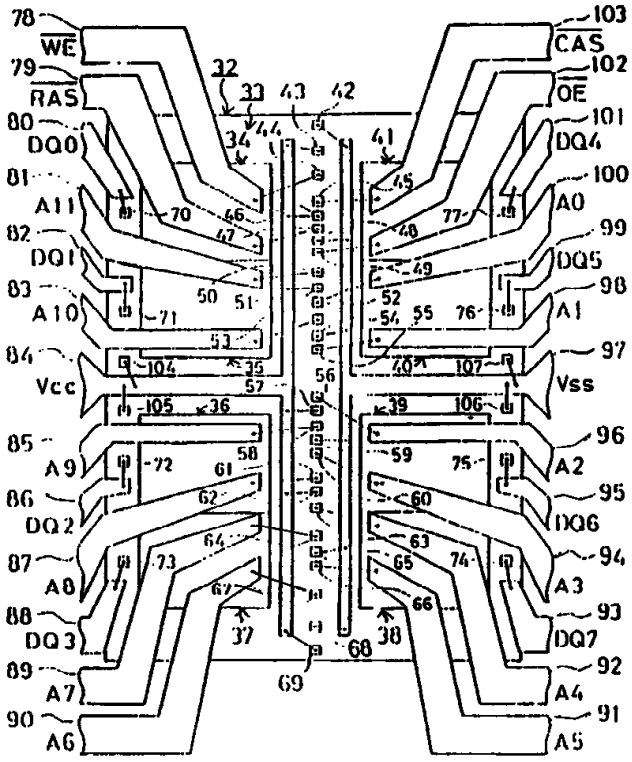
도면6


OUTPUT SIGNAL
INPUT SIGNAL
30
29
27A
27
25
26
22
23
30
26A
28
24

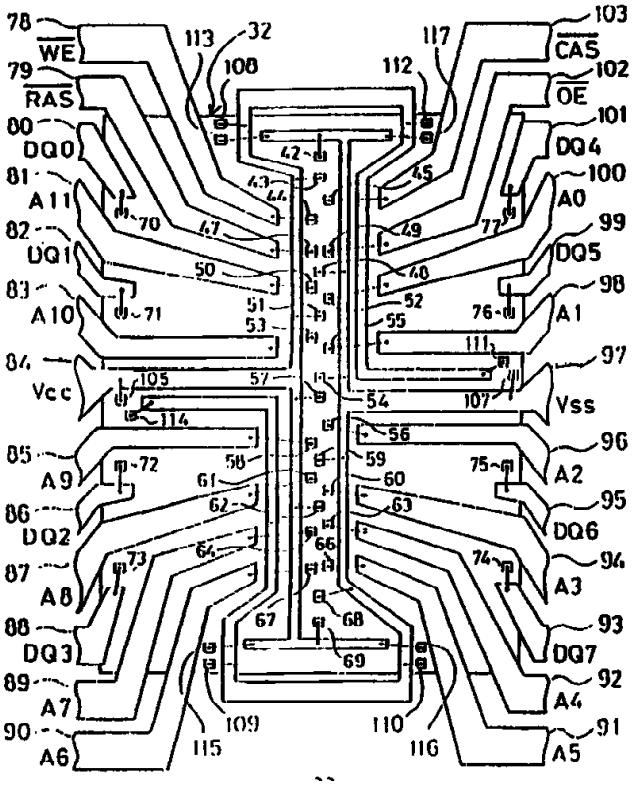
도면7


78
WE
79
RAS
80
DQ0
81
A11
82
DQ1
83
A10
84
Vcc
85
A9
86
DQ2
87
A8
88
DQ3
89
A7
90
A6
103
CAS
102
OE
101
DQ4
100
A0
99
DQ5
98
A1
97
Vss
96
A2
95
DQ6
94
A3
93
DQ7
92
A4
91
A5
32
33
43
42
34
41
35
36
37
38
39
40
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
69
70
71
72
73
74
75
76
77

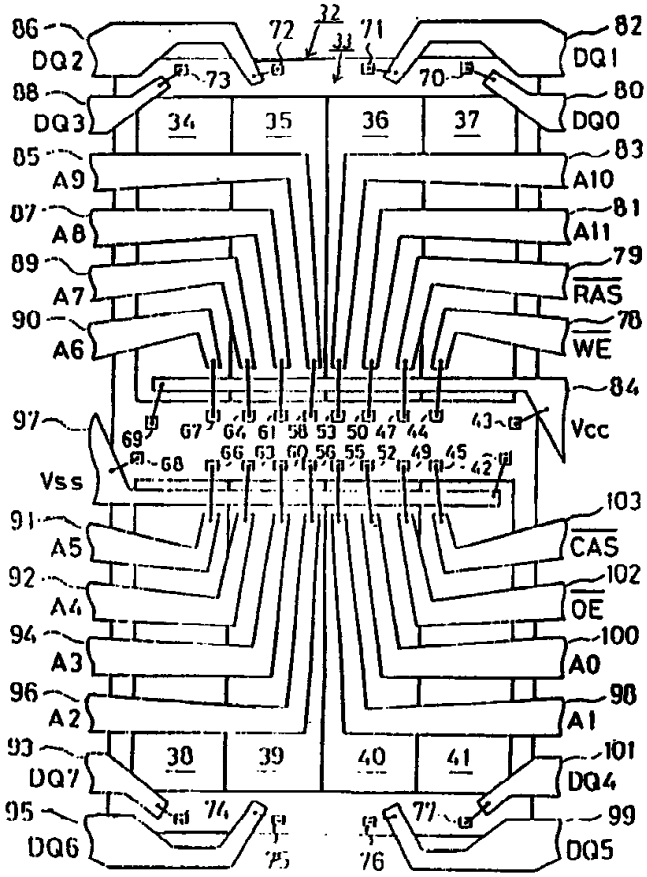
도면8


78
WE
79
RAS
80
DQ0
81
A11
82
DQ1
83
A10
84
Vcc
85
A9
86
DQ2
87
A8
88
DQ3
89
A7
90
A6
103
CAS
102
OE
101
DQ4
100
A0
99
DQ5
98
A1
97
Vss
96
A2
95
DQ6
94
A3
93
DQ7
92
A4
91
A5
32
33
43
42
34
44
41
45
70
46
47
48
77
49
50
51
52
54
55
76
71
53
104
35
57
56
40
107
105
36
39
106
72
61
58
59
75
62
60
64
63
73
65
74
67
66
37
38
68
69

도면9


78
WE
79
RAS
80
DQ0
81
A11
82
DQ1
83
A10
84
Vcc
85
A9
86
DQ2
87
A8
88
DQ3
89
A7
90
A6
103
CAS
102
OE
101
DQ4
100
A0
99
DQ5
98
A1
97
Vss
96
A2
95
DQ6
94
A3
93
DQ7
92
A4
91
A5
113
32
108
117
112
42
43
44
45
70
47
49
77
50
40
51
52
53
55
76
71
111
105
57
54
107
114
56
72
58
59
75
61
60
62
63
64
66
73
74
67
68
69
109
110
115
116

도면10


86
DQ2
88
DQ3
85
A9
87
A8
89
A7
90
A6
97
Vss
91
A5
92
A4
94
A3
96
A2
93
DQ7
95
DQ6
82
DQ1
80
DQ0
83
A10
81
A11
79
RAS
78
WE
84
Vcc
103
CAS
102
OE
100
A0
98
A1
101
DQ4
99
DQ5
72
32
71
33
73
70
34
35
36
37
38
39
40
41
74
77
75
76
69
68
67
64
61
58
53
50
47
44
43
66
63
60
56
55
52
49
45
42