

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005 年 2 月 10 日 (10.02.2005)

PCT

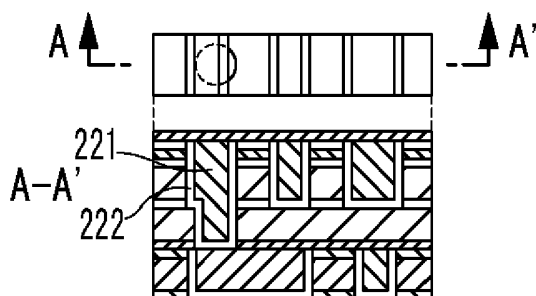
(10) 国際公開番号
WO 2005/013356 A1

- (51) 国際特許分類⁷: H01L 21/768, 21/3065 (74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号カドヤビル 6 階 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/010183
- (22) 国際出願日: 2004 年 7 月 16 日 (16.07.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-277086 2003 年 7 月 18 日 (18.07.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大竹 浩人 (OHTAKE, Hiroto) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 田上 政由 (TAGAMI, Masayoshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 多田 宗弘 (TADA, Munehiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 林 喜宏 (HAYASHI, Yoshihiro) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE HAVING TRENCH WIRING AND PROCESS FOR FABRICATING SEMICONDUCTOR DEVICE

(54) 発明の名称: 溝配線を有する半導体装置および半導体装置の製造方法



dielectric constant lower than that of a silicon oxide film. The upper part of the interlayer insulating layers (202-208) is composed of a silicon oxide film (206), a silicon nitride film (207) and a silicon oxide film (208) formed sequentially from the lower location.

(57) Abstract: [PROBLEMS] The present invention provides a highly reliable multilayer wiring by avoiding problems such as short circuit and increase in the via resistance which are caused by misalignment. [MEANS FOR SOLVING PROBLEMS] The semiconductor device comprises a first wiring layer (201), and interlayer insulating layers (202-208). The first wiring layer (201) is provided on the upper surface of a substrate and includes a first wiring. The interlayer insulating layers (202-208) are provided on the first wiring layer (201) and include a via having one end connected with the first wiring and a second wiring connected with the other end of the via. The interlayer insulating layers (202-208) have a relative

(57) 要約: 【課題】 多層配線において、ショートやビア抵抗増加のような目合わせずれによる問題を回避し、信頼性の高い多層配線を得る。【解決手段】 半導体装置は、第 1 配線層 (201) と、層間絶縁層 (202~208) とを具備する。第 1 配線層 (201) は、基板の上面側に設けられ、第 1 配線を含む。層間絶縁層 (202~208) は、前記第 1 配線層 (201) 上に設けられ、一方の端を前記第 1 配線に接続されたビアと、前記ビアの他方の端に接続された第 2 配線とを含む。前記層間絶縁層 (202~208) はシリコン酸化膜より低い比誘電率を有する。前記層間絶縁層 (202~208) の上部は、下側から順に、シリコン酸化膜 (206)、シリコン窒化膜 (207)、シリコン酸化膜 (208) を備える。

WO 2005/013356 A1



2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

溝配線を有する半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、溝配線を有する半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 近年の超LSIデバイスでは、数mm角のチップに数百万個以上の素子を集積する必要があるため、素子を微細化、多層化することが不可欠である。特にデバイス動作速度の高速化のためには、配線抵抗および層間容量の低減が重要である。

[0003] 配線抵抗および層間容量の低減のために、銅を配線材料に、シリコン酸化膜より誘電率の低い膜を層間絶縁膜に用いる方法が用いられている。さらには、工程数の低減、銅配線の信頼性の向上のため、デュアルダマシン工法が採用されている。デュアルダマシン工法では、シングルダマシンに比べて銅の埋め込み工程や銅のCMP工程が削減でき、工程が大きく短縮される。さらには、デュアルダマシン工法では、配線溝とビア孔とに一括して銅が埋め込まれるため、銅配線のエレクトロマイグレーションによる断線がなく、銅配線の信頼性も向上する。このデュアルダマシン工法には、2つの従来技術がある。

[0004] 第1の従来技術は、デュアルダマシン配線構造を形成する一手法であり、一般にビアファースト法といわれているものである。その技術は、例えば、T. I. Bao, et al., “90nm Generation Cu/CVD Low-k ($k < 2.5$) Interconnect Technology”, IEEE International Electron Device Meeting (IEDM) 2002, pp583)に開示されている。

[0005] 図1A～図1Gは、第1の従来技術のデュアルダマシン配線構造の製造方法(ビアファースト法)を示す図である。各図のうち、上側が上面図、下側が上面図のAA断面図である。

まず、図1Aに示されるように、下部配線層101の上面にキャップ膜102が形成される。キャップ膜102は、ビア層間膜103をエッチングする際のエッチングストッパーである。キャップ膜102の上面に、ビア層間膜103が形成される。ビア層間膜103の上

面に、ストッパー膜104が形成される。このストッパー膜104は、トレンチ層間膜105をエッチングする際のエッチングストッパーである。ストッパー膜104の上面に、トレンチ層間膜105が形成される。トレンチ層間膜105の上面に、ハードマスク106が形成される。ハードマスク106の上面に反射防止膜108、フォトレジスト109が形成される。フォトリソグラフィ技術を用いて、フォトレジスト109にビア孔開口用のレジストパターン109aが形成される。ここでは、フォトリソグラフィ工程でレジストパターン109aが下部配線層101の下層配線に対し、 Δd_1 だけ目合わせずれを生じている場合を図示している。

[0006] 次に、図1Bに示されるように、レジストパターン109aが形成されたフォトレジスト109をマスクとして、反射防止膜108、ハードマスク106、トレンチ層間膜105、ストッパー膜104、ビア層間膜103が、順次にエッチングされる。それにより、ビア孔パターン103aが形成される。この際、ビア層間膜103のエッチングはキャップ膜102でストップする。

[0007] 続いて、図1Cに示されるように、レジスト109及び反射防止膜108を除去する。その後、図1Dに示されるように、ハードマスク106の上面に、反射防止膜110及びフォトレジスト111が形成される。この反射防止膜110はビア孔パターン103aの底のキャップ膜102を保護する役割を果たす。更に、フォトリソグラフィ技術を用いてフォトレジスト111に配線溝用のレジストパターン111aが形成される。この際、レジストパターン111aは、ビア孔パターン103aに目合わせて露光する。ここでは、フォトリソグラフィ工程でレジストパターン111aがビア孔パターン103aに対して Δd_2 だけ目合わせずれを生じている場合を図示している。

[0008] 続いて、図1Eに示されるように、レジストパターン111aの溝下の反射防止膜110、ハードマスク106、トレンチ層間膜105が順次エッチングされる。それにより、配線溝パターン105aが形成される。ビア孔パターン103aの底のキャップ膜102は、ビア孔パターン103aの底の反射防止膜によりエッチングプラズマから保護される。次に、図1Fに示されるように、レジスト111及び反射防止膜110を除去後、キャップ膜102を除去することにより、デュアルダマシンの構造が形成できる。

[0009] 続いて、図1Gに示されるように、ビア孔パターン103aと配線溝パターン105aとに

バリア膜及び銅が埋め込まれ、銅配線112が形成される。このビアファースト法の場合、図1Gの上面図に示されるように、下層配線に対するビアパターンが Δd_1 だけ目合わせずれを生じたとしても、ビア抵抗の増加は Δd_1 分だけである。また、ビアパターンに対する上層配線が Δd_2 だけ目合わせずれを生じたとしても、配線間はビアの分の Δd_2 だけ狭くなるだけであり、ショート懸念が少ない。

- [0010] すなわち、ビアファーストプロセスは、ビアパターン(ビア孔パターン103a)を先に形成するため、ビア孔(ビア孔パターン103a)と配線溝(配線溝パターン105a)との目合わせずれに対してマージンを確保できるといった特徴を有する。
- [0011] このビアファーストプロセスの従来技術では、ビア孔の開口部付近にエッチング残渣が発生する場合がある。図2は、従来技術のビアファーストプロセスにおけるエッチング残渣の発生を示す断面図である。この残渣は主にトレンチエッチング中のエッチング生成物がビアに埋め込まれたレジストあるいは反射防止膜側壁に付着したものである。これらのエッチング残渣は配線の断線や信頼性低下を生むため、抑制する必要がある。これらのエッチング残渣は特に上部配線が太幅の場合に起こりやすい。
- [0012] さらに、ビアファーストプロセスでは層間膜(ビア層間膜103、トレンチ層間膜105)が露出した状態でのアッシングが2回ある(図1C、図1F)。その結果、配線層間膜(トレンチ層間膜105)がアッシングプラズマに弱い低誘電率膜などを使用した場合、そのダメージは大きい。
- [0013] また、ビアファーストプロセスでは、トレンチ形成後に露光不良や目ズレなどの原因でレジストを剥離し再度トレンチ露光するのが非常に難しい。トレンチ露光後に窒素・水素プラズマなどによるダメージを層間膜に与えない条件でアッシングした場合、ハードマスク106が肩落ちし、後退する。このため、層間膜が露出してしまうこともある。
- [0014] 加えてビアファーストプロセスでは、ビアポイズニングが問題となっている。ビア孔に埋め込まれたレジストからガスが出るため、ビアの周りが良好に露光されない状態になる場合がある。このビアポイズニングにより、本来ならば配線溝パターンが形成されてビア孔と接続される部分がエッチングされず、ビアと配線との未接続部発生の危険がある。
- [0015] 第2の従来技術としては、低誘電率膜のキャップとなる無機膜を二層にするデュア

ルハードマスク工法がある。その技術は、例えば、R. Kanamura, et al., “Integration of Cu/low-k Dual-Damascene Interconnects with a Porous PAE/SiOC Hybrid Structure for 65nm-node High Performance eDRAM”, 2003 Symposium on VLSI Technology, pp107に開示されている。

- [0016] 図3A～図3Iは、第2の従来技術のデュアルダマシニ配線構造の製造方法(デュアルハードマスク工法)を示す図である。各図のうち、上側が上面図、下側が上面図のAA断面図である。

まず、図3Aに示されているように、図1Aと同様に、下部配線層101の上面にキャップ膜102、ビア層間膜103、ストッパー膜104、トレンチ層間膜105が形成される。その後、トレンチ層間膜105の上面に下層ハードマスク106、上層ハードマスク107、反射防止膜108、配線溝用のフォトレジスト109が形成される。フォトリソグラフィ技術を用いて、フォトレジスト109にビア孔開口用のレジストパターン109aが形成される。ここでは、フォトリソグラフィ工程でレジストパターン109aが下部配線層101の下層配線に対し、 Δd_3 だけ目合わせずれを生じている場合を図示している。

- [0017] 次に、図3Bのように、レジストパターン109aをマスクとして、下層ハードマスク106をストッパーとして反射防止膜108、上層ハードマスク107をエッチングする。図3Cのように、酸素プラズマによりレジスト除去を行う。かかる工程により、上層ハードマスク107に配線溝パターン107aを形成する。すなわち、デュアルハードマスク工法はトレンチファーストプロセスの一種である。その後、図3Dのように、上層ハードマスク107上に、反射防止膜110を成膜する。その上にビア用のフォトレジスト111を形成する。フォトレジスト111にビア孔パターン111aを形成する。ここでは、フォトリソグラフィ工程でビア孔パターン111aが下部配線層101の下層配線に対し、 Δd_4 だけ目合わせずれを生じている場合を図示している。

- [0018] 続いて、図3Eのように、フォトレジスト111をマスクとして、反射防止膜110、上層ハードマスク107、下層ハードマスク106、トレンチ層間膜105、ストッパー膜104をエッチングして、ハーフビア孔パターン104aを形成する。その後、図3Fのように、下層ハードマスク106および上層ハードマスク107上に存在するフォトレジスト111、反射防

止膜110を除去する。

- [0019] 次に、図3Gのように、上層ハードマスク107をマスクとして、下層ハードマスク106とトレンチ層間膜105をエッチングする。この際、ハーフビア孔パターン104aにおいてもストッパー膜104をマスクとしてビア層間膜103を同時にエッチングする。キャップ膜102及びストッパー膜104を除去することにより、デュアルダマシンの構造が形成される。最後に、図3Hのように、ハーフビア孔パターン104aと配線溝パターン107aとにバリアメタルと銅とを埋め込むことで、銅配線を形成する。
- [0020] このデュアルハードマスク工法では、トレンチパターンを上層ハードマスク107の無機膜に転写するため、ビア孔にレジストや反射防止膜が埋め込まれることがない。このため、ビア孔内のレジストや反射防止膜を除去するためのアッシング工程がなく、配線溝側面やビア孔側面の低誘電率膜(ビア層間膜103、トレンチ層間膜105)に過度のダメージを与えることはない。更には、上層ハードマスク107の配線溝パターン107aに対するビア露光の際、フォトレジストのビアパターンに目ズレが生じた場合にも、低誘電率膜がプラズマに触れることなく、フォトレジストを酸素アッシング可能である。このため、目合わせずれが所望の値以下になるまでビア露光工程を繰り返すことができる。
- [0021] このデュアルハードマスク工法の従来技術では、第1の従来技術であるビアファースト工法に対して、低誘電率膜へのダメージ低減やビアポイズニング回避といった観点から優れた点が多い。
- [0022] しかし、デュアルハードマスク工法には、上層マスクに先にトレンチパターンを形成するトレンチファーストプロセスに起因した目合わせずれ不良が発生する。
- [0023] 図3によってその詳細を説明する。図3Aに示したように、配線溝パターン(レジストパターン109a)が下層配線層1の下層配線に対して、 Δd_3 だけ目合わせずれを生じたとする。一方、図3Dに示したように、ビア孔パターン111aは前述の下層配線に対して、逆方向の Δd_4 だけ目合わせずれを生じたとする。その結果、図3Hに示すように、ビア孔が上層配線に対して $\Delta d_3 + \Delta d_4$ だけ目合わせずれしたことになる。そのため、密ピッチ配線の場合にはビアと配線が近づき、ショート危険性を生じる。
- [0024] また、ショートの危険性を回避するため、図3Dにおけるビア孔パターン形成を配線

溝パターン107aに対して行った場合には新たな問題が発生する。この際には、ビア孔は下層配線に対して $\Delta d_3 + \Delta d_4$ だけ目合わせずれを生じる可能性がある。そのため、図3IのP領域のように、ビア接続部分が少なくなり、ビア抵抗の増加を招くことが予想される。

[0025] このように、デュアルハードマスク工法を用いた場合、ビアの目あわせを下層配線層1の下層配線に対して行っても、配線溝形成用のハードマスクパターン(配線溝パターン107a)に対して行っても、ショートとビア抵抗増加の両方を回避することは不可能である。このことは、デュアルハードマスク工法が元来トレンチファーストプロセスであるため生じるものであり、回避できない。

[0026] さらに、デュアルハードマスク工法においても、図3Eのビア形成後のアッシング時には層間膜(トレンチ層間膜105)が露出しており、この際のアッシングダメージは避けられない。

[0027] このように、多層配線構造に着目すると、第一の従来技術であるビアファースト法においては、エッチング残渣やアッシングダメージの問題が発生する。第二の従来技術であるデュアルハードマスク工法においては、目合わせずれの問題が発生する。低誘電率膜へのダメージが少ない多層配線構造を形成する技術が望まれる。ショートやビア抵抗増加のような目合わせずれによる問題を回避することが可能な技術が望まれる。ビアの製造歩留まりに優れた多層配線構造を形成することが可能な技術が望まれる。

[0028] 関連する技術として特開2002-43419号公報に半導体装置の製造方法及び半導体装置が開示されている。これは、半導体基板上に第1の配線とその上層の第2の配線とを備え、第1及び第2の配線間にスルーホールが形成されている半導体装置の製造方法である。絶縁膜成膜工程と、多層ハードマスク層の成膜工程と、第1の開口部形成工程と、第2の開口部形成工程と、第3の開口部形成工程と、第2の配線の配線溝／スルーホール形成工程とを有する。

絶縁膜成膜工程は、第2の配線及びスルーホールを形成する際、第1の配線上の層間膜として、順次、第1の配線の配線金属の拡散防止膜として機能する第1の絶縁膜と、低誘電率膜層からなる第2の絶縁膜とを形成する。多層ハードマスク層の成膜

工程は、第2の絶縁膜上に成膜された少なくとも3層以上の絶縁ハードマスク層で構成され、かつ、それらの3層の絶縁ハードマスク層は同じエッチング条件ではエッチングレートが相互に異なる多層ハードマスク層であって、第2の絶縁膜上に、順次、第1の絶縁ハードマスク層、第2の絶縁ハードマスク層及び第3の絶縁ハードマスク層を成膜する。第1の開口部形成工程は、第3及び第2のハードマスク層をエッチングして、スルーホールパターンである第1の開口部をセルフアラインで第1のハードマスク上に形成する。第2の開口部形成工程は、第3のハードマスク層をエッチングして、第2の配線の配線溝パターンであって、第1の開口部に連通する第2の開口部を第2のハードマスク層上に形成する。第3の開口部形成工程は、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングするステップと、更に第2の絶縁膜をエッチングするステップとを有して、第1及び第2の開口部に連通し、かつ第1の絶縁層を露出させる第3の開口部を形成する。第2の配線の配線溝／スルーホール形成工程は、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の絶縁膜の上部をエッチングして、第2の配線の配線溝を形成すると共に第1の絶縁層をエッチングして、第1の配線を露出させるスルーホールを開口する。

絶縁膜成膜工程では、低誘電率層からなる第2の絶縁膜に際し、順次、第1の低誘電率層、第2のハードマスク層と同じ組成の電気絶縁性エッチングストップ層、及び第2の低誘電率層とを成膜しても良い。第3の開口部形成工程では、第2のハードマスク層をエッチングマスクとして、第1のハードマスク層をエッチングして第2の低誘電率層を露出させるステップと、第2の低誘電率層をエッチングしてエッチングストップ層を露出させるステップと、更にエッチングストップ層をエッチングするステップとを有していても良い。配線溝／スルーホール形成工程では、第3のハードマスク層をエッチングマスクとして、第2のハードマスク層、第1のハードマスク層、及び第2の低誘電率層をエッチングしてエッチングストップ層を露出させて第2の配線の配線溝を形成し、更に、第1の絶縁膜をエッチングして、第1の配線を露出させるスルーホールを開口しても良い。。

[0029] 関連する技術として特開2002-64139号公報に半導体装置の製造方法が開示さ

れている。この半導体装置の製造方法は、デュアルダマシン構造の配線を形成する。(a)基板上の第1の絶縁層に形成された第1の溝パターンの内部に、第1のバリア層および下層配線を埋め込む工程と、(b)前記下層配線の上層に第2の絶縁層を形成する工程と、(c)第1のレジストパターンをマスクとしたエッチングで、前記第2の絶縁層の上部に第2の溝パターンを形成する工程と、(d)第2のレジストパターンをマスクとしたエッチングで、前記第2の絶縁層の下部および前記下層配線に、前記第1のバリア層に達する孔パターンを形成する工程と、(e)前記第2の溝パターンおよび前記孔パターンの内部に、第2のバリア層および上層配線を埋め込む工程とを有する。

[0030] 関連する技術として特開2003-45964号公報に半導体装置及びその製造方法が開示されている。この半導体装置は、下層配線を覆うように層間絶縁膜を形成し、該層間絶縁膜に形成したビアホール及び配線溝にそれぞれビアプラグ及び上層配線を同時に形成し、前記ビアプラグを通じて前記下層配線と前記上層配線とを接続する。前記層間絶縁膜は低誘電率の絶縁膜から成り、前記層間絶縁膜はハードマスクで覆われている。前記層間絶縁膜は有機膜から成っていても良い。

[0031] 関連する技術として特開2003-133411号公報に半導体装置およびその製造方法が開示されている。この半導体装置は、半導体素子の形成された基板上の層間絶縁膜が、第1の有機絶縁膜と、前記第1の有機絶縁膜上に形成した前記有機絶縁膜とは別種の第1の絶縁膜と、前記第1の絶縁膜上に形成した第2の有機絶縁膜と、前記第2の有機絶縁膜上に形成した前記有機絶縁膜とは別種の第2の絶縁膜とから成る。前記第2の絶縁膜と少なくとも前記第2の有機絶縁膜の一部とに形成された配線溝と、前記配線溝の底部に少なくとも連結するもので前記第1の絶縁膜と前記第1の有機絶縁膜にわたって形成された接続孔とを備える。前記第2の絶縁膜上に第3の有機絶縁膜が形成され、前記配線溝が前記第3の有機絶縁膜と前記第2の絶縁膜と少なくとも前記第2の有機絶縁膜の一部とにわたって形成されていても良い。

[0032] 関連する技術として特開2003-163265号公報に配線構造およびその製造方法が開示されている。半導体基板上の絶縁膜に形成される溝配線の構造である。一配線層内で最小線幅となる溝配線は、前記最小線幅値と同じ口径値のビアホールを通して下層配線に接続される。同配線層内で最小線幅以上となる溝配線は、前記最小

線幅値より大きな口径値のビアホールで下層配線に接続されている。

特許文献1:特開2002-43419号公報

特許文献2:特開2002-64139号公報

特許文献3:特開2003-45964号公報

特許文献4:特開2003-133411号公報

特許文献5:特開2003-163265号公報

非特許文献1:T. I. Bao, et al., "90nm Generation Cu/CVD Low-k ($k < 2.5$) Interconnect Technology", IEEE International Electron Device Meeting (IEDM) 2002, pp583

非特許文献2:R. Kanamura, et al., "Intergration of Cu/low-k Dual-Damascene Interconnects with a Porous PAE/SiOC Hybrid Structure for 65nm-node High Performance eDRAM", 2003 Symposium on VLSI Technology, pp107

図面の簡単な説明

[0033] [図1A]図1Aは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1B]図1Bは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1C]図1Cは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1D]図1Dは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1E]図1Eは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1F]図1Fは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図1G]図1Gは、第1の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図2]図2は、従来技術のビアファーストプロセスにおけるエッチング残渣の発生を示す断面図である。

[図3A]図3Aは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3B]図3Bは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3C]図3Cは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3D]図3Dは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3E]図3Eは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3F]図3Fは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3G]図3Gは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3H]図3Hは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図3I]図3Iは、第2の従来技術のデュアルダマシン配線構造の製造方法を示す図である。

[図4]図4は、SiOCH膜及びSiO₂膜のエッチング速度の酸素添加量依存性を示すグラフである。

[図5A]図5Aは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5B]図5Bは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5C]図5Cは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5D]図5Dは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5E]図5Eは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5F]図5Fは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5G]図5Gは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5H]図5Hは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5I]図5Iは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5J]図5Jは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図5K]図5Kは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。

[図6A]図6Aに、各製造方法と各種配線抵抗のウエハ面内累積分布との関係を示すグラフである。

[図6B]図6Bに、各製造方法と各種配線抵抗のウエハ面内累積分布との関係を示すグラフである。

[図6C]図6Cに、各製造方法と各種配線抵抗のウエハ面内累積分布との関係を示すグラフである。

[図7]図7は、トリプルハードマスク工法及びデュアルハードマスク工法における目ずれ量と製造歩留まりとの関係を示すグラフである。

[図8A]図8Aは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8B]図8Bは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8C]図8Cは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8D]図8Dは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8E]図8Eは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8F]図8Fは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8G]図8Gは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8H]図8Hは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8I]図8Iは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8J]図8Jは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図8K]図8Kは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。

[図9A]図9Aは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9B]図9Bは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9C]図9Cは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9D]図9Dは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9E]図9Eは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9F]図9Fは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9G]図9Gは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9H]図9Hは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9I]図9Iは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9J]図9Jは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図9K]図9Kは、本発明の半導体装置の製造方法の第3の実施の形態を模式的に示す図である。

[図10A]図10Aは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。

[図10B]図10Bは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。

[図10C]図10Cは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。

[図10D]図10Dは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。

[図10E]図10Eは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。

[図11A]図11Aは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11B]図11Bは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11C]図11Cは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11D]図11Dは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11E]図11Eは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11F]図11Fは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11G]図11Gは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11H]図11Hは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11I]図11Iは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11J]図11Jは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図11K]図11Kは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。

[図12]図12は、本発明の半導体装置の製造方法の第5の実施の形態を模式的に示す断面図である。

発明の開示

発明が解決しようとする課題

[0034] したがって、本発明の目的は、低誘電率膜へのダメージが少ない多層配線構造を形成することが可能な半導体装置および半導体装置の製造方法技術を提供することにある。

[0035] 本発明の別の目的は、ショートやビア抵抗増加のような目合わせずれによる問題を回避することが可能な半導体装置および半導体装置の製造方法技術を提供することにある。

[0036] 本発明の更に別の目的は、ビアの製造歩留まりに優れた多層配線構造を形成することが可能な半導体装置および半導体装置の製造方法技術を提供することにある。

[0037] この発明のこれらの目的とそれ以外の目的と利益とは以下の説明と添付図面とによって容易に確認することができる。

課題を解決するための手段

[0038] 上記課題を解決するために本発明の半導体装置は、第1配線層と、層間絶縁層とを具備する。第1配線層は、基板の上面側に設けられ、第1配線を含む。層間絶縁層は、前記第1配線層上に設けられ、一方の端を前記第1配線に接続されたビアと、前記ビアの他方の端に接続された第2配線とを含む。前記層間絶縁層はシリコン酸化膜より低い比誘電率を有する。前記層間絶縁層の上部は、下側から順に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を備える。

[0039] 上記の半導体装置において、前記層間絶縁層における前記ビアの側壁に対応する部分及び前記第2配線の側壁に対応する部分の少なくとも一方は、窒化された状態及び炭化された状態の少なくとも一方の状態にある。

[0040] 上記の半導体装置において、前記層間絶縁層は、シリコン、炭素、酸素及び水素を含む膜である。

[0041] 上記の半導体装置において、前記層間絶縁層と前記ビアとの間及び前記第2配線との間の少なくとも一方には、所定の緻密さを有する絶縁層が設けられている。

[0042] 上記の半導体装置において、前記層間絶縁層は、前記ビアを含む第1層間絶縁層と前記第2配線を含む第2層間絶縁層とを備える。前記第1層間絶縁層と前記第2層間絶縁層とは異なる材質である。

[0043] 上記の半導体装置は、前記第1層間絶縁層と前記第2層間絶縁層との間に設けられたエッチングストップ層を更に備える。

[0044] 上記課題を解決するために本発明の半導体装置の製造方法は、(a)〜(g)ステップを具備する。(a)ステップは、基板の上面側に設けられ第1配線を含む第1配線層上に、層間絶縁膜、第1シリコン酸化膜、シリコン窒化膜及び第2シリコン酸化膜をこの順に形成する工程である。(b)ステップは、前記第2シリコン酸化膜上にビア孔レジストパターンを形成し、前記第2シリコン酸化膜及び前記シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程である。(c)ステップは、前記第2シリコン酸化膜上にトレンチ溝レジストパターンを形成し、前記

第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程である。(d)ステップは、前記シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記層間絶縁膜の一部分をエッチングする工程である。(e)ステップは、前記第2シリコン酸化膜をマスクに前記シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程である。(f)ステップは、前記第2シリコン酸化膜をマスクに前記層間絶縁膜をエッチングし、前記層間絶縁膜中に配線溝とビア孔になる構造を同時に形成する工程である。(g)ステップは、前記配線溝と前記ビア孔に導体を埋め込む工程である。

[0045] 上記の半導体装置の製造方法において、前記層間絶縁膜は、シリコン、炭素、酸素及び水素を含む膜である。前記(d)工程と前記(f)工程との少なくとも一方は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによって、前記層間絶縁膜をエッチングする。

[0046] 上記の半導体装置の製造方法において、前記(g)ステップは、(g1)前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層を形成する工程を備える。

[0047] 上記の半導体装置の製造方法において、前記(g)ステップは、(g2)前記第2シリコン酸化膜を除去する工程を備える。

[0048] 上記課題を解決するために本発明の半導体装置の製造方法は、(h)〜(o)ステップを具備する。(h)ステップは、基板の上面側に設けられ第1配線を含む第1配線層上に、第1層間絶縁膜、層間シリコン酸化膜、第2層間絶縁膜、第1シリコン酸化膜、シリコン窒化膜及び第2シリコン酸化膜をこの順に形成する工程である。(i)ステップは、前記第2シリコン酸化膜上にビア孔レジストパターンを形成し、前記第2シリコン酸化膜及び前記シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程である。(j)ステップは、前記第2シリコン酸化膜上にトレンチ溝レジストパターンを形成し、前記第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程である。(k)ステップは、前記シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記第2層間絶縁

膜をエッチングし、前記層間シリコン酸化膜上で停止する工程である。(l)ステップは、前記第2シリコン酸化膜をマスクに前記シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程である。(m)ステップは、前記第1シリコン酸化膜と前記層間シリコン酸化膜とを同時にエッチングする工程である。(n)ステップは、前記第2シリコン酸化膜をマスクに前記第2層間絶縁膜と前記第1層間絶縁膜とを同時にエッチングし、前記第2層間絶縁膜に配線溝になる構造を、前記第1層間絶縁膜にビア孔になる構造をそれぞれ同時に形成する工程である。(o)ステップは、前記配線溝と前記ビア孔に導体を埋め込む工程である。

[0049] 上記の半導体装置の製造方法において、前記第1層間絶縁膜及び前記第2層間絶縁膜の少なくとも一方は、シリコン、炭素、酸素及び水素を含む層間膜である。前記層間膜は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによってエッチングされる。

[0050] 上記の半導体装置の製造方法において、前記(o)ステップは、(o1)前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層を形成する工程を備える。

[0051] 上記の半導体装置の製造方法において、前記(o)ステップは、(o2)前記第2シリコン酸化膜を除去する工程を備える。

[0052] 上記課題を解決するために本発明の半導体装置の製造方法は、(p)～(w)ステップを具備する。(p)ステップは、基板の上面側に設けられ第1配線を含む第1配線層上に、第1層間絶縁膜、層間シリコン酸化膜、第2層間絶縁膜、第1シリコン酸化膜、第1シリコン窒化膜、第2シリコン酸化膜及び第2シリコン窒化膜をこの順に形成する工程である。(q)ステップは、前記第2シリコン窒化膜上にビア孔レジストパターンを形成し、前記第2シリコン窒化膜、第2シリコン酸化膜及び前記第1シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程である。(r)ステップは、前記第2シリコン窒化膜上にトレンチ溝レジストパターンを形成し、前記第2シリコン窒化膜、前記第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程である。(s)ステップは

、前記第2シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記第2層間絶縁膜をエッチングし、前記層間シリコン酸化膜上で停止する工程である。(t)ステップは、前記第2シリコン窒化膜及び前記第2シリコン酸化膜をマスクに前記第1シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程である。(u)ステップは、前記第1シリコン酸化膜と前記層間シリコン酸化膜とを同時にエッチングする工程である。(v)ステップは、前記第1シリコン窒化膜をマスクに前記第2層間絶縁膜と前記第1層間絶縁膜とを同時にエッチングし、前記第2層間絶縁膜に配線溝になる構造を、前記第1層間絶縁膜にビア孔になる構造をそれぞれ同時に形成する工程である。(w)ステップは、前記配線溝と前記ビア孔に導体を埋め込む工程である。

[0053] 上記の半導体装置の製造方法において、前記第1層間絶縁膜及び前記第2層間絶縁膜の少なくとも一方は、シリコン、炭素、酸素及び水素を含む層間膜である。前記層間膜は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによって、前記層間絶縁膜をエッチングする。

[0054] 上記の半導体装置の製造方法において、前記(w)ステップは、(w1)前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層を形成する工程を備える。

発明の効果

[0055] 本願発明により、目ずれマージンを大きくでき、ビアの目合わせずれによるショート及び配線抵抗のばらつきを低減することができる。ビアポイズニングをなくし、配線厚を面内均一にパターン依存性なく形成することができる。それにより、信頼性の高い多層配線を得ることができる。

発明を実施するための最良の形態

[0056] 本発明の半導体装置の製造方法では、デュアルダマシ構造を形成する際に、3層のハードマスクを用いたプロセスを採用する。例えば、上層ハードマスクとしてシリコン酸化膜、中層ハードマスクとしてシリコン窒化膜、下層ハードマスクとしてシリコン酸化膜を用いる。ビア孔用の層間膜及び配線溝用の層間膜の少なくとも一方には、SiOCH系低誘電率絶縁膜を用いる。そして、40%以上の窒素ガス、40%以上のフ

ロロカーボンガスに酸素ガスを添加した混合ガスプラズマを用いて層間膜のエッチングを行う。このエッチング方法は、SiOCH系低誘電率絶縁膜とシリコン酸化膜とのエッチング選択比を5以上にすることが可能であり、本発明の発明者が発見したものである。これらの方法により、特開2002-43419に示されている3層ハードマスクを用いたデュアルダマシン構造の形成方法に比較して、より容易で高精度なデュアルダマシン構造形成が可能になる。

[0057] 図4は、SiOCH膜及びSiO₂膜のエッチング速度の酸素添加量依存性を示すグラフである。左の縦軸はSiOCH膜及びSiO₂膜のエッチング速度(オンゲストローム/min.)を示す。右の縦軸は選択比(SiOCH膜のエッチング速度/SiO₂膜のエッチング速度)を示す。横軸はエッチングガス(窒素ガス+フロロカーボンガス)中の酸素添加量(sccm)を示す。SiO₂膜は、酸素添加量を増加させると、表面の酸素離脱が補完されてしまう。そのため、エッチング速度が低下する。しかし、SiOCH膜は、酸素添加量を増加させると、表面の炭素が離脱しやすくなる。そのため、ある程度の酸素添加まではエッチング速度が増加する。その酸素含有量でエッチングすることにより、SiOCHの高選択エッチングが可能になる。また、窒素ガスを多量添加することにより、SiOCH膜表面は窒化されて、炭化窒化膜になるため、SiOCHのダメージを抑制することが可能である。すなわち、層間膜としてのSiOCH膜へのダメージを抑制しながら、SiOCH膜の高選択エッチングが可能となる。

[0058] 以下、本発明の半導体装置及び半導体装置の製造方法実施の形態について図面を参照しながら詳細に説明する。

[0059] [第1の実施形態] <ストッパーあり>

図5A～図5Kは、本発明の半導体装置の製造方法の第1の実施の形態を模式的に示す図である。各図のうち、上側が上面図、下側が上面図のAA断面図である。

第1の実施の形態は、シリコン酸化膜/シリコン窒化膜/シリコン酸化膜の3層ハードマスクを用い、トレンチ底にエッチングストッパーとしてシリコン酸化膜が用意されている構造で、SiOCH膜のデュアルダマシン構造を提供する。

[0060] 図5Aに示すように、下層配線を有する半導体基板の下層配線層201上に第1の無機膜から構成されるキャップ膜としてシリコン炭窒化膜202を成膜する。その上に、

第1の層間膜としてビア孔の深さ分だけ低誘電率絶縁膜であるSiOCH膜203をプラズマCVD法によって成膜する。そのSiOCH膜203上に、第2の無機膜であるシリコン酸化膜204をトレンチ部分に対するエッチングストッパーとして成膜する。第2の無機膜であるシリコン酸化膜204上に上層配線の深さ分だけ低誘電率絶縁膜であるSiOCH膜205をプラズマCVD法によって成膜する。SiOCH膜205上に第3の無機膜であるシリコン酸化膜206をトリプルハードマスクの最下層膜(下層ハードマスク)として成膜する。さらに、シリコン酸化膜206上に、第3の無機膜としてシリコン窒化膜207をトリプルハードマスクの中間層膜(中層ハードマスク)として成膜する。さらにシリコン窒化膜207上にシリコン酸化膜208をトリプルハードマスクの最上層膜(上層ハードマスク)として成膜する。シリコン酸化膜208上に反射防止膜層209、第1のフォトレジスト層210を形成する。そして、フォトリソグラフィ技術を用いて第1のフォトレジスト層210にビア孔パターン210aを形成する。

[0061] 図5Bに示すように、フォトレジスト層210をマスクとして、フッ素系プラズマを用いて反射防止膜209、シリコン酸化膜208、シリコン窒化膜207を順次エッチングする。図5Cに示すように、酸素プラズマにより第1のフォトレジスト層210及び反射防止膜209を剥離する。この際、上層ハードマスク(シリコン酸化膜208)・中層ハードマスク(シリコン窒化膜207)に形成されたビア孔パターン207aの底部には下層ハードマスクであるシリコン酸化膜206が存在する。そのため、上記エッチングの際、SiOCH膜205がエッチングされることはない。加えて、シリコン酸化膜206で保護されているので、フォトレジスト層210の剥離に酸素ラジカルアッシングを用いても、SiOCH膜205がエッチングされることはない。この場合、上層ハードマスクとなるシリコン酸化膜208の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0062] 図5Dに示すように、再び反射防止膜211、第2のフォトレジスト層212をシリコン酸化膜208及びビア孔パターン207aのシリコン酸化膜206を覆うように成膜する。その後、フォトリソグラフィ技術を用いて第2のフォトレジスト層212に配線溝パターン212aを形成する。

[0063] 図5Eに示すように、この第2のフォトレジスト層212をマスクとして、反射防止膜211、シリコン酸化膜208をエッチングする。それにより、ビア孔パターン208aが形成され

る。このとき、反射防止膜211がビア孔パターン207aを埋めているため、シリコン酸化膜206はエッチングされない。図5Fに示すように、酸素プラズマにより第2のフォトレジスト層212及び反射防止膜211を剥離する。この際、SiOCH膜205上には、3層ハードマスクが存在しているため、エッチングされることはない。加えて、このフォトレジスト層212の剥離には酸素ラジカルアッシングが可能である。この場合、上層ハードマスクとなるシリコン酸化膜208の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0064] 図5Gに示すように、ビア孔パターン207aを有するシリコン窒化膜207をマスクとして下層ハードマスクであるシリコン酸化膜206をエッチングする。続いて、窒素、 CHF_3 （フロロカーボン）ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜206下のSiOCH膜205をエッチングする。そのエッチングをエッチングストッパーとしてのシリコン酸化膜204で停止させ、ハーフビア孔205aを形成する。この際、SiOCH膜205とシリコン酸化膜208との選択比は5以上であるため、上層ハードマスクであるシリコン酸化膜208はほとんどエッチングされない。

[0065] 図5Hに示すように、上層ハードマスクであるシリコン酸化膜208をマスクとして、中層ハードマスクであるシリコン窒化膜(SiN) 207をエッチングする。図5Iに示すように、下層ハードマスクであるシリコン酸化膜(SiO_2) 206をエッチングする。この際、ハーフビア孔205aの底部のエッチングストッパーとしてのシリコン酸化膜204も同時にエッチングされる。

[0066] 図5Jに示すように、更に再び窒素、 CHF_3 ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜206下のSiOCH膜205をエッチングして、配線溝パターン205bを形成する。それと同時に、ハーフビア孔205aが形成されていた下のSiOCH膜203も同時にエッチングし、他のハーフビア孔203aが形成される。それにより、デュアルダマシン構造が形成される。この際、SiOCH側壁は炭窒化され、後工程でのSiOCH膜(203, 205)へのダメージを抑制できる。その後、第1の無機膜であるキャップ膜202をエッチバックすることにより、トリプルハードマスク(206ー208)とSiOCH膜205に配線溝(配線溝パターン205b)が形

成され、SiOCH膜203にビア孔（ハーフビア孔203a）が形成された構造が得られる。

- [0067] 図5Kに示すように、配線溝（配線溝パターン205b）とビア孔（ハーフビア孔203a）に一括してバリア膜222及び銅膜221を埋め込み、化学的・機械的研磨を行うことで、低誘電率層間膜—銅配線が形成される。この際、シリコン窒化膜207をCMPストッパーとして、シリコン酸化膜208を研磨する。このストッパーの存在により、面内分布ならびにパターン依存性のない配線深さが保証される。なお、シリコン酸化膜208で研磨を止めても良いし、シリコン酸化膜206まで研磨しても良い。さらには、シリコン酸化膜206を研磨でなくしても良い。図5Kは、シリコン酸化膜208で研磨を止めた例を示す。
- [0068] 本発明によるトリプルハードマスク工法と、第2の従来技術であるデュアルハードマスク工法と、第1の従来技術であるシングルダマシン法のそれぞれによりSiOCH膜中に形成した2層銅配線の電気特性を比較した。
- [0069] 図6A～図6Cに、各製造方法と各種配線抵抗のウエハ面内累積分布との関係を示すグラフである。図6Aは、製造方法としてトリプルハードマスク工法を用いた場合である。図6Bは、製造方法としてデュアルハードマスク工法を用いた場合である。図6Cは、製造方法としてシングルダマシン法を用いた場合である。縦軸は一枚のウエハ内の測定点の累積分布（％）である。横軸は各測定点における配線抵抗（ $m\Omega$ ）である。各曲線は、パターン形状の種類を示す。例えば、“. 14/. 14”は、 $0.14\mu m$ 配線、 $0.14\mu m$ スペースの配線パターン形状を示す。
- [0070] 図6Aに示すように、本発明によるトリプルハードマスク工法では、配線抵抗が概ね 80Ω 程度である。ひとつの曲線が横軸に対してほぼ垂直になっていることから、面内ばらつきも少ない。各曲線がほぼ同じ位置に同じ曲線となっていることから、パターンによるシフトも少ない。一方、図6Bに示すように、従来のデュアルハードマスク工法の場合、面内ばらつきが大きく（曲線の曲がりが多い）、パターンによるシフトも大きい（曲線同士が重ならない）。また、図6Cに示すように、従来のシングルダマシン法の場合、面内ばらつきがあり（曲線の曲がりがあり）、パターンによるシフトも大きい（曲線同士が重ならない）。図6Bや図6Cに比較して、図6Aが優れているのは、本発明に

よるトリプルハードマスク工法では、中間ハードマスクSiNが高精度なCMPストッパーになるため、配線深さがパターンや面内で均一なことに起因している。

- [0071] 本発明のトリプルハードマスク工法及び第2の従来技術のデュアルハードマスク工法のそれぞれの製造方法による配線のリーク電流の発生について比較した。配線としては、 $0.14\ \mu\text{m}$ ϕ のビアが $0.14\ \mu\text{m}$ 幅、 $0.28\ \mu\text{m}$ ピッチ配線に密に接続している配線を用いた。
- [0072] 図7は、トリプルハードマスク工法及びデュアルハードマスク工法のそれぞれの製造方法における目ずれ量と製造歩留まりとの関係を示すグラフである。横軸は、ビアの配線に対する目合わせずれの量(目ずれ量: μm)である。縦軸は、リーク電流発生の有無で評価したビアの製造歩留まり(ビア歩留まり: %)を示す。
- [0073] デュアルハードマスク工法(曲線: DHM-TF)では、 $0.02\ \mu\text{m}$ を超える目合わせずれから非常に大きな歩留まりの低下が見られる。一方、トリプルハードマスク工法(曲線: THM-VF)ではその歩留まりの低下は少ない。このことは、トリプルハードマスク工法の方が、上層配線とビア孔の目ずれのマージンが高い配線を提供できることを示しており、高信頼性の配線が形成できることを示唆している。
- [0074] このように、本発明によるトリプルハードマスク工法を用いることで、中間ハードマスクSiNがCMPストッパーとなるため、面内ならびにパターン依存性のない配線深さを持った配線が形成できる。ビアファースト工法に見られたビア部へのフォトリソグラフィや反射防止膜の流入工程もないことから、ビアポイズニングやフォトリソグラフィの再工事における低誘電率絶縁膜のダメージ劣化も生じない。また、ビアファーストプロセスであるため、ビア目合わせずれに対するマージンも大きく、高信頼性の配線が提供される。
- [0075] 以上の実施の形態では、低誘電率としてSiOCH膜を用いた例を示したが、同様のプロセスが可能であれば、SiOCH膜に限定されない。また、上層ハードマスクと中層ハードマスク、中層ハードマスクと下層ハードマスクの選択比が大きくできる組み合わせであれば、シリコン酸化膜とシリコン窒化膜の組み合わせに限定されない。さらには第2の無機膜であるストッパーや第1の無機膜であるキャップ膜に、シリコン炭窒化膜を使用した例を示したが、これに代替できる特性を持つ材料であれば特に限定さ

れない。

[0076] [第2の実施形態]＜ストッパーなし＞

図8A～図8Kは、本発明の半導体装置の製造方法の第2の実施の形態を模式的に示す図である。各図のうち、上側が上面図、下側が上面図のAA断面図である。

第2の実施の形態は、第1の実施の形態における第2の無機膜としてのシリコン酸化膜204を用いない点で第1の実施の形態と異なる。

[0077] 図8Aに示すように、下層配線を有する半導体基板の下層配線層301上に第1の無機膜から構成されるキャップ膜としてシリコン窒化膜302を成膜する。その上に、第1の層間膜としてビア孔と上層配線の深さ分だけ低誘電率絶縁膜であるSiOCH膜303をプラズマCVD法によって成膜する。そのSiOCH膜303上に、第2の無機膜であるシリコン酸化膜306をトリプルハードマスクの最下層膜(下層ハードマスク)として成膜する。さらに、シリコン酸化膜306上に、第3の無機膜としてシリコン窒化膜307をトリプルハードマスクの中間層膜(中層ハードマスク)として成膜する。さらにシリコン窒化膜307上にシリコン酸化膜308をトリプルハードマスクの最上層膜(上層ハードマスク)として成膜する。シリコン酸化膜308上に反射防止膜層309、第1のフォトレジスト層310を形成する。そして、フォトリソグラフィ技術を用いて第1のフォトレジスト層310にビア孔パターン310aを形成する。

[0078] 図8Bに示すように、フォトレジスト層310をマスクとして、フッ素系プラズマを用いて反射防止膜309、シリコン酸化膜308、シリコン窒化膜306を順次エッチングする。図8Cに示すように、酸素プラズマにより第1のフォトレジスト層310及び反射防止膜309を剥離する。この際、上層ハードマスク(シリコン酸化膜308)・中層ハードマスク(シリコン窒化膜307)に形成されたビア孔パターン307aの底部には下層ハードマスクであるシリコン酸化膜306が存在する。そのため、上記エッチングの際、SiOCH膜303がエッチングされることはない。加えて、シリコン酸化膜306で保護されているので、フォトレジスト層310の剥離に酸素ラジカルアッシングを用いても、SiOCH膜303がエッチングされることはない。この場合、上層ハードマスクとなるシリコン酸化膜308の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0079] 図8Dに示すように、再び反射防止膜311、第2のフォトレジスト層312をシリコン酸

化膜308及びビア孔パターン307aのシリコン酸化膜306を覆うように成膜する。その後、フォトリソグラフィ技術を用いて第2のフォトレジスト層312に配線溝パターン312aを形成する。

[0080] 図8Eに示すように、この第2のフォトレジスト層312をマスクとして、反射防止膜311、シリコン酸化膜308をエッチングする。それにより、ビア孔パターン308aが形成される。このとき、反射防止膜311がビア孔パターン307aを埋めているため、シリコン酸化膜306はエッチングされない。図8Fに示すように、酸素プラズマにより第2のフォトレジスト層312及び反射防止膜311を剥離する。この際、SiOCH膜303上には、3層ハードマスクが存在しているため、エッチングされることはない。加えて、このフォトレジスト層312の剥離には酸素ラジカルアッシングが可能である。この場合、上層ハードマスクとなるシリコン酸化膜308の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0081] 図8Gに示すように、ビア孔パターン307aを有するシリコン窒化膜307をマスクとして下層ハードマスクであるシリコン酸化膜306をエッチングする。続いて、窒素、 CHF_3 （フロロカーボン）ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜306下のSiOCH膜303をエッチングする。そのエッチングを、所定の時間だけ行い、ハーフビア孔303aを形成する。この際、SiOCH膜303とシリコン酸化膜308との選択比は5以上であるため、上層ハードマスクであるシリコン酸化膜308はほとんどエッチングされない。

[0082] 図8Hに示すように、上層ハードマスクであるシリコン酸化膜308をマスクとして、中層ハードマスクであるシリコン窒化膜(SiN) 307をエッチングする。図8Iに示すように、下層ハードマスクであるシリコン酸化膜(SiO_2) 306をエッチングする。

[0083] 図8Jに示すように、更に再び窒素、 CHF_3 ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜306下のSiOCH膜303をエッチングして、配線溝パターン303bを形成する。それと同時に、ハーフビア孔303aが形成されていた下のSiOCH膜303も同時にエッチングし、他のハーフビア孔303b'が形成される。それにより、デュアルダマシン構造が形成される。この際SiOCH側壁は炭窒化され、後工程でのSiOCH膜(303)へのダメージを抑制できる。そ

の後、第1の無機膜であるキャップ膜302をエッチバックすることにより、トリプルハードマスク(306ー308)とSiOCH膜303に配線溝(配線溝パターン303b)が形成され、残りのSiOCH膜303にビア孔(ハーフビア孔303b)が形成された構造が得られる。

[0084] 図8Kに示すように、配線溝(配線溝パターン303b)とビア孔(ハーフビア孔303b')を一括してバリア膜322及び銅膜321を埋め込み、化学的・機械的研磨を行うことで、低誘電率層間膜ー銅配線が形成される。この際、シリコン窒化膜307をCMPストッパーとして、シリコン酸化膜308を研磨する。このストッパーの存在により、面内分布ならびにパターン依存性のない配線深さが保証される。なお、シリコン酸化膜308で研磨を止めても良いし、シリコン酸化膜306まで研磨しても良い。さらには、シリコン酸化膜306を研磨でなくしても良い。図8Kは、シリコン酸化膜308で研磨を止めた例を示す。

[0085] このように、本発明によるトリプルハードマスク工法を用いることで、中間ハードマスクSiNがCMPストッパーとなるため、面内ならびにパターン依存性のない配線深さを持った配線が形成できる。ビアファースト工法に見られたビア部へのフォトレジストや反射防止膜の流入工程もないことから、ビアポイズニングやフォトリソグラフィーの再工事における低誘電率絶縁膜のダメージ劣化も生じない。また、ビアファーストプロセスであるため、ビア目合わせずれに対するマージンも大きく、高信頼性の配線が提供される。

[0086] 以上の実施の形態では、低誘電率としてSiOCH膜を用いた例を示したが、同様のプロセスが可能であれば、SiOCH膜に限定されない。また、上層ハードマスクと中層ハードマスク、中層ハードマスクと下層ハードマスクの選択比が大きくなる組み合わせであれば、シリコン酸化膜とシリコン窒化膜の組み合わせに限定されない。さらには第2の無機膜であるストッパーや第1の無機膜であるキャップ膜に、シリコン炭窒化膜を使用した例を示したが、これに代わる特性を持つ材料であれば特に限定されない。

[0087] [第3の実施形態]<AU/BD>

図9Aー図9Kは、本発明の半導体装置の製造方法の第3の実施の形態を模式的

に示す図である。各図のうち、上側が上面図、下側が上面図のAA断面図である。

第3の実施の形態は、ビア層間と配線溝層間にそれぞれ異なるSiOCH膜を使用した点で第1の実施の形態と異なる。

- [0088] 図9Aに示すように、下層配線を有する半導体基板の下層配線層401上に第1の無機膜から構成されるキャップ膜としてシリコン窒化膜402を成膜する。その上に、第1の層間膜としてビア孔の深さ分だけ低誘電率絶縁膜である第1のSiOCH膜403をプラズマCVD法によって成膜する。この第1のSiOCH膜403は、有機含有シロキサンモノマーを主原料として成膜された膜であって、酸素などの酸化剤などを導入したガス系で成膜されることもある。SiOCH膜403は、0.3nm以上のポア(空孔)を含まない膜である。SiOCH膜403は、アプライドマテリアルズ社のBlackDiamond、及び、ASM社のAurora2.7に例示される。
- [0089] その第1のSiOCH膜403上に、第2の無機膜であるシリコン酸化膜404をトレンチ部分に対するエッチングストッパーとして成膜する。第2の無機膜であるシリコン酸化膜404上に上層配線の深さ分だけ低誘電率絶縁膜である第2のSiOCH膜405をプラズマCVD法によって成膜する。この第2のSiOCH膜405は、第1のSiOCH膜403同様、有機含有シロキサンモノマーを主原料として成膜された膜であって酸素などの酸化剤などを導入したガス系で成膜されることもある。SiOCH膜405は、0.3nm以上のポア(空孔)を含む膜である。SiOCH膜405は、アプライドマテリアルズ社のBlackDiamond2、ASM社のAurora2.4、及び、トライコン社のorion2.2に例示される。
- [0090] 第2のSiOCH膜405上に第3の無機膜であるシリコン酸化膜406をトリプルハードマスクの最下層膜(下層ハードマスク)として成膜する。さらに、シリコン酸化膜406上に、第3の無機膜としてシリコン窒化膜407をトリプルハードマスクの中間層膜(中層ハードマスク)として成膜する。さらにシリコン窒化膜407上にシリコン酸化膜408をトリプルハードマスクの最上層膜(上層ハードマスク)として成膜する。シリコン酸化膜408上に反射防止膜層409、第1のフォトレジスト層410を形成し、フォトリソグラフィ技術を用いて第1のフォトレジスト層410にビア孔パターン410aを形成する。
- [0091] 図9Bに示すように、フォトレジスト層410をマスクとして、フッ素系プラズマを用いて

反射防止膜409、シリコン酸化膜408、シリコン窒化膜407を順次エッチングする。図9Cに示すように、酸素プラズマにより第1のフォトレジスト層410及び反射防止膜409を剥離する。この際、上層ハードマスク(シリコン酸化膜408)・中層ハードマスク(シリコン窒化膜407)に形成されたビア孔パターン407aの底部には下層ハードマスクであるシリコン酸化膜406が存在する。そのため、上記エッチングの際、第2のSiOCH膜405がエッチングされることはない。加えて、シリコン酸化膜406で保護されているので、フォトレジスト層410の剥離に酸素ラジカルアッシングを用いても、第2のSiOCH膜405がエッチングされることはない。この場合、上層ハードマスクとなるシリコン酸化膜408の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0092] 図9Dに示すように、再び反射防止膜411、第2のフォトレジスト層412をシリコン酸化膜408及びビア孔パターン407aのシリコン酸化膜406を覆うように成膜する。その後、フォトリソグラフィ技術を用いて第2のフォトレジスト層412に配線溝パターン412aを形成する。

[0093] 図9Eに示すように、この第2のフォトレジスト層412をマスクとして、反射防止膜411、シリコン酸化膜408をエッチングする。それにより、ビア孔パターン408aが形成される。このとき、反射防止膜411がビア孔パターン408aを埋めているため、シリコン酸化膜406はエッチングされない。図9Fに示すように、酸素プラズマにより第2のフォトレジスト層412及び反射防止膜411を剥離する。この際、第2のSiOCH膜405上には、3層ハードマスクが存在しているため、エッチングされることはない。加えて、このフォトレジスト層412の剥離には酸素ラジカルアッシングが可能である。この場合、上層ハードマスクとなるシリコン酸化膜408の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0094] 図9Gに示すように、ビア孔パターン407aを有するシリコン窒化膜407をマスクとして下層ハードマスクであるシリコン酸化膜406をエッチングする。続いて、窒素、CHF₃ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜406下の第2のSiOCH膜405をエッチングする。そのエッチングをエッチングストッパーとしてのシリコン酸化膜404で停止させ、ハーフビア孔205aを形成する。この際、SiOCH膜405とシリコン酸化膜408との選択比は5以上であるた

め、上層ハードマスクであるシリコン酸化膜408はほとんどエッチングされない。

[0095] 図9Hに示すように、上層ハードマスクであるシリコン酸化膜408をマスクとして、中層ハードマスクであるシリコン窒化膜(SiN) 407をエッチングする。図9Iに示すように、下層ハードマスクであるシリコン酸化膜(SiO_2) 406をエッチングする。この際、ハーフビア孔405aの底部のエッチングストッパーとしてのシリコン酸化膜404も同時にエッチングされる。

[0096] 図9Jに示すように、更に再び窒素、 CHF_3 ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜406下の第2のSiOCH膜405をエッチングし配線溝パターン405bを形成する。それと同時に、ハーフビア孔405aが形成されていた下の第1のSiOCH403も同時にエッチングし、他のハーフビア孔403aが形成される。それにより、デュアルダマシン構造が形成される。この際、SiOCH側壁は炭窒化され、後工程でのSiOCH膜(403、405)へのダメージを抑制できる。その後、第1の無機膜であるキャップ膜402をエッチバックすることにより、トリプルハードマスク(406〜408)と第2のSiOCH膜405に配線溝(配線溝パターン405b)が形成され、第1のSiOCH膜403にビア孔が形成された構造が得られる。

[0097] 図9Kに示すように、配線溝(配線溝パターン405b)とビア孔(ハーフビア孔403a)に一括してバリア膜422及び銅膜421を埋め込み、化学的・機械的研磨を行うことで、低誘電率層間膜—銅配線が形成される。この際、シリコン窒化膜407をCMPストッパーとして、シリコン酸化膜208を研磨する。このストッパーの存在により、面内分布ならびにパターン依存性のない配線深さが保証される。なお、シリコン酸化膜408で研磨を止めても良いし、シリコン酸化膜406まで研磨しても良い。さらには、シリコン酸化膜406を研磨でなくしても良い。図9Kは、シリコン酸化膜408で研磨を止めた例を示す。

[0098] 本実施の形態のように、ポアを含むSiOCH膜を使用した場合、側壁エッチング断面からの洗浄液・バリア膜などの流入・拡散が懸念される。そこで、ポアシール技術を使用しても良い。図10A〜図10Eは、本発明の半導体装置の製造方法の第3の実施の形態の変形例を模式的に示す断面図である。図10A、図10Bはそれぞれ図9I、図9Jである。図10C〜図10Eは、図9Jの後〜図9Kに対応する。

[0099] 図10A、図10B(図9I、図9J)のようにトリプルハードマスクによるデュアルダマシンの構造を形成したあと、図10Cに示すように、ポアを含む膜の側壁断面を覆うようにシール材415を成膜する。シール材415はコンフォーマルにかつ薄膜に形成される必要があるため、プラズマCVDで成膜される膜が好ましい。また、ポアシールをするため、0.3nm以上のポアを含まない膜が良い。そのようなシール材は、有機ポーラスシリカやポアを含まないSiOCHに例示される。図10Dに示すように、シール材415を成膜後、エッチバックを行い、側壁以外のシール材を除去した後、キャップ膜402を除去する。図10Eに示すように、バリア膜422及び銅膜421を成膜後、CMP研磨によりデュアルダマシン配線が形成される。

[0100] なお、図10C～図10Eの工程は、本明細書中の他の実施の形態に利用することが可能である。

[0101] このように、本願発明によるトリプルハードマスク工法は種類の異なるSiOCHのデュアルダマシン形成に有効であり、実効の比誘電率を低減させることができる。また、この際に、既述のトリプルハードマスクの工法やその作用、効果は一切変更されることなく形成することができる。

[0102] [第4の実施形態]<4層ハードマスク>

図11A～図11Kは、本発明の半導体装置の製造方法の第4の実施の形態を模式的に示す断面図である。ここでは、図5、図8、図9のような上面図を省略している。

第4の実施の形態は、ハードマスクとして、4層のハードマスクを用いる点で第1の実施の形態と異なる。

[0103] 図11Aに示すように、下層配線を有する半導体基板の下層配線層501上に第1の無機膜から構成されるキャップ膜としてシリコン窒化膜502を成膜する。その上に、第1の層間膜としてビア孔の深さ分だけ低誘電率絶縁膜であるSiOCH膜503をプラズマCVD法によって成膜する。そのSiOCH膜503上に、第2の無機膜であるシリコン酸化膜504をトレンチ部分に対するエッチングストッパーとして成膜する。第2の無機膜であるシリコン酸化膜504上に上層配線の深さ分だけ低誘電率絶縁膜であるSiOCH505をプラズマCVD法によって成膜する。さらにSiOCH膜505上に第3の無機膜であるシリコン酸化膜506、第4の無機膜であるシリコン窒化膜507、第5の無機

膜であるシリコン酸化膜508、第6の無機膜であるシリコン窒化膜514をこの順に成膜する。これらの4層の無機膜は4層ハードマスクとして機能する。さらにシリコン窒化膜514上に反射防止膜層509、第1のフォトレジスト層510を形成する。そして、フォトリソグラフィ技術を用いて第1のフォトレジスト層510にビア孔パターン510aを形成する。

[0104] 図11Bに示すように、フォトレジスト層510をマスクとして、フッ素系プラズマを用いて反射防止膜509、シリコン窒化膜514、シリコン酸化膜508、シリコン窒化膜507を順次エッチングする。図11Cに示すように、酸素プラズマにより第1のフォトレジスト層510及び反射防止膜509を剥離する。この際、上層3層のハードマスク(514、508、507)に形成されたビア孔パターン507aの底部には下層ハードマスクであるシリコン酸化膜506が存在する。そのため、上記エッチングの際、SiOCH膜505がエッチングされることはない。加えて、シリコン酸化膜506で保護されているので、フォトレジスト層510の剥離に酸素ラジカルアッシングを用いても、SiOCH膜505がエッチングされることはない。この場合、上層ハードマスクとなるシリコン窒化膜514の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

[0105] 図11Dに示すように、再び反射防止膜511、第2のフォトレジスト層512をシリコン窒化膜514及びビア孔パターン507aのシリコン酸化膜506を覆うように成膜する。その後、フォトリソグラフィの技術を用いて第2のフォトレジスト層512配線溝パターン512aを形成する。

[0106] 図11Eに示すように、この第2のフォトレジスト層512をマスクとして、反射防止膜511、シリコン窒化膜514、シリコン酸化膜508をエッチングする。それにより、ビア孔パターン508aが形成される。このとき、反射防止膜511がビア孔パターン507aを埋めているため、シリコン酸化膜506はエッチングされない。図11Fに示すように、酸素プラズマにより第2のフォトレジスト層512及び反射防止膜511を剥離する。この際、SiOCH膜505上には、4層ハードマスクが存在しているため、エッチングされることはない。加えて、このフォトレジスト層512の剥離には酸素ラジカルアッシングが可能である。この場合、上層ハードマスクとなるシリコン窒化膜514の肩落ちはほとんど無くフォトレジストをアッシング除去できる。

- [0107] 図11Fに示すように、この4層ハードマスクプロセスは、図5Fとほぼ同じであり、基本的な考え方はトリプルハードマスクと同じである。ただし、最上層にシリコン窒化膜(SiN) 514があるために、下層の酸化膜ハードマスクをエッチングするのに適しており、それぞれのハードマスクの厚さを薄くできるメリットがある。
- [0108] 図11Gに示すように、ビア孔パターン507aを有するシリコン窒化膜507をマスクとしてシリコン酸化膜508及び下層ハードマスクであるシリコン酸化膜506をエッチングする。この際、上層ハードマスクがシリコン窒化膜514であるため、高選択エッチングが可能である。続いて、窒素、 CHF_3 ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜506下の SiOCH 505膜をエッチングする。そのエッチングをエッチングストッパーとしてのシリコン酸化膜504で停止させ、ハーフビア孔505aを形成する。
- [0109] 図11Hに示すように、上層ハードマスクであるシリコン窒化膜514、シリコン酸化膜508をマスクとして、中層ハードマスクであるシリコン窒化膜507をエッチングする。この際、シリコン窒化膜514はエッチバックされて消滅する。図11Iに示すように、下層ハードマスクであるシリコン酸化膜506をエッチングする。この際、ハーフビア孔505aの底部のエッチングストッパーとしてのシリコン酸化膜504、上層にあるハードマスクとしてのシリコン酸化膜508も同時にエッチングされる。
- [0110] 図11Jに示すように、更に再び窒素、 CHF_3 ガスをそれぞれ40%以上含む混合ガスに適量の酸素ガスを混合したプラズマによってシリコン酸化膜506下の SiOCH 膜505をエッチングして、配線溝パターン505bを形成する。それと同時に、ハーフビア孔505aが形成されていた下の SiOCH 膜503も同時にエッチングし、他のハーフビア孔503aが形成される。それにより、デュアルダマシン構造が形成される。この際、 SiOCH 側壁は炭窒化され、後工程での SiOCH 膜(505、503)へのダメージを抑制できる。その後、第1の無機膜であるキャップ膜502をエッチバックすることにより、ハードマスク(506〜507)と SiOCH 膜505に配線溝(配線溝パターン505b)が形成され、 SiOCH 膜503にビア孔(ハーフビア孔503a)が形成された構造が得られる。
- [0111] 図11Kに示すように、配線溝(配線溝パターン505b)とビア孔(ハーフビア孔503a)に一括してバリア膜522及び銅膜521を埋め込み、化学的・機械的研磨を行うこと

で、低誘電率層間膜—銅配線が形成される。

[0112] このように、本発明による4層ハードマスク工法を用いることで、トリプルハードマスクと同様の技術で、ハードマスクの薄膜化が可能である。また、ハードマスクのシリコン酸化膜との選択比が高いSiOCH膜のエッチングが可能であることから、デュアルハードマスク工法におけるSiOCHエッチングにも本エッチング技術は適用可能である。

[0113] 以上の実施の形態では、低誘電率層間膜としてSiOCH膜を用いた例を示したが、同様のプロセスが可能であれば、SiOCH膜に限定されない。また、4層ハードマスクの組み合わせは、選択比が大きくできる組み合わせであれば、シリコン酸化膜とシリコン窒化膜の組み合わせに限定されない。さらには第2の無機膜であるストッパーや第1の無機膜であるキャップ膜に、シリコン炭窒化膜を使用した例を示したが、これに代替できる特性を持つ材料であれば特に限定されない。

[0114] [第5の実施形態]＜多層構造＞

図12は、本発明の半導体装置の製造方法の第5の実施の形態を模式的に示す断面図である。第5の実施の形態は、第1～第4の実施の形態を更に多層の構造に応用した例を示している。ここでは、シリコン基板661に素子分離酸化膜662で分離されたMOSFET663上に炭素含有の低誘電率絶縁膜に銅多層配線を形成した実施の形態を示している。以下に、その構造的特徴を示す。

[0115] 本実施の形態においても、デュアルダマシン構造の形成にはトリプルハードマスクを用い、40%以上の窒素、40%以上のフロロカーボンガスに酸素ガスを添加した混合ガスプラズマでエッチングすることにより、配線抵抗ばらつきが少なく、目ずれマージンの高い配線が形成できる。ここでは、低誘電率絶縁膜である第1および第2の層間膜として、SiOCH膜を用いた場合を示したが、例えば、メチルシリカを骨格とするポーラス有機シリカ膜などにも適用できるし、メキシメチルシリカのHeプラズマ分解によるアモルファスSiOCH膜を用いることも可能である。これらは、上記の第1～第4の実施の形態にも適用可能である。

[0116] MOSFET663上には、Wコンタクトプラグ664を持つシリコン酸化膜665が形成されている。シリコン酸化膜665上に下層配線層としての第1層目銅配線層601が形

成されている。第1層目銅配線層601は、その配線溝のエッチストップ膜として50nm厚のシリコン炭窒化膜624が形成されている。このシリコン炭窒化膜上には200nm厚のポーラスSiOCH膜625と、そのハードマスクとして50nm厚のシリコン酸化膜626とが形成されている。第1銅配線層601は、銅配線を有する。銅配線は、シリコン酸化膜624／SiOCH膜625／シリコン炭窒化膜626からなる積層絶縁膜を貫く配線溝に設けられている。銅配線は、その配線溝の底部及び側面を覆うTa(10nm)／Ta₂N(10nm)のバリア膜622と、そのバリア膜622に囲われた銅膜621を有する。バリア膜622に接するSiOCH膜625の側壁は有機シリカシール膜623で覆われている。有機剥離やバリアスパッタのダメージからSiOCH膜625を守る役割を果たす。この第1銅配線層601の銅配線は、Wコンタクトプラグ664に接続されている。

- [0117] 第1銅配線層601の銅配線上には、ビアエッチングストップ層として50nm厚のシリコン炭窒化膜602が形成されている。さらに、200nm厚のSiOCH膜603と配線溝エッチストップ層としての50nm厚のシリコン酸化膜604が形成されている。SiOCH膜603はCMP等によって平坦化されていても良い。さらに、このシリコン酸化膜604上には200nm厚のSiOCH膜605、そのハードマスクとして50nm厚のシリコン酸化膜606、50nm厚のシリコン窒化膜607、50nm厚のシリコン酸化膜608が形成されている。

第2銅配線層668は、銅配線を有する。銅配線は、積層構造絶縁膜のうちのシリコン酸化膜608／シリコン窒化膜607／シリコン酸化膜606／SiOCH膜605／シリコン酸化膜604を貫く配線溝に設けられている。銅配線は、上述のようにその配線溝の底部及び側面を覆うバリア膜と、そのバリア膜に囲われた銅膜を有する。この第2の銅配線668の底部より、SiOCH膜603とシリコン炭窒化膜602を貫くCuビアプラグ667が形成されている。第1のCuビアプラグ607は、第1銅配線層601の銅配線に接続されている。バリア膜に接するSiOCH膜の側壁には有機シリカによるシール層633が存在し、有機剥離やバリアスパッタのダメージからSiOCH膜を守る層が形成されている。

- [0118] 第3銅配線層670の銅配線、第3銅配線層670と第2銅配線層668とを繋ぐCuビアプラグ669に対しても、第2銅配線層668、Cuビアプラグ667と同じ構造を形成する

ことが可能であり、この構造を重ねることによって多層配線を形成することが可能である。

符号の説明

- [0119] 101 下層配線層
102 キャップ膜
103 ビア層間膜
104 ストップパー膜
105 トレンチ層間膜
106 下層ハードマスク
107 上層ハードマスク
108 反射防止膜
109 ビア用フォトレジスト
110 反射防止膜
111 溝用フォトレジスト
121、221、321、421、521、621 銅膜
122、222、322、422、522、622 バリア膜
201、301、401、501 下層配線層
202、302、402、502、602 キャップ膜(シリコン窒化膜)
203、303、403、503、603 ビア層間膜(ビア層間SiOCH膜)
204、404、504、604 ストップパー膜(シリコン酸化膜)
205、405、505、605 トレンチ層間膜(トレンチ層間SiOCH膜)
206、306、406、606 下層ハードマスク(シリコン酸化膜)
207、307、407、607 中層ハードマスク(シリコン窒化膜)
208、308、408、608 上層ハードマスク(シリコン酸化膜)
209、309、409、509 反射防止膜
210、310、410、510 ビア用フォトレジスト
211、311、411、511 反射防止膜
212、312、412、512 溝用フォトレジスト

- 506 第1層ハードマスク(シリコン酸化膜)
- 507 第2層ハードマスク(シリコン窒化膜)
- 508 第3層ハードマスク(シリコン酸化膜)
- 514 第4層ハードマスク(シリコン窒化膜)
- 601 第1銅配線層
- 623、627、633 シール有機シリカ
- 624 トレンチキャップシリコン炭窒化膜
- 625 層間膜
- 626 シリコン酸化膜
- 661 シリコン基板
- 662 分離絶縁膜
- 663 MOSFET
- 664 コンタクトプラグ
- 665 シリコン酸化膜
- 667 第1ビアプラグ
- 668 第2銅配線層
- 669 第2ビアプラグ
- 670 第3銅配線層

請求の範囲

- [1] 基板の上面側に設けられ、第1配線を含む第1配線層と、
前記第1配線層上に設けられ、一方の端を前記第1配線に接続されたビアと、前記ビアの他方の端に接続された第2配線とを含む層間絶縁層と
を具備し、
前記層間絶縁層はシリコン酸化膜より低い比誘電率を有し、
前記層間絶縁層の上部は、下側から順に、シリコン酸化膜、シリコン窒化膜、シリコン酸化膜を備える
半導体装置。
- [2] 請求項1に記載の半導体装置において、
前記層間絶縁層における前記ビアの側壁に対応する部分及び前記第2配線の側壁に対応する部分の少なくとも一方は、窒化された状態及び炭化された状態の少なくとも一方の状態にある
半導体装置。
- [3] 請求項2に記載の半導体装置において、
前記層間絶縁層は、シリコン、炭素、酸素及び水素を含む膜である
半導体装置。
- [4] 請求項3に記載の半導体装置において、
前記層間絶縁層と前記ビアとの間及び前記第2配線との間の少なくとも一方には、
所定の緻密さを有する絶縁層が設けられている
半導体装置。
- [5] 請求項3に記載の半導体装置において、
前記層間絶縁層は、前記ビアを含む第1層間絶縁層と前記第2配線を含む第2層間絶縁層とを備え、
前記第1層間絶縁層と前記第2層間絶縁層とは異なる材質である
半導体装置。
- [6] 請求項5に記載の半導体装置は、
前記第1層間絶縁層と前記第2層間絶縁層との間に設けられたエッチングストップパ

層を更に備える

半導体装置。

- [7] (a) 基板の上面側に設けられ第1配線を含む第1配線層上に、層間絶縁膜、第1シリコン酸化膜、シリコン窒化膜及び第2シリコン酸化膜をこの順に形成する工程と、
- (b) 前記第2シリコン酸化膜上にビア孔レジストパターンを形成し、前記第2シリコン酸化膜及び前記シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程と、
- (c) 前記第2シリコン酸化膜上にトレンチ溝レジストパターンを形成し、前記第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程と、
- (d) 前記シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記層間絶縁膜の一部をエッチングする工程と、
- (e) 前記第2シリコン酸化膜をマスクに前記シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程と、
- (f) 前記第2シリコン酸化膜をマスクに前記層間絶縁膜をエッチングし、前記層間絶縁膜中に配線溝とビア孔になる構造を同時に形成する工程と、
- (g) 前記配線溝と前記ビア孔に導体を埋め込む工程と
- を具備する
- 半導体装置の製造方法。

- [8] 請求項7に記載の半導体装置の製造方法において、
- 前記層間絶縁膜は、シリコン、炭素、酸素及び水素を含む膜であり、
- 前記(d)工程と前記(f)工程との少なくとも一方は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによって、前記層間絶縁膜をエッチングする
- 半導体装置の製造方法。

- [9] 請求項8に記載の半導体装置の製造方法において、
- 前記(g)ステップは、
- (g1) 前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層

を形成する工程を備える

半導体装置の製造方法。

[10] 請求項8に記載の半導体装置の製造方法において、

前記(g)ステップは、

(g2) 前記第2シリコン酸化膜を除去する工程を備える

半導体装置の製造方法。

[11] (h) 基板の上面側に設けられ第1配線を含む第1配線層上に、第1層間絶縁膜、層間シリコン酸化膜、第2層間絶縁膜、第1シリコン酸化膜、シリコン窒化膜及び第2シリコン酸化膜をこの順に形成する工程と、

(i) 前記第2シリコン酸化膜上にビア孔レジストパターンを形成し、前記第2シリコン酸化膜及び前記シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程と、

(j) 前記第2シリコン酸化膜上にトレンチ溝レジストパターンを形成し、前記第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程と、

(k) 前記シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記第2層間絶縁膜をエッチングし、前記層間シリコン酸化膜上で停止する工程と、

(l) 前記第2シリコン酸化膜をマスクに前記シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程と、

(m) 前記第1シリコン酸化膜と前記層間シリコン酸化膜とを同時にエッチングする工程と、

(n) 前記第2シリコン酸化膜をマスクに前記第2層間絶縁膜と前記第1層間絶縁膜とを同時にエッチングし、前記第2層間絶縁膜に配線溝になる構造を、前記第1層間絶縁膜にビア孔になる構造をそれぞれ同時に形成する工程と、

(o) 前記配線溝と前記ビア孔に導体を埋め込む工程と

を具備する

半導体装置の製造方法。

[12] 請求項11に記載の半導体装置の製造方法において、

前記第1層間絶縁膜及び前記第2層間絶縁膜の少なくとも一方は、シリコン、炭素、酸素及び水素を含む層間膜であり、

前記層間膜は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによってエッチングされる

半導体装置の製造方法。

[13] 請求項12に記載の半導体装置の製造方法において、

前記(o)ステップは、

(o1) 前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層を形成する工程を備える

半導体装置の製造方法。

[14] 請求項12に記載の半導体装置の製造方法において、

前記(o)ステップは、

(o2) 前記第2シリコン酸化膜を除去する工程を備える

半導体装置の製造方法。

[15] (p) 基板の上面側に設けられ第1配線を含む第1配線層上に、第1層間絶縁膜、層間シリコン酸化膜、第2層間絶縁膜、第1シリコン酸化膜、第1シリコン窒化膜、第2シリコン酸化膜及び第2シリコン窒化膜をこの順に形成する工程と、

(q) 前記第2シリコン窒化膜上にビア孔レジストパターンを形成し、前記第2シリコン窒化膜、第2シリコン酸化膜及び前記第1シリコン窒化膜をエッチングした後、前記ビア孔レジストパターンを酸素プラズマによって剥離する工程と、

(r) 前記第2シリコン窒化膜上にトレンチ溝レジストパターンを形成し、前記第2シリコン窒化膜、前記第2シリコン酸化膜をエッチングした後、前記トレンチ溝レジストパターンを酸素プラズマによって剥離する工程と、

(s) 前記第2シリコン窒化膜をマスクに前記第1シリコン酸化膜と前記第2層間絶縁膜をエッチングし、前記層間シリコン酸化膜上で停止する工程と、

(t) 前記第2シリコン窒化膜及び前記第2シリコン酸化膜をマスクに前記第1シリコン窒化膜と前記第1シリコン酸化膜をエッチングする工程と、

(u) 前記第1シリコン酸化膜と前記層間シリコン酸化膜とを同時にエッチングする工程と、

(v) 前記第1シリコン窒化膜をマスクに前記第2層間絶縁膜と前記第1層間絶縁膜とを同時にエッチングし、前記第2層間絶縁膜に配線溝になる構造を、前記第1層間絶縁膜にビア孔になる構造をそれぞれ同時に形成する工程と、

(w) 前記配線溝と前記ビア孔に導体を埋め込む工程とを具備する

半導体装置の製造方法。

[16] 請求項15に記載の半導体装置の製造方法において、

前記第1層間絶縁膜及び前記第2層間絶縁膜の少なくとも一方は、シリコン、炭素、酸素及び水素を含む層間膜であり、

前記層間膜は、窒素ガスが40%以上、フロロカーボンガスが40%以上、酸素ガスが所定の範囲の割合でそれぞれ添加された混合ガスで形成したプラズマによって、前記層間絶縁膜をエッチングする

半導体装置の製造方法。

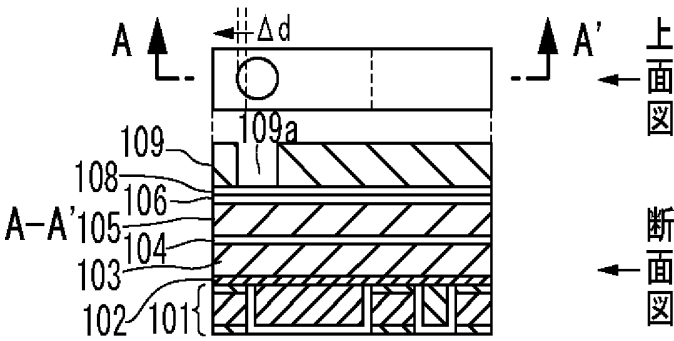
[17] 請求項16に記載の半導体装置の製造方法において、

前記(w)ステップは、

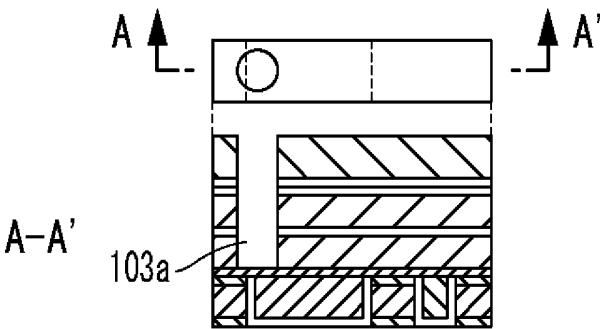
(w1) 前記配線溝と前記ビア孔の底部及び側面に、所定の緻密さを有する絶縁層を形成する工程を備える

半導体装置の製造方法。

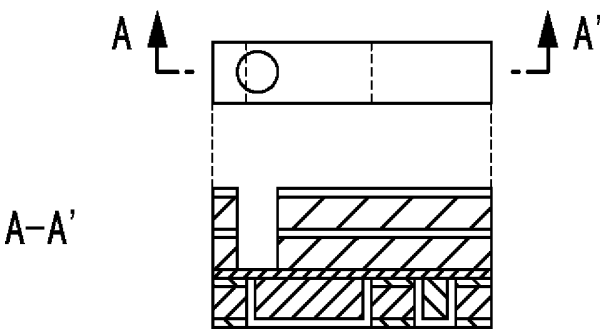
[図1A]



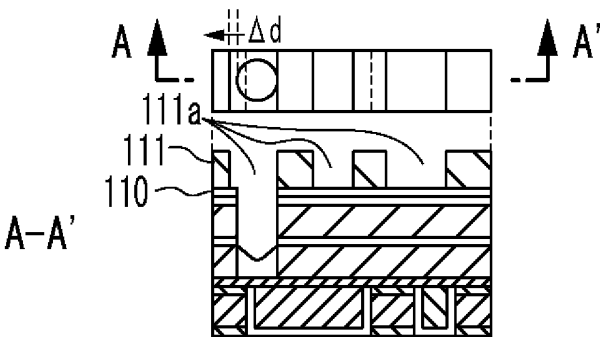
[図1B]



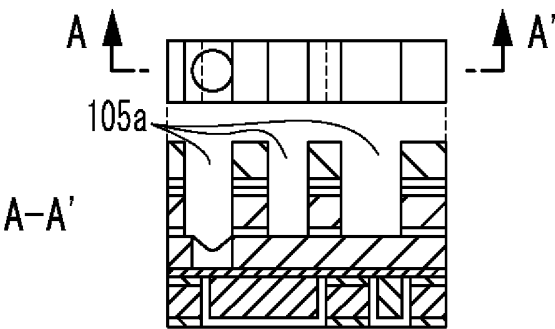
[図1C]



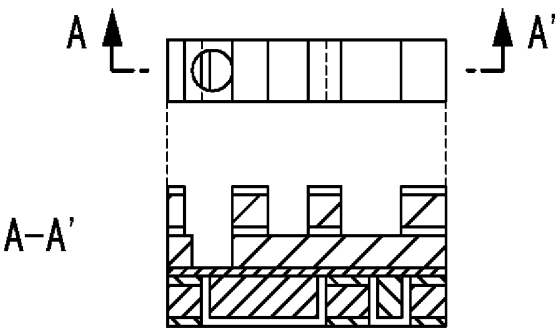
[図1D]



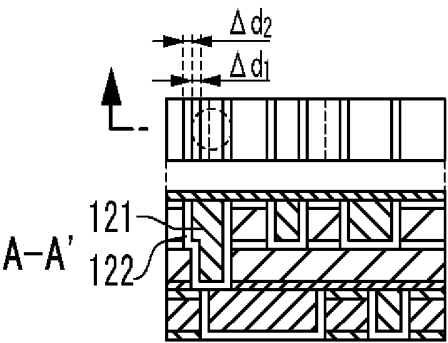
[図1E]



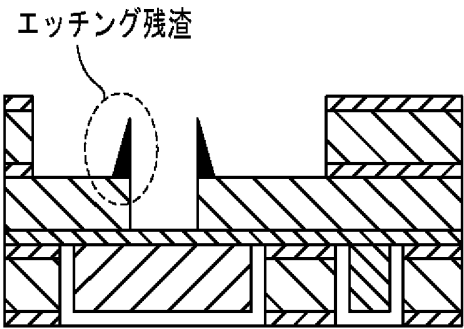
[図1F]



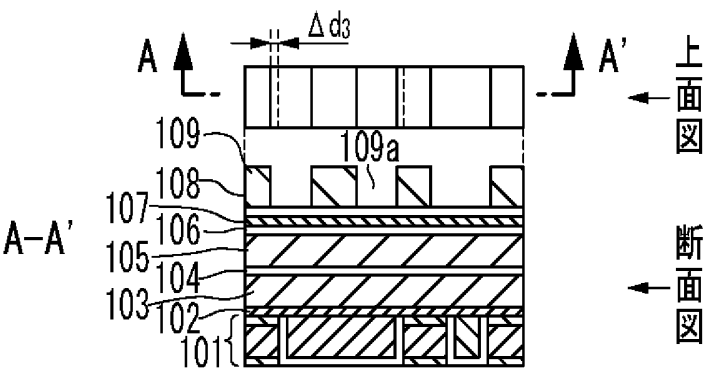
[図1G]



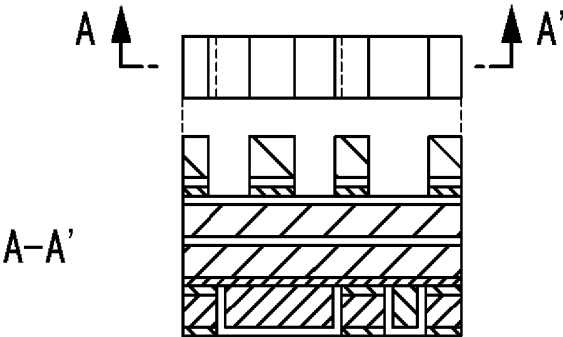
[図2]



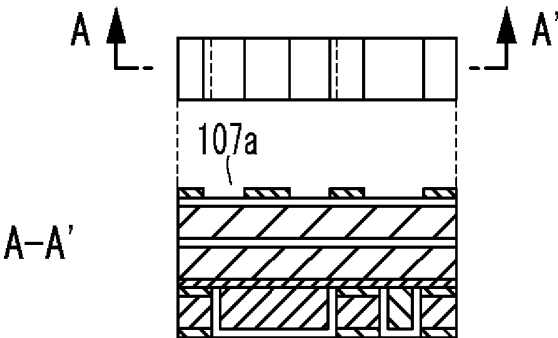
[図3A]



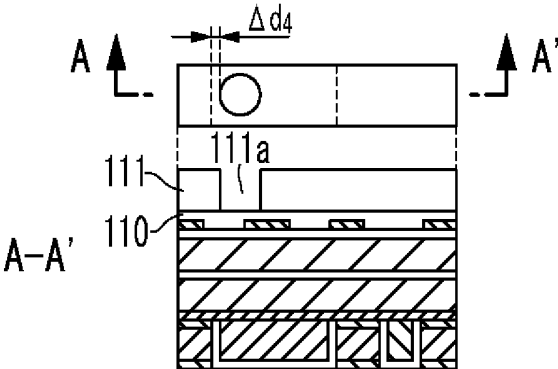
[図3B]



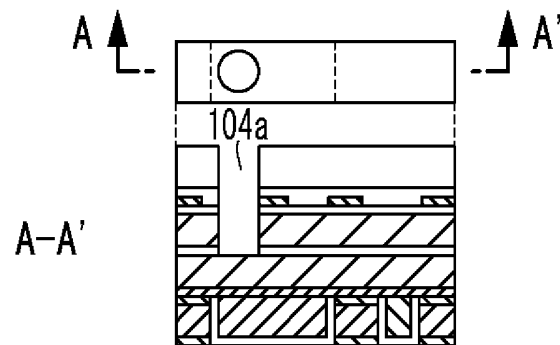
[図3C]



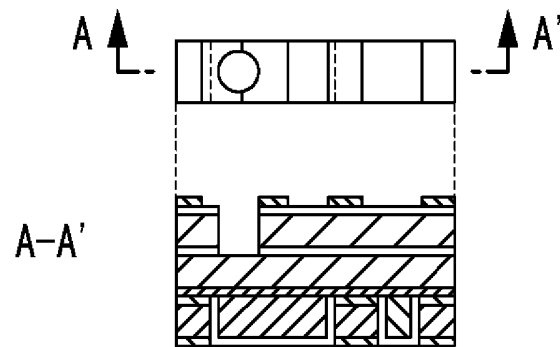
[図3D]



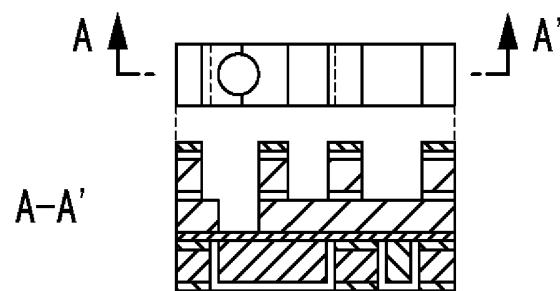
[図3E]



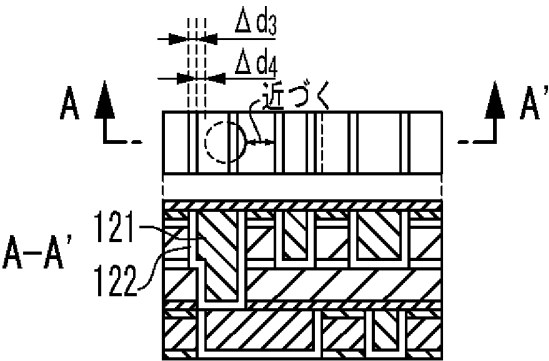
[図3F]



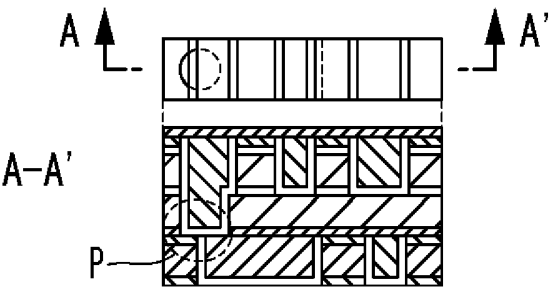
[図3G]



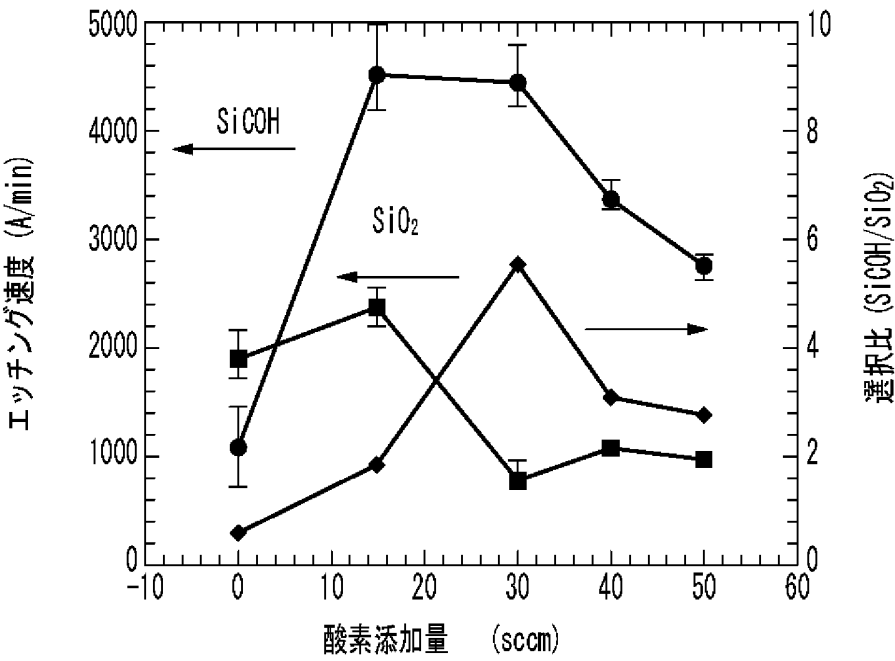
[図3H]



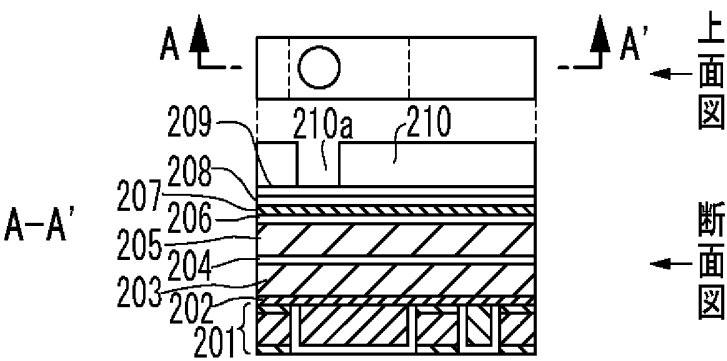
[図3I]



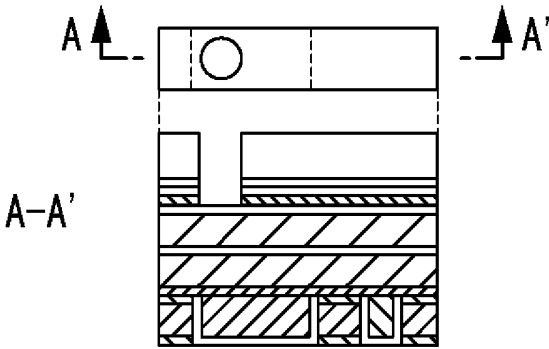
[図4]



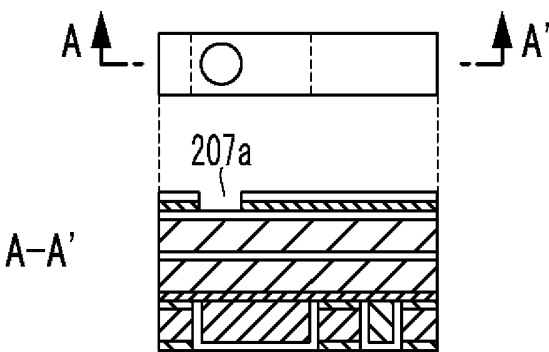
[図5A]



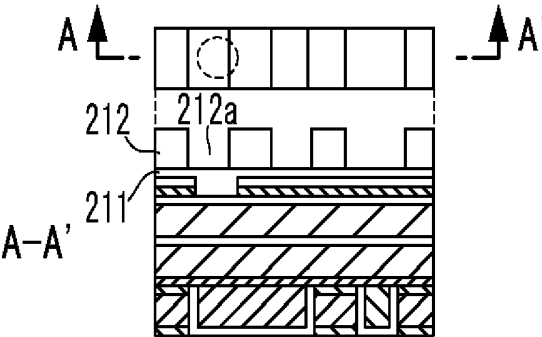
[図5B]



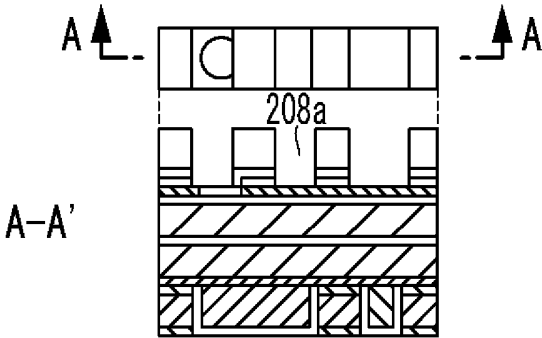
[図5C]



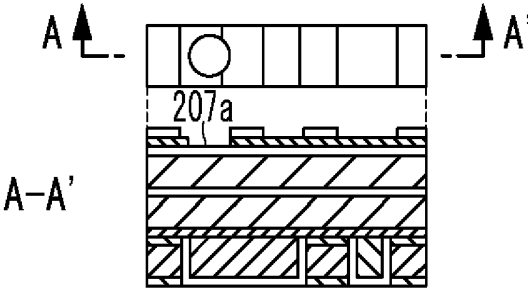
[図5D]



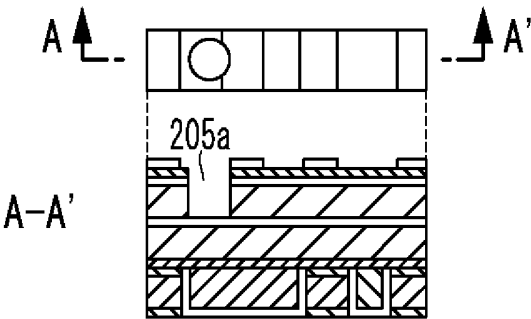
[図5E]



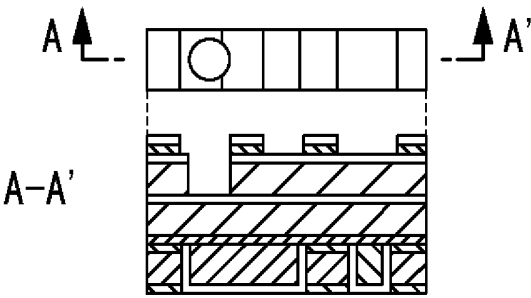
[図5F]



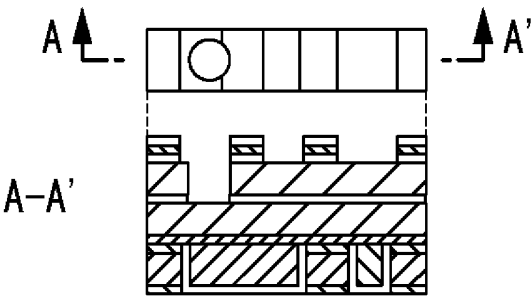
[図5G]



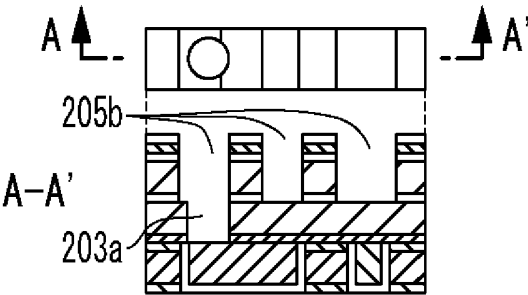
[図5H]



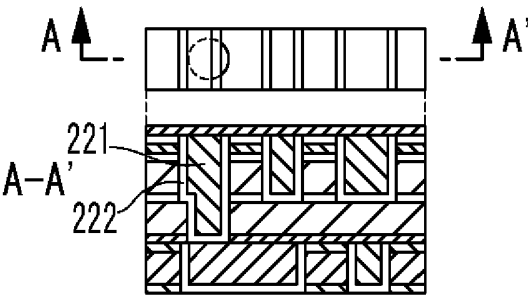
[図5I]



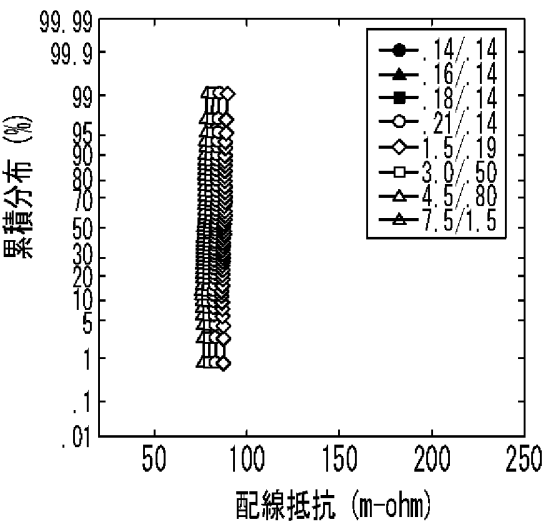
[図5J]



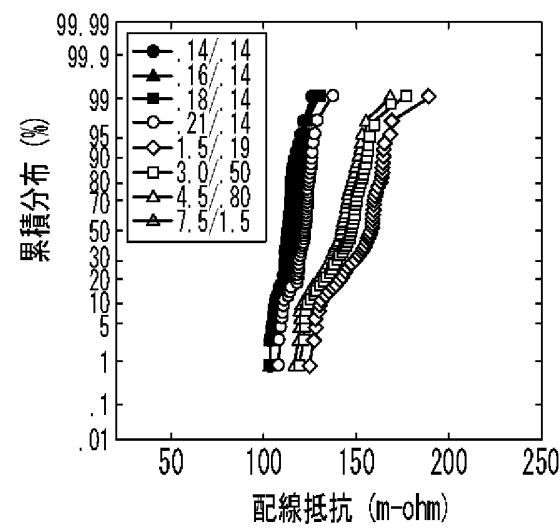
[図5K]



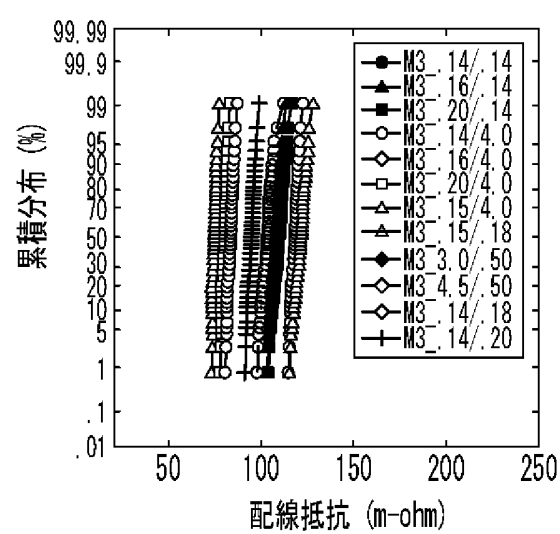
[図6A]



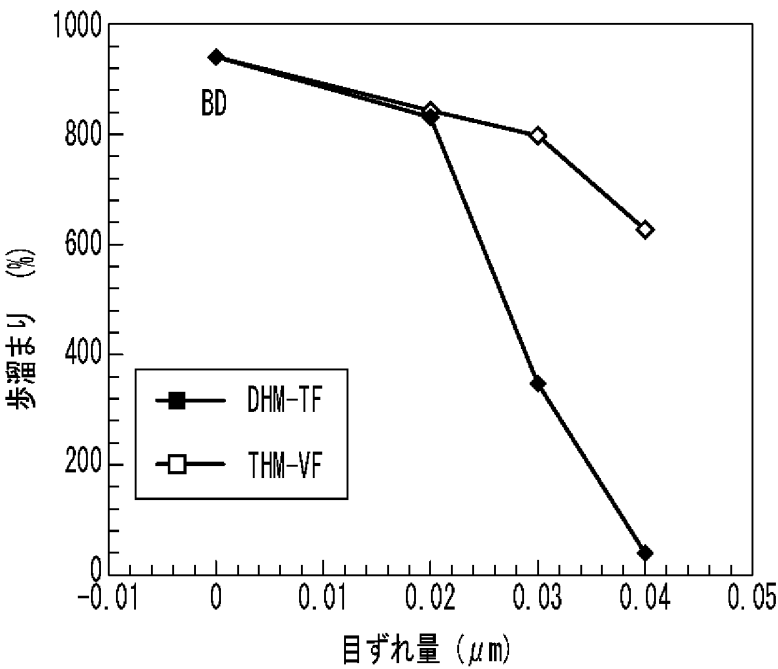
[図6B]



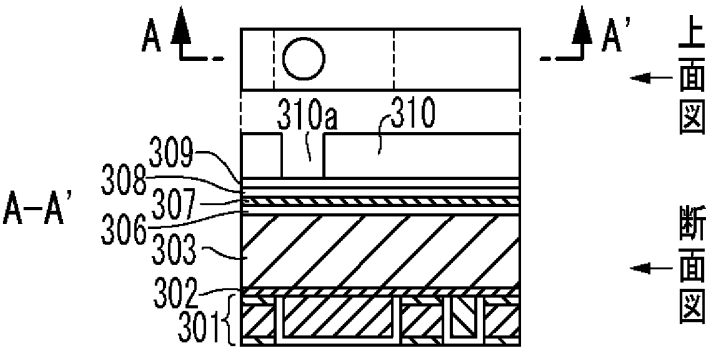
[図6C]



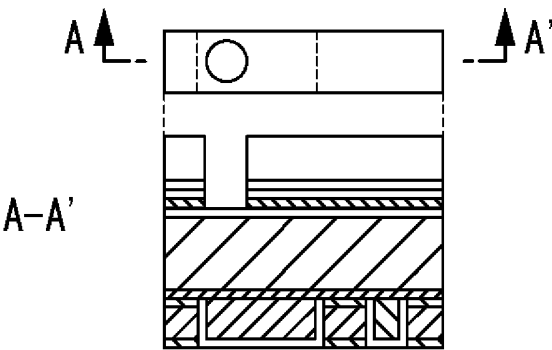
[図7]



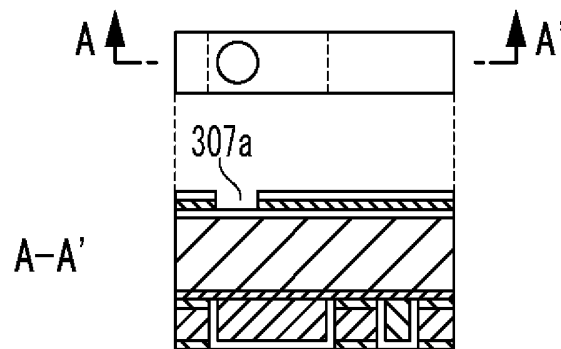
[図8A]



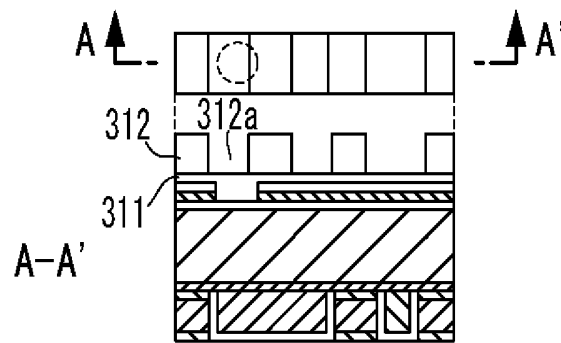
[図8B]



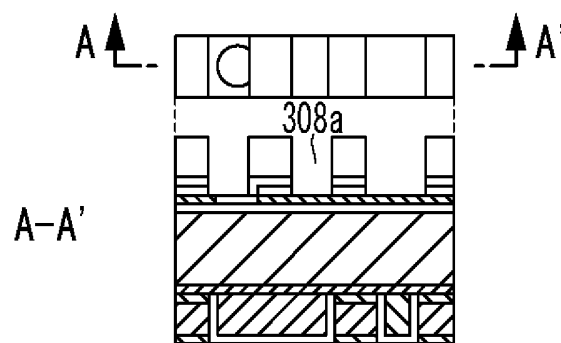
[図8C]



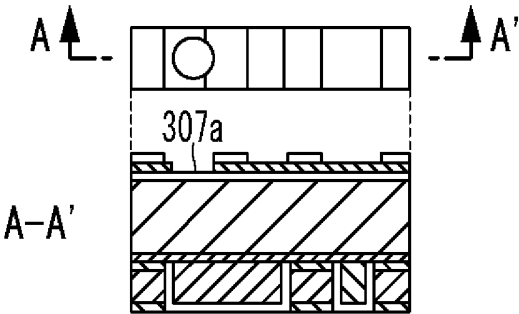
[図8D]



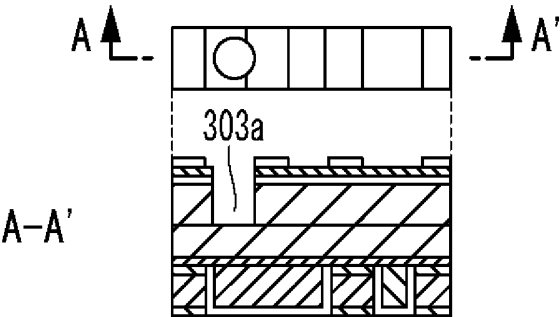
[図8E]



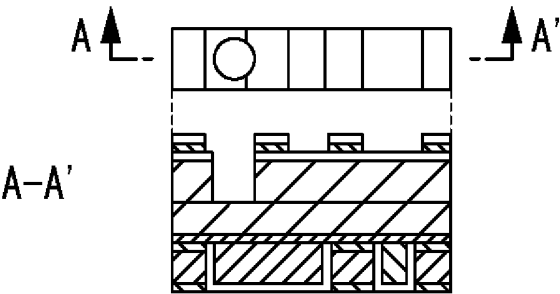
[図8F]



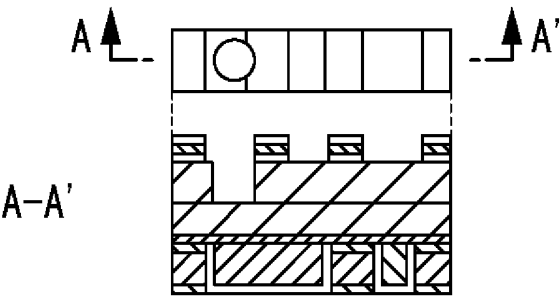
[図8G]



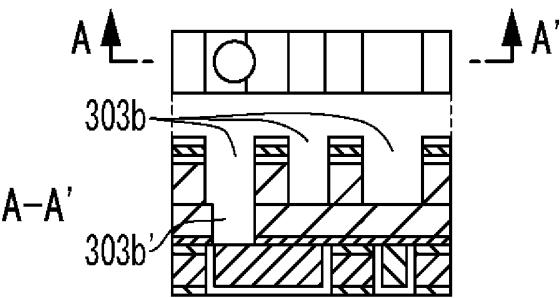
[図8H]



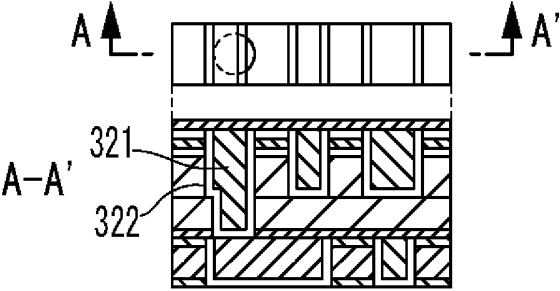
[図8I]



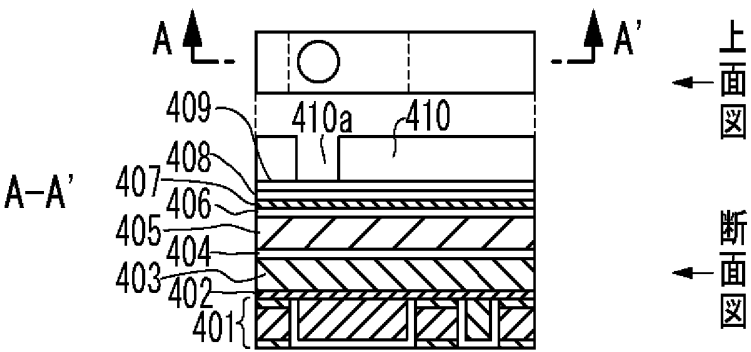
[図8J]



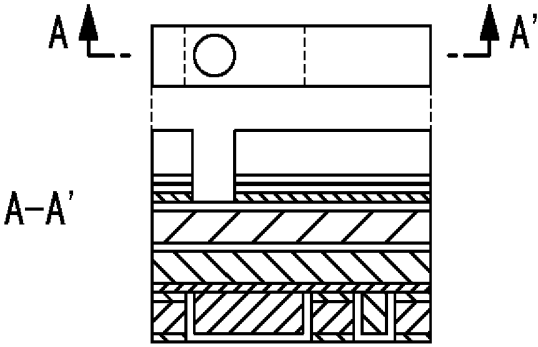
[図8K]



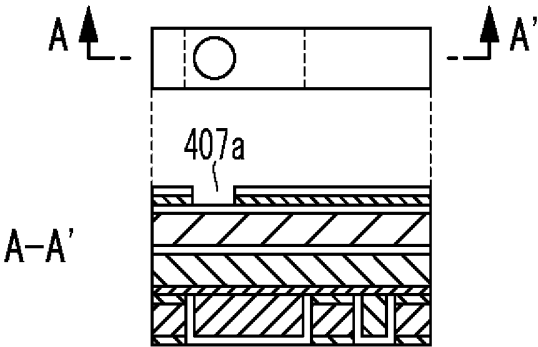
[図9A]



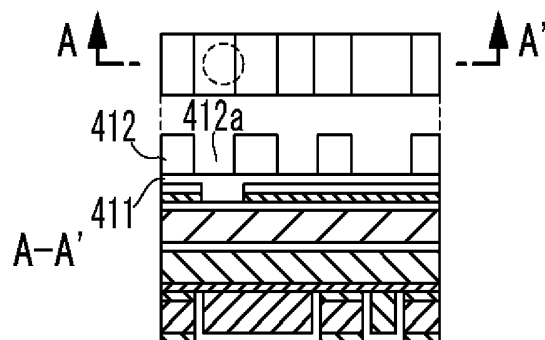
[図9B]



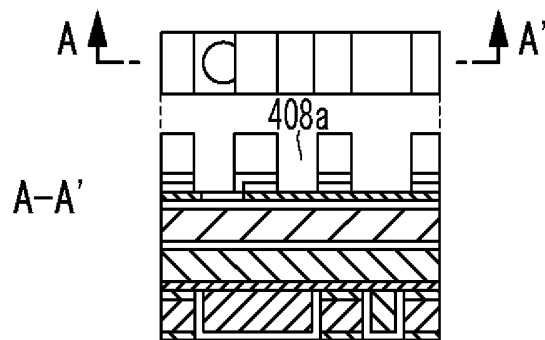
[図9C]



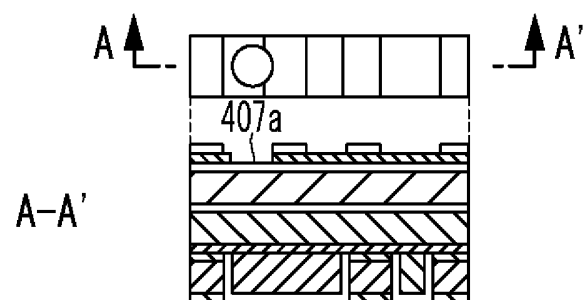
[図9D]



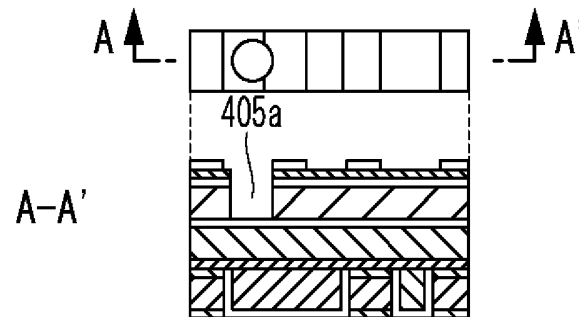
[図9E]



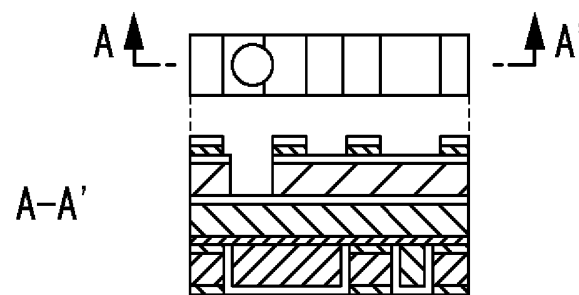
[図9F]



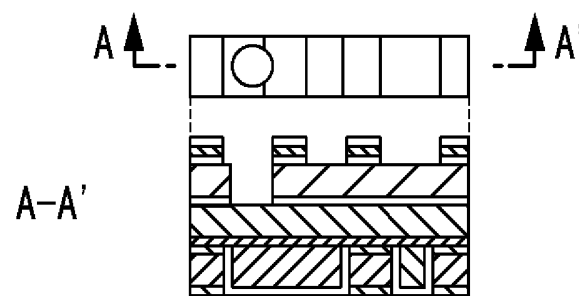
[図9G]



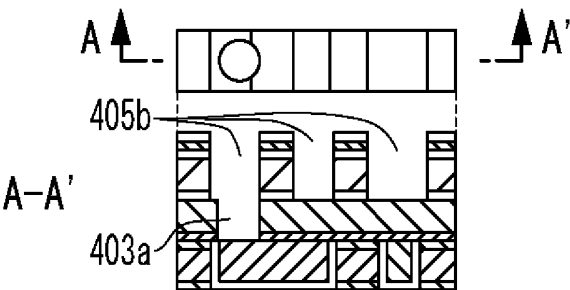
[図9H]



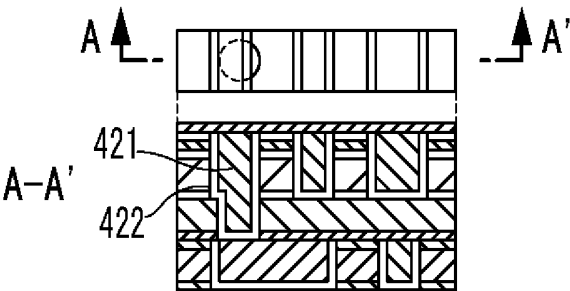
[図9I]



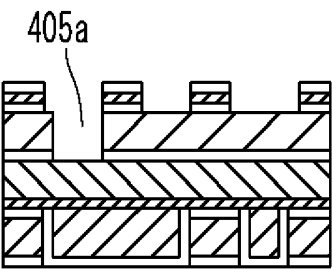
[図9J]



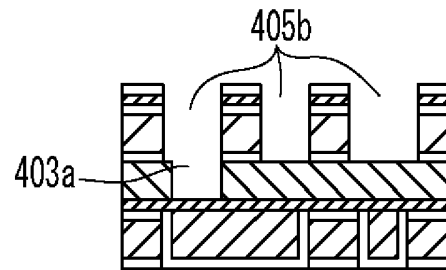
[図9K]



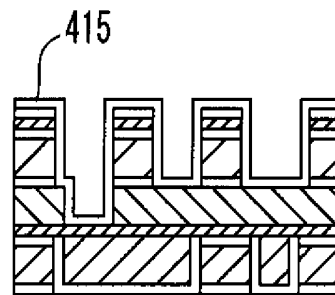
[図10A]



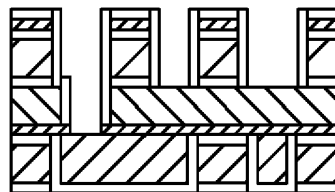
[図10B]



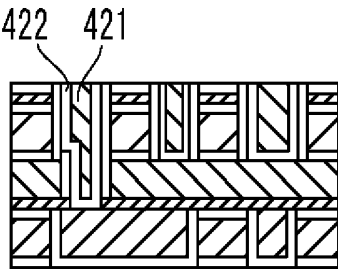
[図10C]



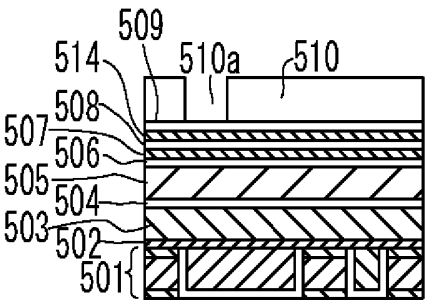
[図10D]



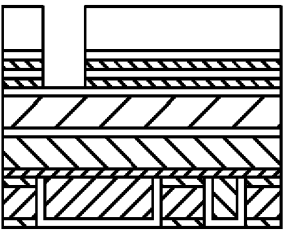
[図10E]



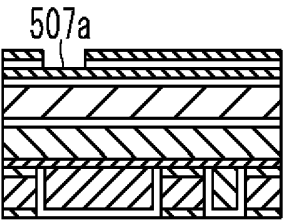
[図11A]



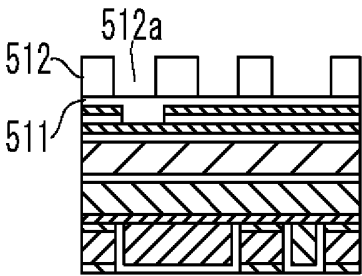
[図11B]



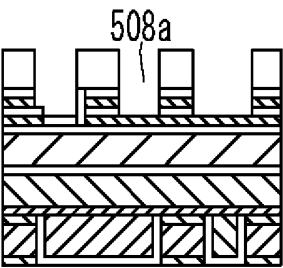
[図11C]



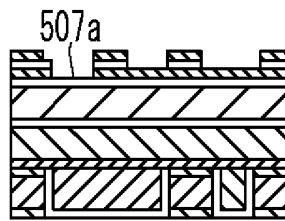
[図11D]



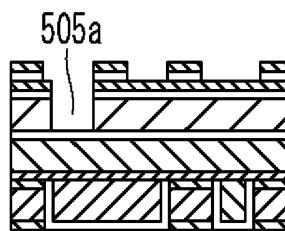
[図11E]



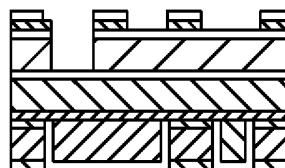
[図11F]



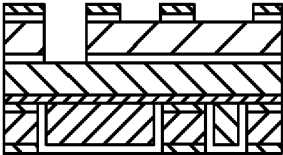
[図11G]



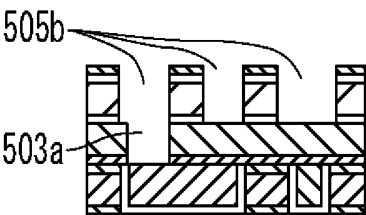
[図11H]



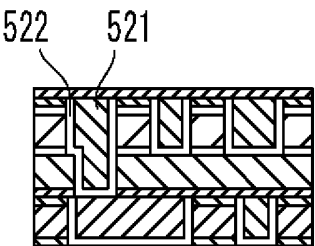
[図11I]



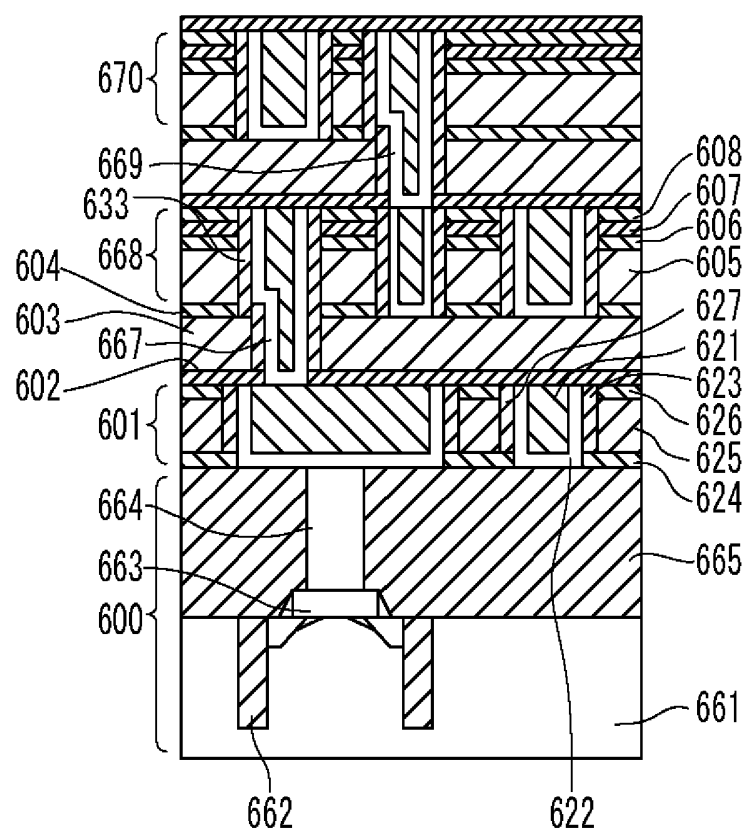
[図11J]



[図11K]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010183

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/768, H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/768, H01L21/3205, H01L21/3213, H01L21/3065

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2002-43419 A (NEC Corp.), 08 February, 2002 (08.02.02), Par. Nos. [0032] to [0038]; Figs. 5 to 9 & US 2002/9873 A1 & US 2003/89990 A1	1-3, 7, 11 4-6
Y	JP 2003-520448 A (Advanced Micro Devices Inc.), 02 July, 2003 (02.07.03), Par. Nos. [0021] to [0024], [0041] to [0043]; Figs. 4, 14 & WO 2001/054190 A1 & US 2001/51420 A1 & EP 1249039 A1	4-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 September, 2004 (03.09.04)Date of mailing of the international search report
21 September, 2004 (21.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/010183

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-277515 A (Canon Sales Co., Inc.), 06 October, 2000 (06.10.00), Par. Nos. [0041] to [0051], [0060] to [0069]; Figs. 3 to 6, 11 to 14 & EP 1039523 A2 & US 6372670 B1	4-6
Y	JP 2003-86679 A (NEC Corp.), 20 March, 2003 (20.03.03), Full text; Figs. 1 to 5 & US 2002/195711 A1	5, 6
A	US 2003/134505 A1 (International Business Machines Corp.), 17 June, 2003 (17.06.03), Full text; Figs. 1 to 3 & JP 2003-218109 A	1-17
A	JP 2001-351976 A (International Business Machines Corp.), 21 December, 2001 (21.12.01), Full text; Figs. 1 to 20 & GB 2368457 A & US 6720249 B1 & KR 413908 B	1-17
A	WO 2001/080309 A2 (SHARP KABUSHIKI KAISHA), 25 October, 2001 (25.10.01), Full text; Figs. 1 to 18 & JP 2003-531493 A & US 6440878 B1 & US 2003/3771 A1	1-17

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/3065

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/3205, H01L21/3213,
H01L21/3065

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-43419 A (日本電気株式会社) 2002.02.08, 段落【0032】-【0038】, 第5-9図 & US 2002/9873 A1 & US 2003/89990 A1	1-3, 7, 11
Y		4-6

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

03.09.2004

国際調査報告の発送日

21.9.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

長谷山 健

4M

9171

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-520448 A (アドバンスト・マイクロ・デバイス・インコーポレイテッド) 2003. 07. 02, 段落【0021】-【0024】, 段落【0041】-【0043】, 第4図, 第14図 & WO 2001/054190 A1 & US 2001/51420 A1 & EP 1249039 A1	4-6
Y	JP 2000-277515 A (キヤノン販売株式会社) 2000. 10. 06, 段落【0041】-【0051】, 段落【0060】-【0069】, 第3-6図, 第11-14図 & EP 1039523 A2 & US 6372670 B1	4-6
Y	JP 2003-86679 A (日本電気株式会社) 2003. 03. 20, 全文, 第1-5図 & US 2002/195711 A1	5, 6
A	US 2003/134505 A1 (International Business Machines Corporation) 2003. 06. 17, 全文, 第1-3図 & JP 2003-218109 A	1-17
A	JP 2001-351976 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 2001. 12. 21, 全文, 第1-20図 & GB 2368457 A & US 6720249 B1 & KR 413908 B	1-17
A	WO 2001/080309 A2 (SHARP KABUSHIKI KAISHA) 2001. 10. 25, 全文, 第1-18図 & JP 2003-531493 A & US 6440878 B1 & US 2003/3771 A1	1-17