

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-3386

(P2010-3386A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/34 3 4 5	5 B 0 1 5
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 K	5 F 0 8 3
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 8 1	5 M 0 2 4
G 1 1 C 11/413 (2006.01)	H O 1 L 27/10 4 9 5	
G 1 1 C 5/00 (2006.01)	G 1 1 C 11/34 3 0 3	

審査請求 未請求 請求項の数 11 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2008-163260 (P2008-163260)
 (22) 出願日 平成20年6月23日 (2008. 6. 23)

(71) 出願人 504378124
 スパンション エルエルシー
 アメリカ合衆国 カリフォルニア州 94
 088-3453 サニーバイル デグウ
 イン ドライブ 915
 (74) 代理人 100099324
 弁理士 鈴木 正剛
 (74) 代理人 100108604
 弁理士 村松 義人
 (74) 代理人 100111615
 弁理士 佐野 良太
 (72) 発明者 加藤 健太
 福島県会津若松市高久工業団地2番 S p
 a n s i o n J a p a n株式会社内

最終頁に続く

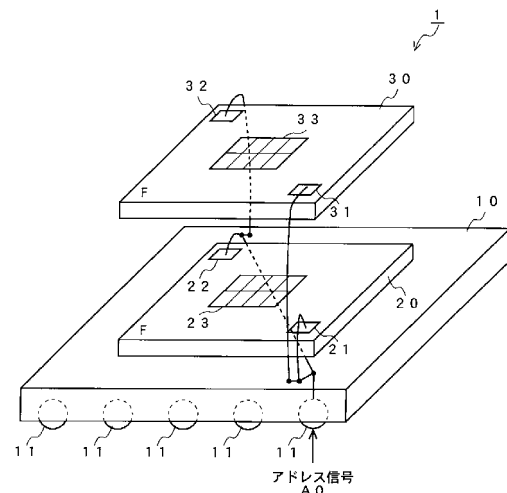
(54) 【発明の名称】 半導体装置、半導体システム

(57) 【要約】

【課題】動作速度が従来よりも高速な半導体装置を提供する。

【解決手段】各々に同じ信号が入力される第1電極パッド21及び第2電極パッド22と、第1電極パッド21及び第2電極パッド22の両方から信号が入力されるメモリ回路23と、を備える半導体装置である。メモリ回路23は、第1電極パッド21から入力される信号と、第2電極パッド22から入力される信号と、のいずれが早く入力される信号により動作する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

各々に同じ信号が入力される第 1 電極パッド及び第 2 電極パッドと、
前記第 1 電極パッド及び前記第 2 電極パッドの両方から前記信号が入力される電子回路
と、を備えており、

前記電子回路は、前記第 1 電極パッドから入力される前記信号と、前記第 2 電極パッド
から入力される前記信号と、のいずれか早く入力される前記信号により動作する、
半導体装置。

【請求項 2】

前記第 1 電極パッドと前記第 2 電極パッドとは、同時に前記信号が入力される、
請求項 1 記載の半導体装置。

10

【請求項 3】

前記第 1 電極パッドから前記信号が入力される第 1 バッファと、
前記第 2 電極パッドから前記信号が入力される第 2 バッファと、を更に備えており、
前記第 1 バッファの出力端と前記第 2 バッファの出力端とが接続されて、前記第 1 バッ
ファと前記第 2 バッファのいずれもが、前記電子回路に前記信号を入力する、
請求項 1 又は 2 記載の半導体装置。

【請求項 4】

前記電子回路は、
複数のメモリセルにより構成される 1 以上のメモリセルアレイと、
各メモリセルアレイに設けられるロウデコーダ及びカラムデコーダと、を備えたメモリ
回路であり、

20

前記信号は、前記メモリセルアレイの所定のメモリセルにアクセスするためのアドレス
信号であり、

前記第 1 バッファと前記第 2 バッファとは、前記アドレス信号を前記ロウデコーダと前
記カラムデコーダとの少なくとも一方に入力する、

請求項 3 記載の半導体装置。

【請求項 5】

前記ロウデコーダは、一つのメモリセルアレイに複数設けられており、各ロウデコーダ
の出力端が同じワード線を介して、当該メモリセルアレイ内のメモリセルに接続される、
請求項 4 記載の半導体装置。

30

【請求項 6】

前記メモリセルアレイは複数であり、

相対的に前記第 1 バッファに近い位置に配置されるメモリセルアレイは、前記カラムデ
コーダが第 1 スイッチを介して前記第 1 バッファに接続され、

相対的に前記第 2 バッファに近い位置に配置されるメモリセルアレイは、前記カラムデ
コーダが第 2 スイッチを介して前記第 2 バッファに接続され、

前記第 1 スイッチ及び前記第 2 スイッチが閉状態のときに、前記第 1 バッファの出力端
と前記第 2 バッファの出力端とが接続される、

請求項 4 記載の半導体装置。

40

【請求項 7】

相対的に前記第 1 バッファに近い位置に配置される前記メモリセルアレイは、前記ロウ
デコーダが第 3 スイッチを介して前記第 1 バッファに接続され、

相対的に前記第 2 バッファに近い位置に配置される前記メモリセルアレイは、前記ロウ
デコーダが第 4 スイッチを介して前記第 2 バッファに接続され、

前記第 3 スイッチ及び前記第 4 スイッチが閉状態のときに、前記第 1 バッファの出力端
と前記第 2 バッファの出力端とが接続される、

請求項 6 記載の半導体装置。

【請求項 8】

前記第 1 電極と前記第 2 電極とは、前記電子回路が実装される面の中心に対して対称と

50

なる位置に設けられる、

請求項 1 ~ 7 記載の半導体装置。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の半導体装置を搭載したパッケージを備えており、このパッケージは、

外部から前記信号が入力される外部端子と、

前記外部端子から、前記第 1 電極パッド及び前記第 2 電極パッドに同じ前記信号を同時に入力するための内部配線と、を備える、

半導体システム。

【請求項 10】

前記パッケージは、積層された複数の前記半導体装置を搭載しており、

複数の前記半導体装置の少なくとも 2 つは、前記内部配線により同じ信号が入力される電極パッドをそれぞれ備えており、当該 2 つの半導体装置の一方の半導体装置の前記電極パッドと他方の半導体装置の前記電極パッドとが、縦に並ばないような位置に配置される、

請求項 9 記載の半導体システム。

【請求項 11】

前記一方の半導体装置に対して前記他方の半導体装置が所定の角度回転した位置で配置されている、

請求項 10 記載の半導体システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、例えばメモリ回路を搭載した半導体装置の動作の高速化に関する。

【背景技術】

【0002】

MCP (Multi Chip Package) などのパッケージに搭載される複数の半導体装置は、それぞれの電極パッドが、パッケージの内部配線を介してパッケージの外部端子に接続される。例えば、BGA (Ball Grid Array) 構造のパッケージの場合、半導体装置の電極パッドは、BGA の基板内の多層配線を介して、BGA の外部端子であるボール電極に接続される。

【0003】

POP (Package-on-Package) 構造のように、積層された 2 つの同じ半導体装置を搭載するパッケージでは、各半導体装置の電極パッドの同じ信号が入力されるものが上下に並んで配置される。この場合、MCP の内部配線が局所的に過密になることがある。特許文献 1 に示すように、一方の半導体装置を 180 度回転して搭載すると、上下の半導体装置の電極パッドの位置がずれて積層されるので、内部配線が局所的に過密になることを防止できる。

【0004】

しかし、一方の半導体装置を 180 度回転して搭載すると、それぞれの半導体装置で同じ信号が入力される電極パッドが、半導体装置の回路実装面の中心に対して点对称の位置に配置される。同じ信号が入力される電極パッドには外部端子が接続されるので、内部配線の取り回しが複雑になる。また、同じ信号であっても電極パッドと外部端子との間の配線長が均一にならない。そのために、内部配線による遅延量が異なり、同じ信号でも電極パッドに入力されるタイミングがずれる。

【0005】

そこで、同じ信号が入力される電極パッドを半導体装置の対向する辺にそれぞれ設けることで、内部配線の配線長の均一化を図ることができる。

特許文献 2 の図 3 には、対向する辺に同じ信号が入力される電極パッドを配置した半導

10

20

30

40

50

体装置が開示される。半導体装置は、2つの機能チップの一方が180度回転した状態で配置された構成である。2つの機能チップは、スクライプラインを挟んで配設されている。2つの機能チップは独立して設けられる。特許文献3には、メモリアレイを挟んで対向して、同じ入力構成のロウデコーダが配置されたメモリ回路が開示される。このメモリ回路では、一方のロウデコーダが選択されて、相補的に動作する。

【特許文献1】特開2005-286126号公報(段落0079、図19)

【特許文献2】国際公開番号WO2002/082540(図3)

【特許文献3】特開平7-134897号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

2つの同じ半導体メモリチップを搭載するパッケージでは、それぞれの半導体装置でアクセス値(I/O間アクセス値、アドレス間アクセス値)が異なる。BGAのボール電極を基準にした場合、ボール電極から各半導体装置の電極パッドへの信号の遅延量が配線長の違いで異なる。PoP構造であれば、半導体装置でI/Oを分離する場合に、I/O間でアクセス値が異なる。この遅延量の違いによる影響を減らすために、半導体メモリチップ内のすべてのメモリセルのアクセス分布を均一にする必要がある。また、特許文献2、3の構成では、2つの機能チップのそれぞれが独立して動作したり、メモリ回路が相補的に動作する構成であるので、半導体装置全体としての高速動作には向いていない。

【0007】

20

本発明は、上記の問題に鑑み、動作速度が従来よりも高速な半導体装置及びそのような半導体装置を搭載した半導体システムを提供することを主たる課題とする。

【課題を解決するための手段】

【0008】

以上の課題を解決する本発明の半導体装置は、各々に同じ信号が入力される第1電極パッド及び第2電極パッドと、前記第1電極パッド及び前記第2電極パッドの両方から前記信号が入力される電子回路と、を備えている。前記電子回路は、前記第1電極パッドから入力される前記信号と、前記第2電極パッドから入力される前記信号と、のいずれか早く入力される前記信号により動作する。

【0009】

30

本発明の半導体装置は、第1電極パッド及び第2電極パッドの両方から、同じ信号が電子回路に入力される構成である。このような構成では、電子回路が、第1電極パッドと第2電極パッドとのいずれか早い方から信号を受信して動作する。そのために、従来よりも高速な動作を実現できる。前記信号は、例えば前記第1電極パッド及び前記第2電極パッドに同時に入力される。

【0010】

本発明の半導体装置は、例えば、前記第1電極パッドから前記信号が入力される第1バッファと、前記第2電極パッドから前記信号が入力される第2バッファと、を更に備えている。前記第1バッファの出力端と前記第2バッファの出力端とは接続されており、前記第1バッファと前記第2バッファのいずれもが、前記電子回路に前記信号を入力する。第1バッファの出力端と第2バッファの出力端とが接続されるが、配線には寄生抵抗があるために、第1、第2バッファの各ドライブ素子間に多大なトランジスタ貫流電流が流れることはない。

40

【0011】

本発明の半導体装置において前記電子回路は、例えば、複数のメモリセルにより構成されるメモリセルアレイと、前記メモリセルアレイに設けられるロウデコーダ及びカラムデコーダと、を備えたメモリ回路である。この場合、前記信号が、前記メモリセルアレイの所定のメモリセルにアクセスするためのアドレス信号である。このような構成では、前記第1バッファと前記第2バッファとが、前記アドレス信号を前記ロウデコーダ又は前記カラムデコーダとの少なくとも一方に入力する。アドレス信号により、アクセスするメモリ

50

セルが活性化される。なお、本明細書においてアクセスとは、メモリセルへの書き込み動作及びメモリセルからの読み出し動作である。

前記ロウデコーダは、前記メモリセルアレイに複数設けられていてもよい。このような構成では、各ロウデコーダの出力端が同じワード線に接続されて、当該メモリセルアレイ内のメモリセルに接続される。メモリセルには、いずれかのロウデコーダから入力されるアドレス信号によりアクセス可能になるために、より高速な動作が可能になる。なお、ワード線の寄生抵抗により、各ロウデコーダのドライブ素子間にトランジスタ貫流電流が流れることはない。

【0012】

前記メモリセルアレイは、例えば複数設けられる。相対的に前記第1バッファに近い位置に配置されるメモリセルアレイは、前記カラムデコーダが第1スイッチを介して前記第1バッファに接続され、相対的に前記第2バッファに近い位置に配置されるメモリセルアレイは、前記カラムデコーダが第2スイッチを介して前記第2バッファに接続される。前記第1スイッチ及び前記第2スイッチが閉状態のときに、前記第1バッファの出力端と前記第2バッファの出力端とが接続される。このような構成では、各メモリセルアレイのロウデコーダは、第1バッファと第2バッファとの相対的に近い方からアドレス信号が入力される。第1、第2スイッチが閉状態のときには、カラムデコーダが、より早く入力されるアドレス信号により動作する。

また、相対的に前記第1バッファに近い位置に配置される前記メモリセルアレイは、前記ロウデコーダが第3スイッチを介して前記第1バッファに接続され、相対的に前記第2バッファに近い位置に配置される前記メモリセルアレイは、前記ロウデコーダが第4スイッチを介して前記第2バッファに接続される構成であってもよい。前記第3スイッチ及び前記第4スイッチが閉状態のときに、前記第1バッファの出力端と前記第2バッファの出力端とが接続される。

【0013】

以上のような本発明の半導体装置では、例えば、前記第1電極と前記第2電極とが、前記電子回路が実装される面の中心に対して対称となる位置に設けられてもよい。

【0014】

このような本発明の半導体装置を搭載する半導体システムは、以下のような構成になる。この半導体システムは、上記のような半導体装置を搭載したパッケージを備える。このパッケージは、外部から前記信号が入力される外部端子と、前記外部端子から、前記第1電極パッド及び前記第2電極パッドに同じ前記信号を同時に入力するための内部配線と、を備える。

前記パッケージは、例えば積層された複数の前記半導体装置を搭載する。複数の前記半導体装置の少なくとも2つが、前記内部配線により同じ信号が入力される電極パッドをそれぞれ備える場合には、当該2つの半導体装置の一方の半導体装置の前記電極パッドと他方の半導体装置の前記電極パッドとを、縦に並ばないような位置に配置する。このような構成ならば、内部配線が局所的に過密になることを防止できる。当該2つの半導体装置は、例えば、前記一方の半導体装置に対して前記他方の半導体装置が所定の角度回転した位置で配置される。

【発明の効果】

【0015】

以上のような本発明により、第1、第2バッファの出力端が接続される第1、第2バッファから同じ信号が電子回路に入力されるために、電子回路が従来よりも早く信号を受信でき、高速に動作可能になる。

【発明を実施するための最良の形態】

【0016】

以下、図面を参照して本発明の実施形態を説明する。

【0017】

< 第1実施形態 >

図 1 は、本発明の半導体装置が 2 つ搭載される MCP の第 1 実施形態の模式図である。

MCP 1 は、BGA 構造のパッケージであり、半導体装置 20、30 が載置されるパッケージ基板 10 とボール電極 11 とを備える。図 1 では、ボール電極 11 を一列分しか図示していないが、ボール電極 11 はパッケージ基板 10 の下にマトリクス状に設けられる。パッケージ基板 10 は多層配線基板である。半導体装置 20、30 は、パッケージ基板 10 上に積層される。半導体装置 20 の電極パッド 21、22 及び半導体装置 30 の電極パッド 31、32 は、パッケージ基板 10 の内部配線を経由して、ボール電極 11 に接続される。図 1 では、半導体装置 20、30 の電極パッドをそれぞれ 2 個ずつしか表示していないが、この他にも半導体装置 20、30 には、周縁部に沿って図示しない電極パッドが複数設けられている。ボール電極 11 を介して MCP 1 の外部から入力される信号及び電圧が、パッケージ基板 10 の内部配線を経由して半導体装置 20、30 の各電極パッド 21、22、31、32 及び図示しない電極パッドに入力される。これにより、半導体装置 20、30 が動作する。以下の説明では、電極パッド 21、31 を第 1 電極パッド 21、31、電極パッド 22、32 を第 2 電極パッド 22、32 という。

10

20

30

40

50

【0018】

この実施形態では、半導体装置 20、30 が半導体メモリ装置であり、半導体基板上に電子回路としてメモリ回路 23、33 が形成されている。第 1 電極パッド 21、31 と第 2 電極パッド 22、32 とは、半導体基板の回路実装面の中心に対して対称となる位置に配置されている。図 1 では、ボール電極 11 に入力されるアドレス信号 A0 が、パッケージ基板 10 の内部配線を介して半導体装置 20 の第 1、第 2 電極パッド 21、22 及び半導体装置 30 の第 1、第 2 電極パッド 31、32 に入力される。

図 1 では、アドレス信号 A0 が入力される第 1、第 2 電極パッド 21、31、22、32 についてのみ表示されているが、他のアドレス信号が入力される電極パッドも同様に、半導体基板の回路実装面の中心に対して対称となる位置に配置されている。

【0019】

図 2 は、半導体装置 20 に形成された第 1、第 2 電極パッド 21、22、メモリ回路 23、及びその周辺の回路図である。メモリ回路 23 には、第 1、第 2 アドレスバッファ 24、25 が接続されている。第 1 アドレスバッファ 24 には第 1 電極パッド 21 が接続される。第 2 アドレスバッファ 25 には第 2 電極パッド 22 が接続される。第 1、第 2 アドレスバッファ 24、25 の出力端同士は、メモリ回路 23 の内部で配線 L により直接接続されている。配線 L は、寄生抵抗 R1、R2 を有するので、第 1、第 2 アドレスバッファ 24、25 の各ドライブ素子間のトランジスタ貫流電流が防止される。

【0020】

メモリ回路 23 は、メモリセルがアレイ状に構成されたメモリセルアレイ 26 ~ 29 を備えている。各メモリセルアレイ 26 ~ 29 には、ロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 などの周辺回路が接続される。メモリセルアレイ 26 ~ 29 を構成する各メモリセルは、それぞれロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 にアドレス信号が入力されることでアクセスされる。ロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 には、配線 L が接続される。配線 L を介して、第 1、第 2 アドレスバッファ 24、25 からアドレス信号がロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 に入力される。

【0021】

図 1、図 2 により、アドレス信号 A0 を例にして半導体装置 20 の動作を説明する。

ボール電極 11 から入力されるアドレス信号 A0 は、パッケージ基板 10 の内部配線を経由して、第 1、第 2 電極パッド 21、22 に同時に入力される。第 1、第 2 電極パッド 21、22 に同時に入力されたアドレス信号 A0 は、それぞれ第 1、第 2 アドレスバッファ 24、25 に入力される。第 1、第 2 アドレスバッファ 24、25 に入力されたアドレス信号 A0 は、配線 L を介してロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 に入力される。これにより、アドレス信号 A0 に応じたメモリセルがアクセスされる。ロウデコーダ 261 ~ 291 及びカラムデコーダ 262 ~ 292 は、第 1 電極パッド 2

1 から入力されたアドレス信号 A 0 と第 2 電極パッド 2 2 から入力されたアドレス信号 A 0 との、いずれか早く入力された方により動作する。

【0022】

このように、第 1、第 2 アドレスバッファ 2 4、2 5 は同じ動作を行う。また、ロウデコーダ 2 6 1 ~ 2 9 1 及びカラムデコーダ 2 6 2 ~ 2 9 2 も、それぞれ同じ動作を行う。メモリ回路 2 3 は、第 1、第 2 アドレスバッファ 2 4、2 5 のそれぞれから入力されるアドレス信号によりメモリセルがアクセスされるために、実質的に半分の時定数により信号線の高速化が図れる。

半導体装置 3 0 のメモリ回路 3 3 及びその周辺の回路構成は、半導体装置 2 0 のメモリ回路 2 3 及びその周辺の回路構成と同じであるので説明を省略する。

10

【0023】

< 第 2 実施形態 >

図 3 は、本発明の半導体装置が 2 つ搭載される MCP の第 2 実施形態の模式図である。MCP 2 は、MCP 1 と同様に BGA 構造のパッケージであり、半導体装置 2 0、3 0 が載置されるパッケージ基板 1 0 とボール電極 1 1 とを備える。図 3 では、MCP 2 のボール電極 1 1 からの入力に、アドレス信号 A 0 の他にデータ信号 DQ 7、1 5 が記載されている。

MCP 2 に搭載される半導体装置 2 0、3 0 は、第 1 実施形態と異なり、一方が 1 8 0 度回転した位置で積層される。図 3 では、半導体装置 3 0 が半導体装置 2 0 に対して 1 8 0 度回転して配置される。これにより、半導体装置 3 0 の第 1、第 2 電極パッド 3 1、3 2 の配置が入れ替わる。第 1、第 2 電極パッド 3 1、3 2 には、同じアドレス信号 A 0 が入力されるので、パッケージ基板 1 0 の内部配線の変更はない。

20

【0024】

半導体装置 2 0 の電極パッド 2 1 a には、データ信号 DQ 7 が入力される。半導体装置 3 0 の電極パッド 3 1 a には、データ信号 DQ 1 5 が入力される。半導体装置 2 0 の電極パッド 2 1 a と半導体装置 3 0 の電極パッド 3 1 a とは、それぞれの半導体装置 2 0、3 0 で同じ位置に設けられている。

一方の半導体装置 2 0 に対して他方の半導体装置 3 0 が 1 8 0 度回転して搭載されるために、半導体装置 2 0 の電極パッド 2 1 a と半導体装置 3 0 の電極パッド 3 1 a は、回路実装面の中心に対して対向して位置する。そのために、パッケージ基板 1 0 の内部配線が局所的に過密になることを防止できる。半導体装置 2 0、3 0 がそれぞれ 2 バイトの I/O 構成のメモリシステムの場合、半導体装置 2 0 の電極パッド 2 1 a を下位バイトに割り当て、半導体装置 3 0 の電極パッド 3 1 a を上位バイトに割り当てる。これにより、半導体装置 2 0、3 0 をまったく同じ構成にすることができる。

30

なお、半導体装置 3 0 を 1 8 0 度回転させて搭載するほかに、9 0 度回転していても同様の効果が得られる。つまり、積層される半導体装置 2 0 と半導体装置 3 0 とで、一方を回転した位置で搭載することで、同じ信号が入力される電極パッドの位置が縦に並ばないように配置されていけばよい。

【0025】

図 4 は、半導体装置 2 0 に形成されたメモリ回路 2 3 及びその周辺の回路図である。半導体装置 3 0 のメモリ回路 3 3 及びその周辺回路の回路構成は、半導体装置 2 0 と同じであるので説明を省略する。

40

第 2 実施形態の半導体装置 2 0 のメモリ回路 2 3 と、第 1 実施形態の半導体装置 2 0 のメモリ回路 2 3 との差異は、メモリ回路 2 3 内のロウデコーダの構成である。他の部分は同じ構成である。差異部分について説明する。

【0026】

第 2 実施形態の半導体装置 2 0 のメモリ回路 2 3 では、各メモリセルアレイ 2 6 ~ 2 9 に、カラムデコーダ 2 6 2 ~ 2 9 2 の他に、第 1 ロウデコーダ 2 6 3 ~ 2 9 3 及び第 2 ロウデコーダ 2 6 4 ~ 2 9 4 が接続される。第 1 ロウデコーダ 2 6 3 ~ 2 9 3 の出力は、ワード線 WL によりメモリセルアレイ 2 6 ~ 2 9 に供給される。第 2 ロウデコーダ 2 6 4 ~

50

294の出力も、同じワード線WLによりメモリセルアレイ26~29に供給される。つまり、第1ロウデコーダ263~293の出力とそれに対応する第2ロウデコーダ264~294の出力は、同じワード線WLに供給される。ワード線WLの寄生抵抗R3により、アドレスバッファ24、25の各ドライブ素子間と同様に、第1ロウデコーダ263~293のドライブ素子と第2ロウデコーダ264~294のドライブ素子の間のトランジスタ貫流電流が防止される。

【0027】

このような第2実施形態の半導体装置20のメモリ回路23では、メモリセルアレイ26~29を挟んで設けられる第1、第2アドレスバッファ24、25から、先に入力されたアドレス信号によりメモリセルがアクセスされるので、実質的に半分の時定数により信号線の高速化が図れる。また、第1ロウデコーダ263~293と第2ロウデコーダ264~294のそれぞれから各メモリセルアレイ26~29のワード線WLに信号が供給されるので、第1実施形態よりも高速な動作が可能になる。

なお、図4に示す構成の半導体装置20を、第1実施形態の半導体装置20、30として用いてもよい。逆に、図2に示す構成の半導体装置20を、第2実施形態の半導体装置20、30として用いてもよい。

【0028】

<第3実施形態>

図5は、第3実施形態の半導体装置20に形成されたメモリ回路23及びその周辺の回路図である。この半導体装置20は、第1、第2実施形態のMCP1、2に搭載される半導体装置20、30として用いることができる。

第3実施形態の半導体装置20のメモリ回路23と、第1実施形態の半導体装置20のメモリ回路23とは、第3実施形態のメモリ回路23内にスイッチSW1、SW2を設ける点で異なる。他の部分は同じ構成である。この差異部分について説明する。

【0029】

スイッチSW1は、配線Lのロウデコーダ281、291への分岐とカラムデコーダ282、292への分岐との間に設けられる。スイッチSW2は、配線Lのロウデコーダ261、271への分岐とカラムデコーダ262、272への分岐との間に設けられる。スイッチSW1、SW2は、それぞれメモリ回路23の外部から入力される切替信号により開閉が制御される。

切替信号は、例えばアドレスマルチプレックス方式でアドレス信号が入力される場合には、アドレス信号がロウアドレスの場合にスイッチSW1、SW2を開状態に制御し、アドレス信号がカラムアドレスの場合にスイッチSW1、SW2を閉状態に制御する信号である。スイッチSW1、SW2が開状態になると、配線Lによる負荷とカラムデコーダ262~292のゲート容量による負荷とを無くすることができる。そのために、時定数の高速化が図られる。

【0030】

スイッチSW1、SW2が開状態になると、第1、第2アドレスバッファ24、25の出力はロウデコーダ261~291にのみ入力される。スイッチSW1、SW2が閉状態になると、第1、第2アドレスバッファ24、25の出力はカラムデコーダ262~292に入力される。

このようにスイッチSW1、SW2を用いることで、ロウデコーダ261~291には、それぞれ最も近い第1、第2アドレスバッファ24、25からアドレス信号が入力される。この場合、スイッチSW1、SW2が開状態になり、カラムデコーダ262~292への配線が切断された状態になるために、高速化と低消費電力が実現できる。

なお、第1アドレスバッファ24とロウデコーダ281、291との間、及び第2アドレスバッファ25とロウデコーダ261、271との間にもスイッチを設けてもよい。このようなスイッチは、スイッチSW1、SW2と相補的な動作を行う。この場合、このようなスイッチが開状態になることで、ロウデコーダ261~291のゲート容量による負荷を無くすことができ、時定数の高速化が図られる。

10

20

30

40

50

【 0 0 3 1 】

図 6 は、図 5 のメモリ回路 2 3 の変形例の回路図である。

図 6 の例のメモリ回路 2 3 は、メモリセルアレイ 2 6、2 8 と、スイッチ S W 3、S W 4 を備えている。ロウデコーダ 2 6 1、2 8 1 とカラムデコーダ 2 6 2、2 8 2 とは、メモリセルアレイ 2 6、2 8 を挟む位置に設けられる。

【 0 0 3 2 】

第 1、第 2 アドレスバッファ 2 4、2 5 の出力端は、それぞれ分岐されてスイッチ S W 3、S W 4 に接続される。2 つのスイッチ S W 3 間は、配線 L 1 で接続されている。第 1、第 2 アドレスバッファ 2 4、2 5 からは、配線 L 1 を介してアドレス信号がロウデコーダ 2 6 1、2 8 1 に入力される。ロウデコーダ 2 6 1、2 8 1 は、第 1 アドレスバッファ 2 4 から供給されるアドレス信号と第 2 アドレスバッファ 2 5 から供給されるアドレス信号との、いずれか早く入力された方により動作する。

10

2 つのスイッチ S W 4 間は、配線 L 2 で接続されている。第 1、第 2 アドレスバッファ 2 4、2 5 からは、配線 L 2 を介してアドレス信号がカラムデコーダ 2 6 2、2 8 2 に入力される。カラムデコーダ 2 6 2、2 8 2 は、第 1 アドレスバッファ 2 4 から供給されるアドレス信号と第 2 アドレスバッファ 2 5 から供給されるアドレス信号との、いずれか早く入力された方により動作する。

配線 L 1、L 2 は、それぞれ寄生抵抗 R 4、R 5 を含む。寄生抵抗 R 4、R 5 により、第 1、第 2 アドレスバッファ 2 4、2 5 の各ドライブ素子間のトランジスタ貫流電流が防止される。

20

【 0 0 3 3 】

スイッチ S W 3、S W 4 は、それぞれメモリ回路 2 3 の外部から入力される切替信号により開閉が制御される。スイッチ S W 3 が閉状態、スイッチ S W 4 が開状態になると、第 1、第 2 アドレスバッファ 2 4、2 5 の出力はロウデコーダ 2 6 1、2 8 1 に入力される。スイッチ S W 3 が開状態、S W 4 が閉状態になると、第 1、第 2 アドレスバッファ 2 4、2 5 の出力はカラムデコーダ 2 6 2、2 8 2 に入力される。

スイッチ S W 3、S W 4 により、動作時に配線 L 1、L 2 の一方しか導通しないために、動作の高速化と低消費電力化を実現できる。

また、図 6 のような構成では、第 1 アドレスバッファ 2 4 の出力端に接続されるスイッチ S W 3、S W 4 及び第 2 アドレスバッファ 2 5 の出力端に接続されるスイッチ S W 3、S W 4 により、すべてのメモリセルアレイ 2 6、2 8 に設けられるロウデコーダ 2 6 1、2 8 1 及びカラムデコーダ 2 6 2、2 8 2 に、アドレス信号を入力できる。図 5 の構成では、新たなメモリセルアレイが追加されれば、当該メモリセルアレイ用にスイッチを追加する必要がある。しかし、図 6 では、メモリセルアレイ 2 6、2 8 と同様の構成のメモリセルアレイが追加されても、スイッチを新たに追加する必要はない。そのために、メモリセルアレイが追加されても構成を簡素化でき、設計変更も少なく済む。

30

【 0 0 3 4 】

以上の実施形態の説明では、半導体装置 2 0、3 0 を半導体メモリ装置として説明したが、本発明はこれに限られない。例えば、同じ信号が入力される第 1 電極パッド 2 1 及び第 2 電極パッド 2 2 を備える半導体装置と、同じ信号が入力される第 1 電極パッド 3 1 を備える別の半導体装置が積層実装された半導体パッケージにも適用可能である。

40

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】半導体装置が 2 つ搭載される M C P の第 1 実施形態の模式図である。

【 図 2 】第 1 実施形態の半導体装置に形成されたメモリ回路及びその周辺の回路図である。

【 図 3 】半導体装置が 2 つ搭載される M C P の第 2 実施形態の模式図である。

【 図 4 】第 2 実施形態の半導体装置に形成されたメモリ回路及びその周辺の回路図である。

【 図 5 】第 3 実施形態の半導体装置に形成されたメモリ回路及びその周辺の回路図である。

50

。

【図6】第3実施形態の半導体装置に形成されたメモリ回路及びその周辺の回路図である。

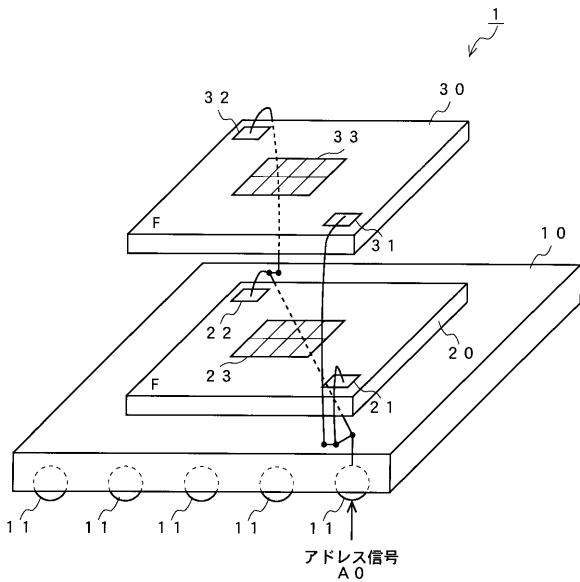
【符号の説明】

【0036】

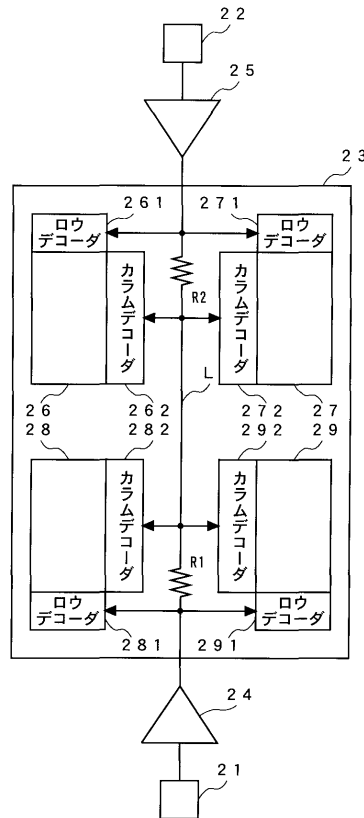
1, 2 ... MCP、10 ... パッケージ基板、11 ... ボール電極、20, 30 ... 半導体装置、
 21, 31 ... 第2電極パッド、22, 32 ... 第2電極パッド、21a, 31a ... 電極パッド、
 23, 33 ... メモリ回路、24 ... 第1アドレスバッファ、25 ... 第2アドレスバッファ、
 26, 27, 28, 29 ... メモリセルアレイ、261, 271, 281, 291 ...
 ロウデコーダ、262, 272, 282, 292 ... カラムデコーダ、263, 273, 283, 293 ... 第1
 ロウデコーダ、264, 274, 284, 294 ... 第2ロウデコーダ、L, L1, L2 ... 配線、R1, R2, R3、
 R4、R5 ... 寄生抵抗、SW1, SW2, SW3, SW4 ... スイッチ

10

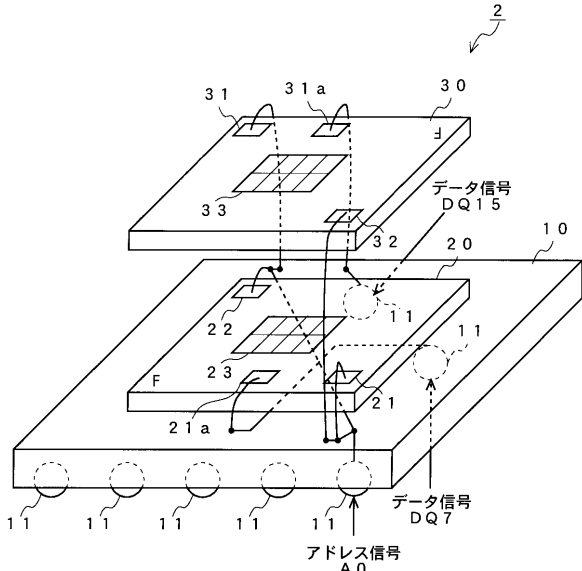
【図1】



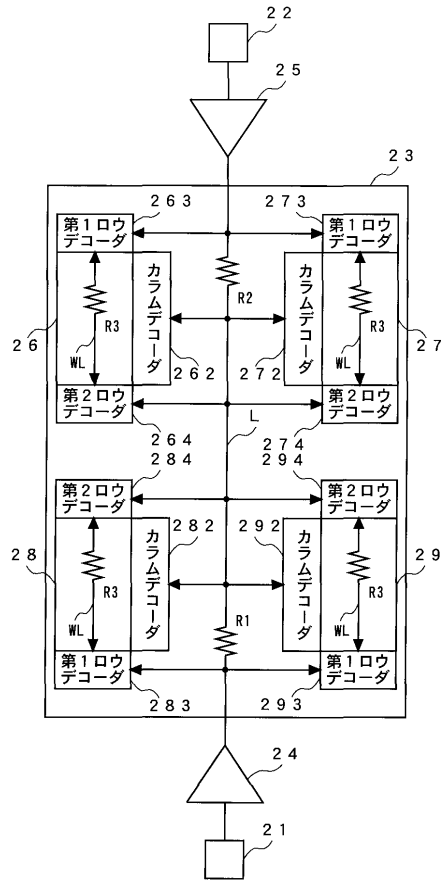
【図2】



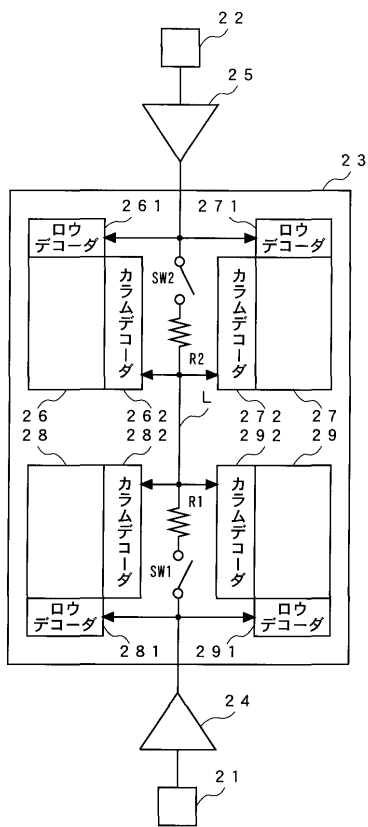
【図3】



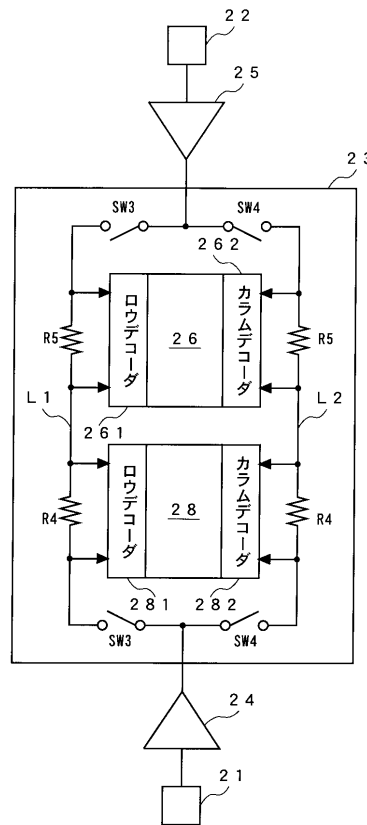
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 5/00 3 0 3 Z

Fターム(参考) 5B015 HH01 HH03 JJ22 KB42 KB52 PP05
5F083 GA01 GA05 LA06 LA11 ZA23 ZA29
5M024 AA50 BB05 BB34 LL11 LL16 LL19