



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2022-0128126  
(43) 공개일자 2022년09월20일

- |  |   |
|--|---|
| (51) 국제특허분류(Int. Cl.)<br><i>G11C 7/10</i> (2021.01) <i>G06F 3/06</i> (2006.01)<br><i>G11C 7/22</i> (2015.01) <i>H03K 5/156</i> (2006.01)<br><i>H03L 7/081</i> (2006.01)<br>(52) CPC특허분류<br><i>G11C 7/1051</i> (2013.01)<br><i>G06F 3/0658</i> (2013.01)<br>(21) 출원번호 10-2021-0032790<br>(22) 출원일자 2021년03월12일<br>심사청구일자 없음 | (71) 출원인<br>에스케이하이닉스 주식회사<br>경기도 이천시 부발읍 경충대로 2091<br>(72) 발명자<br>배상근<br>경기도 이천시 부발읍 경충대로 2091<br>(74) 대리인<br>김성남 |
|--|---|

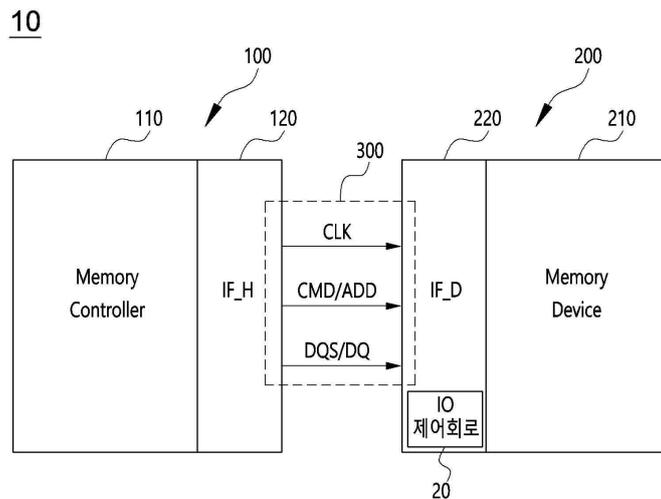
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **데이터 저장 장치 및 이를 위한 인터페이스 회로**

**(57) 요약**

일 실시예에 의한 데이터 처리 장치는 메모리 컨트롤러를 포함하는 호스트 장치 및, 호스트 장치와 인터페이스 회로를 통해 통신하는 메모리 장치를 포함하고, 인터페이스 회로는 지연고정루프 회로에서 생성한 지연코드에 기초하여 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성될 수 있다.

**대표도** - 도1



(52) CPC특허분류

*G11C 7/222* (2013.01)

*H03K 5/1565* (2013.01)

*H03L 7/0814* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

메모리 컨트롤러를 포함하는 호스트 장치; 및

상기 호스트 장치와 인터페이스 회로를 통해 통신하는 메모리 장치를 포함하고,

상기 인터페이스 회로는 지연고정루프 회로에서 생성한 지연코드에 기초하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성되는 데이터 저장 장치.

#### 청구항 2

제 1 항에 있어서,

상기 인터페이스 회로는 상기 지연고정루프 회로; 및

상기 지연코드에 기초하여 결정된 지연시간만큼 상기 송신 신호를 지연시켜 상기 부가 신호를 생성하고, 상기 송신 신호와 상기 부가 신호를 결합하도록 구성되는 프리-엠펜시스 회로;

를 포함하도록 구성되는 데이터 저장 장치.

#### 청구항 3

제 2 항에 있어서,

상기 지연시간은 상기 송신 신호의 IUI(Unit Interval)에 대응하는 데이터 저장 장치.

#### 청구항 4

제 2 항에 있어서,

상기 인터페이스 회로는, 상기 프리-엠펜시스 회로를 각각 구비하는 복수의 입출력 회로를 포함하고,

상기 지연고정루프 회로는 상기 복수의 입출력 회로와 함께 집적되는 데이터 저장 장치.

#### 청구항 5

제 1 항에 있어서,

상기 지연고정루프 회로는 파워-업 후 듀티 사이클 보정에 사용되는 클럭 신호에 기초하여 상기 지연코드를 생성하도록 구성되는 데이터 저장 장치.

#### 청구항 6

제 1 항에 있어서,

상기 인터페이스 회로는, 복수의 입출력 회로를 포함하고,

상기 지연코드는 상기 복수의 입출력 회로 각각으로 제공되는 데이터 저장 장치.

#### 청구항 7

입출력 제어 회로를 포함하는 인터페이스 회로; 및

상기 인터페이스 회로를 통해 호스트 장치와 데이터를 송수신하는 메모리 장치;를 포함하고,

상기 입출력 제어 회로는, 상기 호스트 장치로부터 전송되는 클럭 신호에 기초하여 내부 클럭신호 및 지연 코드를 생성하는 지연고정루프 회로; 및

상기 지연코드를 수신하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성되는 복

수의 입출력 회로;

를 포함하도록 구성되는 데이터 저장 장치.

**청구항 8**

제 7 항에 있어서,

상기 복수의 입출력 회로 각각은, 상기 지연코드에 기초하여 결정된 지연시간만큼 상기 송신 신호를 지연시켜 상기 부가 신호를 생성하도록 구성되는 프리-엠퍼시스 회로를 포함하도록 구성되는 데이터 저장 장치.

**청구항 9**

제 8 항에 있어서,

상기 지연시간은 상기 송신 신호의 IUI(Unit Interval)에 대응하는 데이터 저장 장치.

**청구항 10**

제 7 항에 있어서,

상기 지연고정루프 회로는 상기 복수의 입출력 회로와 함께 집적되는 데이터 저장 장치.

**청구항 11**

제 7 항에 있어서,

상기 지연고정루프 회로는 파워-업 후 듀티 사이클 보정에 사용되는 클럭 신호에 기초하여 상기 지연코드를 생성하도록 구성되는 데이터 저장 장치.

**청구항 12**

메모리 장치를 포함하는 저장부에 구비되는 인터페이스 회로로서,

호스트 장치로부터 전송되는 클럭 신호에 기초하여 내부 클럭신호 및 지연코드를 생성하는 지연고정루프 회로; 및

상기 지연코드를 수신하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성되는 복수의 입출력 회로;

를 포함하도록 구성되는 인터페이스 회로.

**청구항 13**

제 12 항에 있어서,

상기 복수의 입출력 회로 각각은, 상기 지연코드에 기초하여 결정된 지연시간만큼 상기 송신 신호를 지연시켜 상기 부가 신호를 생성하도록 구성되는 프리-엠퍼시스 회로를 포함하도록 구성되는 인터페이스 회로.

**청구항 14**

제 13 항에 있어서,

상기 지연시간은 상기 송신 신호의 IUI(Unit Interval)에 대응하는 인터페이스 회로.

**청구항 15**

제 12 항에 있어서,

상기 지연고정루프회로는 상기 복수의 입출력 회로와 함께 집적되는 인터페이스 회로.

**청구항 16**

제 12 항에 있어서,

상기 인터페이스 회로는 파워-업 동작 후 듀티 사이클 보정에 사용되는 클럭 신호에 기초하여 상기 지연코드를

생성하도록 구성되는 인터페이스 회로.

**발명의 설명**

**기술 분야**

[0001] 본 기술은 반도체 집적 장치에 관한 것으로, 보다 구체적으로는 데이터 저장 장치 및 이를 위한 인터페이스 회로에 관한 것이다.

**배경 기술**

[0002] 데이터 저장 장치는 데이터가 저장되는 메모리 장치 및 호스트 장치의 요청에 응답하여 메모리 장치와 데이터를 송수신하는 컨트롤러를 포함할 수 있다. 메모리 장치와 컨트롤러는 인터페이스 회로 및 채널을 통해 데이터를 송수신한다.

[0003] 메모리 장치와 컨트롤러 간에 송수신되는 데이터의 무결성을 보장하기 위해 프리-엠퍼시스(Pre-Emphasis) 기법이 제안되었다.

[0004] 프리-엠퍼시스 기법은 송신할 데이터의 논리 레벨이 천이되는 구간에 부가 신호를 추가하여 채널을 통과하는 신호의 왜곡을 방지하는 기법이다.

[0005] 프리-엠퍼시스를 위한 부가 신호는 송신할 데이터를 일정 시간 지연시켜 생성할 수 있으며, 이를 위해 지연 시간을 정확하게 제어할 필요가 있다.

[0006] 데이터 저장 장치의 고용량화 및 고속화에 따라 인터페이스 회로에 구비되는 단위 입출력 회로의 수가 증가하며, 각 입출력 회로에 제공할 부가 신호를 정확하고 효율적으로 생성할 것이 요구된다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 기술의 실시예는 인터페이스 회로 내에 구비된 지연 고정 루프(Delayed Locked Loop; DLL) 회로에서 생성한 지연 코드에 기초하여 프리-엠퍼시스에 사용할 부가 신호를 생성하여 프리-엠퍼시스 동작을 수행할 수 있는 데이터 저장 장치 및 이를 위한 인터페이스 회로를 제공할 수 있다.

**과제의 해결 수단**

[0008] 본 기술의 일 실시예에 의한 데이터 저장 장치는 메모리 컨트롤러를 포함하는 호스트 장치; 및 상기 호스트 장치와 인터페이스 회로를 통해 통신하는 메모리 장치를 포함하고, 상기 인터페이스 회로는 지연고정루프 회로에서 생성한 지연코드에 기초하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성될 수 있다.

[0009] 본 기술의 일 실시예에 의한 데이터 저장 장치는 입출력 제어 회로를 포함하는 인터페이스 회로; 및 상기 인터페이스 회로를 통해 호스트 장치와 데이터를 송수신하는 메모리 장치;를 포함하고, 상기 입출력 제어 회로는, 상기 호스트 장치로부터 전송되는 클럭 신호에 기초하여 내부 클럭신호 및 지연 코드를 생성하는 지연고정루프 회로; 및 상기 지연코드를 수신하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성되는 복수의 입출력 회로;를 포함하도록 구성될 수 있다.

[0010] 본 기술의 일 실시예에 의한 인터페이스 회로는 메모리 장치를 포함하는 저장부에 구비되는 인터페이스 회로로서, 호스트 장치로부터 전송되는 클럭 신호에 기초하여 내부 클럭신호 및 지연코드를 생성하는 지연고정루프 회로; 및 상기 지연코드를 수신하여 상기 호스트 장치로 전송할 송신 신호에 결합할 부가 신호를 생성하도록 구성되는 복수의 입출력 회로;를 포함하도록 구성될 수 있다.

**발명의 효과**

[0011] 본 기술에 의하면, 인터페이스 회로 내의 지연 고정 루프 회로에서 생성한 지연 코드를 이용하여 송신 신호를 목표 시간만큼 정확히 지연시켜 프리-엠퍼시스용 부가 신호를 생성할 수 있다.

[0012] 프리-엠퍼시스에 필요한 부가 신호를 생성하기 위한 회로가 인터페이스 회로 내에 통합됨에 따라 별도의 지연

회로를 추가할 필요가 없어 면적 효율이 증대되고 고속 동작의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0013] 도 1은 일 실시예에 의한 데이터 저장 장치의 구성도이다.
- 도 2는 일 실시예에 의한 인터페이스 회로의 구성도이다.
- 도 3은 일 실시예에 의한 지연 고정 루프 회로의 구성도이다.
- 도 4는 일 실시예에 의한 입출력 회로의 구성도이다.
- 도 5는 일 실시예에 의한 프리-엠퍼시스 회로의 구성도이다.
- 도 6A 및 도 6B는 프리-엠퍼시스 여부에 따른 송신 신호의 파형도이다.
- 도 7은 일 실시예에 의한 스토리지 시스템의 구성도이다.
- 도 8 및 도 9는 실시예들에 따른 데이터 처리 시스템의 구성도이다.
- 도 10은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.
- 도 11은 일 실시예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0014] 이하, 첨부된 도면을 참조하여 본 기술의 실시예를 보다 구체적으로 설명한다.
- [0015] 도 1은 일 실시예에 의한 데이터 저장 장치의 구성도이다.
- [0016] 데이터 저장 장치(10)는 호스트 장치(100) 및 호스트 장치(100)와 채널(300)을 통해 접속되는 저장부(200)를 포함할 수 있다.
- [0017] 호스트 장치(100)는 저장부(200)를 제어하기 위한 메모리 컨트롤러(110) 및 호스트 측 인터페이스 회로(IF\_H)인 제 1 인터페이스 회로(120)를 포함할 수 있다. 저장부(200)는 메모리 장치(210) 및 메모리측 인터페이스 회로(IF\_D)인 제 2 인터페이스 회로(220)를 포함할 수 있다.
- [0018] 호스트 장치(100)는 프로세서 및 프로세서의 제어에 따라 동작하는 복수의 IP를 포함할 수 있다. 호스트 장치(100)는 여러가지 기능을 가진 복수의 기능 블록, 예를 들어 IP들을 하나의 칩으로 구현한 SoC(System on Chip)일 수 있다. 제 1 인터페이스 회로(120) 또한 하나의 IP로서 SoC로 구현된 호스트 장치(100) 내에 집적될 수 있다.
- [0019] 메모리 장치(210)는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), TRAM(Thyristor Random Access Memory) 등과 같은 휘발성 메모리 소자 중에서 선택된 메모리 소자를 이용하여 구현될 수 있다.
- [0020] 메모리 장치(210)는 EEPROM(Electrically Erasable and Programmable ROM), 낸드(NAND) 플래시 메모리, 노어(NOR) 플래시 메모리, PRAM(Phase-Change RAM), ReRAM(Resistive RAM) FRAM(Ferroelectric RAM), STT-MRAM(Spin Torque Transfer Magnetic RAM) 등과 같은 다양한 비휘발성 메모리 소자 중에서 선택된 메모리 소자를 이용하여 구현될 수 있고, 솔리드 스테이트 드라이브(SSD), 메모리 카드, 유니버설 플래시 기억장치(UFS) 등의 형태로 구현될 수 있다. 메모리 장치(210)는 복수의 다이들, 또는 복수의 칩들, 또는 복수의 패키지들을 포함할 수 있다. 나아가 메모리 장치(210)는 하나의 메모리 셀에 한 비트의 데이터를 저장하는 싱글 레벨 셀(Single-Level Cell), 또는 하나의 메모리 셀에 복수 비트의 데이터를 저장하는 멀티 레벨 셀(Multi-Level Cell)로 동작할 수 있다.
- [0021] 채널(300)은 호스트 장치(100)와 데이터 저장 장치(200) 간에 송수신되는 신호를 전달하는 경로이다.
- [0022] 호스트 장치(100)는 제 1 인터페이스 회로(120)를 통해 제 2 인터페이스 회로(220)로 클럭(CLK) 신호, 커맨드(CMD) 신호, 어드레스(ADD) 신호 등을 전송할 수 있다. 또한, 호스트 장치(100)는 제 1 인터페이스 회로(120)를 통해 저장부(200)로 데이터 스트로브 신호(DQS)에 동기하여 데이터(DQ)를 전송할 수 있다.
- [0023] 저장부(200)는 제 2 인터페이스 회로(220)를 통해 호스트 장치(100)로 데이터 스트로브 신호(DQS)에 동기하여 데이터(DQ)를 전송할 수 있다.

- [0024] 호스트 장치(100)에서 저장부(200)로 데이터 스트로브 신호(DQS) 및 데이터(DQ)를 전송하는 경로는 저장부(200)가 호스트 장치(100)로 데이터 스트로브 신호(DQS) 및 데이터(DQ)를 전송하는 경로와 동일하고 공유될 수 있다. 따라서 호스트 장치(100)에서 저장부(200)로 출력되는 데이터 스트로브 신호(DQS) 및 데이터(DQ)는 쓰기 DQS 및 쓰기 DQ로 지칭될 수 있고, 저장부(200)에서 호스트 장치(100)로 출력되는 데이터 스트로브 신호(DQS) 및 데이터(DQ)는 읽기 DQS 및 읽기 DQ로 지칭될 수 있다.
- [0025] DDR(Double Data Rate) 이상의 고속 동작 속도를 갖는 메모리 장치(210)는 내부 클럭의 라이징 에지(rising edge)와 폴링 에지(falling edge)를 모두 이용하기 때문에 내부 클럭의 듀티 사이클(duty cycle)을 50%로 유지하는 것이 중요하다.
- [0026] 이를 위해 제 2 인터페이스 회로(220)는 파워-업 동작시 호스트 장치(100)로부터 수신한 외부 클럭 신호(CLK)로부터 생성된 내부 클럭의 듀티 사이클을 50%로 맞추기 위한 DCC(Duty Cycle Correction) 트레이닝 동작을 수행할 수 있다. 일 실시예에서, 제 2 인터페이스 회로(220)는 DCC 트레이닝 동작시 외부 클럭 신호(CLK)에 동기하여 메모리 장치(210)로 리드 인에이블 신호(RE<sub>t</sub>/c)를 전송하여 DDR로 페이지 리드를 수행할 수 있다.
- [0027] 저장부(200)는 또한 DCC 트레이닝에 의해 듀티 사이클이 보정된 클럭 신호의 스큐를 보정하여 지연 고정된 내부 클럭을 생성하기 위한 DLL 회로를 포함할 수 있다. DLL 회로는 내부 클럭신호가 반도체 메모리 장치 내부의 데이터 출력단까지 전달되는 과정에서 발생하는 지연성분을 보상할 수 있도록 내부 클럭신호의 지연량을 보정하는 회로일 수 있다.
- [0028] 일 실시예에서, 제 2 인터페이스 회로(220)는 복수의 입출력(IO) 제어 회로(20)를 포함할 수 있다. DLL 회로는 DCC 트레이닝에 사용되는 리드 인에이블 신호(RE<sub>t</sub>)에 응답하여 생성된 지연코드에 따라 지연고정된 내부 클럭 신호를 생성하는 디지털 회로로 구현되어 IO 제어 회로(20) 내에 집적될 수 있다.
- [0029] 제 2 인터페이스 회로(220)는 메모리 장치(210)로부터 리드된 데이터가 채널(300)을 경유하여 호스트 장치(100)로 전송되는 과정에서 발생할 수 있는 신호 감쇄 또는 노이즈에 의한 영향을 방지하기 위하여 프리-엠퍼시스 동작을 수행할 수 있다.
- [0030] 일 실시예에서, 제 2 인터페이스 회로(220)는 DCC 트레이닝 동작과 함께 입출력 제어회로(20) 내의 DLL회로를 동작시켜 생성한 지연코드에 기초하여 송신 신호를 목표 시간(1 Unit Delay) 만큼 지연시켜 프리-엠퍼시스용 부가 신호를 생성하고, 이 부가 신호를 송신 신호와 결합하는 프리-엠퍼시스 동작을 수행할 수 있다.
- [0031] 메모리 장치(210)의 고용량화에 따라 IO 제어 회로(20)에는 복수의 IO 회로가 구비될 수 있다. 프리-엠퍼시스를 위해 IO 제어 회로(20)의 외부에서 송신 신호를 지연시켜 IO 제어 회로(20)로 공급하는 경우에는, 별도의 지연 회로가 추가되어야 하므로 지연 회로를 위한 추가 면적이 필요하고, IP의 배치를 변경해야 하는 등의 추가 작업이 수반될 수 있다.
- [0032] 본 기술에 의하면, IO 제어 회로(20) 내에서 지연코드를 생성하고, 이를 이용하여 송신 데이터를 프리-엠퍼시스할 수 있다. 따라서, 송신 신호를 지연하기 위한 별도의 회로나 IP를 추가할 필요가 없어 면적 효율이 증대되고 고속 동작의 신뢰성을 보장할 수 있다.
- [0033] 도 2는 일 실시예에 의한 인터페이스 회로의 구성도로서, 예를 들어 제 2 인터페이스 회로(220)를 나타낸다.
- [0034] 도 2를 참조하면, 일 실시예에 의한 제 2 인터페이스 회로(220)는 송신 드라이버(Tx1, Tx2)와 수신 드라이버(Rx1, Rx2) 사이에서 신호를 송수신하는 IO 제어 회로(20)를 포함할 수 있다.
- [0035] IO 제어 회로(20)는 DLL 회로(201), 타이밍 조절부(203) 및 복수의 IO 회로(205, 205-1~205-n)를 포함할 수 있다.
- [0036] DLL 회로(201)는 DCC 트레이닝 동작에 사용되는 리드 인에이블 신호(RE<sub>t</sub>)를 제공받아 내부 클럭의 지연량을 고정하기 위한 지연코드(DLL\_CODE)를 생성하여 지연고정된 내부 클럭신호(DQS)를 출력할 수 있다.
- [0037] 한편, 리드 동작시 내부 클럭신호(DQS)은 호스트 장치(100)로 전송되어 내부 클럭신호(DQS)와 동기하여 데이터(DQ)를 전송할 때 호스트 장치(100)와 저장부(200)의 동작 타이밍이 동기되도록 할 수 있다.
- [0038] 타이밍 조절부(203)는 지연코드(DLL\_CODE)를 수신하여, 지연 제어 신호(DL\_CAL)를 생성할 수 있다. 송신 신호의 천이 시점에 송신 신호를 강조하는 프리-엠퍼시스 동작을 수행하기 위해서는 송신 신호를 1UI(Unit Interval) 만큼 지연시켜 부가 신호를 생성하므로, 타이밍 조절부(203)는 클럭의 1주기(2UI)에 대응하는 지연코

드(DLL\_CODE)를 1/2하여 IUI 해당하는 지연 제어 신호(DL\_CAL)를 생성할 수 있다.

- [0039] 복수의 IO 회로(205-1~205-n)는 각각 지연 제어 신호(DL\_CAL)를 수신하여 송신 신호를 지연시켜 부가 신호를 생성하고, 송신 신호에 부가 신호를 결합하여 호스트 장치(100)로 전송하도록 구성된다. IO 회로(205-1~205-n)의 구체적인 설명은 도 4 및 도 5를 참조하여 후술할 것이다.
- [0040] 도 3은 일 실시예에 의한 지연 루프 회로의 구성도이다.
- [0041] 도 3을 참조하면, 일 실시예에 의한 DLL 회로(201)는 내부 클럭 생성부(2011), 지연코드 생성부(2013), 지연고정 클럭 생성부(2015) 및 비교부(2017)를 포함할 수 있다.
- [0042] 내부 클럭 생성부(2011)는 DCC 트레이닝에 사용되는 클럭 신호, 예를 들어 리드 인에이블 신호(RE\_t)로부터 예비 클럭신호(iRE\_t)를 생성할 수 있다.
- [0043] 지연코드 생성부(2013)는 인에이블 신호(CAL\_EN)에 응답하여, 비교신호(COMP)에 응답하여 예비 클럭 신호(iRE\_t)를 지연시킬 지연량에 대응하는 지연코드(DLL\_CODE)를 출력할 수 있다.
- [0044] 일 실시예에서, 지연코드(DLL\_CODE)는 최종적으로 생성할 내부 클럭신호(DQS)의 한 주기에 대응하는 시간을 나타내는 복수 비트의 디지털 코드일 수 있다.
- [0045] 지연고정 클럭 생성부(2015)는 리드 인에이블 신호(RE\_t)를 지연코드(DLL\_CODE)에 대응하는 시간만큼, 예를 들어 내부 클럭신호(DQS)의 1주기에 대응하는 시간만큼 지연시켜 내부 클럭신호(DQS)를 생성할 수 있다.
- [0046] 비교부(2017)는 내부 클럭신호(DQS)와 리드 인에이블 신호(RE\_t)의 위상을 비교한 비교신호(COMP)를 지연코드 생성부(2013)로 전송하여 지연코드(DLL\_CODE)가 업데이트되도록 구성될 수 있다.
- [0047] 도 3에 도시한 DLL 회로(201)는 디지털 회로로 구현되어 상술한 입출력 제어 회로(20) 내에 통합될 수 있다.
- [0048] 도 4는 일 실시예에 의한 입출력 회로의 구성도이다.
- [0049] 도 4를 참조하면, 일 실시예에 의한 입출력(IO) 회로(205)는 프리-엠퍼시스 회로(260) 및 출력 드라이버(270)를 포함할 수 있다.
- [0050] 프리-엠퍼시스 회로(260)는 송신 데이터(DIN\_REF), 인에이블 신호(EQ\_EN), 제 1 지연 제어 신호(DL\_ZERO) 및 제 2 지연 제어 신호(DL\_CAL)를 제공받을 수 있다. 프리-엠퍼시스 회로(260)는 인에이블 신호(EQ\_EN)가 비활성화 상태인 경우, 제 1 지연 제어 신호(DL\_ZERO)에 응답하여 지연되지 않은 송신 데이터(DIN\_REF)를 송신 데이터(DIN\_REF)와 결합하여 엠퍼시스 신호(D\_EMP)를 생성할 수 있다. 인에이블 신호(EQ\_EN)가 활성화 상태인 경우, 프리-엠퍼시스 회로(260)는 제 2 지연 제어 신호(DL\_CAL)에 응답하여 송신 데이터(DIN\_REF)를 지연 제어 신호(DL\_CAL)에 해당하는 지연량(IUI)만큼 지연시켜 부가 신호를 생성하고, 부가 신호를 송신 데이터(DIN\_REF)에 결합하여 엠퍼시스 신호(D\_EMP)를 생성할 수 있다.
- [0051] 출력 드라이버(270)는 엠퍼시스 신호(D\_EMP)를 구동하여 출력 패드(DOUT)에 데이터 신호를 인가하여 호스트 장치(100)로 전송할 수 있다.
- [0052] 도시하지 않았지만, 출력 드라이버(270)는 임피던스 매칭 코드에 따라 온/오프되는 복수의 단위 드라이버(레그)를 포함할 수 있다.
- [0053] 일 실시예에서, 프리 엠퍼시스 회로(260)는 출력 드라이버(270)와 통합될 수 있다. 이 경우 출력 드라이버(270)를 구성하는 복수의 단위 드라이버 중, 오프 상태의 드라이버를 프리-엠퍼시스 회로로 활용하면 프리-엠퍼시스 동작을 위한 별도의 회로를 추가할 필요가 없어 제 2 인터페이스 회로(220)의 사이즈를 감소시킬 수 있다.
- [0054] 도 5는 일 실시예에 의한 프리-엠퍼시스 회로의 구성도이다.
- [0055] 도 5를 참조하면, 일 실시예에 의한 프리-엠퍼시스 회로(260)는 제 1 선택부(216), 제 2 선택부(263), 제 1 지연부(265), 제 2 지연부(267), 제 1 구동부(2691) 및 제 2 구동부(2693)를 포함할 수 있다.
- [0056] 제 1 지연부(265)는 무지연 회로로서, 송신 데이터(DIN\_REF)를 제공받아 지연시키지 않고 소스 데이터(DIN)로 출력하도록 구성될 수 있다.
- [0057] 제 1 선택부(261)는 인에이블 신호(EQ\_EN)에 응답하여 송신 데이터(DIN\_REF)와 그 반전 신호 중 어느 하나를 선택하여 제 2 지연부(267)로 제공하도록 도록 구성될 수 있다. 일 실시예에서, 제 1 선택부(261)는 인에이블 신호(EQ\_EN)가 비활성화 상태인 경우에는 송신 데이터(DIN\_REF)를 선택하고, 인에이블 신호(EQ\_EN)가 활성화 상태

인 경우에는 반전된 송신 데이터(DIN\_REF)를 선택하도록 구성될 수 있다.

- [0058] 제 2 선택부(263)는 인에이블 신호(EQ\_EN)에 응답하여, 제 1 지연 제어 신호(DL\_ZERO) 및 제 2 지연 제어 신호(DL\_CAL) 중 어느 하나를 선택하여 제 2 지연부(267)로 제공할 수 있다. 일 실시예에서, 제 1 선택부(261)는 인에이블 신호(EQ\_EN)가 비활성화 상태인 경우에는 지연량이 0인 제 1 지연 제어 신호(DL\_ZERO)를 선택하고, 인에이블 신호(EQ\_EN)가 활성화 상태인 경우에는 지연량이 1UI인 제 2 지연 제어 신호(DL\_CAL)를 선택하도록 구성될 수 있다.
- [0059] 제 2 지연부(267)는 제 2 선택부(263)로부터 제공되는 제 1 지연 제어 신호(DL\_ZERO) 또는 제 2 지연 제어 신호(DL\_CAL)에 기초하여 제 1 선택부(261)로부터 제공되는 신호, 즉 송신 데이터(DIN\_REF) 또는 그 반전 신호를 지연시켜 부가 신호(DIN\_ZM)를 생성할 수 있다.
- [0060] 제 1 구동부(2691)는 제 1 지연부(265)로부터 제공되는 소스 데이터(DIN)를 증폭하여 출력할 수 있다. 제 2 구동부(2693)는 부가 신호(DIN\_ZM)를 구동하고 소스 신호(DIN)에 결합하여 앰퍼시스 신호(D\_EMP)를 출력할 수 있다.
- [0061] 제 2 지연 제어 신호(DL\_CAL)가 입력력 제어 회로(20) 내에 구비된 DLL 회로(201)로부터 생성되어 각각의 IO 회로(205)로 제공됨에 따라, 별도의 지연 회로를 추가하지 않고도 PVT 변동에 의존하지 않는 부가 신호를 생성할 수 있다.
- [0062] 따라서, 지연 회로를 위한 면적의 낭비 없이 데이터의 무결성을 보장할 수 있다.
- [0063] 도 6A 및 도 6B는 프리-앰퍼시스 여부에 따른 송신 신호의 파형도이다.
- [0064] 도 6A는 프리-앰퍼시스를 수행하지 않은 경우, 즉 인에이블 신호(EQ\_EN)가 비활성화 상태인 경우의 송신 신호에 대한 파형도이다.
- [0065] 인에이블 신호(EQ\_EN)가 비활성화 상태이므로 제 1 선택부(261)는 반전되지 않은 송신 데이터(DIN\_REF)를 출력하고, 제 2 선택부(263)는 제 1 지연 제어 신호(DL\_ZERO)를 선택하여 출력한다. 제 1 지연 제어 신호(DL\_ZERO)는 지연량을 0으로 하는 신호이므로, 제 2 지연부(267)로부터는 제 1 지연부(265)에서 출력되는 소스 데이터(DIN)와 위상 및 논리 레벨이 동일한 부가 신호(DIN\_ZM)가 출력된다.
- [0066] 소스 데이터(DIN)는 제 1 구동부(2691)에서 구동되고, 부가 신호(DIN\_ZM)는 제 2 구동부(2693)에서 구동되어, 소스 신호(DIN)의 하이 레벨( $V_H$ ) 및 로우 레벨( $V_L$ )이 각각 VCCQ 및 VSSQ로 강화된 앰퍼시스 신호(D\_EMP)가 출력될 수 있다.
- [0067] 도 6B는 프리-앰퍼시스를 수행한 경우, 즉 인에이블 신호(EQ\_EN)가 활성화 상태인 경우의 송신 데이터에 대한 파형도이다.
- [0068] 인에이블 신호(EQ\_EN)가 활성화 상태이므로 제 1 선택부(261)는 반전된 송신 데이터(DIN\_REF)를 출력하고, 제 2 선택부(263)는 제 2 지연 제어 신호(DL\_CAL)를 선택하여 출력한다. 제 2 지연 제어 신호(DL\_CAL)는 지연량을 1UI로 하는 신호이므로, 제 2 지연부(267)는 반전된 송신 데이터(DIN\_REF)를 1UI 지연하여, 소스 데이터(DIN)보다 1UI 지연된 부가 신호(DIN\_ZM)가 출력된다.
- [0069] 소스 데이터(DIN)는 제 1 구동부(2691)에서 구동되고, 부가 신호(DIN\_ZM)는 제 2 구동부(2693)에서 구동되어, 소스 신호(DIN)와 부가 신호(DIN\_ZM)의 하이 레벨( $V_H$ )이 중첩되는 구간 및 로우 레벨( $V_L$ )이 중첩되는 구간, 즉 소스 신호(DIN)의 논리 레벨이 천이되는 시점에 각각 VCCQ 및 VSSQ로 강화된 앰퍼시스 신호(D\_EMP)가 출력될 수 있다.
- [0070] 소스 데이터(DIN)의 비트값이 토글하는 고주파 구간에서 부가 신호에 의해 송신 신호를 강조함으로써 채널을 경유하여 전송되는 송신 신호가 감쇄되는 것을 방지할 수 있다.
- [0071] 도 7은 일 실시예에 의한 스토리지 시스템의 구성도이다.
- [0072] 도 7을 참조하면, 스토리지 시스템(1000)은 호스트 장치(1100)와 데이터 저장 장치(1200)를 포함할 수 있다. 일 실시예에서, 데이터 저장 장치(1200)는 솔리드 스테이트 드라이브(solid state drive)(SSD)로 구성될 수 있다.
- [0073] 데이터 저장 장치(1200)는 컨트롤러(1210), 비휘발성 메모리 장치들(1220-0 ~ 1220-n), 버퍼 메모리 장치

(1230), 전원 공급기(1240), 신호 커넥터(1101) 및 전원 커넥터(1103)를 포함할 수 있다.

- [0074] 컨트롤러(1210)는 데이터 저장 장치(1200)의 제반 동작을 제어할 수 있다. 컨트롤러(1210)는 호스트 인터페이스 유닛, 컨트롤 유닛, 동작 메모리로서의 랜덤 액세스 메모리, 에러 정정 코드(ECC) 유닛 및 메모리 인터페이스 유닛을 포함할 수 있다. 예를 들어, 데이터 저장 장치(1200)는 도 2 내지 도 5에 도시한 인터페이스 회로를 포함할 수 있다.
- [0075] 호스트 장치(1100)와 데이터 저장 장치(1200)는 신호 커넥터(1101)를 통해 신호를 송수신할 수 있다. 여기에서, 신호란 명령어, 어드레스, 데이터를 포함할 수 있다.
- [0076] 컨트롤러(1210)는 호스트 장치(1100)로부터 입력된 신호를 분석하고 처리할 수 있다. 컨트롤러(1210)는 데이터 저장 장치(1200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 백그라운드 기능 블럭들의 동작을 제어할 수 있다.
- [0077] 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(1230)는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(1230)에 임시 저장된 데이터는 컨트롤러(1210)의 제어에 따라 호스트 장치(1100) 또는 비휘발성 메모리 장치들(1220-0 ~ 1220-n)로 전송될 수 있다.
- [0078] 비휘발성 메모리 장치들(1220-0 ~ 1220-n)은 데이터 저장 장치(1200)의 저장 매체로 사용될 수 있다. 비휘발성 메모리 장치들(1220-0 ~ 1220-n) 각각은 복수의 채널들(CHO~CHn)을 통해 컨트롤러(1210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 비휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 비휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0079] 전원 공급기(1240)는 전원 커넥터(1103)를 통해 입력된 전원을 데이터 저장 장치(1200)에 제공할 수 있다. 전원 공급기(1240)는 보조 전원 공급기(1241)를 포함할 수 있다. 보조 전원 공급기(1241)는 서든 파워 오프(sudden power off)가 발생하는 경우, 데이터 저장 장치(1200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(1241)는 대용량 캐패시터들(capacitors)을 포함할 수 있으나 이에 한정되는 것은 아니다.
- [0080] 신호 커넥터(1101)는 호스트 장치(1100)와 데이터 저장 장치(1200)의 인터페이스 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 자명하다.
- [0081] 전원 커넥터(1103)는 호스트 장치(1100)의 전원 공급 방식에 따라서 다양한 형태의 커넥터로 구성될 수 있음은 물론이다.
- [0082] 도 8 및 도 9는 실시예들에 따른 데이터 처리 시스템의 구성도이다.
- [0083] 도 8을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 메모리 시스템(3200)을 포함할 수 있다.
- [0084] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블럭들을 포함할 수 있다.
- [0085] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 메모리 시스템(3200)은 접속 터미널(3110)에 마운트(mount)될 수 있다.
- [0086] 메모리 시스템(3200)은 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 메모리 시스템(3200)은 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 메모리 시스템(3200)은 컨트롤러(3210), 버퍼 메모리 장치(3220), 비휘발성 메모리 장치(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포함할 수 있다.
- [0087] 컨트롤러(3210)는 메모리 시스템(3200)의 제반 동작을 제어할 수 있다.
- [0088] 메모리 시스템(3200)은 도 2 내지 도 5에 도시한 인터페이스 회로를 포함할 수 있다.
- [0089] 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 비휘발성 메모리 장치들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 비휘발성 메모리 장치들(3231~3232)로 전송될 수 있다.

- [0090] 비휘발성 메모리 장치들(3231~3232)은 메모리 시스템(3200)의 저장 매체로 사용될 수 있다.
- [0091] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 메모리 시스템(3200) 백그라운드에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 메모리 시스템(3200)의 전원을 관리할 수 있다.
- [0092] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 메모리 시스템(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 메모리 시스템(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 메모리 시스템(3200)의 어느 한 번에 배치될 수 있다.
- [0093] 도 9는 본 발명의 실시 예에 따른 메모리 시스템을 포함하는 데이터 처리 시스템을 예시적으로 도시하는 도면이다.
- [0094] 도 9를 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 메모리 시스템(4200)을 포함할 수 있다.
- [0095] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 백그라운드 기능 블록들을 포함할 수 있다.
- [0096] 메모리 시스템(4200)은 표면 실장형 패키지 형태로 구성될 수 있다. 메모리 시스템(4200)은 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 메모리 시스템(4200)은 컨트롤러(4210), 버퍼 메모리 장치(4220) 및 비휘발성 메모리 장치(4230)를 포함할 수 있다.
- [0097] 컨트롤러(4210)는 메모리 시스템(4200)의 제반 동작을 제어할 수 있다. 메모리 시스템(4200)은 도 2 내지 도 5에 도시한 인터페이스 회로를 포함할 수 있다.
- [0098] 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 비휘발성 메모리 장치들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 비휘발성 메모리 장치(4230)로 전송될 수 있다.
- [0099] 비휘발성 메모리 장치(4230)는 메모리 시스템(4200)의 저장 매체로 사용될 수 있다.
- [0100] 도 10은 일 실시예에 의한 데이터 저장 장치를 포함하는 네트워크 시스템의 구성도이다.
- [0101] 도 10을 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0102] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.
- [0103] 서버 시스템(5300)은 호스트 장치(5100) 및 메모리 시스템(5200)을 포함할 수 있다. 메모리 시스템(5200)은 도 1 내지 도 5의 데이터 저장 장치(10), 도 7의 데이터 저장 장치(1200), 도 8의 메모리 시스템(3200), 도 9의 메모리 시스템(4200)으로 구성될 수 있다.
- [0104] 도 11은 일 실시 예에 따른 데이터 저장 장치에 포함된 비휘발성 메모리 장치의 구성도이다.
- [0105] 도 11을 참조하면, 비휘발성 메모리 장치(300)는 메모리 셀 어레이(310), 행 디코더(320), 데이터 읽기/쓰기 블록(330), 열 디코더(340), 전압 발생기(350) 및 제어 로직(360)을 포함할 수 있다.
- [0106] 메모리 셀 어레이(310)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0107] 메모리 셀 어레이(310)는 3차원 메모리 어레이를 포함할 수 있다. 3차원 메모리 어레이는 반도체 기판의 평판면에 대해 수직의 방향성을 가지며, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀의 수직 상부에 위치하는 낸드(NAND) 스트링을 포함하는 구조를 의미한다. 하지만 3차원 메모리 어레이의 구조가 이에 한정되는 것은 아니며 수직의 방향성뿐 아니라 수평의 방향성을 가지고 고집적도로 형성된 메모리 어레이 구조라면 선택적으로 적용 가능함은 자명하다.
- [0108] 행 디코더(320)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 행 디코더(320)는

제어 로직(360)의 제어에 따라 동작할 수 있다. 행 디코더(320)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(320)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(320)는 전압 발생기(350)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.

[0109] 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(310)와 연결될 수 있다. 데이터 읽기/쓰기 블록(330)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블록(330)은 제어 로직(360)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블록(330)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블록(330)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(310)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블록(330)은 읽기 동작 시 메모리 셀 어레이(310)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.

[0110] 열 디코더(340)는 제어 로직(360)의 제어에 따라 동작할 수 있다. 열 디코더(340)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(340)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블록(330)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.

[0111] 전압 발생기(350)는 비휘발성 메모리 장치(300)의 백그라운드 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(350)에 의해서 생성된 전압들은 메모리 셀 어레이(310)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.

[0112] 제어 로직(360)은 외부 장치로부터 제공된 제어 신호에 근거하여 비휘발성 메모리 장치(300)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(360)은 비휘발성 메모리 장치(300)의 읽기, 쓰기, 소거 동작을 제어할 수 있다.

[0113] 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

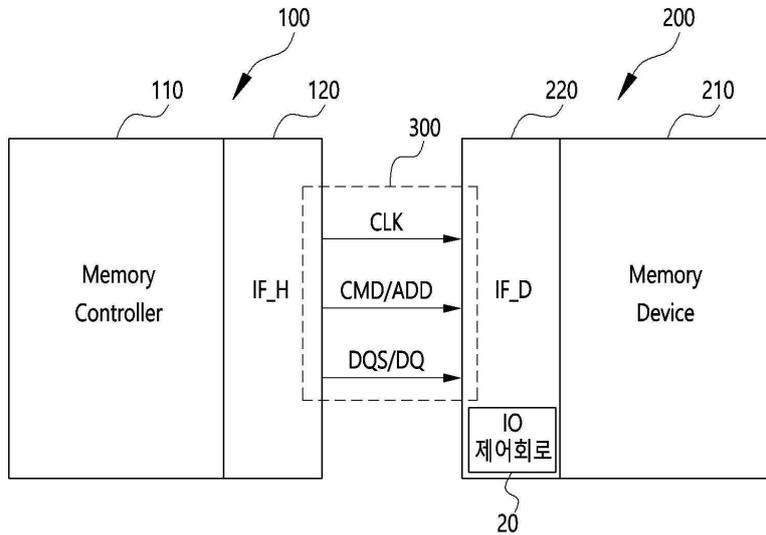
**부호의 설명**

- [0114] 10 : 데이터 저장 장치
- 100 : 호스트 장치
- 110 : 메모리 컨트롤러
- 120 : 제 1 인터페이스 회로
- 200 : 저장
- 210 : 메모리 장치
- 220 : 제 2 인터페이스 회로

도면

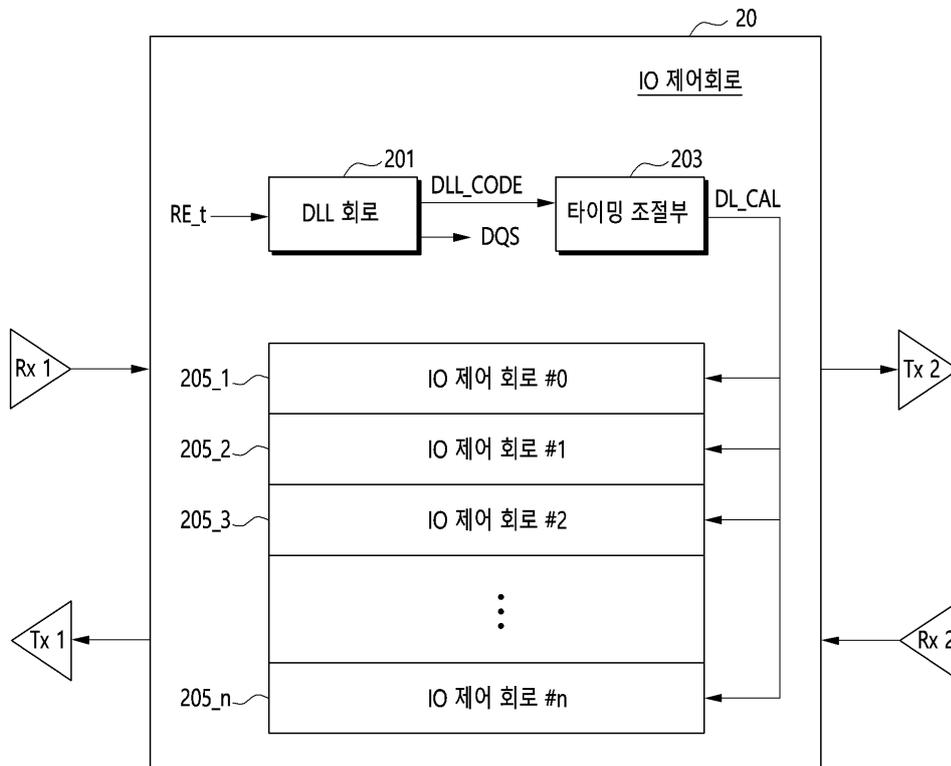
도면1

10

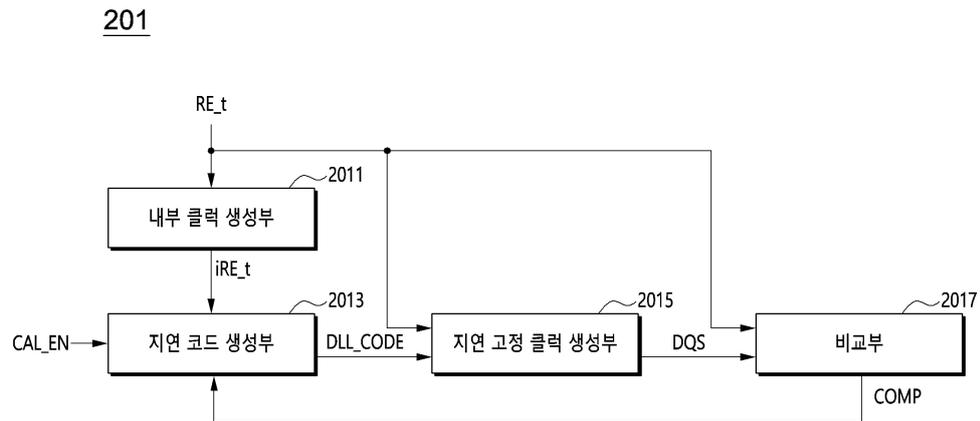


도면2

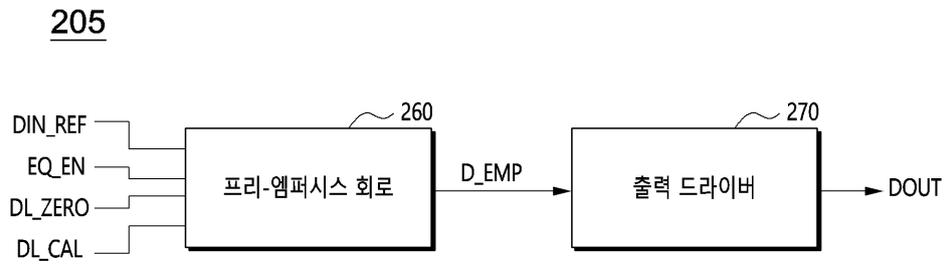
220



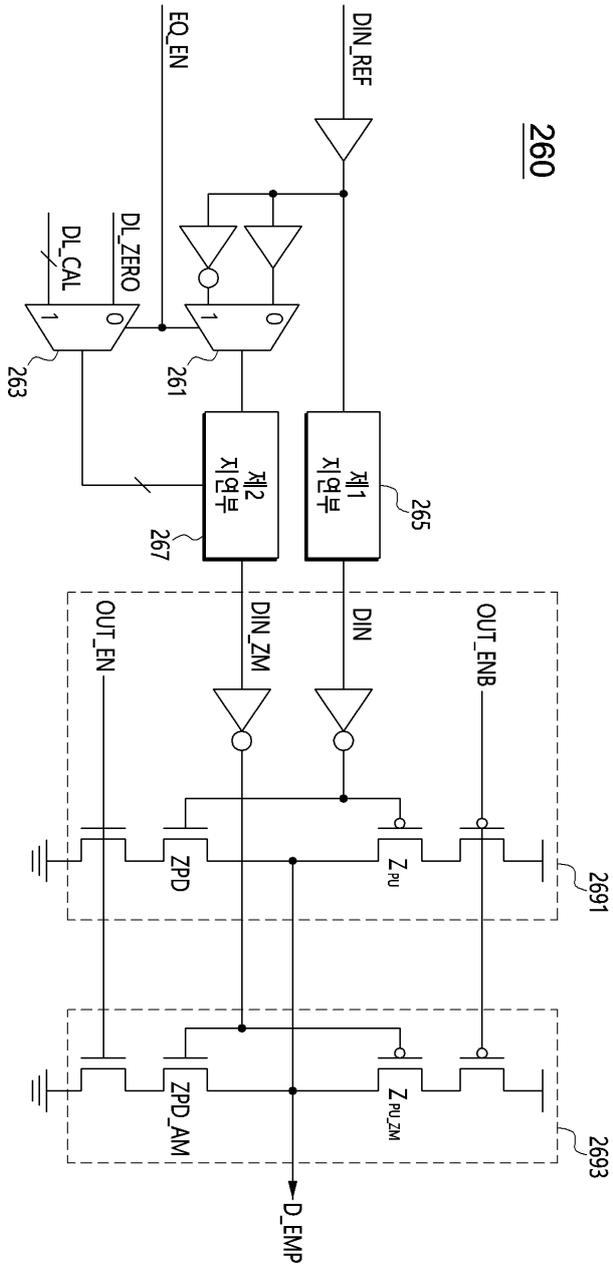
도면3



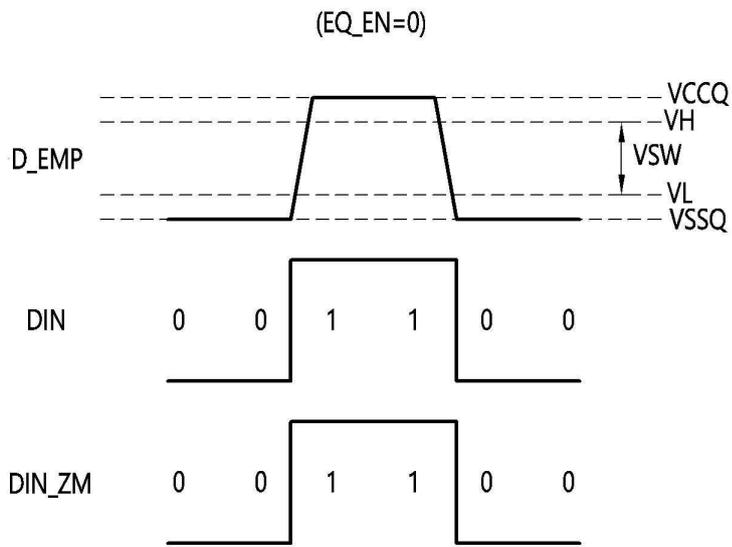
도면4



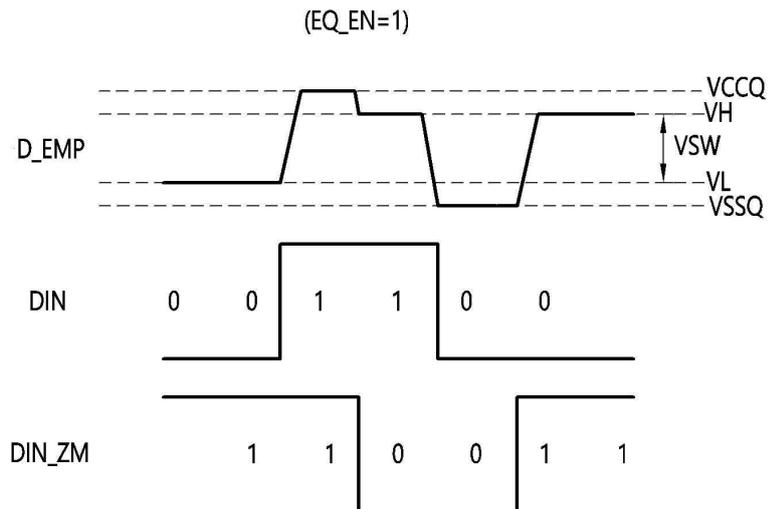
도면5



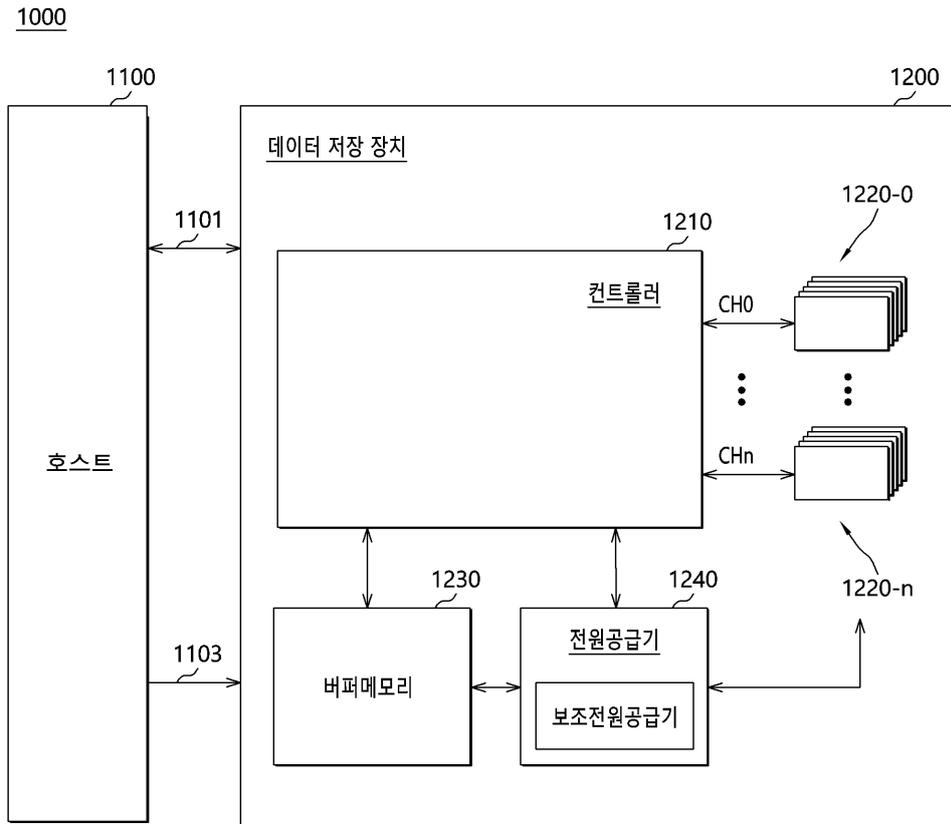
도면6a



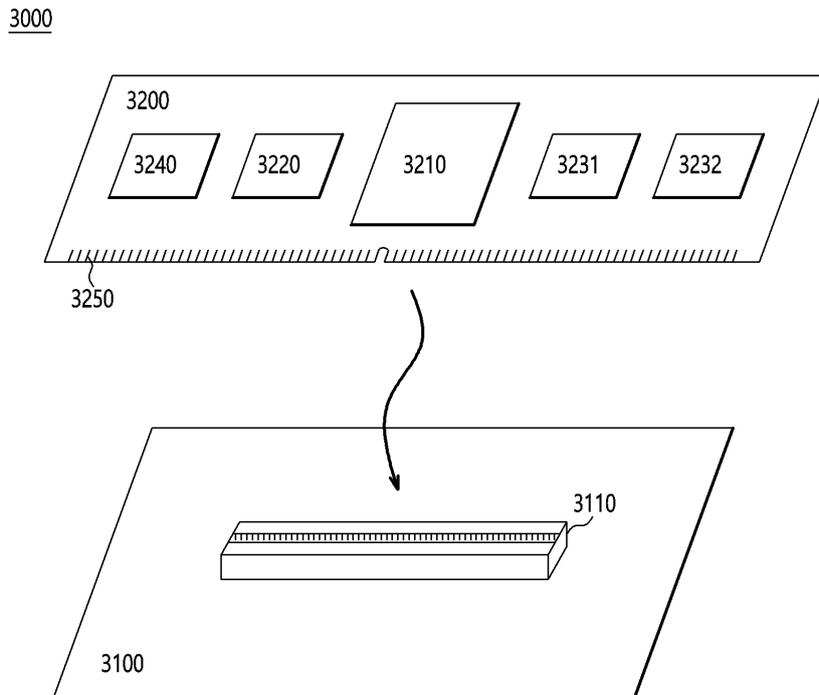
도면6b



도면7

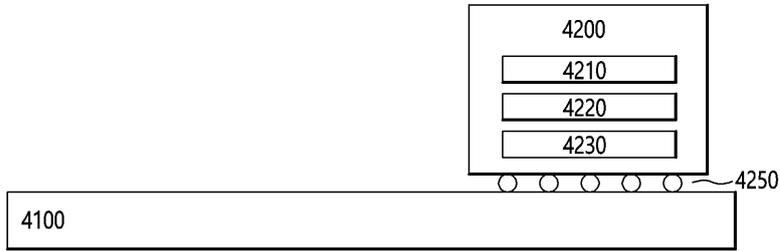


도면8



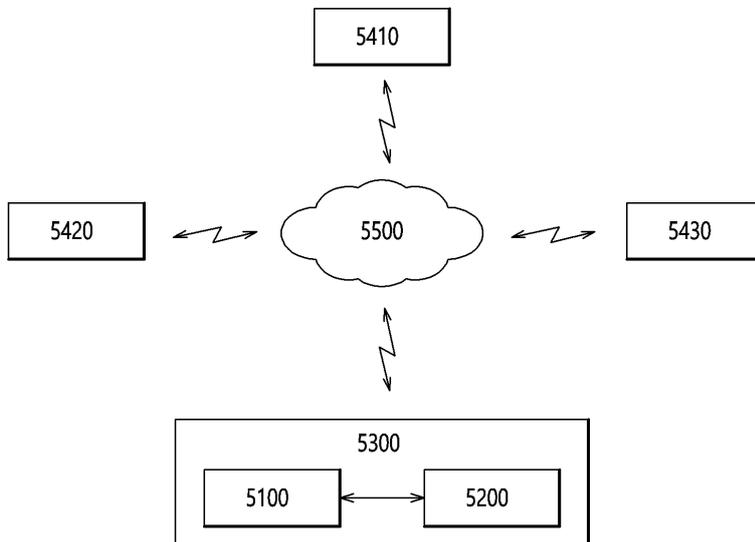
도면9

4000



도면10

5000



도면11

300

