

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4321437号
(P4321437)

(45) 発行日 平成21年8月26日(2009.8.26)

(24) 登録日 平成21年6月12日(2009.6.12)

(51) Int.Cl.

F 1

G 11 B 5/09 (2006.01)

G 11 B 5/09

3 2 1 Z

G 11 B 5/02 (2006.01)

G 11 B 5/02

U

H 01 L 43/08 (2006.01)

H 01 L 43/08

Z

請求項の数 16 (全 22 頁)

(21) 出願番号 特願2004-315003 (P2004-315003)
 (22) 出願日 平成16年10月29日 (2004.10.29)
 (65) 公開番号 特開2005-267835 (P2005-267835A)
 (43) 公開日 平成17年9月29日 (2005.9.29)
 審査請求日 平成19年10月18日 (2007.10.18)
 (31) 優先権主張番号 特願2004-40782 (P2004-40782)
 (32) 優先日 平成16年2月18日 (2004.2.18)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100100310
 弁理士 井上 学
 (72) 発明者 梶山 新也
 東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内
 (72) 発明者 吉澤 弘泰
 東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内

最終頁に続く

(54) 【発明の名称】磁気ディスクメモリ装置

(57) 【特許請求の範囲】

【請求項 1】

読み出しヘッドと、

上記読み出しヘッドの両端に一端がそれぞれ接続された信号線と、

上記信号線の他端に接続され、上記読み出しヘッドにより形成された読み出し信号を増幅して出力する增幅回路とを具備して成り、

上記增幅回路は、

上記信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにバイアス電流を流すバイアス電流回路と、

上記信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにより形成された読み出し信号の信号成分を通過させる一対からなる第1および第2容量素子と、

上記第1および第2容量素子を通過した読み出し信号を入力端子に受ける差動増幅素子と、

上記差動増幅素子により増幅された読み出し信号を電流に変換するトランスコンダクタ回路と、

上記トランスコンダクタ回路にて電流に変換された読み出し信号を上記差動増幅素子の入力に帰還させる正帰還ループとを具備する

ことを特徴とする磁気ディスクメモリ装置。

【請求項 2】

請求項1において、

10

20

上記增幅回路は、単一の半導体集積回路チップに一体形成されていることを特徴とする磁気ディスクメモリ装置。

【請求項 3】

請求項 1において、

上記增幅回路の高域通過遮断周波数は、上記トランスコンダクタ回路による電流正帰還により低域側に移動することを特徴とする磁気ディスクメモリ装置。

【請求項 4】

請求項 1において、

上記差動増幅素子は、エミッタが共通接続された第 1 および第 2 バイポーラトランジスタを含んで成り、

上記第 1 および第 2 バイポーラトランジスタのコレクタにはそれぞれ第 1 および第 2 負荷抵抗素子が電気的に接続され、

上記第 1 および第 2 バイポーラトランジスタの共通エミッタには電流源が接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項 5】

請求項 4において、

上記第 1 および第 2 バイポーラトランジスタのコレクタと第 1 および第 2 容量素子の読み出しヘッド側の端子との間に、それぞれエミッタフォロワ形態の第 3 および第 4 バイポーラトランジスタと第 3 抵抗素子および第 4 抵抗素子とを含んで成る直列回路が電気的に接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項 6】

請求項 4において、

上記第 1 および第 2 バイポーラトランジスタのコレクタとベースとの間に、それぞれエミッタフォロワ形態の第 3 および第 4 バイポーラトランジスタと、第 3 抵抗素子および第 4 抵抗素子と、第 3 容量素子および第 4 容量素子を含んで成る直列回路が設けられることを特徴とする磁気ディスクメモリ装置。

【請求項 7】

請求項 4において、

上記第 1 および第 2 バイポーラトランジスタのコレクタと上記第 1 および第 2 負荷抵抗素子との間に、ベースにバイアス電圧が供給された第 5 および第 6 バイポーラトランジスタがそれぞれ直列に接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項 8】

請求項 3において、

上記トランスコンダクタ回路は、エミッタが共通接続された第 7 および第 8 バイポーラトランジスタを含んで成り、

上記第 7 および第 8 バイポーラトランジスタのコレクタにはそれぞれ電流源が接続され、

上記第 7 および第 8 バイポーラトランジスタの共通エミッタには電流源が接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項 9】

請求項 3において、

上記トランスコンダクタ回路は、ソースが共通接続された第 1 および第 2 の第 1 導電型 M O S F E T を含んで成り、

上記第 1 および第 2 の第 1 導電型 M O S F E T のドレインにはそれぞれ電流源が設けられ、

上記第 1 および第 2 の第 1 導電型 M O S F E T の共通ソースには電流源が接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項 10】

請求項 3において、

上記トランスコンダクタ回路は、エミッタが共通接続された第 7 および第 8 P N P 型バ

10

20

30

40

50

イポーラトランジスタを含んで成り、

上記第7および第8PNP型バイポーラトランジスタの共通エミッタには電流源が接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項11】

請求項3において、

上記トランスコンダクタ回路は、ソースが共通接続された第1および第2の第2導電型MOSFETを含んで成り、

上記第1および第2の第2導電型MOSFETの共通ソースには電流源が接続されていることを特徴とする磁気ディスクメモリ装置。

【請求項12】

10

請求項8において、

上記共通エミッタに接続された上記電流源の流す電流は、上記共通エミッタにベースが接続され所定のコレクタ電流でバイアスされたバイポーラトランジスタのベース電流であることを特徴とする磁気ディスクメモリ装置。

【請求項13】

読み出しヘッドと、

上記読み出しヘッドの両端に一端がそれぞれ接続された第1信号線と、

書き込みヘッドと、

上記書き込みヘッドの両端に一端がそれぞれ接続された第2信号線と、

上記第1信号線の他端に接続され、上記読み出しヘッドにより形成された読み出し信号を増幅して出力する增幅回路と、

20

上記第2信号線の他端に接続され、上記書き込みヘッドに対して書き込み信号を出力する書き込み回路とを具備して成り、

上記増幅回路は、

上記第1信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにバイアス電流を流すバイアス電流回路と、

上記第1信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにより形成された読み出し信号の信号成分を通過させる一対からなる第1および第2容量素子と、

上記第1および第2容量素子を通過した読み出し信号を入力端子に受ける差動増幅素子と、

30

上記差動増幅素子により増幅された読み出し信号を電流に変換するトランスコンダクタ回路と、

上記トランスコンダクタ回路にて電流に変換された読み出し信号を上記差動増幅素子の入力に帰還させる正帰還ループとを具備する
ことを特徴とする磁気ディスクメモリ装置。

【請求項14】

請求項13において、

上記増幅回路と上記書き込み回路とは、単一の半導体集積回路チップに一体形成されていることを特徴とする磁気ディスクメモリ装置。

40

【請求項15】

請求項14において、

上記磁気ディスクメモリ装置は、

上記増幅回路の出力端子に接続され、上記増幅回路が出力した読み出し信号を入力して増幅し、増幅した読み出し信号を出力するポストアンプ回路と、

上記書き込み回路の入力端子に接続され、上記書き込み回路を介して上記書き込みヘッドを駆動する信号を出力するヘッドドライバ回路と
を更に具備して成り、

上記ポストアンプ回路および上記ヘッドドライバ回路のうち少なくとも一方は、上記増幅回路および上記書き込み回路と共に単一の上記半導体集積回路チップに一体形成されて

50

いることを特徴とする磁気ディスクメモリ装置。

【請求項 1 6】

請求項 1 5 において、

上記磁気ディスクメモリ装置は、

上記ポストアンプ回路の出力端子および上記ヘッドドライバ回路の入力端子に接続され、上記ポストアンプ回路から読み出し信号を入力すると共に上記ヘッドドライバ回路に対して書き込み信号を出力するチャネル回路と、

上記チャネル回路から読み出し信号を入力すると共に上記チャネル回路に対して書き込み信号を出力するハードディスク制御回路と

を更に具備して成ることを特徴とする磁気ディスクメモリ装置。 10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、磁気ディスクメモリ装置、特に垂直磁気記録を用いた装置に関し、読み出しヘッドとして例えば磁気抵抗効果素子を用いたものに利用して有効な技術に関するものである。

【背景技術】

【0 0 0 2】

HDD (ハード・ディスク・ドライバ) の分野ではデータ読み取り用の高感度ヘッドの開発が進められており、次世代の TMR (Tunneling Magneto-Resistive) ヘッドや CPP-GMR (Current Perpendicular to Plane Giant Magneto-Resistive) ヘッドが次世代ヘッドの候補として挙がっている。 GMR 読み出しヘッドの信号を增幅するリードアンプの例として、図 10 に示すような回路が非特許文献 1 により提案されている。 20

【0 0 0 3】

さらに、上記 HDD の分野では記録密度の向上が進められており、媒体を垂直方向に磁化する垂直磁気記録が実用化されようとしている。垂直磁気記録向けの読み出しヘッドの信号を增幅するリードアンプとしては、例えば、非特許文献 2 に開示されているものがある。

【0 0 0 4】

【非特許文献 1】「A 0.55nV/Hz Gigabit Fully-Differential CMOS Preamplifier for MR/GMR Read Application」ISSCC Digest of Technical Papers, pp. 64-65. Feb. 2002. 30

【0 0 0 5】

【非特許文献 2】「A 1Gb/s Read/Write Preamplifier for Hard-Disk-Drive Application」, Digest of technical paper of ISSCC 2001, 2001, pp. 188-189.

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 6】

しかし、上記の次世代と呼ばれる TMR や CPP-GMR などの読み出しヘッドは、ヘッド抵抗 (R_{mr}) が高過ぎたり低過ぎたりのばらつきが大きい。読み出しヘッドは、信号線によりプリアンプと接続されて、バイアス電流の供給を受けて磁気抵抗効果等で微小信号を形成する。この微小信号をプリアンプで増幅する場合、ヘッド抵抗 (R_{mr}) の上記のような大きなばらつきを考慮すると、信号源としてのヘッドと上記信号線の特性インピーダンス Z_0 とのインピーダンス整合は取れないと考えられるので、プリアンプ側での入力インピーダンス Z_{in} と特性インピーダンス Z_0 との整合を実現することが重要であること、つまり、HDD 装置としての低エラーレート化のためにはリードアンプの雑音特性が重要であり、低雑音の入力終端方法の重要性に思い至った。 40

【0 0 0 7】

さらに、HDD 装置の小型化等のためにプリアンプ等を IC 内部で実現する必要があり、このために上記読み出しヘッドで形成された微小信号成分のみを取り出すカップリング容量素子も IC に内蔵することが必須となるものである。しかし、容量素子は IC チップ

面積をとり、容量値が大きいと寄生容量も大きくなつて信号伝達帯域に影響を与えるので、なるべく小さい容量値で所望の高域通過遮断周波数 f_{cl} を実現できることが望ましい。そこで、低雑音で入力インピーダンス Z_{in} と信号線との整合を取りながら、IC 内蔵する高域通過用の容量値が小さくてすむようなプリアンプ回路方式を考案するに至つた。

すなわち、通常の抵抗終端は接地への損失となって雑音を増大させてしまうが、抵抗を介して出力を入力に負帰還するシャントフィードバックによる終端は低雑音の終端方法として知られている。

【0008】

図10のプリアンプでは抵抗 R_{b1} , R_{b2} を介して出力を入力に負帰還するシャントフィードバック構成を取ることで入力のインピーダンスを下げ、カップリング容量 C_1 , C_2 のアンプ側ノードの電位を決めている。しかし、数MHzの低い遮断周波数 f_{cl} を実現するためにはバイアス抵抗 R_{b1} , R_{b2} の抵抗値は大きく取っており、約60のような信号線と入力インピーダンス Z_{in} の整合までは取っていないし、とることも出来ない。また、図10のプリアンプで入力インピーダンス Z_{in} と信号線とのインピーダンス整合を取ろうとした場合、HDD装置で必要とされる数MHzの遮断周波数 f_{cl} を実現しようとするとカップリング容量 C_1 , C_2 の容量値を大きくする必要があり、IC内蔵の容量素子で実現することが難しくなる。

ちなみに、図10のプリアンプにおいて、次式1と式2が成立する。なお、式1と式2では、上記カップリング容量 C_1 , C_2 を C_c のように表し、 R_{in} は差動入力抵抗を表している。

【0009】

【数1】

$$\text{式1} \quad f_{cl} = \frac{1}{2\pi \cdot \frac{R_{in}}{2} \cdot C_c}$$

【0010】

【数2】

$$\text{式2} \quad C_c = \frac{1}{2\pi \cdot \frac{R_{in}}{2} \cdot f_{cl}} = \frac{1}{2\pi \cdot 30 \cdot 1M} = 0.16\mu F$$

【0011】

入力インピーダンスとの整合（伝送線路の特性インピーダンス Z_0 は通常60 diff程度）を取ろうとすれば、1MHzの遮断周波数 f_{cl} を得るのに式1、式2より $0.16\mu F \times 2$ (差動で2つ) の容量素子が必要となり、これらの容量素子をICに内蔵することが難しい。よって図10のプリアンプ回路では Z_{in} との整合と低い遮断周波数 f_{cl} の確保は両立不可能といえる。

【0012】

一方、上記の垂直磁気記録方式では、読み出しヘッドからの再生信号は、従来の長手記録方式と比較して低域成分を持つことになる。高S/N比を得るためにこの低域信号をプリアンプで增幅する場合、プリアンプはヘッドの直流バイアス成分を除去して交流信号成分のみを増幅するために高域通過特性を持っているため、高域通過遮断周波数を下げる必要がある。この高域通過遮断周波数を下げるには、高域通過特性を実現するためのキャパシタを大きくすることが一つの解である。しかしこのキャパシタはプリアンプICに内蔵する必要があるため、チップ面積の制約から、またキャパシタを大きくすると寄生キャパシタによりアンプ帯域が劣化するため、帯域の制約から、単純にキャパシタを大きくして高域通過遮断周波数を下げるのではなく、なんらかの他の手段で従来の長手記録用プリアンプと同等の値のキャパシタを用いて高域通過遮断周波数を下げることが重要であり、HDD装置としての小型化のためにキャパシタの値を大きくせずに高域通過遮断周波数を下

10

20

30

40

50

げる方法の重要性に思い至った。

通常、シャントフィードバックをかけない高入力インピーダンスのリードアンプの高域通過遮断周波数 f_{c1} は、図 1 の r と C_1, C_2 の容量値により、数式 3 により決定される。

【0013】

【数3】

$$\text{数3} \quad f_{cl} = \frac{1}{2\pi \cdot r \cdot C}$$

【0014】

10

ここで、 f_{c1} を下げるには C あるいは r を大きくとる必要があるが、 r は Q_1, Q_2 に流す電流で決まり、アンプ雑音を下げるにはある程度の電流を流す必要があるため、雑音の制約から r は決定される。またキャパシタは内蔵する必要があるため、チップ面積や帯域の制約から大きさが制限される。

【0015】

そこで、負性抵抗により r を実効的に大きくする手段を考えるに至った。図 1 の小信号等価回路は図 2 のように表され、高域通過遮断周波数 f_{c1} は数式 4 により決定され、 r により損失した電流を Gm_2 により補償する負性抵抗を実現することで、 r を実効的に大きくみせることができる。

【0016】

20

【数4】

$$\text{数4} \quad f_{cl} = \frac{1}{2\pi \cdot \frac{1}{(1/r\pi) - Gm_1 \cdot Gm_2 \cdot RL} \cdot CHP}$$

【0017】

ちなみに Gm_2 の値を適切に選ぶことによって f_{c1} は極限 0 となり、 f_{c1} は直流に近づく。

ちなみに図 1 の Q_7, Q_8, R_3, R_4 による出力から入力の負帰還は、入力インピーダンスを信号線伝送線路の特性インピーダンスに整合させるためのシャントフィードバックであり、負帰還を用いた入力抵抗終端により低雑音の入力インピーダンス整合を得る方法として知られている。この整合方法により、高域側帯域を拡大することが可能となる。

30

ちなみに非特許文献 2 に開示されているリードアンプにおいては、 r と C により f_{c1} が決定されるため、設計パラメータの調整によって f_{c1} を直流に近づけるようなことはできない。

【0018】

この発明の目的は、低エラーレート化を実現した磁気ディスクメモリ装置を提供することにある。この発明の他の目的は、小型化に好適な磁気ディスクメモリ装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

40

【課題を解決するための手段】

【0019】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。一端に読み出しヘッドが接続された信号線の他端に、上記読み出しヘッドにバイアス電流を流すバイアス電流回路と、上記読み出しヘッドにより形成された読み出し信号成分を通過させる一対からなる第 1、第 2 容量素子を設け、上記第 1、第 2 容量素子を通した読み出し信号を差動增幅回路の入力端子に供給して増幅し、その増幅信号を電流に変換して第 1、第 2 容量素子のアンプ側に正帰還するループを設ける。

【0020】

50

より具体的には、本発明の磁気ディスクメモリ装置は、読み出しヘッドと、上記読み出しヘッドの両端に一端がそれぞれ接続される信号線と、上記信号線の他端に設けられ、上記読み出しヘッドにより形成された読み出し信号を増幅して出力する增幅回路とを具備して成り、上記增幅回路は、上記信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにバイアス電流を流すバイアス電流回路と、上記信号線の他端に電気的に接続されるよう設けられ、上記読み出しヘッドにより形成された読み出し信号の信号成分を通過させる一対からなる第1および第2容量素子と、上記第1および第2容量素子を通過した読み出し信号を入力端子に受ける差動増幅素子と、上記差動増幅素子により増幅された読み出し信号を電流に変換するトランスコンダクタ回路と、上記トランスコンダクタ回路にて電流に変換された読み出し信号を上記差動増幅素子の入力端子に帰還させる正帰還ループとを具備することを特徴とする。

【0021】

また、一端に読み出しヘッドが接続された信号線の他端に、バイアス回路と、上記読み出しヘッドにより形成された読み出し信号成分を通過させる一対からなる第1、第2容量素子を設け、上記第1、第2容量素子を通した読み出し信号を差動増幅回路の入力端子に供給して増幅し、その増幅信号を上記差動増幅回路の入力端子にそれぞれ負帰還する第1抵抗素子と第3容量素子及び第2抵抗素子と第4容量素子の直列回路を含んでなる交流帰還ループを設ける。上記バイアス回路は、上記読み出しヘッドにバイアス電流を流すバイアス電流回路であってもよいし、あるいは、バイアス電圧を印加するバイアス電圧回路であってもよい。

【発明の効果】

【0022】

本発明によれば、HDD用プリアンプICのチップ面積低減が可能となり、以てHDD装置の小型化が可能となる。

【発明を実施するための最良の形態】

【0023】

図1には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの一実施例の回路図が示されている。抵抗RMRは読み出しヘッドであり、垂直磁気記録方式、GMR(Giant Magneto-Resistive)方式等、種々のよく知られた方式のヘッドを含む。読み出しヘッドRMRの両端は一対の信号線の一端に接続され、かかる信号線の他端はプリアンプの入力端子MRXとMRYに接続される。かかる入力端子MRX、MRYにはプリアンプに含まれるバイアス回路としての電流源IMRが接続される。バイアス回路は、押し出し電流源IMRと吸い込み電流源IMRとからなり、上記信号線を通して読み出しヘッドRMRにバイアス電流(IMR)を流す。これらの押し出しと吸い込みの電流源IMRは、上記読み出しヘッドの抵抗RMRのばらつきに対応してバイアス電流が設定されるよう可変電流源により構成される。MRヘッドにおいては磁界で抵抗が変化するので、電圧信号をR×IMRとして取り出せる(Rは磁界による抵抗変化)。

【0024】

上記センスアンプの入力端子MRXとMRYは、カップリング容量C1とC2の一方の電極に接続される。カップリング容量C1とC2の他方の電極は、NPN型の差動トランジスタQ1とQ2のベースに接続される。これら差動トランジスタQ1とQ2のベースに接続された抵抗r₁は、入力寄生抵抗を表している。上記差動トランジスタQ1とQ2の共通接続されたエミッタと低電位側の動作電圧VEEとの間には、テール電流源I₁が設けられる。上記差動トランジスタQ1とQ2のコレクタと高電位側の電源電圧VCCとの間には、負荷抵抗R₁とR₂が設けられる。特に制限されないが、上記トランジスタQ1、Q2と抵抗R₁、R₂の間にはトランジスタQ3、Q4が設けられる。これらのトランジスタQ3、Q4のベースにはバイアス電圧VB1が供給される。これらのトランジスタQ3、Q4は、トランジスタQ1、Q2のCjcミラー容量低減のためのベース接地カスコード段であり広帯域化のためには入れた方が望ましい。

【0025】

10

20

30

40

50

この実施例のプリアンプでは、アンプ出力をトランスコンダクタにより電流に変換して正帰還する負性抵抗を導入している。上記トランスコンダクタはQ 5, Q 6とI 3, I 4により実現される。すなわち r_s による損失電流を上記トランスコンダクタによる電流で補償することにより、Q 1、Q 2のベースからみた入力抵抗を上げる負性抵抗を実現している。

【0026】

特に制限されないが、この実施例では、上記トランジスタQ 1とQ 2のコレタクから得られる増幅信号は、NPN型のトランジスタQ 7、Q 8と電流源I 5、I 6とからなるエミッタフォロワ出力回路が設けられ、かかるエミッタフォロワ回路を構成する出力トランジスタQ 5とQ 6のエミッタは一方において出力端子V OUT PとV OUT Nに接続され、他方においてシャントフィードバックを実現する帰還抵抗R 3, R 4と接続され、負帰還を用いた入力インピーダンス整合を行う。このシャントフィードバックを用いた入力終端によって、低雑音での入力インピーダンス整合を行うことができる。10

本実施例では、図1の点線で囲まれた部分が増幅回路MRAMP（いわゆるプリアンプ）を構成し、この点線枠内の各回路素子は単一の半導体チップ（プリアンプIC）に一体集積化される。

【0027】

図2には、図1のプリアンプの動作を説明するための簡略等価回路図が示されている。図2において、Q 1、Q 2のトランスコンダクタンスをGm 1, R 1, R 2負荷抵抗値をRL、C 1, C 2のカップリング容量値をCHP、シャントフィードバック帰還抵抗R 3, R 4をRFB、Q 5, Q 6のトランスコンダクタンスをGm 2で表している。Q 7, I 5, Q 8, I 6によるエミッタフォロワは三角形のバッファとして表している。Gm 2による正帰還電流は r_s による損失電流を補償して r_s を実効的に大きくみせる。RFBによるシャントフィードバックはアンプ入力インピーダンスの整合を行う。20

【0028】

本実施例によれば、電流正帰還負性抵抗により高城通過用の容量値を小さくできるため、プリアンプを搭載した半導体集積回路のチップ面積を低減することができる。また、かかる半導体集積回路に内蔵容量を低減すれば寄生容量も減るため、広帯域を得ることができる。内蔵容量低減によりチップ面積を小さくできるため、プリアンプを含むICとコストを下げることができる。さらに、ライトtoリードのモードスイッチ時に内蔵高城通過容量を充放電する必要があるが、本発明では容量値を低減できるのでライトtoリード時間を短縮でき、HDD装置としてのアイドリング時間を低減できる。30

【0029】

図3には、この発明に係る磁気ディスクメモリ装置の一実施例の概略全体ブロック図が示されている。この実施例の磁気ディスクメモリ装置は、垂直磁気記録方式対応の磁気記録面を持つ複数のディスク（同図では代表として1つが示されている）への記録を行う、垂直磁気記録方式対応の再生を行う読み出しヘッドMRHD（図1のRM Rに相当）との間でリード/ライト信号を授受するプリアンプIC（リード/ライトIC）及びリード/ライトICとの間での信号の授受を行うチャネルLSI（信号処理LSI）及びハード・ディスクコントローラと、書き込みデータや読み出しデータが格納されるメモリDRAM（ダイナミック・ランダム・アクセス・メモリ）及び上記磁気記録面を持つ複数のディスクを回転駆動する駆動装置とサーボ/スピンドル・モータコントローラ（Servo/Spindle Motor Controller）からなるモータコントロール回路を具備して構成される。40

【0030】

上記プリアンプICは、上記複数のディスクへの記録を行う垂直磁気記録方式対応の書き込みインダクティブヘッドINHDに対応して設けられる書き込み回路TFHと、再生を行う垂直磁気記録方式対応の読み出しヘッドMRHDに対応して設けられる読み出し回路MRAMP（いわゆるプリアンプ）を複数個（ディスク枚数×2個）を搭載している。複数の読み出し回路MRAMPの各々は図1, 4～8のいずれかの点線枠内の回路構成を有する。図示しないが、上記プリアンプICには、バイアス電流の生成、選択信号、サー

10

20

30

40

50

ボ回路及びヘッド選択等の素子及びヘッド異常動作を検出するためのバイアス設定等を含む各種制御回路も一体集積化されるよう構成すれば好適である。

【0031】

バイアス電流を生成するバイアス回路(図示せず)は、読み出しMRHDヘッドに与えられるバイアス及び異常検出回路に対してバイアス電圧を供給する。温度検知回路は、特に制限されないが、垂直磁気記録ヘッドが記録面と接触した際の高温度を検出し、プリアンプMRAMPの出力に現れる上記温度上昇分の影響を除くように動作する。上記プリアンプMRAMPの一対の出力信号は、特に制限されないが、可変利得のポストアンプPOSTAで増幅される。ポストアンプPOSTAの出力信号は、チャネルLSIの信号処理回路に含まれる波形整形回路により波形整形され、パルス化回路によりパルス信号としてHDDコントローラ等の上位回路に読み出しデータとして伝えられる。ヘッドドライバHDVは、チャネルLSIからの指示によりライトモードのときにはライトデータに対応して前記書き込み回路TFHを介してインダクティブヘッドINDを駆動する。これらポストアンプPOSTAおよびヘッドドライバHDVの両方またはいずれか一方は、プリアンプMRAMPおよび書き込み回路TFHの両方またはいずれか一方と共に単一のプリアンプIC上に一体集積化されるよう構成すれば好適である。10

【0032】

この実施例の磁気ディスクメモリ装置は特に垂直磁気記録方式のハードディスク装置(HDD)に向けられており、記憶媒体としての複数のディスク円板と、それらのディスク円板を駆動するモータと、上記ディスク円板の両面に記憶された磁気記憶情報をそれぞれ読み出す複数からなるMRヘッドと、かかるMRヘッドに対応して設けられる複数のリードアンプMRAMP、後段アンプPostAMP、及び書き込み用の磁気(インダクティブ)ヘッドとそれを駆動するライトドライバTFHをそれぞれ備えた複数のリードライトチップと、上記リードライトチップとの間で信号の授受を行うコントロール及び信号処理LSIと、上位装置とのインターフェイスを行うHDDコントローラとを具備して構成される。20

【0033】

上記ディスク円板は、特に制限されないが、その中心部がモータにより回転させられる共通の回転軸に取付けられ、かかる回転軸に接地電位が与えられることにより、上記複数のディスク円板の記憶面の電位が接地電位にされる。前記のように複数のディスク円板の両面に対応して設けられた複数のリードライトチップにそれぞれ1個のリードアンプとそれに対応した後段信号増幅回路とライトドライバを設けた構成は、次のようなチップの実装形態とされる。つまり、リードライトチップをMRヘッドMRと磁気ヘッドINDとかなる複合ヘッドに隣接して配置し、上記MRヘッドからの微小な読み出し信号が比較的長い信号伝達経路を使って伝達された場合の信号ロスを最小にして、高感度及び高帯域増幅動作を実現するようとするものである。30

【0034】

上記複数のディスク円板はシャフトによって一定の間隔をもって同心状に連結される。互いに向き合う2つのディスク面に1つのアームが伸びて、サスペンションアームによって分岐して上記両面に上記複合ヘッドがそれぞれ接触するように実装される。ヘッドは、ディスク円板が停止状態ではディスク面に接触しているが、ディスクが高速回転状態ではそれによって発生する空気流によって微小な間隙をもって浮上している。リード/ライト動作は上記ヘッドがディスク面を浮上した状態で行われる。40

【0035】

後述するように上記アーム先端側、つまりサスペンションアームとの取り付け部に上記リードライトチップが搭載される。これにより、リードライトチップとヘッドとの間、言い換えるならば、MRヘッドとリードアンプ、磁気ヘッドとライトドライバとの間の信号配線を上記サスペンションアームの長さに対応して短くすることができ、これに応じて信号配線での寄生抵抗、寄生インダクタンス成分等のような信号を減衰させる要因を最小に設定して上記高感度及び高帯域動作を実現するものである。50

【0036】

前記複数のヘッドの中から1つを選択する等の動作を行うHDDコントロールチップや信号処理LSIは、アームの他端側に取り付けるようにする。このHDDコントロールチップとリードライトチップとの間は、上記アームの長さに対応して比較的長くされるが、上記リードライトチップが介在しているため、その信号成分が大きいからそこでの信号口スを無視することができる。

本実施例によれば、磁気ディスクメモリ装置を構成するプリアンプICの内蔵キャパシタを増大せずに垂直磁気記録に対応した低い高域通過遮断周波数を実現できるため、このプリアンプを用いることでプリアンプICのチップ面積低減、ひいては垂直磁気記録方式のHDD装置などの磁気ディスクメモリ装置の小型化が可能となる。

10

【0037】

図4には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図1のトランスコンダクタをNMOSFETM1～2に置き換えたものであり、各回路素子相互の接続関係は図1の実施例に準ずる。本実施例の回路動作については、図2の簡略等価回路図を用いて図1の実施例と同様に説明できることは言うまでもない。

【0038】

本実施例によれば、トランスコンダクタにNMOSFETを用いたことで、最適範囲内に収まるGm2を実現するための電流源I2の電流をある程度大きくすることができ、以てI2およびGm2の精度を確保できるという効果がある。本実施例の差動増幅素子Q1, Q2のベースには r_e をキャンセルする程度の適当な範囲内の電流が供給される必要がある。なぜならば、この電流が大きすぎると差動増幅素子Q1, Q2の出力が入力に過剰に帰還されて不要発振等の誤動作を引き起こす虞があるからである。このベース電流をある程度小さく抑えるためには、トランスコンダクタM1, M2の共通ソースに接続された電流源I2の電流を小さくすればよい。しかし、I2を小さくしすぎると、I2およびGm2の精度を確保するのが困難となる。本実施例のようにトランスコンダクタにNMOSFETを用いれば、I2が大きくてQ1, Q2のベース電流はある程度小さく押さえられるので、I2を大きくしてI2およびGm2の精度を確保することができる。

20

【0039】

図5には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図1のトランスコンダクタをPNP型バイポーラトランジスタQ5, Q6に置き換えたものであり、各回路素子相互の接続関係は図1の実施例に準ずる。本実施例の回路動作については、図2の簡略等価回路図を用いて図1の実施例と同様に説明できることは言うまでもない。

30

【0040】

本実施例によれば、トランスコンダクタにPNP型バイポーラトランジスタを用いたことで、図1および4のQ1, Q2のベース電位を決める手段(図示せず)を追加するだけで、図1および4における電流源I3, I4を省略してプリアンプICチップの面積を削減できるという効果がある。

【0041】

40

図6には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図1のトランスコンダクタをPMOSFETM1～2に置き換えたものであり、各回路素子相互の接続関係は図1の実施例に準ずる。本実施例の回路動作については、図2の簡略等価回路図を用いて図1の実施例と同様に説明できることは言うまでもない。

【0042】

本実施例によれば、トランスコンダクタにPMOSFETを用いたことで、図1および4のQ1, Q2のベース電位を決める手段(図示せず)を追加するだけで、図1および4における電流源I3, I4を省略してプリアンプICチップの面積を削減できるという効果がある。また、PNP型バイポーラトランジスタに対応しないBiCMOSプロセスにも

50

適用可能になるという効果がある。

【0043】

図7には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図1の入力インピーダンス整合のためのシャントフィードバックを交流帰還にしたものであり、各回路素子相互の接続関係は図1の実施例に準ずる。本実施例の回路動作については、図2の簡略等価回路図を用いて図1の実施例と同様に説明できることは言うまでもない。

【0044】

この実施例では、上記トランジスタQ1とQ2のコレタクから得られる増幅信号は、NPN型のトランジスタQ7、Q8と電流源I5、I6とからなるエミッタフォロワ出力回路が設けられ、かかるエミッタフォロワ回路を構成する出力トランジスタQ5とQ6のエミッタは一方において出力端子VOUTPとVOUTNに接続され、他方において直流カットし交流を導通させるための帰還容量C3、C4と接続されると共に、帰還容量C3、C4の他端は帰還抵抗R3、R4に接続される。これにより交流的にシャントフィードバックを実現し、負帰還を用いた入力インピーダンス整合を行う。このシャントフィードバックを用いた入力終端によって、低雑音での入力インピーダンス整合を行うことができる。

【0045】

MRヘッドのバイアス方式としては、ヘッドに流す電流を設定する電流バイアス方式と、ヘッドに印加する電圧を設定する電圧バイアス方式があるが、図1のシャントフィードバックの場合、R3、R4からの電流がIMRと競合するため、電圧バイアスへの適用が好適である。これに対し、図7のシャントフィードバックの場合は、C3、C4を設けて交流帰還としてC1、C2のアンプ側に負帰還をかけているため、シャントフィードバックが直流的に r_e を低減してしまうことなく、IMRのバスとシャントフィードバックバスをC1、C2で直流カットできるので、電圧バイアスのみならず電流バイアスへの適用も好適である。

【0046】

図8には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図1のトランスコンダクタの共通エミッタに接続される電流源I2を、一定電流でバイアスされたバイポーラトランジスタQ9のベース電流に置き換えたものであり、各回路素子相互の接続関係は図1の実施例に準ずる。本実施例の回路動作については、図2の簡略等価回路図を用いて図1の実施例と同様に説明できることは言うまでもない。

【0047】

前述の数式4より、 r_e とGm1、Gm2、RLの関係でリードアンプの高域通過遮断周波数が決まるが、 r_e はバイポーラトランジスタの電流増幅率 h_{FE} に比例するため、製造ばらつきが大きいため、Gm2を低電流で実現すると、 h_{FE} の製造ばらつきにより数式4の分母が0より小さくなってしまい、リードアンプ差動出力が開いたまま戻ってこなくなったり、逆に正帰還が足りずに高域遮断周波数が十分に低減されなくなったりする虞がある。そこで、図8のように、正帰還負性抵抗用トランスコンダクタンスをベース電流でバイアスすることにより、 h_{FE} の製造ばらつきによる r_e 変動とGm2を連動させることができ、 h_{FE} の製造ばらつきを補償することが可能となる。

【0048】

図9には、この発明が適用されるハードディスク装置の一実施例の要部概略構造図が示されている。リードライトチップは、前記のようなサスペンションアームの根元に取り付けられる。このサスペンションアームの先端には垂直磁気記録ヘッドあるいは上記MRヘッドと磁気ヘッドとからなる複合ヘッドなどが取り付けられている。

【0049】

複数のディスク円板に対応して上記複数のアーム及びサスペンションアームが重ね合わせた状態で連結されており、前記コントロールチップは、複数からなるアームで形作られ

10

20

30

40

50

る側面を利用してそこに実装される。これに対して、上記プリアンプを搭載したリードライトチップは、サスペンションアームとの取り付け部に取り付けられて、上記ヘッドとの信号線を短くする。このようなリードライトチップ及びコントロールチップの実装形態を採用することにより、上記のように信号伝達経路でのロスを最小にして、高感度で広帯域のリード動作及びハードディスク装置の小型化を実現することができるものとなる。

【0050】

図11には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。GMR (Giant Magneto-Resistive) や前記TMRやCPP-GMRのような読み取り用の高感度ヘッド読み出しヘッドは、抵抗 R_{mr} で代表されている。読み出しヘッド R_{mr} の両端は一对の信号線の一端に接続され、かかる信号線の他端はプリアンプの入力端子 M_{RX} と M_{RY} に接続される。かかる入力端子 M_{RX} , M_{RY} にはプリアンプに含まれるバイアス回路としての電流源 I_{mr} が接続される。バイアス回路は、押し出し電流源 I_{mr} と吸い込み電流源 I_{mr} とからなり、上記信号線を通して読み出しヘッド R_{mr} にバイアス電流 (I_{mr}) を流す。これらの押し出しと吸い込みの電流源 I_{mr} は、上記読み出しヘッドの抵抗 R_{mr} のばらつきに対応してバイアス電流が設定されるよう可変電流源により構成される。 M_R ヘッドにおいては磁界で抵抗が変化するので、電圧信号を $R \times I_{mr}$ として取り出せる (R は磁界による抵抗変化)。他のバイアス方法として、読み出しヘッドに印加されるバイアス電圧が一定となるよう I_{mr} に帰還を掛ける電圧バイアス方式も用いられる。

【0051】

上記センスアンプの入力端子 M_{RX} と M_{RY} は、カップリング容量 C_1 と C_2 の一方の電極に接続される。カップリング容量 C_1 と C_2 の他方の電極は、NPN型の差動トランジスタ Q_1 と Q_2 のベースに接続される。これら差動トランジスタ Q_1 と Q_2 のベースに接続された抵抗 r は、入力寄生抵抗を表している。上記差動トランジスタ Q_1 と Q_2 の共通接続されたエミッタと低電位側の動作電圧 V_{EE} との間には、テール電流源 I_1 が設けられる。上記差動トランジスタ Q_1 と Q_2 のコレクタと高電位側の電源電圧 V_{CC} との間には、負荷抵抗 R_1 と R_2 が設けられる。特に制限されないが、上記トランジスタ Q_1 , Q_2 と抵抗 R_1 , R_2 の間にはトランジスタ Q_3 , Q_4 が設けられる。これらのトランジスタ Q_3 , Q_4 のベースにはバイアス電圧 V_{B1} が供給される。これらのトランジスタ Q_3 , Q_4 は、トランジスタ Q_1 , Q_2 の C_{jc} ミラー容量低減のためのベース接地カスコード段であり広帯域化のためには入れた方が望ましい。

【0052】

この実施例のプリアンプでは、シャントフィードバック帰還バスに容量を設けてAC帰還としたACシャントフィードバック型のLNA (Low Noise Amplifier) 回路とされる。すなわち、上記トランジスタ Q_1 , Q_2 の入力側であるベースと出力側であるコレクタとの間には、シャントフィードバックを実現する帰還抵抗 R_3 , R_4 、帰還バス容量 C_3 , C_4 が設けられる。特に制限されないが、この実施例では、上記トランジスタ Q_1 と Q_2 のコレクタから得られる増幅信号は、NPN型のトランジスタ Q_5 , Q_6 と電流源 I_2 とからなるエミッタフォロワ出力回路が設けられ、かかるエミッタフォロワ回路を構成する出力トランジスタ Q_5 と Q_6 のエミッタは一方において出力端子 V_{OUTP} と V_{OUTN} に接続され、他方においてシャントフィードバックを実現する帰還バス容量 C_3 , C_4 と接続される。上記トランジスタ Q_5 , Q_6 , 電流源 I_2 , I_3 からなるエミッタフォロワ出力回路は、帰還バスのバッファリング用であり、広帯域化のためには入れた方が望ましいが、後述するように消費電力低減を考慮して省略することも可能である。

【0053】

前記説明したように、入力端子 M_{RX} , M_{RY} 間に終端抵抗を挿入する通常の抵抗終端は接地への損失となり、雑音を増大させてしまうが、この実施例のように抵抗を介して出力を入力に負帰還するシャントフィードバックによる終端は低雑音の終端方法として知られている。しかし、前記図10のように高域通過容量 C_1 , C_2 のアンプ側に抵抗 R_{b1} , R_{b2} を介して直流成分を含んで負帰還をかけるものでは、HDD装置で必要とされ

10

20

30

40

50

る数MHzの遮断周波数fclを実現するのにカップリング容量C1, C2の容量値を大きくしてしまい、それをIC内蔵の容量素子で実現することが難しくなる。仮に、内蔵するとICチップのサイズが大きくなるばかりか、寄生容量も大きくなつて信号伝達の帯域にも影響を与えてしまい、現実的ではない。

【0054】

これに対して、図11の実施例のように帰還容量C3, C4の挿入により、シャントフィードバックの帰還が高周波からかかるようにし、低域では図1のトランジスタQ1, Q2ベースノードが高インピーダンスrとなるようにすることで、小さな容量値のカップリング容量C1, C2及び帰還容量C3及びC4を用いて低い遮断周波数fclを実現する。同時にシャントフィードバック終端の特長である低雑音でのZin整合も実現できるようにくするものである。10

【0055】

図12には、図11のブリアンプの動作を説明するための簡略等価回路図が示されている。図12において、開ループアンプ利得を-A(出力極性反転)とし、上記帰還容量C3, C4は帰還容量CFBとし、帰還抵抗R3, R4は帰還抵抗RFBとし、カップリング容量C1, C2は高域通過容量CHPとし、バイポーラトランジスタQ1, Q2のベース入力寄生抵抗rとし、伝達特性H(s)を求めるとき、次数式5のようになり、低域利得G1を求めるとき次数式6のようになり、高域利得G2を求めるとき次数式7のようになり、高域入力インピーダンスZinHを求めるとき、次数式8のようになり、高域通過遮断周波数fclを求めるとき次数式9となり、零点周波数(利得対周波数のボード線図に段ができるところの周波数)fzを求めるとき、次数式10となる。20

【0056】

【数5】

数5

$$H(s) = \frac{s \cdot A \cdot CHP \cdot r \pi \cdot (1 + s \cdot RFB \cdot CFB)}{1 + s \cdot \{(1 + A) \cdot CFB + CHP\} \cdot r \pi + s^2 \cdot CFB \cdot CHP \cdot r \pi \cdot \{(1 + A) \cdot Rmr / 2 + RFB\}}$$

【0057】

【数6】

数6

$$G1 = \frac{CHP}{(1 + A) \cdot CFB + CHP} \cdot A$$
30

【0058】

【数7】

数7

$$G2 = \frac{A \cdot RFB}{(1 + A) \cdot Rmr / 2 + RFB}$$

【0059】

【数8】

数8

$$ZinH = \frac{2 \cdot RFB \cdot r \pi}{RFB + r \pi \cdot (1 + A)}$$
40

【0060】

【数9】

数9

$$fcl = \frac{1}{2\pi \cdot \{(1 + A) \cdot CFB + CHP\} \cdot r \pi}$$

【0061】

【数10】

$$\text{数10} \quad f_Z = \frac{1}{2\pi \cdot RFB \cdot CFB}$$

【0062】

図13には、図11のプリアンプの動作を説明するための利得 - 周波数特性図が示されている。同図において、横軸は周波数を示し、縦軸は利得を示している。高域通過遮断周波数 f_{cl} はシャントフィードバックをかけない場合（高インピーダンスアンプの場合）の $f_{cl} = 1 / (2 \cdot r \cdot CHP)$ よりも、AC帰還をかけた分だけ下がることになり、ある一定の f_{cl} を実現するのに、より小さい容量値でよいことになる。

10

【0063】

ちなみにみ、 $Rmr = 50$ （GMRヘッドの場合この程度）、 $r = 1K$ 、 $A = 52$ 倍、 $RFB = 1.6K$ とした場合、実用的な $G2 = 28$ 倍、 $ZinH = 59$ が得られ、伝送線路 $Zo = 60$ とインピーダンス整合を取ることができる。このとき、図13の利得 - 周波数特性を平坦にするためには式6、式7の $G1 = G2$ とする必要があり、 $G1 = G2$ かつ $f_{cl} = 1MHz$ となる CHP 、 CFB を求めるとき、 $CHP = 85pF$ 、 $CFB = 1Z4pF$ で、必要な容量は $87pF \times 2$ となる。一方、高インピーダンスのアンプの場合は $r = 1KHz$ で $f_{cl} = 1MHz$ を得ようとすれば、 $f_{cl} = 1 / (2 \cdot r \cdot CHP)$ より $159pF \times 2$ が必要となるので、上記の数値例の場合 AC帰還により容量値を約半分に低減でき、しかも入力インピーダンス Zin と信号線の特性インピーダンス Zo との整合と容量値低減の両立が可能となる。

20

【0064】

前記実施例では、ACシャントフィードバックにより低雑音かつ前記 Zin 整合の取れたLNAを実現し、さらに高域通過用の容量値を小さくできるため、プリアンプを搭載した半導体集積回路のチップ面積を低減することができる。

さらに、図7のように電流正帰還トランスクンダクタを用いることにより、さらなる容量値低減が可能である。また図1のようにシャントフィードバックからの電流とIMRとが競合しないため、ヘッド電圧バイアス方式だけでなく電流バイアス方式にも対応可能となる。

【0065】

30

また、かかる半導体集積回路に内蔵容量を低減すれば寄生容量も減るため、広帯域を得るができる。なお、上記のように $ZinH = 59$ のように設定した場合、零点周波数 f_Z 以下の低域での入力反転増幅回路 Zin が図13の特性曲線から明らかのように伝送線路の特性インピーダンス Zo と整合しなくなるが、かかる低域での不整合の影響は小さいので実際上の問題はない。

【0066】

40

内蔵容量低減によりチップ面積を小さくできるため、プリアンプを含むICとしコストを下げるができる。また低雑音で Zin 整合を実現できるため、高感度であるがヘッド抵抗 Rmr が伝送線路の特性インピーダンス Zo と整合していない次世代のTMRヘッドやCPP GMRヘッドに対応することができる。さらに、ライトtoリードのモードスイッチ時に内蔵高域通過容量を充電する必要があるが、本発明では容量値を低減できるのでライトtoリード時間を短縮でき、HDD装置としてのアイドリング時間を低減できる。

【0067】

図14には、この発明に係る磁気ディスクメモリ装置の一実施例の概略全体ブロック図が示されている。この実施例の磁気ディスクメモリ装置は、磁気記録面を持つ複数のディスク（同図では代表として1つが示されている）への記録を行う、再生を行う読み出しヘッドMRHDとの間でリード/ライト信号を受けるプリアンプIC（リード/ライトIC）及びリード/ライトICとの間での信号の受信を行なうチャネルLSI（信号処理LSI）及びハード・ディスクコントローラと、書き込みデータや読み出しデータが格納されるメモリDRAM（ダイナミック・ランダム・アクセス・メモリ）及び上記磁気記録面を

50

持つ複数のディスクを回転駆動する駆動装置とサーボ／スピンドル・モータコントローラ（Servo/Spindle Motor Controller）からなるモータコントロール回路から構成される。

【0068】

上記プリアンプICは、上記複数のディスクへの記録を行う書き込みインダクティブヘッドIND HDに対応して設けられる書き込み回路TFHと、再生を行う読み出しヘッドMRHDに対応して設けられる読み出し回路MRAMP（プリアンプ）を複数個搭載している。図示しないが、上記プリアンプICには、バイアス電流の生成、選択信号、サーボ回路及びヘッド選択等の素子及びヘッド異常動作を検出するための検出回路等を含む各種制御回路も含まれる。

【0069】

この発明に直接関係ないが、バイアス電流を生成する図示しないバイアス回路は、読み出しMRHDヘッドに与えられるバイアス及び異常検出回路に対してバイアス電圧を供給する。温度検知回路は、特に制限されないが、MRヘッドが記録面と接触した際の高温度を検出し、プリアンプMRAMPの出力に現れる上記温度上昇分の影響を除くように動作する。上記プリアンプMRAMPの一対の出力信号は、特に制限されないが、可変利得のポストアンプPOSTA（例えば、AGC（自動利得制御）アンプなど）で増幅される。ポストアンプPOSTAの出力信号は、チャネルLSIの信号処理回路に含まれる波形整形回路により波形整形され、パルス化回路によりパルス信号としてHDDコントローラ等の上位回路に読み出しデータとして伝えられる。ヘッドドライバHDVは、チャネルLSIからの指示によりライトモードのときにはライトデータに対応して前記書き込み回路TFHを介してインダクティブヘッドIND HDを駆動する。

【0070】

図15には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図11の帰還バスのエミッタフォロワ出力回路を省略した回路であり、帯域特性は図11の実施例に比べて劣る反面、素子数（面積）低減でき、それとともに消費電力低減を行うことができる。

【0071】

図16には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例の回路図が示されている。この実施例は、前記図11のNPN型のバイポーラトランジスタQ1～Q6をNチャネル型のMOSFETM1～M6に置き換えたものである。この実施例では、CMOSプロセスに適用可能であるという利点がある。

【0072】

図17には、この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの更に他の一実施例の構成図が示されている。この実施例では、ヘッド抵抗Rmrのプロセスばらつき等による変動による利得変動補償のための利得補償段が付けられる。前記説明したように、ヘッド抵抗Rmrの抵抗値が判れば、前記説明したように図13の利得周波数特性を平坦にするためには式6、式7のG1=G2とするように、容量CHP、CFBを求めるようにすればよい。しかし、容量CHP、CFBを半導体集積回路に形成した場合には、接続される読み出しヘッドのヘッド抵抗Rmrに対応してトリミング技術等によって容量CHP、CHFの容量値の調整が必要となり、実現する上でコスト高となる。

【0073】

この実施例のプリアンプにおいては、前記式6、式7のように、低域利得はヘッド抵抗Rmrに依存しないのに対し、高域利得はRmrに依存するため、ヘッド抵抗Rmrがばらついた場合に高域利得G2が変動し、帯域内で平坦な伝達特性が得られなくなる。これを補償し、ヘッド抵抗Rmrによらず一定の利得を得るために、プリアンプの出力側に高域減衰型の利得補償段が設けられる。

【0074】

この利得補償段は、同図の特性曲線に示すように低域利得G1は0dB、高域利得G2は抵抗R5、R6とMOSFETM1のオン抵抗値rds、MOSFETM2のオン抵抗値rdsとの分圧となるように減衰させる。つまり、ヘッドのバイアス電流Imrとバイアス電

10

20

30

40

50

圧 V_{mr} を検出し、これらよりヘッド抵抗 R_{mr} を検出することにより、たとえば $const / R_{mr} + V_{th}$ の電位を作つて M O S F E T M 1 , M 2 のゲートに与えれば、M O S F E T M 1 , M 2 のオン抵抗値 r_{ds} はヘッド抵抗 R_{mr} に比例することになり、数式 7 のヘッド抵抗 R_{mr} 变動に対応した上記特性曲線の点線部分を相殺させるよう実線部分で示した減衰特性を持つようにして高域利得の変動を相殺する方向に働くかせるものである。

【 0 0 7 5 】

図 18 には、この発明が適用される磁気ディスクメモリ装置の一実施例のブロック図が示されている。この実施例の磁気ディスクメモリ装置はハードディスク装置に向けられており、記憶媒体としての複数のディスク円板と、それらのディスク円板を駆動するモータと、上記ディスク円板の両面に記憶された磁気記憶情報をそれぞれ読み出す複数からなる M R ヘッドと、かかる M R ヘッドに対応して設けられる複数のリードアンプ M R A M P 、後段アンプ Post A M P 、及び書き込み用の磁気（インダクティブ）ヘッドとそれを駆動するライトドライバ T F H をそれぞれ備えた複数のリードライトチップと、上記リードライトチップとの間で信号の授受を行うコントロール及び信号処理 L S I と、上位装置とのインターフェイスを行う H D D コントローラとから構成される。
10

【 0 0 7 6 】

上記ディスク円板は、特に制限されないが、その中心部がモータにより回転させられる共通の回転軸に取り付けられ、かかる回転軸に接地電位が与えられることにより、上記複数のディスク円板の記憶面の電位が接地電位にされる。前記のように複数のディスク円板の両面に対応して設けられた複数のリードライトチップにそれぞれ 1 個のリードアンプとそれに対応した後段信号增幅回路とライトドライバを設けた構成は、次のようなチップの実装形態とされる。つまり、リードライトチップを M R ヘッド M R と磁気ヘッド I N D とからなる複合ヘッドに隣接して配置し、上記 M R ヘッドからの微小な読み出し信号が比較的長い信号伝達経路を使って伝達された場合の信号ロスを最小にして、高感度及び高帯域増幅動作を実現するようとするものである。
20

【 0 0 7 7 】

上記複数のディスク円板はシャフトによって一定の間隔をもつて同心状に連結される。互いに向き合う 2 つのディスク面に 1 つのアームが伸びて、サスペンションアームによって分岐して上記両面に上記複合ヘッドがそれぞれ接触するように実装される。ヘッドは、ディスク円板が停止状態ではディスク面に接触しているが、ディスクが高速回転状態ではそれによって発生する空気流よつて微小な間隙をもつて浮上している。リード / ライト動作は上記ヘッドがディスク面を浮上した状態で行われる。
30

【 0 0 7 8 】

後述するように上記アーム先端側、つまりサスペンションアームとの取り付け部に上記リードライトチップが搭載される。これにより、リードライトチップとヘッドとの間、言い換えるならば、M R ヘッドとリードアンプ、磁気ヘッドとライトドライバとの間の信号配線を上記サスペンションアームの長さに対応して短くすることができ、これに応じて信号配線での寄生抵抗、寄生インダクタンス成分等のような信号を減衰させる要因を最小に設定して上記高感度及び高帯域動作を実現するものである。
40

【 0 0 7 9 】

前記複数のヘッドの中から 1 つを選択する等の動作を行う H D D コントロールチップや信号処理 L S I は、アームの他端側に取り付けるようにする。この H D D コントロールチップとリードライトチップとの間は、上記アームの長さに対応して比較的長くされるが、上記リードライトチップが介在しているため、その信号成分が大きいからそこでの信号ロスを無視することができる。

【 0 0 8 0 】

図 9 には、この発明が適用されるハードディスク装置の一実施例の要部概略構造図が示されている。リードライトチップは、前記のようなサスペンションアームの根元に取り付けられる。このサスペンションアームの先端には上記 M R ヘッドと磁気ヘッドからなる複合ヘッドが取り付けられている。
50

【0081】

複数のディスク円板に対応して上記複数のアーム及びサスペンションアームが重ね合わせた状態で連結されており、前記コントロールチップは、複数からなるアームで形作られる側面を利用してそこに実装される。これに対して、上記プリアンプを搭載したリードライトチップは、サスペンションアームとの取り付け部に取り付けられて、上記ヘッドとの信号線を短くする。このようなリードライトチップ及びコントロールチップの実装形態を採用することにより、上記のように信号伝達経路でのロスを最小にして、高感度で広帯域のリード動作及びハードディスク装置の小型化を実現することができるものとなる。
本実施例によれば、信号線と差動増幅回路の入力インピーダンスとをICに内蔵できる容量素子を用いてインピーダンス整合でき低雑音のプリアンプを実現できる。上記プリアンプを用いることでHDD装置の小型化が可能となる。

10

【0082】

以上本発明者によってなされた発明を、前記実施形態に基づき具体的に説明したが、本発明は、前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。例えば、前記図17の利得補償段の具体的構成は、外部端子から複数ビットからなる制御信号を供給して、半導体集積回路に形成された可変抵抗回路を制御して、ヘッド抵抗に見合った減衰量を設定するもの等種々の実施形態をとることができる。図9のリードライトチップは、少なくともプリアンプMAMPやドライバTSHを搭載したものであればよい。この発明は、HDD用リード/ライトプリアンプICのように高域通過特性、広帯域、低雑音を必要とするアンプ回路で、特に高域通過用の容量を内蔵する必要のあるアンプに適用できる。

20

【図面の簡単な説明】

【0083】

【図1】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの一実施例を示す回路図である。

【図2】図1のプリアンプの動作を説明するための簡略等価回路図である。

【図3】この発明に係る磁気ディスクメモリ装置の一実施例を示す概略全体ブロック図である。

【図4】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す回路図である。

30

【図5】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す回路図である。

【図6】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す回路図である。

【図7】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す構成図である。

【図8】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す構成図である。

【図9】この発明が適用されるハードディスク装置の一実施例を示す要部概略構造図である。

40

【図10】従来のリードアンプの一例を示す回路図である。

【図11】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの一実施例を示す回路図である。

【図12】図11のプリアンプの動作を説明するための簡略等価回路図である。

【図13】図11のプリアンプの動作を説明するための利得・周波数特性図である。

【図14】この発明に係る磁気ディスクメモリ装置の一実施例を示す概略全体ブロック図である。

【図15】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施例を示す回路図である。

【図16】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの他の一実施

50

例を示す回路図である。

【図17】この発明に係る磁気ディスクメモリ装置の読み出し系プリアンプの更に他の一実施例を示す構成図である。

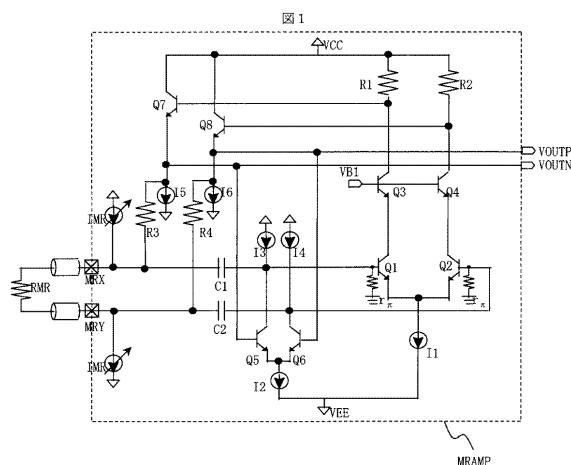
【図18】この発明が適用される磁気ディスクメモリ装置の他の一実施例を示すブロック図である。

【符号の説明】

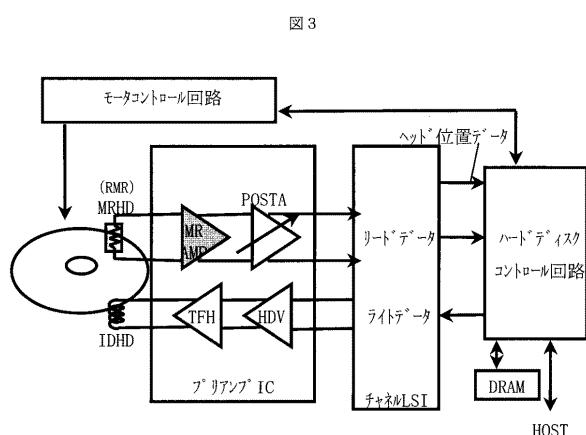
【0084】

Q1～Q9…トランジスタ、M1～M6…MOSFET、I1～I6、Imr…電流源、C1～C6…キャパシタ(容量)、R1～R6…抵抗、MRHD…読み出しヘッド、IDHD…書き込みヘッド、MRAMP…プリアンプ(読み出し回路)、TFH…書き込み回路(ライトドライバ)、POSTA…ポストアンプ、HDV…ヘッドライバ。10
MRAMP

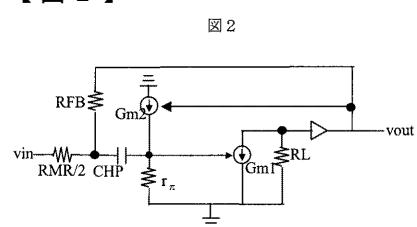
【図1】



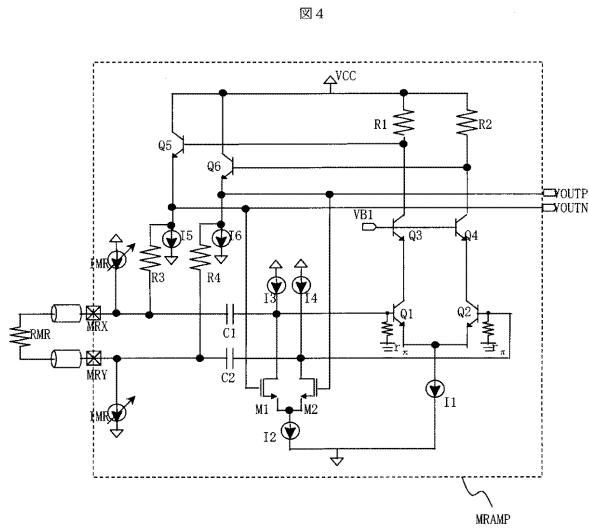
【図3】



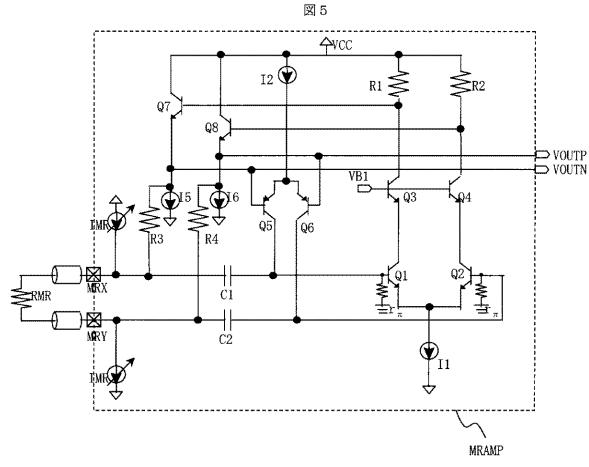
【図2】



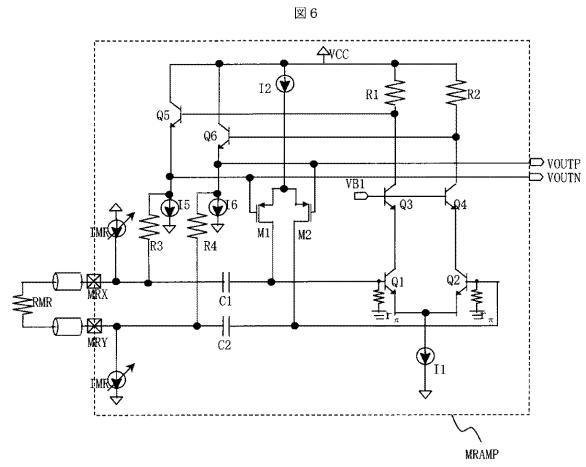
【図4】



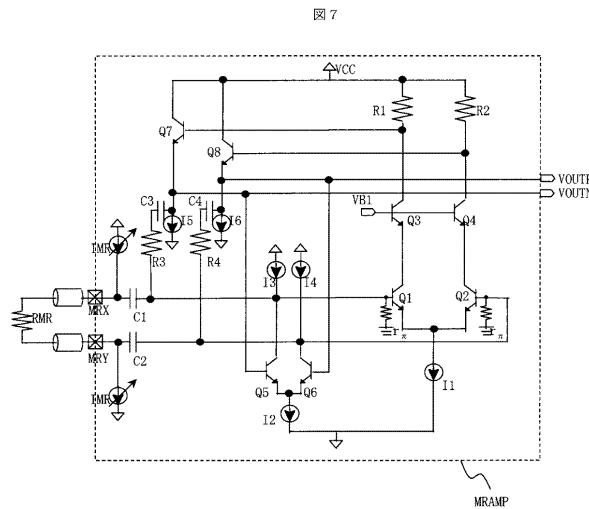
【図5】



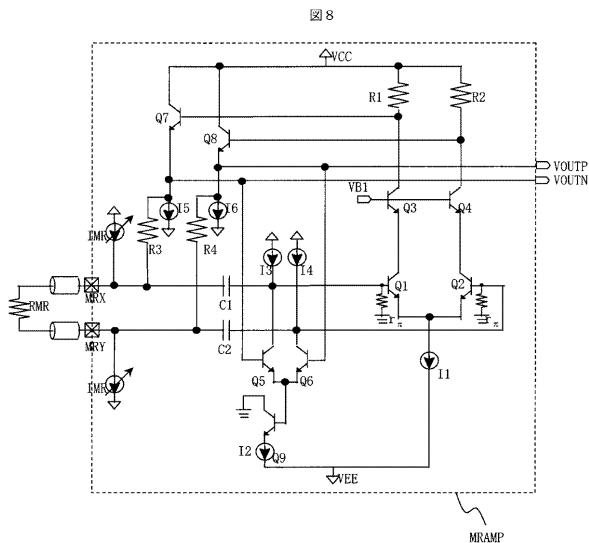
【図6】



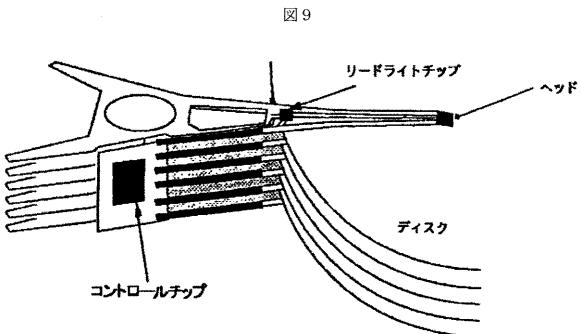
【図7】



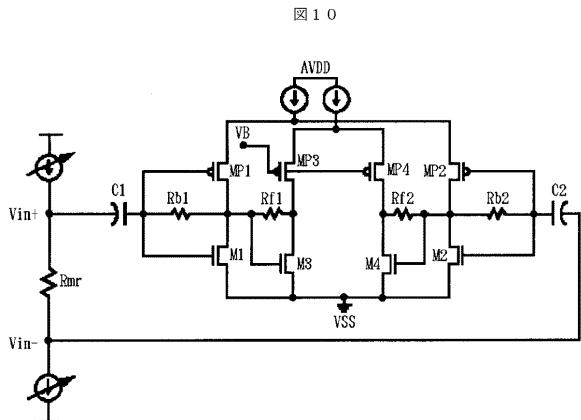
【図 8】



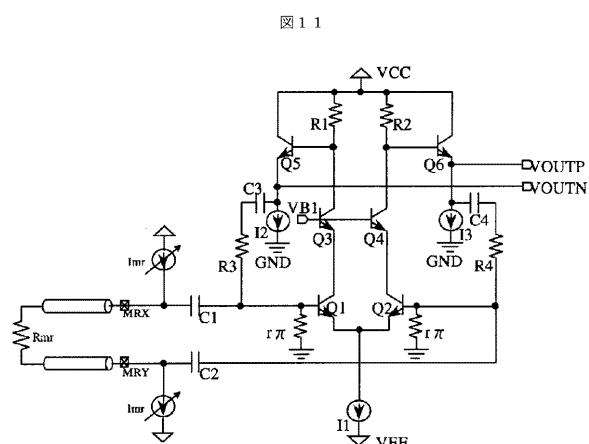
【図 9】



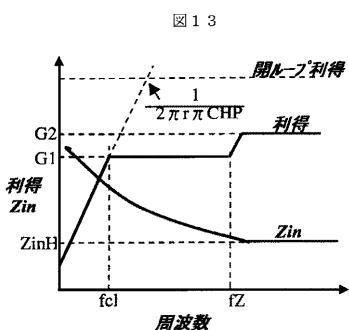
【図 10】



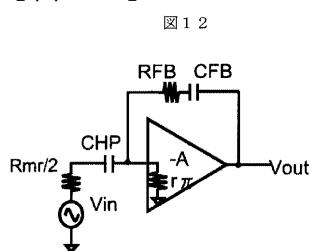
【図 11】



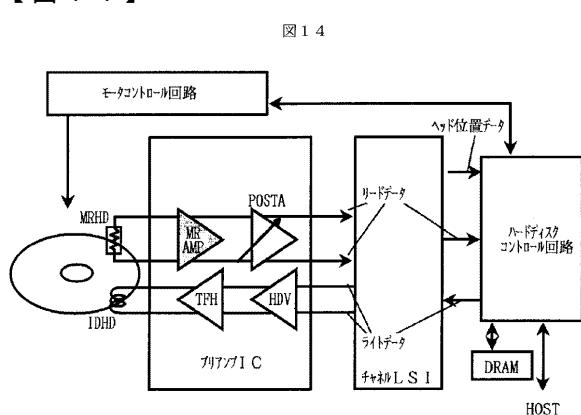
【図 13】



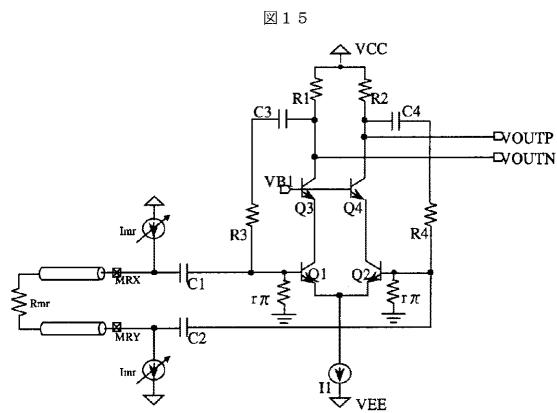
【図 12】



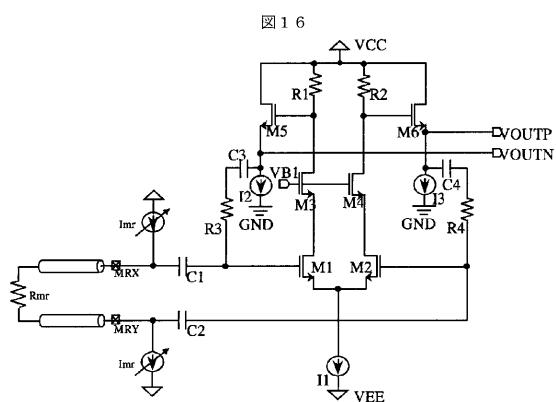
【図 14】



【図15】

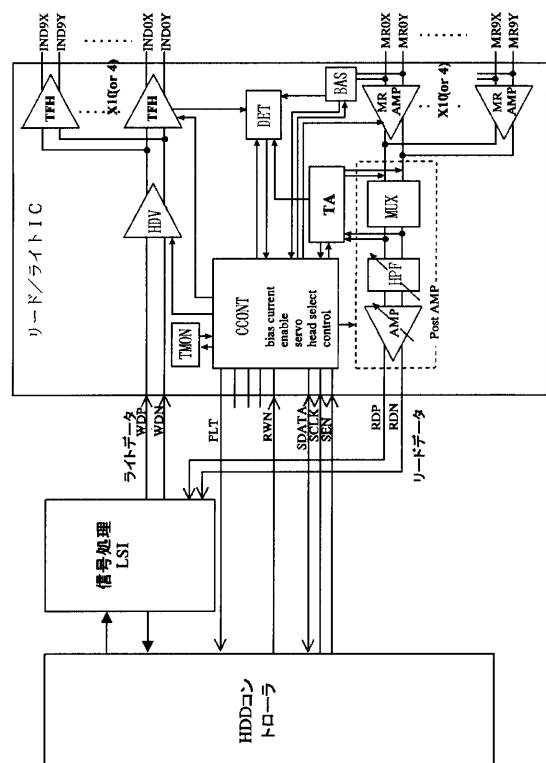


【図16】



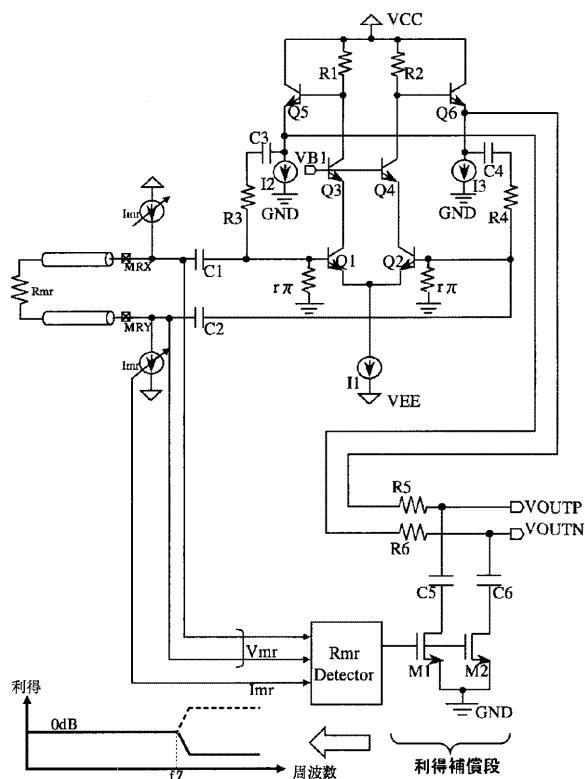
【図18】

四 18



【図17】

四 17



フロントページの続き

(72)発明者 小林 洋一郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内

(72)発明者 棚田 一郎

東京都青梅市新町六丁目16番地の3 株式会社日立製作所マイクロデバイス事業部内

審査官 渡邊 聰

(56)参考文献 特開2004-006011(JP,A)

特開2000-113403(JP,A)

特開平11-066510(JP,A)

特開2001-043505(JP,A)

特開昭63-009002(JP,A)

特開平11-203611(JP,A)

特開2002-083403(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 11 B 5 / 0 9

G 11 B 5 / 0 2

H 01 L 4 3 / 0 8