



(12) 发明专利

(10) 授权公告号 CN 107873107 B

(45) 授权公告日 2022.01.28

(21) 申请号 201680032205.5

H01L 21/768 (2006.01)

(22) 申请日 2016.06.03

H01L 23/532 (2006.01)

(65) 同一申请的已公布的文献号

C23C 28/00 (2006.01)

申请公布号 CN 107873107 A

C23C 14/06 (2006.01)

(43) 申请公布日 2018.04.03

C23C 16/40 (2006.01)

(30) 优先权数据

14/745,367 2015.06.19 US

(56) 对比文件

CN 101339918 A, 2009.01.07

(85) PCT国际申请进入国家阶段日

CN 101339918 A, 2009.01.07

2017.12.01

CN 101323945 A, 2008.12.17

(86) PCT国际申请的申请数据

JP 2004241679 A, 2004.08.26

PCT/US2016/035826 2016.06.03

US 2014291802 A1, 2014.10.02

(87) PCT国际申请的公布数据

CN 101438205 A, 2009.05.20

W02016/204987 EN 2016.12.22

CN 1964002 A, 2007.05.16

(73) 专利权人 应用材料公司

TW 201036065 A, 2010.10.01

地址 美国加利福尼亚州

CN 101540294 A, 2009.09.23

(72) 发明人 于敏锐 马楷 托马斯·权

US 6016010 A, 2000.01.18

考施·K·辛格 平尔萱

JP S4930357 B1, 1974.08.12

(74) 专利代理机构 北京律诚同业知识产权代理

TW 200845306 A, 2008.11.16

有限公司 11006

US 6136682 A, 2000.10.24

代理人 徐金国 赵静

林敏等.多层交替膜界限载荷研究.《润滑与密封》.2008,(第10期),

(51) Int.Cl.

审查员 王洲玲

H01L 21/285 (2006.01)

权利要求书2页 说明书6页 附图7页

(54) 发明名称

在氧化物层上沉积第一粘合层，
氧化物层形成在基板上

多层金属介电膜的物理气相沉积及退火处

理

100

(57) 摘要

在第一粘合层上沉积金属层

102

本公开内容提供形成于基板上的膜堆叠结
构和在基板上形成膜堆叠结构的方法。在一个实
施方式中，在基板上形成膜堆叠结构的方法包
括：于形成在基板上的氧化物层上沉积第一粘合
层和在第一粘合层上沉积金属层，其中第一粘合
层和金属层形成应力中和结构。

可选地将通过沉积第一粘合层和金属层
而形成的堆叠退火

104

106

1. 一种在基板上形成膜堆叠的方法,包括:

在所述基板上形成多个氧化物金属结构,包括依次重复以下步骤:

使用TEOS沉积氧化物层;

在所述氧化物 层上沉积第一粘合层,所述第一粘合层包含钨或钛;和

在所述第一粘合层上沉积金属层,其中所述第一粘合层和所述金属层形成应力中和结构,所述应力中和结构具有小于或等于 200Å 的厚度。

2. 根据权利要求1所述的方法,其中形成所述多个氧化物金属结构进一步包括:

沉积第二粘合层于所述金属层上。

3. 根据权利要求2所述的方法,其中所述第一粘合层、所述金属层与所述第二粘合层形成所述应力中和结构。

4. 根据权利要求2所述的方法,其中所述膜堆叠含有至少50层。

5. 根据权利要求4所述的方法,其中各粘合层具有小于 40Å 的厚度。

6. 根据权利要求1所述的方法,进一步包括:

将形成在所述基板上的所述膜堆叠退火。

7. 一种形成在基板上的膜堆叠结构,包括位于所述基板上的多个氧化物金属结构,所述多个氧化物金属结构的每一者包括:

TEOS氧化物层;

沉积在所述TEOS氧化物层上的第一粘合层,所述第一粘合层包含钨或钛;和

沉积在所述第一粘合层上的金属层,所述第一粘合层和所述金属层形成应力中和结构,所述应力中和结构具有小于或等于 200Å 的厚度。

8. 根据权利要求7所述的膜堆叠结构,其中所述多个氧化物金属结构的每一者进一步包括:

第二粘合层,所述第二粘合层沉积于所述金属层上。

9. 根据权利要求8所述的膜堆叠结构,其中所述第一粘合层、所述金属层与所述第二粘合层形成所述应力中和结构。

10. 根据权利要求7所述的膜堆叠结构,其中所述膜堆叠含有至少50 层。

11. 根据权利要求7所述的膜堆叠结构,其中各粘合层具有小于 40Å 的厚度。

12. 根据权利要求7所述的膜堆叠结构,其中所述第一粘合层为WN。

13. 根据权利要求7所述的膜堆叠结构,其中所述金属层为W。

14. 根据权利要求7所述的膜堆叠结构,其中所述第一粘合层为TiN。

15. 一种在基板上形成膜堆叠的方法,包括:

在所述基板上形成多个氧化物金属结构,包括依次重复以下步骤:

使用TEOS沉积氧化物层;

沉积第一金属氮化物粘合层于氧化物层上,所述第一金属氮化物粘合层包含钨或钛;

沉积金属层于所述第一金属氮化物粘合层上;和

在所述金属层上沉积第二金属氮化物粘合层,其中所述第一金属氮化物粘合层、所述第二金属氮化物粘合层和所述金属层形成应力中和结构,所述应力中和结构具有小于或等于 200Å 的厚度,并且所述第一金属氮化物粘合层,所述金属层和所述第二金属氮化物粘

合层的金属是相同的。

16. 根据权利要求15所述的方法,进一步包括:
将形成在所述基板上的所述膜堆叠退火。
17. 根据权利要求15所述的方法,其中所述膜堆叠含有至少50层。
18. 根据权利要求17所述的方法,其中各粘合层具有小于40 \AA 的厚度。
19. 根据权利要求15所述的方法,其中所述第一粘合层的材料与所述第二粘合层的材料相同。

多层金属介电膜的物理气相沉积及退火处理

技术领域

[0001] 本公开内容的实施方式大体上涉及在介电质上沉积薄金属膜以形成金属-介电质的多重结构的方法,且更具体涉及形成膜堆叠的方法,其中膜堆叠包括薄金属膜。

背景技术

[0002] 半导体器件的次世代超大规模集成电路(VLSI)与特大规模集成电路(ULSI)的关键技术挑战的其中之一为可靠地生产次半微米(sub-half micron)与更小的特征。然而,随着电路技术的界限的推进,VLSI与ULSI技术的尺寸缩小在处理能力上有着额外的要求。基板上的栅极结构的可靠形成对于VLSI与ULSI的成功和持续努力以增加单独基板与裸片(die)的电路密度与品质是重要的。

[0003] 随着用于次世代器件的电路密度增加,像是过孔(via)、沟槽、接点、栅极结构与其它特征的互连的宽度,及这些特征间的介电质材料,减少至45nm与32nm尺寸,但是,介电质层的厚度保持大致不变,因而增加这些特征的深宽比。为了能实现次世代器件与结构的制造,常使用半导体芯片的三维(3D)堆叠以改善晶体管的效能。通过排列晶体管为三维而非传统的二维,多个晶体管在集成电路(integrated circuit, IC)中彼此可以非常接近。半导体芯片的三维(3D)堆叠降低线长且维持低线路延迟。在制造半导体芯片的三维(3D)堆叠中,常使用台阶状(stair-like)结构以容许多个互连结构配置于台阶状结构上,形成垂直晶体管器件的高密度。

[0004] 因此,需要用以形成互连的改良方法以持续减少制造成本、存储单元尺寸、及集成电路的功耗。

发明内容

[0005] 在一个实施方式中,本文公开了用以在基板上形成膜堆叠的方法。此方法包括沉积第一粘合层于氧化物层之上,所述氧化物层形成在基板上;及沉积金属层于第一粘合层之上,其中第一粘合层和金属层形成应力中和结构。

[0006] 在另一个实施方式中,本文公开了形成在基板上的膜堆叠结构。此膜堆叠结构包括第一粘合层与金属层。第一粘合层沉积于氧化物层之上,所述氧化物层形成在基板上。金属层沉积于粘合层之上。第一粘合层和金属层形成应力中和结构。

[0007] 在一个实施方式中,本文公开了用以在基板上形成膜堆叠的方法。此方法包括沉积第一粘合层于氧化物层之上,所述氧化物层形成在基板上;沉积金属层于第一粘合层之上;及沉积第二粘合层于金属层之上,其中第一粘合层、金属层与第二粘合层形成应力中和结构。

附图说明

[0008] 为了使上述本发明的特征可被详细理解的方式,可参考实施方式来获得简短总结于上的本公开内容更具体的说明,部分的实施方式绘示于所附附图。然而应注意到,所附附

图仅绘示本公开内容的典型实施方式,且因而不被当作限制本公开内容的保护范围,因为本公开内容可允许其它相同有效的实施方式。

- [0009] 图1描绘根据一个实施方式的在基板上形成膜堆叠的方法。
- [0010] 图2A-2D绘示图1的方法的间隔地形成在基板上的膜堆叠。
- [0011] 图3描绘根据一个实施方式的在基板上形成膜堆叠的方法。
- [0012] 图4A-4E绘示图3的方法的间隔地形成在基板上的膜堆叠。
- [0013] 图5绘示根据一个实施方式的用于在基板上形成膜堆叠的处理系统。
- [0014] 为了易于理解,在附图中共通的相同元件尽可能地使用相同的参考符号。意欲使一个实施方式的元件与特征可有利地结合到另一个实施方式,而不需要进一步说明。
- [0015] 然而应注意到,所附附图仅绘示了本发明的范例实施方式,且因而不被当作限制本发明的保护范围,因为本发明可允许其它相同有效的实施方式。

具体实施方式

[0016] 本文公开了于基板上形成膜堆叠的方法。此方法包括于氧化物层上沉积第一粘合层,所述氧化物层形成在基板上;与在第一粘合层上沉积金属层,其中第一粘合层和金属层形成应力中和结构。

[0017] 图1绘示于基板上形成膜堆叠的方法100的一个实施方式。图2A-2D绘示图1的方法中在不同阶段的基板的横截面视图。图2A描绘具有形成在基板200上的氧化物层202的基板200。氧化物层202可通过等离子体增强化学气相沉积(PECVD)或物理气相沉积(PVD)沉积在基板上。例如,氧化物层202可由TEOS所制成。氧化物层202具有厚度205。在一个实施方式中,氧化物层202的厚度205可不大于250Å。

[0018] 方法100开始于方块102,如图2B所示,在氧化物层202上沉积第一粘合层204。可使用物理气相沉积或其它合适的工艺沉积第一粘合层204。第一粘合层204可为氮化物膜。例如,第一粘合层204可为氮化钛(TiN)或氮化钨(WN)。

[0019] 在方块104,如图2C所示,金属层206沉积在第一粘合层204的表面上。可使用PVD工艺或其它合适的工艺沉积金属层206。例如,金属层206可为钨(W)。在一个实施方式中,金属层206具有小于15Ω/□的表面电阻。

[0020] 第一粘合层204和金属层206形成应力中和结构。例如,在一个实施方式中,第一粘合层204表现出压应力,代表力推挤下方基板,而金属层206表现出张应力,代表力拉扯下方基板。在另一个实施方式中,第一粘合层204表现出张应力,而金属层206表现出压应力。

[0021] 第一粘合层204和金属层206可具有不超过200Å的总厚度208。例如,在一个实施方式中,WN与W的双层可沉积在氧化物层202上,使得WN层具有40Å的厚度,而W层具有160Å的厚度。

[0022] 金属层206、第一粘合层204与氧化物层202可被统称为氧化物-金属(OM)结构209。如图2D所示,形成各OM结构209,使得由各OM结构209所形成的基板弯曲小于1μm。此小于1μm的基板弯曲是由于第一粘合层204与金属层206所形成的应力中和结构。当第一粘合层204的力推挤基板200时,金属层206的力拉扯基板200上。通过调整第一粘合层204的厚度与金属层206的厚度,力可接近于抵消,造成小于1μm的基板弯曲。

[0023] 在方块106,膜堆叠可选择性地移送至退火腔室以进行退火工艺。将膜堆叠退火可进一步降低基板的弯曲与金属层206的电阻。例如,在一个实施方式中,膜堆叠可于500°C退火2小时。在另一个实施方式中,膜堆叠可在较高的温度以较短的时间退火。

[0024] 图3绘示用于在基板上形成膜堆叠的方法300的一个实施方式。图4A-4E绘示图3的方法300的在不同阶段基板横截面视图。图4A描绘具有形成在基板400上的氧化物层402的基板400。氧化物层402可通过PECVD工艺沉积在基板上。例如,氧化物层可为TEOS层。氧化物层402具有厚度405。在一个实施方式中,氧化物层402的厚度405可不大于250Å。

[0025] 方法300开始于方块302,如图4B所示,在氧化物层402上沉积第一粘合层404。可使用PVD或其它合适的工艺沉积第一粘合层404。第一粘合层404可为氮化物膜。例如,第一粘合层404可为TiN或WN。

[0026] 在方块304,如图4C所示,金属层406沉积在第一粘合层404的表面上。可使用PVD工艺或其它合适的工艺沉积金属层406。例如,金属层406可为W。在一个实施方式中,金属层406具有小于15Ω/□的表面电阻。

[0027] 在方块306,如图4D所示,第二粘合层410沉积在金属层406上。可使用PVD或其它合适的工艺沉积第二粘合层410。第二粘合层410可为氮化物膜。例如,第二粘合层410可为TiN或WN。在一个实施方式中,第二粘合层410可以和第一粘合层404相同。例如,第一粘合层404与第二粘合层410为WN。在另一个实施方式中,第一粘合层404与第二粘合层410可以是不同材料。

[0028] 第一粘合层404、金属层406与第二粘合层410形成应力中和结构。例如,在一个实施方式中,第一粘合层404与第二粘合层410可表现出压应力,而金属层406表现出张应力。在另一个实施方式中,第一粘合层404与第二粘合层410可表现出张应力,而金属层406表现出压应力。例如,表现出压应力的第一粘合层404与第二粘合层410可为TiN,代表力推挤下方基板。表现出张应力的金属层406可为W,代表力拉扯下方基板。

[0029] 第一粘合层404、金属层406与第二粘合层410可具有不超过200Å的总厚度408。例如,在一个实施方式中,TiN/W/TiN的三层可沉积在氧化物层402上,使得各TiN层具有30Å的厚度,而W层具有140Å的厚度。

[0030] 第一粘合层404、金属层406、第二粘合层410与氧化物层402可被统称为氧化物-金属(OM)结构409。如图4E所示,形成各OM结构409,使得由各OM结构409所形成的基板弯曲小于1μm。此小于1μm的基板弯曲是由于第一粘合层404、金属层406与第二粘合层410所形成的应力中和结构。当第一粘合层404的力拉扯基板400时,金属层406的力推挤基板400,且第二粘合层410的力拉扯基板400。通过调整第一粘合层404的厚度、金属层406的厚度与第二粘合层410的厚度,力可抵消,造成每个OM结构409小于1μm的基板弯曲。

[0031] 在方块308,膜堆叠可选择性地移送至退火腔室以进行退火工艺。将膜堆叠退火可进一步降低基板的弯曲与金属层406的表面电阻。例如,在一个实施方式中,膜堆叠可于500°C退火2小时。在另一个实施方式中,膜堆叠可在较高的温度以较短的时间退火。

[0032] 图5绘示多腔室处理系统500。处理系统500可包括负载锁定腔室502、504、机械手506、移送腔室508、处理腔室510、512、514、516、518、528与控制器520。负载锁定腔室502、504允许基板(未示出)移送进出处理系统500。负载锁定腔室502、504可抽空(pump down)导

入处理系统500的基板以维持真空密封。机械手506可在负载锁定腔室502、504与处理腔室510、512、514、516、518、528之间移送基板。机械手506也可在负载锁定腔室502、504与移送腔室508之间移送基板。

[0033] 各处理腔室510、512、514、516、518与528可被装备以进行若干基板操作,诸如原子层沉积(ALD)、化学气相沉积(CVD)、PVD、蚀刻、预清洁、除气、加热、定位、或其它基板处理。此外,各处理腔室510、512、514、516、518与528可被装备以沉积氧化物层、第一粘合层、金属层或第二粘合层。

[0034] 控制器520可经构造以操作处理系统500的所有方面,诸如图1及图3所公开的方法。例如,控制器520可经构造以控制在基板上形成金属互连的方法。控制器520包括可与存储器524和大容量储存器件操作的可编程中央处理单元(CPU)522、输入控制单元与显示单元(未示出),诸如电源、时钟、缓存、输入/输出(I/O)电路与衬垫,CPU522耦接至处理系统的各种组件以促进控制基板处理。控制器520也包括通过在处理系统500内的传感器监测基板处理的硬件,包括监测前驱物、处理气体与净化气体流的传感器。测量诸如基板温度、腔室氛围压力、与类似的系统参数的其它传感器也可提供信息给控制器520。

[0035] 为了促进上述处理系统500的控制,CPU522可为可使用在工业装配中任何形式的通用电脑处理器的一种,像是可编程逻辑控制器(PLC),用以控制各种腔室与子处理器。存储器524耦接至CPU522,且存储器524为非暂态(non-transitory)的,并且可为一种或多种容易获得的存储器,诸如随机存取存储器(RAM)、只读存储器(ROM)、软盘驱动器、硬盘、或任何其它形式的数字储存,本地或远端的。支持电路526耦接至CPU522用于以常规方式支持处理器。带电物种产生、加热、与其它处理大体上储存在存储器524,一般为软件程序。此软件程序也可通过第二CPU(未示出)被储存与/或执行,此第二CPU定位于被CPU522所控制的硬件的远端。

[0036] 存储器524为含有指令的电脑可读取储存媒体的形式,此指令被CPU522执行时,促进处理系统500的操作。存储器524内的指令为程序产品形式,诸如实行本公开内容方法的程序。程序码可符合各种不同编程语言的任何一种。在一个例子中,本公开内容可以作为储存于用于与电脑系统使用的电脑可读取储存媒体上的程序产品来实施。程序产品的程序定义实施方式(包括本文所述的方法)的功能。例示性电脑可读取储存媒体包括(但不限于):(i)非可写式储存媒体(例如,电脑内的只读存储器装置,诸如可被CD-ROM驱动器读取的CD-ROM光盘、闪存存储器、ROM芯片、或任何形式的固态非易失性半导体存储器),其中信息可被永久储存;与(ii)可写式储存媒体(例如,软盘驱动器内的软盘或硬盘驱动器或任何形式的固态随机存取半导体存储器),其中存储有可变的信息。当执行电脑可读取指令以实行本文所述方法的功能时,此电脑可读取储存媒体为本公开内容的实施方式。

[0037] 实施例1

[0038] 接下来的实施例可使用图5所示的处理腔室来实行。基板被移送至第一处理腔室以沉积氧化物层。第一处理腔室是经构造以在基板上沉积TEOS的PECVD腔室。TEOS层具有 250 \AA 的厚度。TEOS层通过PECVD工艺被沉积。沉积的TEOS具有 250 \AA 的厚度。

[0039] 机械手将具有TEOS层沉积于其上的基板移送至第二处理腔室,以沉积第一粘合层。第二处理腔室是经构造以在TEOS层上沉积WN层的PVD腔室。WN层具有 40 \AA 的厚度。WN可

以 5.0 \AA/s 的速率被沉积。WN层表现出压应力。

[0040] 机械手将具有第一粘合层沉积于其上的基板移送至第三处理腔室,以沉积金属层。第三处理腔室是经构造以在WN粘合层上沉积W层的CVD腔室。W层具有 160 \AA 的厚度。W层表现出张应力。W可以 17.6 \AA/s 的速率被沉积。TEOS层、WN层与W层被统称为OM结构。

[0041] 机械手在处理腔室中移送基板,直至所需数量的OM结构沉积在基板上。例如,120个OM结构可被沉积在基板上。由于由WN层和W层所形成的应力中和结构,各OM结构具有小于 $1\mu\text{m}$ 的基板弯曲。因此,120个OM结构的总基板弯曲小于 $120\mu\text{m}$ 。

[0042] 在120个OM结构的膜堆叠沉积在基板上之后,基板可被移送出处理系统而进入退火腔室。将形成在基板上的膜堆叠退火降低了基板弯曲,也进一步降低金属层的表面电阻。膜堆叠在 500°C 退火2小时。

[0043] 实施例2

[0044] 接下来的实施例可使用图5所示的处理腔室来实行。基板被移送至第一处理腔室以沉积氧化物层。第一处理腔室是经构造以在基板上沉积TEOS的PECVD腔室。TEOS层具有 250 \AA 的厚度。TEOS层通过PECVD工艺被沉积。沉积的TEOS具有 250 \AA 的厚度。

[0045] 机械手将具有TEOS层沉积于其上的基板移送至第二处理腔室,以沉积第一粘合层。第二处理腔室是经构造以在TEOS层上沉积TiN层的低功率射频PVD (LPRFPVD) 腔室。TiN层具有 60 \AA 的厚度。TiN可以 0.5 \AA/s 的速率被沉积。TiN层表现出压应力。

[0046] 机械手将具有第一粘合层沉积于其上的基板移送至第三处理腔室,以沉积金属层。第三处理腔室是经构造以在TiN粘合层上沉积W层的PVD腔室。W层具有 140 \AA 的厚度。W可以 17.6 \AA/s 的速率被沉积。W层表现出张应力。

[0047] TEOS层、TiN层与W层被统称为OM结构。机械手在处理腔室中移送基板,直至所需数量的OM结构沉积在基板上。例如,120个OM结构可被沉积在基板上。由于由TiN层和W层所形成的应力中和结构,各OM结构具有小于 $1\mu\text{m}$ 的基板弯曲。因此,120个OM结构的总基板弯曲小于 $120\mu\text{m}$ 。

[0048] 实施例3

[0049] 接下来的实施例可使用图5所示的处理腔室来实行。基板被移送至第一处理腔室以沉积氧化物层。第一处理腔室是经构造以在基板上沉积TEOS的PECVD腔室。TEOS层具有 250 \AA 的厚度。TEOS层通过PECVD工艺被沉积。沉积的TEOS具有 250 \AA 的厚度。

[0050] 机械手将具有TEOS层沉积于其上的基板移送至第二处理腔室,以沉积第一粘合层。第二处理腔室是经构造以在TEOS层上沉积WN层的PVD腔室。WN层具有 30 \AA 的厚度。WN可以 5.0 \AA/s 的速率被沉积。第一WN层表现出压应力。

[0051] 机械手将具有第一粘合层沉积于其上的基板移送至第三处理腔室,以沉积金属层。第三处理腔室是经构造以在WN粘合层上沉积W层的CVD腔室。W层具有 140 \AA 的厚度。W可以 17.6 \AA/s 的速率被沉积。W层表现出张应力。

[0052] 机械手将具有金属层沉积于其上的基板移送至第四处理腔室,以沉积第二粘合层。第四处理腔室是经构造以在金属W层上沉积WN的第二层的PVD腔室。WN层具有 30 \AA 的厚

度。WN可以 5.0 \AA/s 的速率被沉积。第二WN层表现出压应力。

[0053] TEOS层、第一WN层、W层与第二WN层被统称为OM结构。机械手在处理腔室中移送基板，直至所需数量的OM结构沉积在基板上。例如，120个OM结构可被沉积在基板上。由于由第一WN层、W层与第二WN层所形成的应力中和结构，各OM结构具有小于 $1\mu\text{m}$ 的基板弯曲。因此，120个OM结构的总基板弯曲小于 $120\mu\text{m}$ 。

[0054] 在120个OM结构的膜堆叠沉积在基板上之后，基板可被移送出处理系统而进入退火腔室。膜堆叠在 500°C 退火2小时。

[0055] 虽然上述内容针对本公开内容的实施方式，但在不脱离本公开内容的保护范围的情况下，可构想出本公开内容的其它与进一步的实施方式，且本公开内容的保护范围由随附的权利要求书来决定。

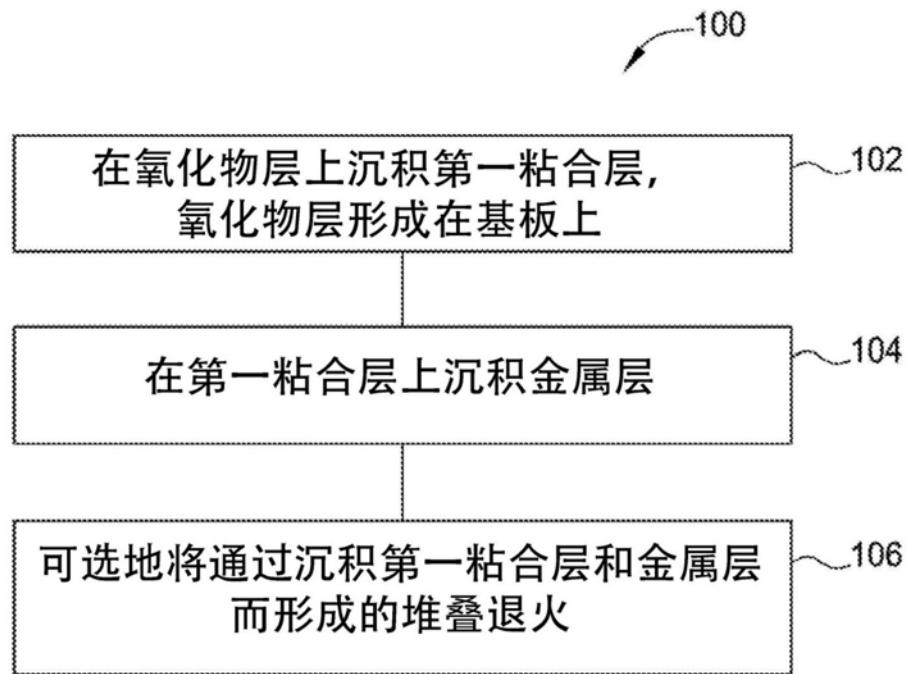


图1

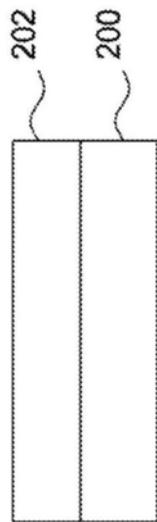


图2A

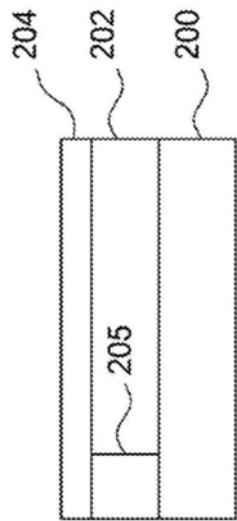


图2B

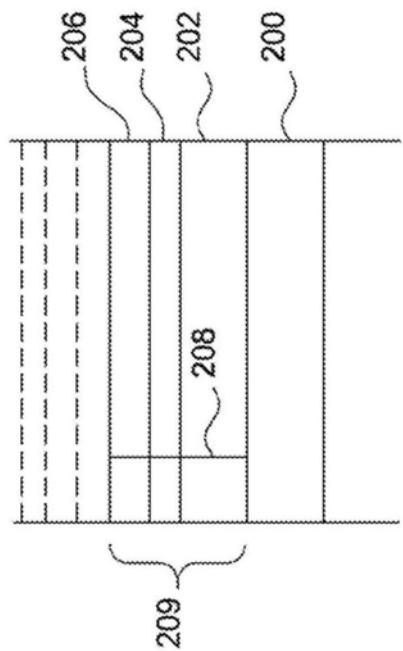


图2C



图2D

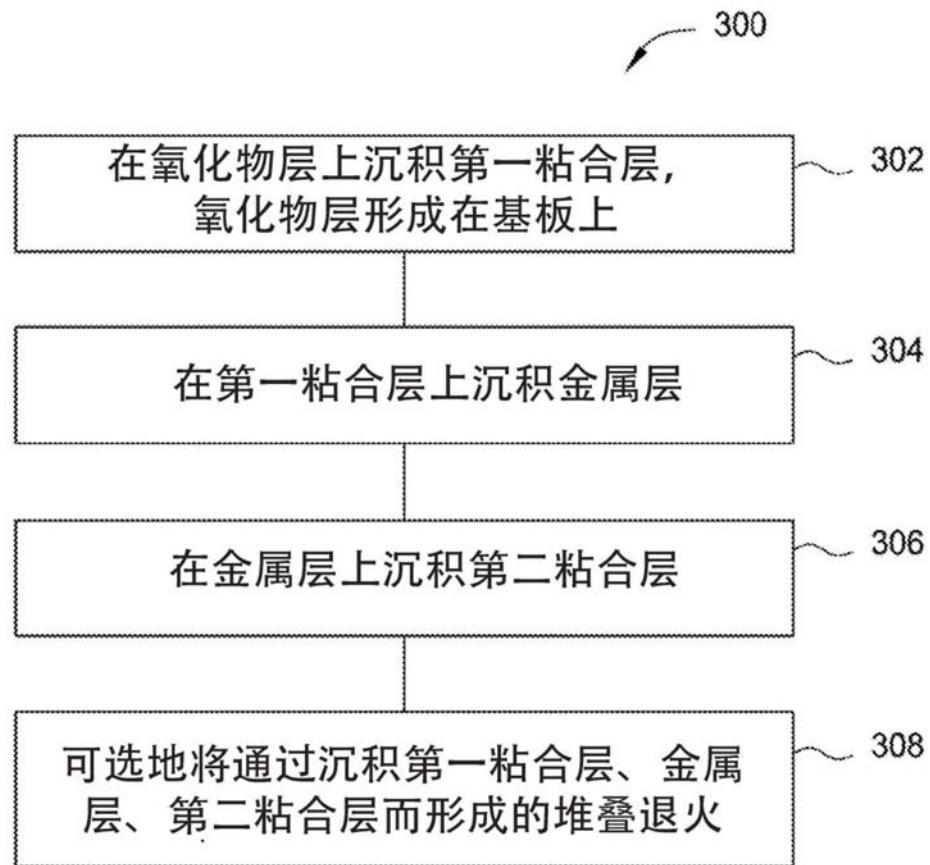


图3



图4A

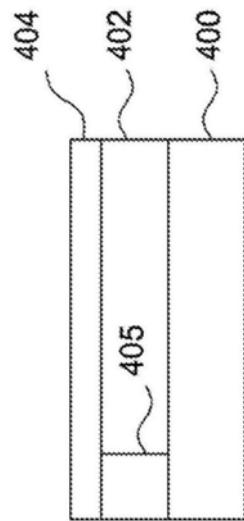


图4B

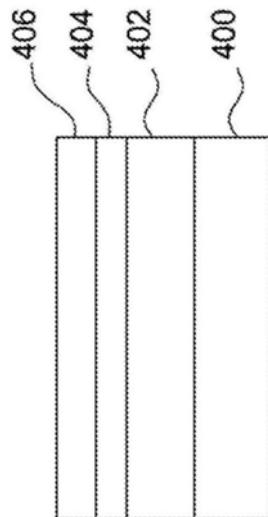


图4C

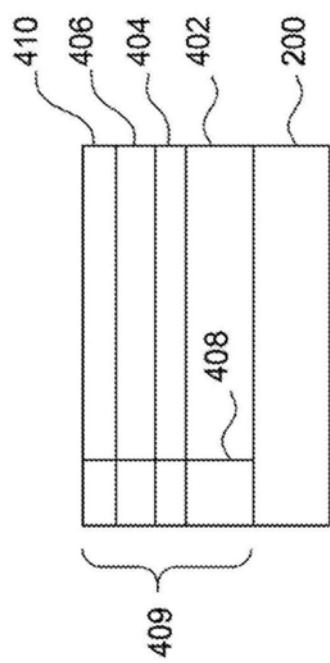


图4D



图4E

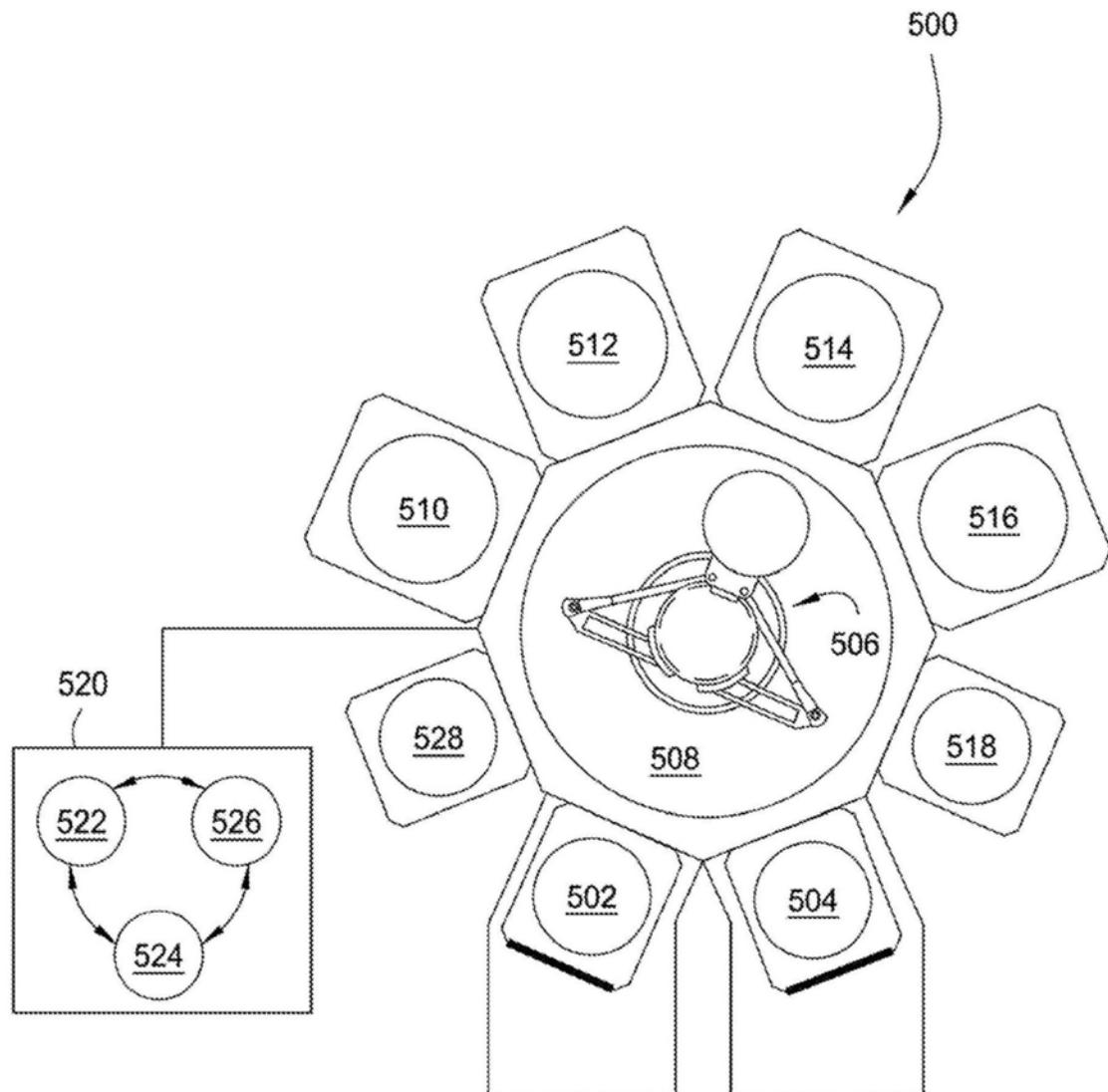


图5(现有技术)