

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第6部門第4区分
【発行日】平成17年7月7日(2005.7.7)

【公開番号】特開2002-170382(P2002-170382A)
【公開日】平成14年6月14日(2002.6.14)
【出願番号】特願2001-258399(P2001-258399)
【国際特許分類第7版】

G 1 1 C 11/22

【F I】

G 1 1 C 11/22 5 0 1 K

G 1 1 C 11/22 5 0 1 J

【手続補正書】

【提出日】平成16年11月10日(2004.11.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、

前記セルトランジスタのゲートに接続されたワード線と、

前記複数個のメモリセルの一端に接続されたメモリセルブロック選択トランジスタと、

このメモリセルブロック選択トランジスタに接続されたビット線と、

前記複数個のメモリセルの他端に接続されたプレート線と、

前記ブロック選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路と

を有することを特徴とする半導体記憶装置。

【請求項2】

各々、メモリセルを選択するセルトランジスタと、このセルトランジスタのソース、ドレイン間に接続された強誘電体キャパシタとを有し、かつ直列に接続されてメモリセルブロックを構成する複数個の読み出し及び書き込みが行われるメモリセルと、

前記セルトランジスタのゲートに接続されたワード線と、

前記複数個のメモリセルの一端に接続されたブロック選択トランジスタと、

このブロック選択トランジスタに接続されたビット線と、

前記複数個のメモリセルの他端に接続されたプレート線選択トランジスタと、このプレート線選択トランジスタに接続されたプレート線と、

前記ブロック選択トランジスタ及び前記プレート線選択トランジスタがオフ状態となった後もセルトランジスタが選択状態を保つようにワード線を制御するワード線制御回路と

を有することを特徴とする半導体記憶装置。

【請求項3】

前記ブロック選択トランジスタがオフ状態となった後、次の読み出しサイクルまたは書き込みサイクルになるまで前記セルトランジスタを選択状態にする手段をさらに有することを特徴とする請求項1又は2いずれか1項記載の半導体記憶装置。

【請求項4】

前記ブロック選択トランジスタがオフ状態となった後、一定時間前記セルトランジスタ

を選択状態にする手段をさらに有することを特徴とする請求項 1 又は 2 記載の半導体記憶装置。

【請求項 5】

前記ブロック選択トランジスタがオフ状態となった後、前記一定時間前記セルトランジスタを選択状態にする手段として遅延回路をさらに有することを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】

前記ワード線制御回路は、前記制御を、前記ブロック選択トランジスタがオフ状態となった後、チップ・イネーブル信号が次にレベル変化するまで前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項 1 又は 2 いずれか 1 項記載の半導体記憶装置。

【請求項 7】

前記ワード線制御回路は、前記制御を、前記ブロック選択トランジスタがオフ状態となった後、次の読み出しサイクルまたは書き込みサイクルになるまで前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項 1 又は 2 いずれか 1 項記載の半導体記憶装置。

【請求項 8】

前記ワード線制御回路は遅延回路を有し、前記制御を、前記ブロック選択トランジスタがオフ状態となった後、この遅延回路により一定時間前記ワード線を選択状態に保ち前記セルトランジスタを選択状態に保つことにより行うことを特徴とする請求項 1 又は 2 いずれか 1 項記載の半導体記憶装置。

【請求項 9】

前記セルトランジスタを選択状態を保つことは前記セルトランジスタをオフ状態を保ち前記強誘電体キャパシタの両端を非短絡とすることであることを特徴とする請求項 1 乃至 8 のいずれか 1 項記載の半導体記憶装置。

【請求項 10】

前記ビット線のプリチャージ電位は接地電位であることを特徴とする請求項 1 乃至 8 のいずれか 1 項記載の半導体記憶装置。

【請求項 11】

前記ビット線のプリチャージ電位は電源電圧の 1 / 2 であることを特徴とする請求項 1 又は 2 いずれか 1 項記載の半導体記憶装置。

【請求項 12】

前記ビット線のプリチャージ電位は電源電圧であることを特徴とする請求項 1 又は 2 いずれか 1 項記載の半導体記憶装置。

【請求項 13】

前記プレート線選択トランジスタは、プレート線選択信号によって制御され、前記メモリセルブロックと前記プレート線とを接続あるいは切り離すことを特徴とする請求項 2 記載の半導体記憶装置。