

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 200580024860.8

[45] 授权公告日 2009 年 8 月 26 日

[11] 授权公告号 CN 100533690C

[22] 申请日 2005.7.27

[21] 申请号 200580024860.8

[30] 优先权

[32] 2004.8.24 [33] US [31] 10/925,108

[86] 国际申请 PCT/US2005/026543 2005.7.27

[87] 国际公布 WO2006/023219 英 2006.3.2

[85] 进入国家阶段日期 2007.1.23

[73] 专利权人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 马瑞斯·K·奥罗斯基

苏莱施·温卡特森

[56] 参考文献

CN1477718A 2004.2.25

US2002/0125502A1 2002.9.12

US6319799B1 2001.11.20

JP2002-270834A 2002.9.20

审查员 郭金霞

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

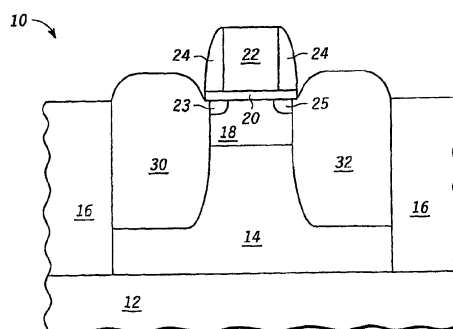
权利要求书 1 页 说明书 6 页 附图 4 页

[54] 发明名称

用于在半导体器件中增强迁移率的方法和装置

[57] 摘要

提出了一种方法和装置，其在晶体管沟道区中提供了增强的迁移率。在一种实施方式中，在衬底上方形成受双轴向应力的沟道区(18)。在衬底上方形成源(30)和漏(32)区。源区和漏区将附加的单轴向应力提供到受双轴向应力的沟道区。单轴向应力和双轴向应力对于 P 沟道晶体管都是压缩应力，且对于 N 沟道晶体管都是拉伸应力。结果是，对于短沟道和长沟道晶体管都增加了载流子迁移率。这两种晶体管类型可以被包括在相同的集成电路中。



1.一种形成 P 沟道晶体管的方法，包括：

提供衬底；

在衬底上方形成受双轴向应力的沟道区，其中该双轴向应力的沟道区处于压缩应力之下；以及

在衬底上方形成源区和漏区，源区和漏区将压缩单轴向应力提供到沟道区；

其中所述沟道区包含硅和锗，且源区和漏区每一个都包含硅和锗，其中所述源区和漏区的锗含量高于沟道区的锗含量。

2. 一种形成 N 沟道晶体管的方法，包括：

提供衬底；

在衬底上方形成受双轴向应力的沟道区，其中该双轴向应力的沟道区处于拉伸应力之下；以及

在衬底上方形成源区和漏区，源区和漏区将拉伸单轴向应力提供到沟道区；

其中所述沟道区包含硅和碳，且源区和漏区每一个都包含硅和碳，其中所述源区和漏区的碳含量高于沟道区的碳含量。

用于在半导体器件中增强迁移率的方法和装置

技术领域

本发明涉及一种半导体器件，尤其涉及一种具有增强的迁移率的半导体器件。

背景技术

在半导体器件制造中，目前为止，对于半导体材料，硅是最普遍的选择。通常通过各种工艺改进有规律地增强晶体管性能。一种改进是改变硅中的应力，以改善迁移率。一些技术包括除了硅外使用其它材料，以显示出应力以及因此的迁移率改进。例如，添加锗的硅层导致受压缩应力的硅锗层。受压缩应力的这种硅锗层在改善 P 沟道晶体管载流子迁移率方面是有用的。找到产生拉伸应力的方法用于改善 N 沟道晶体管的载流子。

已经开发出各种技术以实现拉伸和压缩应力二者。迁移率随着应力增加而改善，但是最终，足够的应力增加导致晶格中的破裂或者扩展的缺陷，这使其不能用于半导体制造。另一个问题在于，典型的应力增强技术在改善仅在短沟道或者长沟道晶体管中之一中的迁移率方面是有用的。例如，SiGe 中双轴向压缩应力的典型问题在于，其在改善短沟道晶体管中载流子迁移率方面几乎不起作用。另一方面，单轴向应力的典型问题在于其在改善长沟道晶体管中载流子迁移率方面几乎不起作用。由此，迁移率增强导致迁移率随着沟道长度变化而变化，这使得更难提供晶体管的模型，反过来，更难使用具有这些迁移率增强的晶体管来设计电路。

由此，需要提供改善上述问题中一个或多个的迁移率增强。

发明内容

根据本发明的一方面，提供一种形成晶体管的方法，包括：提供衬底；在衬底上方形成受双轴向应力的沟道区；和在衬底上方形成源区和漏区，源区和漏区将单轴向应力提供到沟道区。

根据本发明的另一方面，提供一种半导体器件，包括：衬底；在衬底上方形成的硅层；在硅层上方形成的沟道区，沟道区受双轴向应力；和在衬底上方形成的源区和漏区，源区和漏区将单轴向应力提供给沟道区。

附图说明

借助于实例描述本发明，且本发明不限于附图，图中相似的参考符号表示相似的元件，且其中：

图1是在根据本发明第一实施方式的处理中第一阶段的半导体结构的截面图；

图2是在处理中随后阶段图1的半导体结构的截面图；

图3是在处理中随后阶段图2的半导体结构的截面图；

图4是在根据本发明第二实施方式的处理中在第一阶段半导体结构的截面图；

图5是在处理中在随后阶段图4的半导体结构的截面图；

图6是在处理中在随后阶段图5的半导体结构的截面图；

图7是根据使用本发明的替代方案的半导体结构的截面图；

图8是权利要求7的半导体结构的顶视图。

本领域技术人员将理解，在为了简单和清楚的目的示出了图中的元件，而不必按比例画出。例如，图中一些元件的尺寸相对于其它元件被放大了，以有助于改善对本发明实施方式的理解。

具体实施方式

在一个方面，通过使沟道区处于单轴向应力和双轴向应力下，晶体管增强了载流子迁移率。结果是对于短和长沟道晶体管都增强了迁移率，并且减少了在长沟道和短沟道晶体管之间的迁移率差别。通过

参考附图和以下的描述可对此更好地理解。

图 1 中所示出的是半导体结构 10，其包括绝缘层 12、在绝缘层 12 上的半导体层 14、在绝缘层 12 上方并包围半导体层 14 的沟槽隔离 16、在半导体层 14 上的半导体层 18、栅介质 20、其上方的栅极 22、包围栅极 22 的侧壁隔离物 24、在栅极 22 一侧上的源 / 漏极扩展区 23、以及在栅极 22 另一侧上的源 / 漏极扩展 25。半导体层 18 外延生长于半导体层 14 上。由此，半导体层 18 与半导体层 14 的晶体结构和晶体间隙相匹配。由于由外延生长导致的强制晶体间隙匹配，在半导体层 14 和 18 之间的材料变化导致两者之间的应力变化。

对于 N 沟道的情况，半导体层 14 优选是硅，且半导体层 18 优选是硅碳合金。由于硅碳合金处于双轴向拉伸应力下，因此硅优先弛豫。在替代方案中，半导体层 14 是至少部分弛豫的硅锗，且半导体层 18 可以是硅或者是硅碳合金，其任一种都处于双轴向拉伸应力下。在这些实例中的任一个中，对于 N 沟道情况，半导体层 14 具有大于随后外延生长的半导体层 18 的本征晶格常数的本征晶格常数。

对于 P 沟道情况，半导体层 14 优选是硅，且半导体层 18 优选是硅锗。硅可以弛豫，结果硅锗处于双轴向压缩应力下。在替代方案中，半导体层 14 是于其上生长将处于双轴向压缩应力下的半导体层 18 的另一半导体材料。在该实例中，对于 P 沟道情况，半导体层 14 具有小于随后外延生长的半导体层 18 的本征晶格常数的本征晶格常数。

图 2 中示出的是在蚀刻源 / 漏扩展 23 和 25、半导体层 18 和半导体层 14，以在栅极 22 一侧上留下凹槽 26 和在栅极 22 另一侧上留下凹槽 28 之后的半导体结构 10。

图 3 中示出的是在分别用半导体填料 30 和半导体填料 32 填充凹槽 26 和 28 之后的半导体结构 10。半导体填料 30 和 32 可原位掺杂或通过注入掺杂，以成为源 / 漏区。用于半导体填料 30 和 32 的材料与用于半导体层 18 的材料类型相同，但是具有不同的元素比率。例如，对于 N 沟道情况，若其中半导体层 18 是硅碳合金，则区域 30 和 32 中的半导体材料可以是硅碳合金，但是硅对碳的比率不同。硅碳合金

的情况下，在半导体层 18 中产生单轴向拉伸应力。与 P 沟道情况相似，若其中半导体层是硅锗，则半导体填料 30 和 32 可以是硅锗，但硅对锗的比例不同。硅锗的情况下，在半导体层 18 中产生单轴向压缩应力。半导体填料 30 和 32 是应力源（stressors），其能提供单轴向的压缩或者拉伸应力，这取决于材料。

由此，图 3 获得的半导体器件 10 具有半导体区 18，其用作受单轴向应力和双轴向应力的沟道。由此，对于长沟道和短沟道，都增强了迁移率。通过调整每种类型的应力量，对于长和短沟道情况下，都将迁移率保持为非常接近于相同。

图 4 中示出的是半导体结构 50，包括绝缘层 52、在绝缘层 52 上部分地弛豫的硅锗半导体层 54、包围半导体层 54 的沟槽隔离 56、在半导体层 54 上的栅介质 62、在栅介质 62 上的栅极、包围栅极 58 的侧壁隔离物 60、在半导体层 54 中栅极 58 一侧上的源 / 漏扩展 64、和在半导体层 54 中栅极 58 另一侧上的源 / 漏扩展 66。该结构用于 P 沟道晶体管，这是因为，由于其双轴向压缩应力，部分弛豫的硅锗提供了增强的空穴迁移率。

图 5 中示出的在穿过源 / 漏扩展 64 和 66 并进入半导体层 54 中进行蚀刻，以在栅极 58 的一侧上留下凹槽 68 并在栅极 58 的另一侧上留下凹槽 70 之后的半导体结构 50。

图 6 中示出的是在分别用半导体填料 72 和半导体填料 74 填充凹槽 68 和 70 之后的半导体结构 50。用于半导体填料 72 和 74 的材料与用于半导体层 54 的材料类型相同，但是其具有不同的元素比率。由此，在其中半导体层 54 是硅锗的实例中，半导体填料 72 和 74 中硅对锗的比率不同于半导体层 54 中。半导体填料 72 和 74 可原位掺杂或者通过注入掺杂，以成为源 / 漏区。在该半导体器件 50 中，由于部分弛豫的硅锗，该半导体层 54 具有双轴向压缩应力，且进一步通过形成半导体填料 72 和 74 提供单轴向的附加压缩应力。结果是具有双轴向和单轴向应力二者的器件结构。在这种情况下，压缩应力对于 P 沟道晶体管有利，但是使用不同的半导体材料，拉伸应力对于 N 沟道晶体管是有

利的。

图 7 中示出的是半导体器件 100，其包括绝缘层 102、在绝缘层 102 上的半导体主体 122、在半导体主体 122 上的半导体主体 104、包围半导体主体 122 和 104 的沟槽隔离 116、在半导体主体 104 上的栅介质 110、在栅介质 110 上的栅极 106、包围栅极 106 的侧壁隔离物 108、在半导体主体 122 中栅极 106 一侧上的源 / 漏区 124、在半导体主体 122 中栅极 106 另一侧上的源 / 漏区 126、在半导体主体 104 中栅极 106 一侧上的源 / 漏区 112、在半导体主体 104 中于栅极 106 另一侧上的源 / 漏区 114、与栅极 106 隔开并穿过源 / 漏区 112 和 124 至绝缘层 102 的绝缘柱塞 118、以及与栅极 108 隔开并穿过源 / 漏区 114 和 126 的绝缘柱塞 120。

对于 P 沟道情况，半导体层 122 优选是硅，且半导体层 104 优选是硅锗。硅可以弛豫，结果硅锗处于压缩应力下。在替代方案中，半导体层 122 可以是其上生长将处于压缩应力下的半导体层 104 的另一种半导体材料。

图 8 中示出的是半导体器件 100 的顶视图，并且示出了取得图 7 的截面图的位置。其示出了穿过源 / 漏区 112 的绝缘柱塞 118，并且示出了在栅极 106 和沟槽隔离 116 之间的栅极 106 一侧上的多个这种绝缘柱塞。相似地，示出了在栅极 106 另一侧上的绝缘柱塞 120，并示出了穿过源 / 漏区 114 的多个这种绝缘柱塞。作为应力源的这些绝缘柱塞与沟槽隔离 116 同时并且以相同方式形成。这可通过氧化物内衬和氧化物如 TEOS 填充实现。方块 132、150 表示位于隔离柱塞 114 和 120 之间的源 / 漏区的触点。存在多个这种触点，以降低外部互连和源 / 漏区之间的接触电阻。该半导体器件 100 是提供单轴向应力的替代方案。在这种情况下，单轴向应力是半导体主体 104 中的压缩应力。

在前述说明中，参考具体实施方式描述了本发明。然而，本领域技术人员应当理解，可作出各种改进和变化，而不脱离本发明的范围，如在以下的权利要求中所列举出的。例如，图 1-6 中描述了用于获得

单轴向应力的技术，但是也可使用其它替代方案，例如图 7 和 8 中所示出的。而且，可以将其它元素引入到晶格结构中，以实现不同的掺杂特性。例如，对于 N 沟道情况，可引入 Ge。这将易于降低拉伸应力，但是其能通过与硅相比增加碳来补偿。在这种情况下，源 / 漏极应当处于进一步的拉伸应力下，从而需要进一步增加碳对锗的比率以超出对于沟道的比率。效果是对于给定拉伸张力增加了碳浓度。碳的增加具有降低硼扩散速度的效果。相似地，对于 P 沟道晶体管，将碳增加到沟道中，反过来其将需要增加 Ge。Ge 的进一步增加对于源 / 漏极是有利的。增加 Ge 浓度以保持相同的压缩应力的效果是增加硼的扩散速度。因此，以说明性而非限制性的方式看待说明书和附图，且希望所有这种修改都包括在本发明的范围内。

上面已经参考具体实施方式描述了益处、其它优点和对问题的解决方案。然而，不将益处、优点、对问题的解决方案以及可能导致任何益处、优点或者解决方案发生或者变得更加明确的任何元素构成为是任一或者所有权利要求严格的、需要的、或者本质的特征或者元素。如在此所使用的，术语“包括”或者其变形都希望覆盖非排他性的包含，以使得包括一系列元素的工艺、方法、产品或装置，而不仅包括这些元素，还包括没有特别列出或者结合到这种工艺、方法、产品或装置的其它元素。

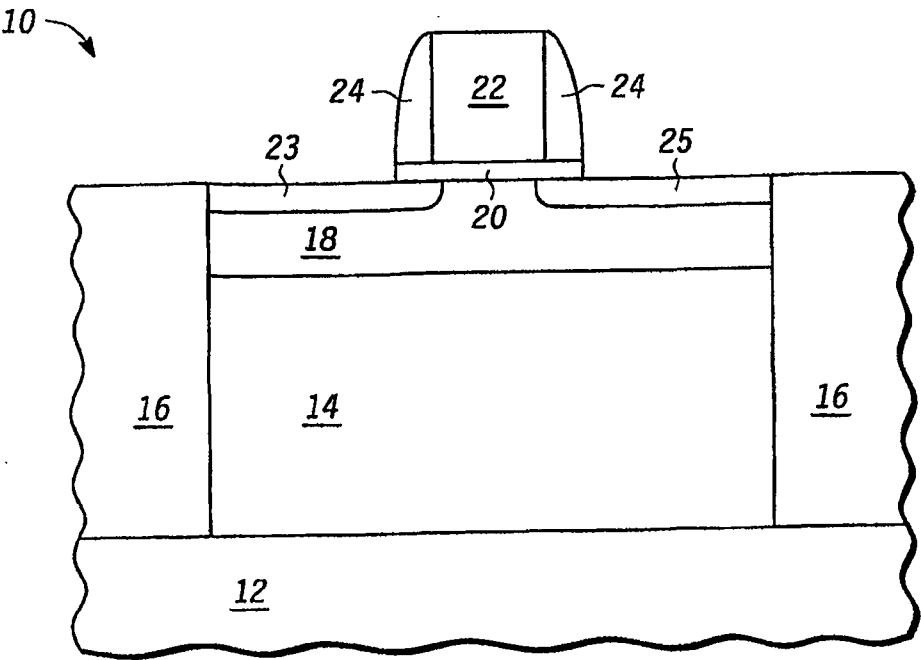


图 1

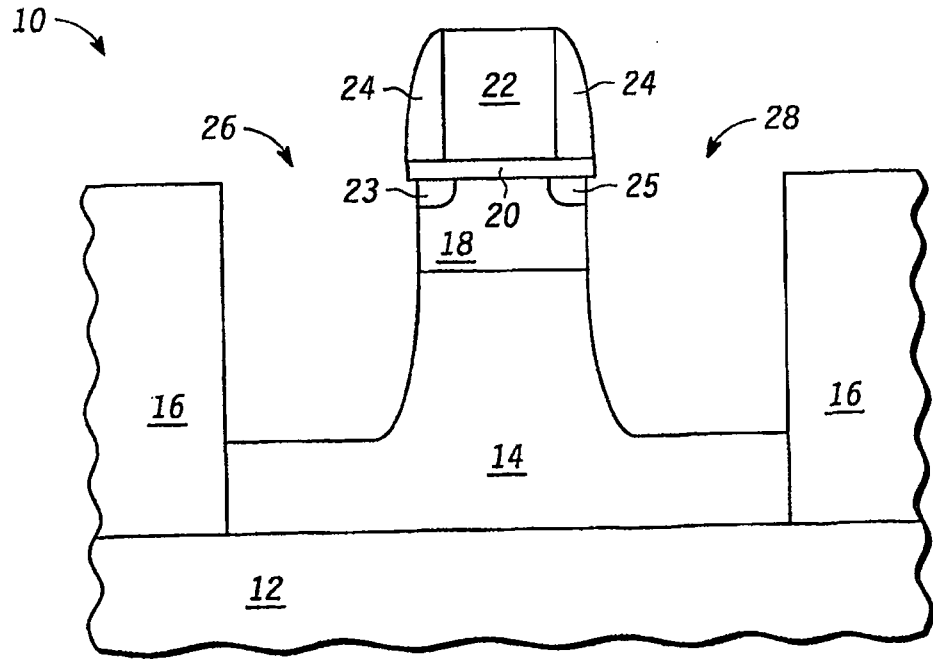


图 2

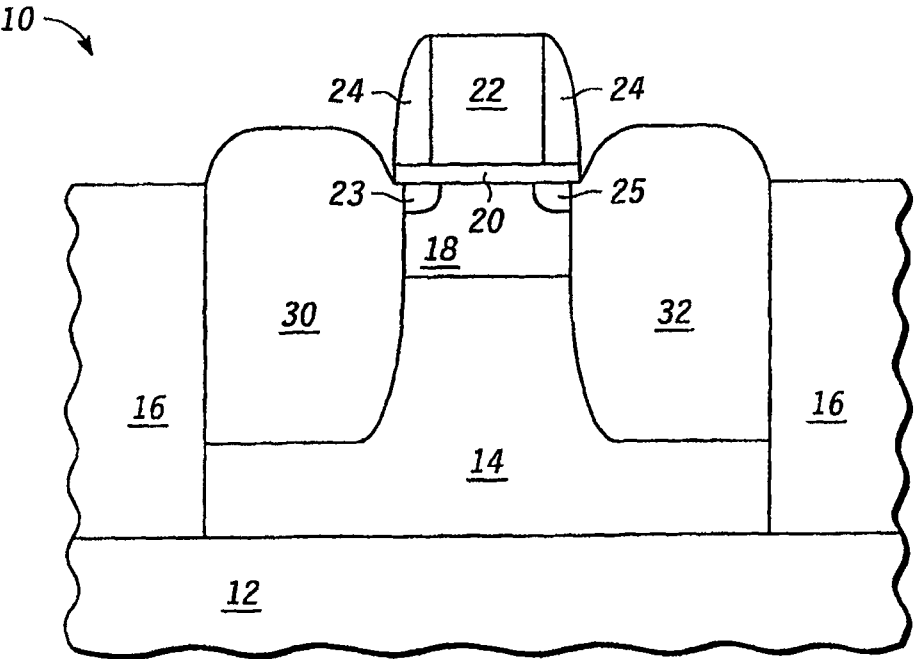


图 3

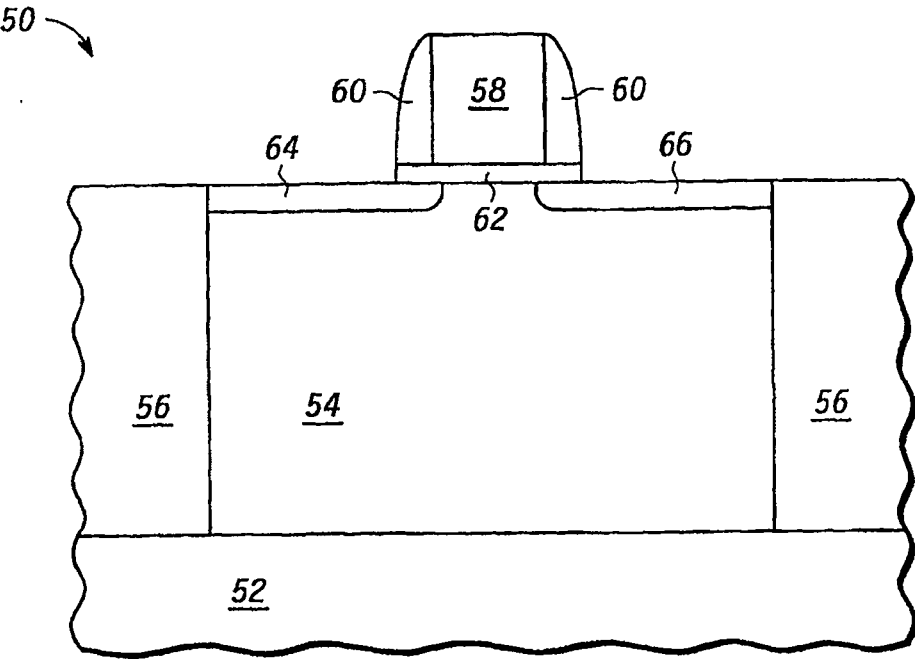


图 4

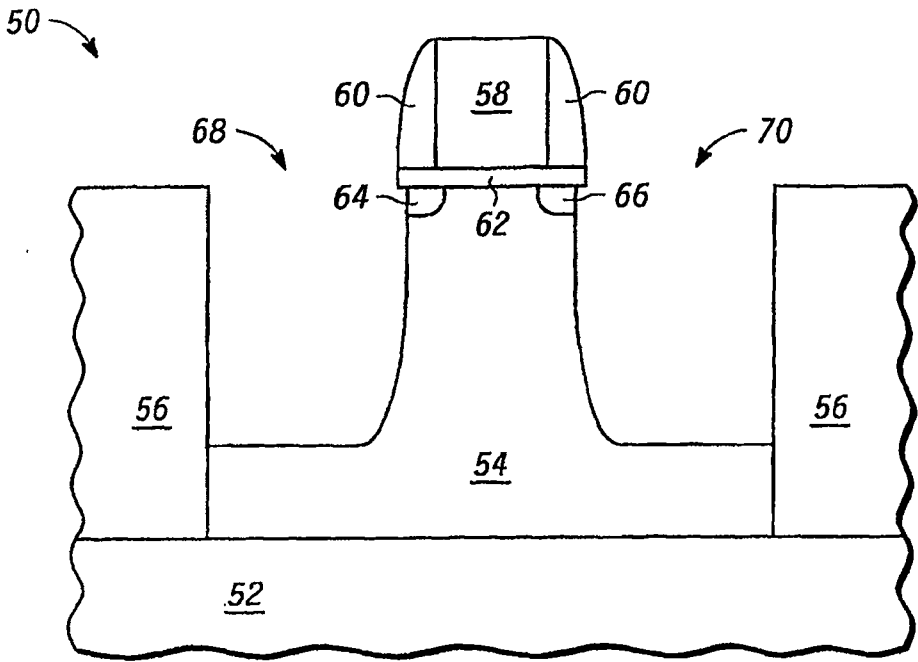


图 5

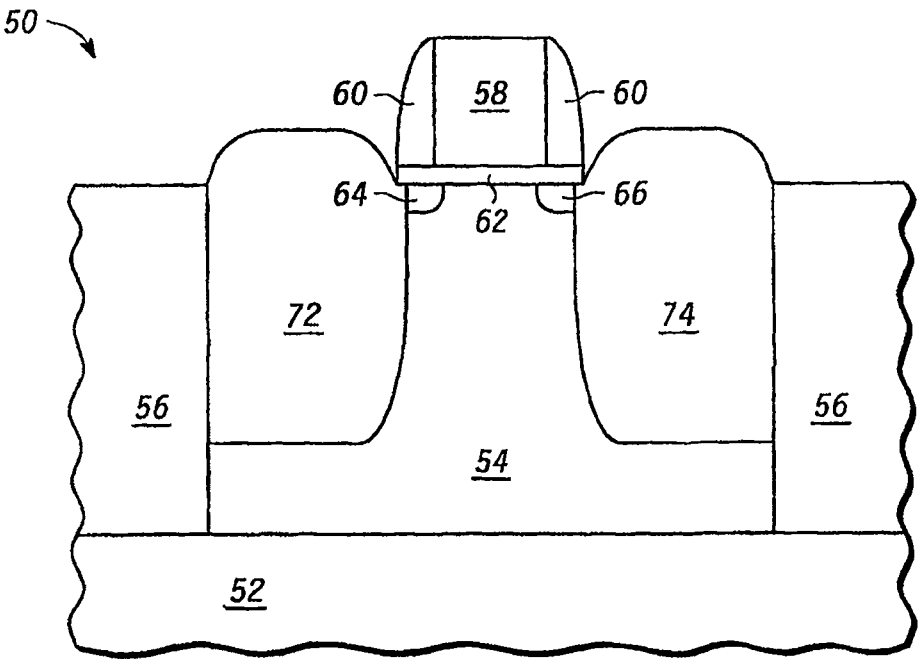


图 6

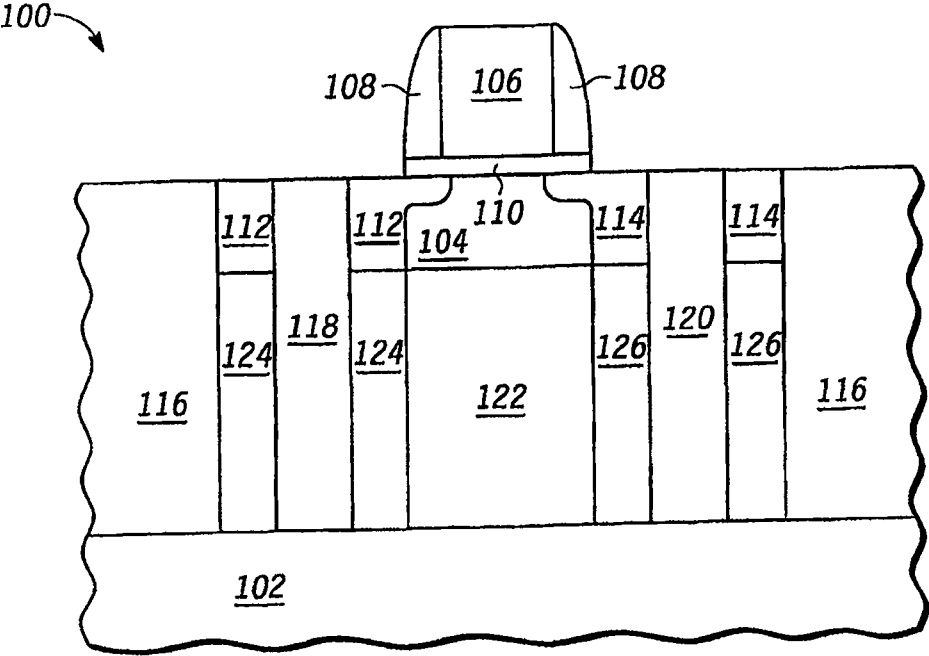


图 7

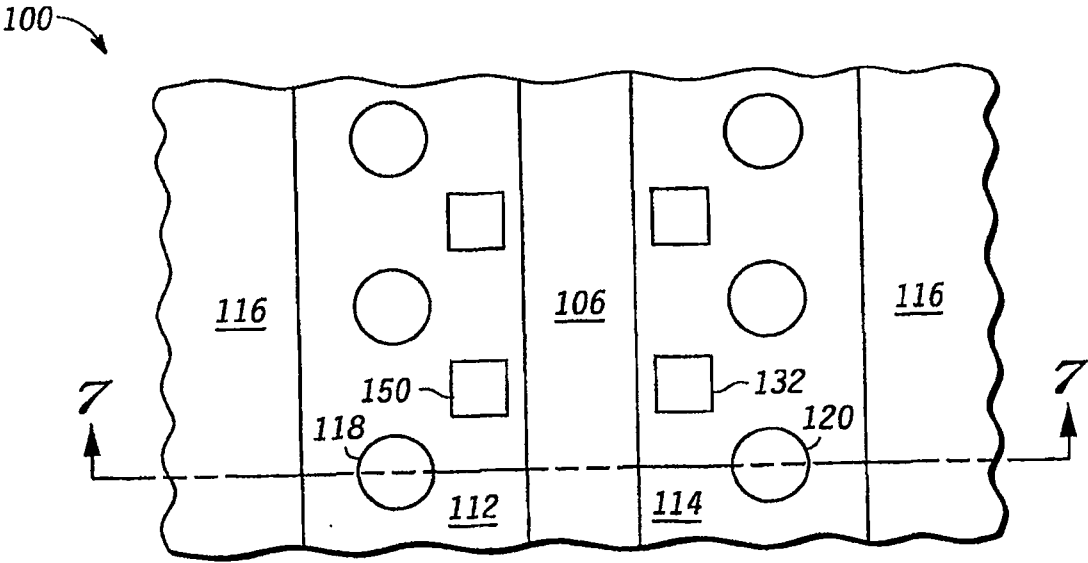


图 8