

(43) 国際公開日
2012 年 8 月 2 日(02.08.2012)



(10) 国際公開番号

WO 2012/102011 A1

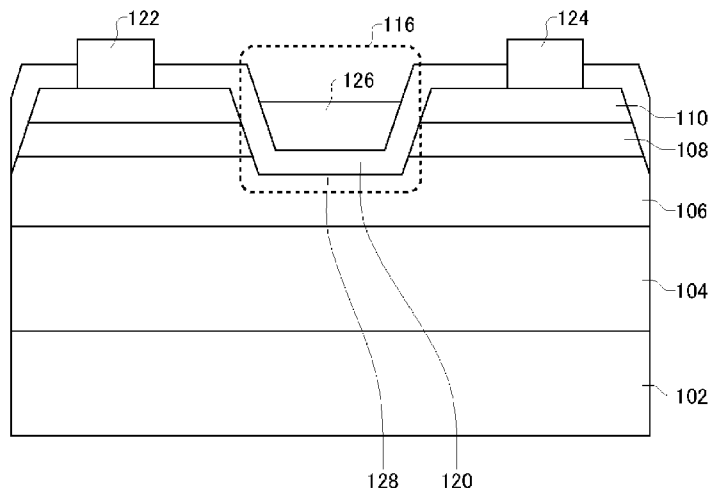
- | | |
|---|---|
| (51) 国際特許分類:
<i>H01L 21/3065</i> (2006.01) <i>H01L 29/778</i> (2006.01)
<i>H01L 21/20</i> (2006.01) <i>H01L 29/78</i> (2006.01)
<i>H01L 21/306</i> (2006.01) <i>H01L 29/786</i> (2006.01)
<i>H01L 21/338</i> (2006.01) <i>H01L 29/812</i> (2006.01) | (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 神林 宏
(KAMBAYASHI, Hiroshi) [JP/JP]; 〒2200073 神奈川県横浜市西区岡野 2 丁目 4 番 3 号 次世代パワーデバイス技術研究組合内 Kanagawa (JP). 寺本 章伸(TERAMOTO, Akinobu) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平 2 丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 大見 忠弘(OHMI, Tadahiro) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平 2 丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). |
| (21) 国際出願番号: PCT/JP2012/000404 | (74) 代理人: 龍華国際特許業務法人(RYUKA IP Law Firm); 〒1631522 東京都新宿区西新宿 1-6-1 新宿エルタワー 2 2 階 Tokyo (JP). |
| (22) 国際出願日: 2012 年 1 月 23 日(23.01.2012) | (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, |
| (25) 国際出願の言語: 日本語 | |
| (26) 国際公開の言語: 日本語 | |
| (30) 優先権データ:
特願 2011-013425 2011 年 1 月 25 日(25.01.2011) JP | |
| (71) 出願人 (米国を除く全ての指定国について): 次世代パワーデバイス技術研究組合(Advanced Power Device Research Association) [JP/JP]; 〒2200073 神奈川県横浜市西区岡野 2-4-3 Kanagawa (JP). 国立大学法人東北大学(National University Corporation Tohoku University) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平 2 丁目 1 番 1 号 Miyagi (JP). | |

[續葉有]

(54) Title: GALLIUM NITRIDE-BASED SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称：窒化ガリウム系半導体装置および半導体装置の製造方法

[図1]



(57) Abstract: Provided is a method that is for producing a semiconductor device, produces a gallium nitride-based semiconductor device, and is provided with: a first semiconductor layer forming step that forms a first semiconductor layer comprising a gallium nitride-based semiconductor; and a recess-forming step that, using a bromine-based gas, dry etches a portion of the first semiconductor layer via a microwave plasma process, forming a recess.

(57) 要約: 窒化ガリウム系半導体からなる第1の半導体層を形成する第1半導体層形成工程と、第1の半導体層の一部を、臭素系ガスをを用いて、マイクログレーティング形成工程と、窒化ガリウム系半導体装置を製造する方法を提供する。



SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

窒化ガリウム系半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、窒化ガリウム（GaN）系半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] GaN系半導体のドライエッチングに、塩素系ガスを用いたICP-RIE（誘電結合型プラズマ反応性イオンエッチング）を用いることができる。（例えば、非特許文献1参照）。

非特許文献1 信学技報、電子情報通信学会、2009年、ED2009-43

発明の概要

発明が解決しようとする課題

[0003] しかし、誘電結合型プラズマは、電子温度が高い。ICP-RIEでは、半導体の表面に、高エネルギーのイオン種が衝突して、エッチングされた面が平坦にならずに凹凸ができ、また、半導体にダメージを与えて半導体装置の電気特性が低下する。また、GaN系半導体のエッチングにおいて、塩素（Cl₂）あるいは三塩化ホウ素（BCl₃）などの塩素系ガスをエッチング用ガスに用いると、表面に塩化物などが形成されて、エッチングされた面に塩素が残留する。残留した塩素が、不純物として、GaN系半導体装置において、キャリアの流れを阻害するなどして、電気特性を低下させる。

[0004] そこで本発明の1つの側面においては、上記の課題を解決することのできる窒化ガリウム系半導体装置および半導体装置の製造方法を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

- [0005] 本発明の第1の態様によると、第1の半導体層の少なくとも一部に接し、第1の半導体層に含まれる不純物の固溶度が、第1の半導体層より高い第1の犠牲層を形成する第1犠牲層形成工程と、第1の犠牲層および第1の半導体層をアニールするアニール工程と、第1の犠牲層をウェットプロセスで除去する除去工程と、除去工程の後に、第1の半導体層の少なくとも一部を覆う絶縁層を形成する絶縁層形成工程および第1の半導体層の一部をエッチングするエッチング工程の少なくとも一の工程と、第1の半導体層に電氣的に接続された電極層を形成する電極形成工程と、を備える半導体装置の製造方法を提供する。
- [0006] 本発明の第2の態様においては、第1の半導体層と、第1の半導体層の一部が除去されたりセス部と、第1の半導体層の下に形成され、GaN系半導体からなる第2の半導体層と、を備え、リセス部における、第2の半導体層のリセス面に存在するハロゲンが3atom%以下であるGaN系半導体装置を提供する。
- [0007] 本発明の第3の態様においては、GaN系半導体からなる第1の半導体層を形成する第1半導体層形成工程と、第1の半導体層の一部を、臭素系ガスを用いて、マイクロ波プラズマプロセスでドライエッチングして、リセス部を形成するリセス部形成工程と、を備えるGaN系半導体装置を製造する半導体装置の製造方法を提供する。
- [0008] なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したのではなく、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

- [0009] [図1]本発明に係る半導体装置の断面図である。
- [図2A]図1に示した第1の実施形態に係る半導体装置の、第1の実施形態に係る製造方法を示す。
- [図2B]図1に示した第1の実施形態に係る半導体装置の、第1の実施形態に係る製造方法を示す。

[図2C]図1に示した第1の実施形態に係る半導体装置の、第1の実施形態に係る製造方法を示す。

[図3]マイクロ波プラズマ装置の断面図である。

[図4]第1の実施形態に係る製造方法で製造した半導体装置の表面のA F M像である。

[図5]比較例の半導体装置の表面のA F M像である。

[図6A]図1に示した第1の実施形態に係る半導体装置の、第2の実施形態に係る製造方法を示す。

[図6B]図1に示した第1の実施形態に係る半導体装置の、第2の実施形態に係る製造方法を示す。

[図6C]図1に示した第1の実施形態に係る半導体装置の、第2の実施形態に係る製造方法を示す。

[図6D]図1に示した第1の実施形態に係る半導体装置の、第2の実施形態に係る製造方法を示す。

[図6E]図1に示した第1の実施形態に係る半導体装置の、第2の実施形態に係る製造方法を示す。

[図7]第2の実施形態に係る製造方法で製造した半導体装置の表面のA F M像である。

[図8]第1および第2の実施形態に係る製造方法で製造した半導体装置のC－V特性を示す。

[図9]第1および第2の実施形態に係る製造方法で製造した半導体装置のJ－E特性を示す。

[図10]第1および第2の実施形態に係る製造方法で製造した半導体装置の伝達特性を示す。

[図11]第1および第2の実施形態に係る製造方法で製造した半導体装置の、キャリアの電界効果移動度を示す。

[図12]第3の実施形態に係るH F E Tの断面図である。

[図13]基板上に、バッファ層、チャネル層、ドリフト層、電子供給層、およ

び第1の犠牲層を形成した半導体基板の断面図である。

[図14]図13に示した半導体基板のSIMS測定結果を示す。

[図15]基板上に、バッファ層、チャネル層、および第2の犠牲層を、形成した半導体基板の断面図である。

[図16]図14に示した半導体基板のSIMS測定結果を示す。

発明を実施するための形態

[0010] 以下、発明の実施の形態を通じて本発明の（一）側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0011] 図1は、本発明の第1または第2の実施形態に係る製造方法で製造した半導体装置100の模式的な断面図である。半導体装置100は、例えば、GaN系MOS型電界効果トランジスタである。半導体装置100は、基板102、バッファ層104、チャネル層106、ドリフト層108、電子供給層110、ゲート絶縁膜120、ソース電極122、ドレイン電極124、およびゲート電極126を備える。

[0012] 基板102は、(111)面を主表面とするシリコン基板であってよい。また、基板102は、(0001)c面を主表面とするサファイア基板であってもよい。さらに、基板102は、SiC基板、または、GaN基板であってもよい。バッファ層104は、基板102上に形成される。バッファ層104は、例えば、GaNからなる半導体層と、AlNからなる半導体層とを、交互に、それぞれ8層ずつ積層した半導体層である。GaNからなる半導体層の厚さは、例えば、200nmである。AlNからなる半導体層の厚さは、例えば、20nmである。チャネル層106はバッファ層104上に形成される。チャネル層106は、例えば、Mgが $1 \times 10^{17} \text{ cm}^{-3}$ 程度にドーパされた、厚さ500nmのp型GaNからなる半導体層である。チャネル層106におけるドーパントは、ZnあるいはBeでもよい。

[0013] ドリフト層108は、チャネル層106上に形成される。ドリフト層10

8は、例えば、厚さ20nmのアンダーのGaNからなる半導体層（ u -GaN層）である。ドリフト層108には、チャネル層106よりもp型の不純物濃度が低いGaNからなる半導体層を用いてもよい。電子供給層110は、ドリフト層108上に形成される。電子供給層110は、例えば、厚さ20nmの $Al_YGa_{1-Y}N$ （ $Y=0.25$ ）からなる半導体層である。電子供給層110におけるAlの組成比は、 $0<Y<1$ の範囲で設定してよい。 $Al_YGa_{1-Y}N$ は、GaNよりバンドギャップが大きい。バンドギャップの差とピエゾ効果によって、ドリフト層108の、電子供給層110との界面付近に、2次元電子ガスが形成される。

- [0014] ソース電極122とドレイン電極124との間の一部に、リセス部116が形成されている。リセス部116では、電子供給層110およびドリフト層108の一部が、除去されている。また、電子供給層110およびドリフト層108の下に形成された、チャネル層106の表面の一部が除去され、リセス面128を形成している。
- [0015] ゲート絶縁膜120は、チャネル層106のリセス面128、ドリフト層108の側面、および、電子供給層110の側面と表面に接して、これらを覆って形成される。ゲート絶縁膜120は、例えば、厚さ60nmの SiO_2 膜である。ただし、ソース電極122およびドレイン電極124が形成される部分では、ゲート絶縁膜120は除去されている。
- [0016] ソース電極122およびドレイン電極124は、電子供給層110上の一部分に形成される。ソース電極122およびドレイン電極124は、例えば、いずれも厚さ25nmのTi層上に、厚さ300nmのAl層を形成した複合層である。ソース電極122およびドレイン電極124は電子供給層110上の全体にわたって形成されていてもよい。ソース電極122およびドレイン電極124は、仕事関数の大きい他の金属材料でよく、例えば、Ti/AlSi/Moからなる複合層であってもよい。
- [0017] ゲート電極126は、リセス部116における、ゲート絶縁膜120上に形成される。ゲート電極126は、例えば、厚さ25nmのTi層上に、厚

さ300nmのAl層を形成した複合層である。ゲート電極126はTi/Auからなる複合層であってもよい。

[0018] 電子供給層110およびドリフト層108は、半導体装置100の端部で除去され、隣接する他の素子と絶縁されている。さらに、チャネル層106およびバッファ層104の全部又は一部を、半導体装置100の端部で除去して、隣接する他の素子との絶縁性を高めてもよい。

[0019] 図2A～図2Cは、図1に示した半導体装置100の、本発明の第1の実施形態に係る製造方法を示す。図2A～図2Cにおいて図1と同一の符号を付した要素は、図1において説明した要素と同一の機能および構成を有してよい。図2Aは、基板102上に、バッファ層104、チャネル層106、ドリフト層108、および、電子供給層110が形成された状態を示す。

[0020] 基板102上に、GaN層とAlN層が複数積層されたバッファ層104、およびp型GaNからなるチャネル層106を、トリメチルガリウム(TMGa)、トリメチルアルミニウム(TMAI)、およびアンモニア(NH₃)を用いて、MOCVD法によりエピタキシャル成長してよい。チャネル層106のMgのドーピング源として、ビス(シクロペンタジエニル)マグネシウム(Cp₂Mg)を用いてよい。

[0021] チャネル層106上に、u-GaNからなるドリフト層108を、TMGaおよびNH₃を用いて、MOCVD法によりエピタキシャル成長してよい。また、ドリフト層108上に、Al_γGa_{1-γ}Nからなる電子供給層を、TMGa、TMAIおよびNH₃を用いて、MOCVD法によりエピタキシャル成長してよい。バッファ層104、チャネル層106、ドリフト層108および電子供給層110の成長温度は1050℃とし、キャリアガスに水素ガスを使用してよい。

[0022] 図2Bは、図2Aに示した電子供給層110上にマスク層114を形成した状態を示す。マスク層114は、例えば、アモルファスシリコンからなる。電子供給層110上に、プラズマ化学気相成長(PCVD)法を用いて、厚さ500nmのアモルファスシリコン(a-Si)層を形成する。形成し

た $a-Si$ 層を、フォトリソグラフィーおよび CF_4 ガスを用いたドライエッチングによってパターニングして、マスク層114とする。

[0023] 図2Cは、リセス部116を形成した状態を示す。図2Bに示したマスク層114を形成した後に、臭素系ガスを用いて、マイクロ波プラズマプロセスでドライエッチングし、リセス部116を形成する。マイクロ波プラズマプロセスとは、マイクロ波によりプラズマ化されたエッチング用ガスで、対象をエッチングするプロセスである。電子供給層110およびドリフト層108の、マスク層114で覆われていない部分が、ドライエッチングされて、深さ方向に貫通し、ドリフト層108の下に形成されているチャンネル層106が、当該部分で部分的に露出して、リセス面128を形成してよい。さらに、チャンネル層106の表面の一部分を、ドライエッチングして、チャンネル層106のリセス面128を形成してよい。

[0024] ドライエッチングによって、マスク層114も同時にエッチングされるので、電子供給層110およびドリフト層108のエッチング中に、マスク層114がすべてエッチングされてしまわないように、マスク層114が十分な厚さを有することが好ましい。臭素系のエッチング用ガスは、例えば、臭化水素(HBr)である。臭素系のエッチング用ガスは、臭素(Br_2)、三臭化ホウ素(BBr_3)あるいはこれらの混合ガスでもよい。

[0025] その後、残ったマスク層114を除去し、ゲート絶縁膜120、ソース電極122、ドレイン電極124、およびゲート電極126を形成して、半導体装置100とする。 SiO_2 からなるゲート絶縁膜120は、 SiH_4 および N_2O を原料ガスとして、PCVD法で形成してよい。ゲート絶縁膜120の一部分をフッ酸で除去して、電子供給層110を露出してよい。電子供給層110が露出した部分にソース電極122およびドレイン電極124を、リフトオフ法により、形成してよい。リセス部116のゲート絶縁膜120上にゲート電極126を、リフトオフ法により形成してよい。

[0026] 図3は、マイクロ波プラズマプロセスによるドライエッチングを行う、マイクロ波プラズマ装置250の模式的な断面図である。マイクロ波プラズマ

装置 250 は、ステージ 254、マイクロ波を供給するアンテナ 262、マイクロ波を導入する誘電体 256、誘電体と処理基板との間にエッチング用ガスを導入するシャワーヘッド 260、および、プラズマを用いた処理を行う処理室 258 を備える。ステージ 254 上に、処理基板 252 を配置する。

[0027] 誘電体 256 から導入したマイクロ波により、シャワーヘッド 260 から導入された臭素系ガスがプラズマ化して、処理基板 252 上に形成された半導体層をドライエッチングする。アンテナ 262 は、例えば、複数のスロット形状の孔を有する平面アンテナである。アンテナ 262 は、RLSA（ラジアンラインスロットアンテナ）でよい。

[0028] マイクロ波プラズマプロセスには、例えば、周波数 915 MHz のマイクロ波を用いる。他に、周波数 900 MHz から 2.5 GHz の間の周波数のマイクロ波を用いることができる。例えば、1.98 GHz、または、2.45 GHz のマイクロ波を用いることができる。

[0029] 図 4 は、図 2C に示すプロセスにより形成された、チャンネル層 106 のリセス面 128 の AFM 写真である。マイクロ波プラズマプロセスは、均一性に優れるので、チャンネル層 106 のリセス面 128 の算術平均粗さ R_a が 1 nm 以下、リセス面 128 の断面曲線の最大山高さと最大谷深さの差 $P-V$ が 15 nm 以下、および、リセス面 128 の二乗平均粗さ RMS が 1.4 nm 以下のいずれかとなる。第 1 の実施形態に係る製造方法で製造した半導体装置においては、リセス面 128 の算術平均粗さ R_a が 0.6773 nm、断面曲線の最大山高さと最大谷深さの差 $P-V$ が 11.61 nm、二乗平均粗さ RMS が 1.235 nm となった。

[0030] 図 5 は、比較例として、電子供給層 110 およびドリフト層 108 の一部のエッチング、およびチャンネル層 106 の表面の一部のエッチングを、ICP-RIE で行って図 2C の状態にしたときの、リセス面 128 の AFM 写真である。リセス面 128 の算術平均粗さ R_a が 1.1112 nm、断面曲線の最大山高さと最大谷深さの差 $P-V$ が 16.27 nm、二乗平均粗さ R

MSが1.436nmとなった。誘電結合プラズマは電子温度が高く、リセス面128に高エネルギーのイオン種が衝突するので、エッチングされた表面の凹凸が大きくなる。

[0031] 表1は、図4に示したリセス面128の元素の組成を、X線光電子分光（XPS）で分析した結果である。比較例として、電子供給層110およびドリフト層108の一部、並びにチャネル層106の表面の一部を、塩素ガス（ Cl_2 ）を用いたマイクロ波プラズマプロセスでドライエッチングし、図2Cの状態にしたときの、リセス面128の表面組成を示す。表1において、0.0atom%と記載されている元素は、XPS分析で検出下限以下であった。

[0032] [表1]

	エッチング用 ガス	元素組成(atom%)				
		Ga	N	Br	Cl	合計
第1の実施形態に係る製造方法で製造した半導体装置	HBr	59.8	40.0	0.2	0.0	100.0
比較例	Cl_2	57.5	37.9	0.0	4.6	100.0

[0033] 臭素系のガスをエッチング用ガスに使用すると、チャネル層のリセス面128に存在するハロゲンが3atom%以下となる。第1の実施形態に係る製造方法では、HBrをエッチング用ガスに用いて、リセス面128に存在するハロゲンが0.2atom%となった。これに対して、塩素系のガスをエッチング用ガスに使用すると、エッチング後にGaN系半導体の表面に、多くのハロゲンが残留する。表1の比較例では、リセス面128に4.6atom%の塩素が残留した。これは、塩素が半導体表面に残留しやすいことによる。チャネル層106の表面にハロゲン原子が残留していると、キャリアの電界効果移動度が低下する。したがって、チャネル層106の表面に残留するハロゲンを少なくすることが好ましい。

[0034] 図6A～図6Eは、図1の半導体装置100の、本発明の第2の実施形態

に係る製造方法を示す。図6A～図6Eにおいて図1または図2A～図2Cと同一の符号を付した要素は、図1または図2A～図2Cにおいて説明した要素と同一の機能および構成を有してよい。図6Aは、基板102上に、バッファ層104、チャネル層106、ドリフト層108、および、電子供給層110を形成した状態である。

[0035] 図6Bは、図6Aに示した電子供給層110上に接して、第1の犠牲層112を形成した状態を示す。第1の犠牲層112は、第1の犠牲層112の下に接して形成されている半導体層である電子供給層110に含まれる不純物の固溶度が、電子供給層110より高い。ここで半導体層の不純物には、半導体層の表面が酸化されて形成された酸化物、その他、半導体層の表面に存在する不純物が含まれる。

[0036] 電子供給層110は $Al_{\gamma}Ga_{1-\gamma}N$ で形成してよい。 $Al_{\gamma}Ga_{1-\gamma}N$ からなる電子供給層110の表面には、蒸気圧の高い窒素が選択的に離脱して、 Al および Ga が化学量論よりも多く存在し、不純物となっている。また、 $Al_{\gamma}Ga_{1-\gamma}N$ からなる電子供給層110の表面に、ガリウム酸化物、アルミニウム酸化物などが不純物として存在する。ここで、例えば、 SiO_2 は、当該不純物の固溶度が、 $Al_{\gamma}Ga_{1-\gamma}N$ より高い。したがって、第1の犠牲層112は SiO_2 からなってよい。

[0037] 第1の犠牲層112は、電子供給層110の全面に接してよい。または、電子供給層110の一部を処理するために、第1の犠牲層112を電子供給層110の一部に接して形成してよい。例えば、 SiO_2 からなる第1の犠牲層112を、 SiH_4 および N_2O を原料ガスとして、PCVD法で形成する。第1の犠牲層112の膜厚は、例えば、60nmである。

[0038] 第1の犠牲層112および電子供給層110をアニールしてよい。アニールの温度は600℃以上であってよい。例えば、窒素雰囲気中において、第1の犠牲層112および電子供給層110を800℃で30分間、アニールする。アニールには電気炉を使用してよい。電子供給層110の不純物の固溶度が、電子供給層110よりも、第1の犠牲層112に対して高いので、

アニール中に電子供給層 110 から第 1 の犠牲層 112 に当該不純物が拡散する。例えば、 $Al_{1-y}Ga_{1-y}N$ からなる電子供給層 110 の不純物である、電子供給層 110 の表面のガリウムおよびガリウム酸化物が第 1 の犠牲層 112 に拡散する。

[0039] 第 1 の犠牲層 112 および電子供給層 110 をアニールした後、第 1 の犠牲層 112 をウェットプロセスで除去する。当該ウェットプロセスでは、電子供給層 110 に対して、第 1 の犠牲層 112 を選択的にウェットエッチングできるエッチャントを使用する。 SiO_2 を選択的にエッチングできるフッ酸をエッチャントして用いることができる。例えば、液温 23℃ に制御したバッファードフッ酸を用いる。ウェットエッチングによって、第 1 の犠牲層 112 に拡散した電子供給層 110 の不純物が、第 1 の犠牲層 112 と共に除去される。これにより、清浄でかつ平坦な、電子供給層 110 の表面が得られる。

[0040] 変形例として、第 1 の犠牲層 112 を形成する工程、第 1 の犠牲層 112 と電子供給層 110 をアニールする工程、および第 1 の犠牲層 112 を除去する工程を、2 回以上繰り返してもよい。これにより、電子供給層 110 の表面をさらに清浄にすることができる。

[0041] 図 6C は、図 6B に示した電子供給層 110 上に、マスク層 114 を形成した状態を示す。マスク層 114 は $a-Si$ で形成してよい。マスク層 114 は、図 2B に示したマスク層 114 と同一の方法で形成してよい。図 6D は、リセス部 116 を形成した状態を示す。本例のリセス部 116 は、図 2C のリセス部 116 と同一の方法で形成してよい。チャンネル層 106 の一部が露出して、リセス面 128 を形成してよい。電子供給層 110 およびドリフト層 108 の一部をドライエッチングする前に、電子供給層 110 の表面における不純物を除去したので、平坦なリセス面 128 を形成することができる。

[0042] 図 6E は、第 2 の犠牲層 118 を形成した状態を示す。第 2 の犠牲層 118 は、チャンネル層 106 の、露出しているリセス面 128 に接して形成され

る。第2の犠牲層118は、第2の犠牲層118の下に接して形成されている半導体層であるチャネル層106に含まれる不純物の固溶度が、チャネル層106より高い。

[0043] チャネル層106はp型Ga_{0.5}N_{0.5}で形成してよい。p型Ga_{0.5}N_{0.5}からなるチャネル層106の表面には、蒸気圧の高い窒素が選択的に離脱して、Gaが化学量論よりも多く存在し、不純物となっている。また、p型Ga_{0.5}N_{0.5}からなるチャネル層106の表面に、ガリウム酸化物などが不純物として存在する。なお、ここでいうチャネル層の不純物は、p型Ga_{0.5}N_{0.5}のドーパントを含まない。例えば、SiO₂は、当該不純物の固溶度が、p型Ga_{0.5}N_{0.5}より高い。したがって、第2の犠牲層118はSiO₂からなってよい。

[0044] 第2の犠牲層118は、チャネル層106が露出しているリセス面128に接する。第2の犠牲層118は、パターニングされたドリフト層108および電子供給層110も覆ってよい。例えば、SiO₂からなる第2の犠牲層118を、SiH₄およびN₂Oを原料ガスとして、PCVD法で形成する。第2の犠牲層118の膜厚は、例えば、60nmである。

[0045] その後、第2の犠牲層118およびチャネル層106のアニール、および第2の犠牲層118の除去を、第1の犠牲層112と同様に行う。チャネル層106のリセス面128の不純物が、第2の犠牲層118およびチャネル層のアニールで第2の犠牲層118に拡散する。当該アニールで、チャネル層106の不純物であるGaおよびGa酸化物などが、第2の犠牲層118に拡散する。当該不純物が、第2の犠牲層118をウェットプロセスで除去するときに、第2の犠牲層118と共に除去され、清浄で、かつ、平坦な、チャネル層106のリセス面128が得られる。その後、ゲート絶縁膜120を、チャネル層106のリセス面128、ドリフト層108の側面、および、電子供給層110の側面と表面に接して、これらを覆って形成してよい。電子供給層110の表面の一部でゲート絶縁膜120を除去して、ゲート絶縁膜120が除去された部分にソース電極122およびドレイン電極124を形成し、図1の半導体装置100を製造してよい。

- [0046] 変形例として、第2の犠牲層118を形成する工程、第2犠牲層118とチャネル層106をアニールする工程、および第2の犠牲層118を除去する工程を、2回以上繰り返してもよい。
- [0047] 上記以外の製造方法は、第1の実施形態に係る製造方法と同様である。こうして、図1の半導体装置100が得られる。
- [0048] 第1の犠牲層112および第2の犠牲層118は、基板102の温度が500℃以下で形成するのが好ましい。基板102の温度が500℃を超えると、Ga N系半導体から窒素(N)が離脱して、組成が化学量論からずれることがある。
- [0049] 第1の犠牲層112および第2の犠牲層118は、CVDで成膜したSiO₂に限られず、CVD法、スパッタリング、又は蒸着により成膜した、SiO_x (0<X≤2)、AlO_x (0<X≤1.5)、SiN_x (0<X≤4/3)、GaO_x (0<X≤1.5)、HfO_x (0<X≤2)、GdO_x (0<X≤1.5)、MgO_x (0<X≤1)、ScO_x (0<X≤1.5)、ZrO_x (0<X≤2)、TaO_x (0≤X≤2.5)、TiO_x (0≤X≤2)、NiO_x (0≤X≤1.5)、およびバナジウム(V)のいずれか一つ以上からなる膜でよい。Ga N系半導体の不純物の固溶度は、Ga N系不純物よりも、これらの材料に対して高いためである。
- [0050] さらに好ましくは、SiO_x (0<X≤2)、AlO_x (0<X≤1.5)、SiN_x (0<X≤4/3)、GaO_x (0<X≤1.5)、HfO_x (0<X≤2)、GdO_x (0<X≤1.5)、MgO_x (0<X≤1)、ScO_x (0<X≤1.5)、ZrO_x (0<X≤2)、TaO_x (0<X≤2.5)、TiO_x (0<X≤2)、およびNiO_x (0<X≤1.5)のいずれか一つ以上からなる、第1の犠牲層112または第2の犠牲層118は、CVD法により形成してよい。また、Ta、Ti、Ni、およびVのいずれか一つ以上からなる、第1の犠牲層112または第2の犠牲層118は、スパッタ法あるいは蒸着法により形成してよい。
- [0051] 図7は、図6Dに示したプロセスで形成された、チャネル層106のリセ

ス面 128 の A F M 写真である。マイクロ波プラズマプロセスが均一性に優れる。また、第 1 の犠牲層 112 を用いた前処理によって電子供給層 110 の表面が清浄かつ平坦になる。これによって、チャネル層 106 のリセス面 128 の算術平均粗さ R_a が 0.5 nm 以下、リセス面 128 の断面曲線の最大山高さと最大谷深さの差 $P-V$ が 10 nm 以下、および、リセス面 128 の二乗平均粗さ RMS が 1.1 nm 以下のいずれかとなる。したがって、電子供給層 110 およびドリフト層 108 の一部分のドライエッチングを、均一に行うことができる。第 2 の実施形態に係る製造方法で製造した半導体装置においては、リセス面 128 の算術平均粗さ R_a が 0.4322 nm 、断面曲線の最大山高さと最大谷深さの差 $P-V$ が 5.618 nm 、二乗平均粗さ RMS が 0.5494 nm となった。

[0052] 図 8 は、第 1 および第 2 の実施形態に係る製造方法で製造した半導体装置 100 のゲート電極 126 と、チャネル層 106 の間の電圧－容量特性 ($C-V$ 特性) を示す。破線が第 1 の実施形態、実線が第 2 の実施形態で製造した半導体装置 100 に、それぞれ対応する。 $C-V$ 特性の測定は、 1 MHz で行った。ゲート電圧 (V_g) が 0 V のとき、第 1 の実施形態で製造した半導体装置 100 では、 C/C_{ox} が 0.9 である。第 2 の実施形態で製造した半導体装置 100 では、 C/C_{ox} が 0.95 を超えている。 $C-V$ 特性曲線の傾きが、第 1 の実施形態で製造した半導体装置 100 より、第 2 の実施形態で製造した半導体装置 100 で大きい。これは、第 1 の実施形態で製造した半導体装置 100 より、第 2 の実施形態で製造した半導体装置 100 で、チャネル層 106 とゲート絶縁膜 120 の界面の、界面準位密度が小さいことを示す。

[0053] 図 9 は、第 1 および第 2 の実施形態に係る製造方法で製造した半導体装置 100 の $J-E$ 特性を示す。横軸はチャネルの電界強度、縦軸はチャネルの電流密度を表す。破線が第 1 の実施形態、実線が第 2 の実施形態で製造した半導体装置 100 に、それぞれ対応する。第 1 の実施形態で製造した半導体装置 100 では、電界強度が 4.5 MV/cm^2 近辺から電流密度が立ち上が

り始め、 11 MV/cm^2 で降伏現象が起こる。第2の実施形態で製造した半導体装置100では、電界強度が 6.5 MV/cm^2 近辺から電流密度が立ち上がり始め、降伏現象が起こるのは、電界強度が 12 MV/cm^2 を超えてからである。

[0054] 図10は、第1および第2の実施形態に係る製造方法で製造した半導体装置100の伝達特性を示す。破線が第1の実施形態、実線が第2の実施形態で製造した半導体装置100に、それぞれ対応する。ソース電極122と、ドレイン電極124との間の電圧(V_{ds})を 0.1 V 、チャネル長を $6\text{ }\mu\text{m}$ 、チャネル幅を 0.84 mm とした。チャネル長は、図1において、ソース電極122下に形成されたドリフト層108のゲート電極126側に近い端部と、ドレイン電極124下に形成されたドリフト層108のゲート電極126側に近い端部との、間の長さに対応する。第1の実施形態で製造した半導体装置100では、ゲート電圧が 10 V でドレイン電流が 0.37 mA 、ゲート電圧が 15 V でドレイン電流が 0.7 mA である。第2の実施形態で製造した半導体装置100では、ゲート電圧が 10 V でドレイン電流が 0.5 mA 、ゲート電圧が 15 V でドレイン電流が 0.9 mA である。

[0055] 図11は、第1および第2の実施形態に係る製造方法で製造した半導体装置100の、キャリアの電界効果移動度を示す。黒い四角形が第1の実施形態、中の白い四角形が第2の実施形態で製造した半導体装置100に、それぞれ対応する。ソース電極122と、ドレイン電極124との間の電圧(V_{ds})を 0.1 V とした。第1の実施形態で製造した半導体装置100は、チャネル長が $30\text{ }\mu\text{m}$ 以上で、キャリアの電界効果移動度が $140\text{ cm}^2/\text{Vs}$ を超えており、チャネル長が $50\text{ }\mu\text{m}$ で、電界効果移動度が $160\text{ cm}^2/\text{Vs}$ となる。第2の実施形態で製造した半導体装置100では、チャネル長が $15\text{ }\mu\text{m}$ 以上となるとキャリアの電界効果移動度が $140\text{ cm}^2/\text{Vs}$ を超えており、チャネル長が $30\text{ }\mu\text{m}$ で電界効果移動度が $170\text{ cm}^2/\text{Vs}$ 以上、チャネル長が $50\text{ }\mu\text{m}$ で電界効果移動度が $190\text{ cm}^2/\text{Vs}$ となる。

[0056] 図12は、本発明の第3の実施形態に係るHFET130(GaN系ヘテ

口接合電界効果トランジスタ)の模式的な断面図である。図12において図1と同一の符号を付した要素は、図1において説明した要素と同一の機能および構成を有してよい。H F E T 1 3 0は、基板102、バッファ層104、電子走行層132、電子供給層110、絶縁層134、ソース電極122、ドレイン電極124、およびゲート電極126を備える。基板102として、(111)面を主表面とするシリコン基板を用いてよい。サファイア基板、SiC基板、または、GaN基板を用いることもできる。バッファ層104は、基板102上に形成される。バッファ層104は、AlGaNからなる半導体層でよい。電子走行層132は、バッファ層104上に形成される。電子走行層132は、GaNからなる半導体層でよい。電子供給層110は、電子走行層132上に形成される。電子供給層110は、 $\text{Al}_{0.25}\text{Ga}_{0.75}\text{N}$ からなる半導体層であってよい。電子走行層132の、電子供給層110との界面付近に、2次元電子ガスが形成される。ソース電極122、ドレイン電極124、およびゲート電極126は、電子供給層110上の一部分に形成される。

[0057] H F E T 1 3 0は以下のようにして形成してよい。以下の説明において、図6A～図6Eと同一の符号を用いて説明した要素は、図6A～図6Eにおいて説明した要素と同一の機能および構成を有してよい。まず、基板102上に、バッファ層104、電子走行層132、および電子供給層110を形成する。その後、電子供給層110に接して、電子供給層110の不純物の固溶度が、電子供給層110より高い第1の犠牲層を形成する。電子供給層110および第1の犠牲層をアニールした後、第1の犠牲層をウェットプロセスで除去する。これにより、電子供給層110の不純物を除去し、電子供給層110の表面を平坦にする。第1の犠牲層を用いた前処理は、第2の実施形態に係る製造方法と同様に行ってよい。

[0058] 電子供給層110の表面を、第1の犠牲層で前処理した後に、絶縁層134を、電子供給層110上に形成する。絶縁層134は、CVD法で形成した SiO_2 膜でよい。ソース電極122、ドレイン電極124、およびゲート

電極 1 2 6 を形成する部分の絶縁層 1 3 4 を除去する。当該除去は、臭素系のエッチング用ガスを用いた、マイクロ波プラズマプロセスによるドライエッチングで行ってよい。マイクロ波プラズマプロセスは第 1 の実施形態に係る製造方法と同様に行ってよい。臭素系のエッチング用ガスを用いたマイクロ波プラズマプロセスによって、電子供給層 1 1 0 の表面が平坦となり、表面に残留するハロゲンの量が少なくなる。絶縁層 1 3 4 を除去した部分の電子供給層 1 1 0 上に、ソース電極 1 2 2、ドレイン電極 1 2 4、およびゲート電極 1 2 6 が形成される。ソース電極 1 2 2、ドレイン電極 1 2 4、およびゲート電極 1 2 6 は、蒸着法で形成した $Ti/Al/Au$ であってよい。

[0059] 以上の実施形態では、Ga N 系の MOS 型電界効果トランジスタおよび Ga N 系ヘテロ接合電界効果トランジスタの製造方法を説明したが、これに限られず、III-V 族化合物半導体を含む、他の半導体を用いた MOS 型電界効果トランジスタおよびヘテロ接合電界効果トランジスタにも、第 1 および第 2 の実施形態に係る製造方法で説明した犠牲層を適用することができる。例えば、Ga As および Al Ga As などの Ga As 系半導体装置において、Ga As 系半導体層の表面に、As が化学量論よりも過剰に存在し、不純物となる。また、As 酸化物が Ga As 系半導体層の表面に存在する。そこで、Ga As 系半導体層の不純物の固溶度が、Ga As 系半導体層よりも高い犠牲層を、Ga As 系半導体層上に形成してよい。Ga As 系半導体層および当該犠牲層をアニールした後、当該犠牲層をウェットプロセスで除去することができる。したがって、Ga As 系半導体層の表面を、犠牲層で前処理して、Ga As 系半導体層の表面を清浄でかつ平坦にすることができる。Ga As 系半導体層に用いる当該犠牲層は、例えば、As の固溶度が、Ga As 系半導体層より高いポリシリコン膜、あるいはアモルファスシリコン膜でよい。

[0060] また、マイクロ波プラズマを用いたエッチング、および犠牲層を用いた前処理を、MISFET、バイポーラトランジスタ、ショットキーダイオードその他の半導体デバイスの製造方法に用いることができる。

[0061] 図13は、基板102上に、バッファ層104、チャネル層106、ドリフト層108、電子供給層110、および第1の犠牲層112を形成した状態を示す。図13において図6Bと同一の符号を付した要素は、図6Bにおいて説明した要素と同一の機能および構成を有してよい。本例においては、バッファ層104はGa_aN層およびAl₁N層を交互に積層した複合層である。チャネル層106は、p型Ga_aNからなる。ドリフト層108は、u-Ga_aNからなる。電子供給層110は、Al_YGa_{1-Y}N（0<Y<1）からなる。第1の犠牲層112は厚さ60nmのSiO₂からなる。この構成は、図6Bに示す電子供給層110上に第1の犠牲層112を形成した状態に相当する。

[0062] 図14のグラフは、図13に示した状態で、シリコン、酸素およびガリウムの原子の深さ方向分布をSIMS分析により測定した結果を示す。SIMS分析の一次イオンにはセシウムイオンを用いた。グラフの横軸が表面からの深さ、縦軸がイオンカウントを表す。グラフにおいて、二点鎖線は、第1の犠牲層112を形成して、アニールを行う前に測定した結果を示す。一点鎖線は、第1の犠牲層112を形成して、800℃で30分間、窒素雰囲気中でアニールした状態で測定した結果を示す。アニール後に、バッファードフッ酸で第1の犠牲層112を除去し、もう一度、第1の犠牲層112を形成して、SIMS分析を行った結果を、実線で示す。その後、800℃で30分間、窒素雰囲気中でアニールして、SIMS分析を行った結果を破線で示す。

[0063] SIMS分析の結果から、アニールにより、Al_YGa_{1-Y}Nからなる電子供給層110の表面から、SiO₂からなる第1の犠牲層112に、Ga原子が拡散していることがわかる。ここで、電子供給層110の表面には、化学量論より過剰なGaが不純物として存在し、また、Gaの酸化物が不純物として存在する。SIMS分析の結果は、第1の犠牲層112に、当該不純物がゲッタリングされたことを示す。これは、Gaの固溶度が、Al_YGa_{1-Y}Nよりも、SiO₂に対して高いことによる。

[0064] また、図14に示したSIMS分析の結果は、第1の犠牲層112を形成して、第1の犠牲層112および電子供給層110をアニールし、その後、第1の犠牲層112を除去することにより、電子供給層110の表面の酸化物が除去されていることを示す。当該結果は、第1の犠牲層112を用いた前処理を繰り返すことによって、 $Al_{\gamma}Ga_{1-\gamma}N$ の不純物の除去が進んで、電子供給層110の表面が、清浄になることを示す。

[0065] 図15は、基板102上に、Ga₂N層およびAl₂N層を交互に積層したバッファ層104、p型Ga₂Nからなるチャネル層106、および厚さ60nmのSiO₂からなる第2の犠牲層118を、形成した状態を示す。図15において図6Eと同一の符号を付した要素は、図6Eにおいて説明した要素と同一の機能および構成を有してよい。この構成は、図6Eに示すチャネル層106のリセス面128上に第2の犠牲層118を形成した状態に相当する。

[0066] 図16のグラフは、図15に示した状態で、シリコン、酸素およびガリウムの原子の深さ方向分布をSIMSで測定した結果を示す。SIMS分析は図14に示した分析と同様に行った。二点鎖線は、第2の犠牲層118を形成し、アニールを行う前に測定した結果を示す。一点鎖線は、第2の犠牲層118を形成して、800℃で30分間、窒素雰囲気中でアニールした状態で測定した結果を示す。アニール後に、バッファードフッ酸で第2の犠牲層118を除去し、もう一度、第2の犠牲層118を形成して、SIMS分析を行った結果を実線で示す。その後、800℃で30分間、窒素雰囲気中でアニールして、SIMS分析を行った結果を、破線で示す。

[0067] SIMS分析の結果から、アニールにより、p型Ga₂Nからなるチャネル層106の表面から、SiO₂からなる第2の犠牲層118に、Ga原子が拡散していることがわかる。ここで、チャネル層106の表面には、化学量論より過剰なGaが不純物として存在し、また、Gaの酸化物が不純物として存在する。SIMS分析の結果は、第2の犠牲層118に、当該不純物がゲッターリングされたことを示す。これは、Gaの固溶度が、p型Ga₂Nよりも

、 SiO_2 に対して高いことによる。また、図16に示したSIMS分析の結果は、第2の犠牲層118を形成して、第2の犠牲層118およびチャンネル層106をアニールし、その後第2の犠牲層118を除去することにより、チャンネル層106の表面の酸化物が除去されていることを示す。

[0068] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0069] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0070] 100 半導体装置、102 基板、104 バッファ層、106 チャンネル層、108 ドリフト層、110 電子供給層、112 犠牲層、114 マスク層、116 リセス部、118 犠牲層、120 ゲート絶縁膜、122 ソース電極、124 ドレイン電極、126 ゲート電極、128 リセス面、130 HFET、132 電子走行層、134 絶縁層、250 マイクロ波プラズマ装置、252 処理基板、254 ステージ、256 誘電体、258 処理室、260 シャワーヘッド、262 アンテナ

請求の範囲

- [請求項1] 第1の半導体層と、
前記第1の半導体層の一部が除去されたりセス部と、
前記第1の半導体層の下に形成され、窒化ガリウム系半導体からなる第2の半導体層と、を備え、
前記リセス部における、前記第2の半導体層のリセス面に存在するハロゲンが3 a t o m %以下である
窒化ガリウム系半導体装置。
- [請求項2] 前記第2の半導体層の、前記リセス面の算術平均粗さR aが1 n m以下、前記リセス面の断面曲線の最大山高さと最大谷深さの差P - Vが1 5 n m以下、および、前記リセス面の二乗平均粗さR M Sが1 . 4 n m以下のいずれかである請求項1に記載の窒化ガリウム系半導体装置。
- [請求項3] 前記第2の半導体層の、前記リセス面の算術平均粗さR aが0 . 5 n m以下、前記リセス面の断面曲線の最大山高さと最大谷深さの差P - Vが1 0 n m以下、および、前記リセス面の二乗平均粗さR M Sが1 . 1 n m以下のいずれかである請求項2に記載の窒化ガリウム系半導体装置。
- [請求項4] 前記第2の半導体層の前記リセス面に接して、絶縁層が形成された請求項1から3のいずれか一項に記載の窒化ガリウム系半導体装置。
- [請求項5] 前記第2の半導体層がチャネル層であり、前記絶縁層がゲート絶縁膜である請求項4に記載の窒化ガリウム系半導体装置。
- [請求項6] 窒化ガリウム系半導体からなる第1の半導体層を形成する第1半導体層形成工程と、
前記第1の半導体層の一部を、臭素系ガスを用いて、マイクロ波プラズマプロセスでドライエッチングして、リセス部を形成するリセス部形成工程と、を備える
窒化ガリウム系半導体装置を製造する半導体装置の製造方法。

[請求項7] 前記マイクロ波プラズマプロセスが、プラズマを用いた処理を行う処理室と、マイクロ波を導入する誘電体と、前記誘電体と前記第1の半導体層との間にエッチング用ガスを導入するシャワーヘッドとを備えたマイクロ波プラズマ装置で行われる、請求項6に記載の半導体装置の製造方法。

[請求項8] 前記第1の半導体層に接して、前記第1の半導体層に含まれる不純物の固溶度が、前記第1の半導体層より高い、第1の犠牲層を形成する第1犠牲層形成工程と、

前記第1の犠牲層および前記第1の半導体層をアニールする第1アニール工程と、

前記第1の犠牲層をウェットプロセスで除去する第1除去工程と、を更に備え、

前記第1の犠牲層が除去された領域を、前記リセス部形成工程において、前記マイクロ波プラズマプロセスでエッチングする請求項6または7に記載の半導体装置の製造方法。

[請求項9] 前記第1の犠牲層が500℃以下で形成される請求項8に記載の半導体装置の製造方法。

[請求項10] 前記第1の犠牲層が、 SiO_x ($0 < x \leq 2$)、 AlO_x ($0 < x \leq 1.5$)、 SiN_x ($0 < x \leq 4/3$)、 GaO_x ($0 < x \leq 1.5$)、 HfO_x ($0 < x \leq 2$)、 GdO_x ($0 < x \leq 1.5$)、 MgO_x ($0 < x \leq 1$)、 ScO_x ($0 < x \leq 1.5$)、 ZrO_x ($0 < x \leq 2$)、 TaO_x ($0 \leq x \leq 2.5$)、 TiO_x ($0 \leq x \leq 2$)、 NiO_x ($0 \leq x \leq 1.5$)、およびVのいずれか一つ以上からなる請求項8または9に記載の半導体装置の製造方法。

[請求項11] 前記第1の半導体層の下に第2の半導体層を形成する第2半導体層形成工程を更に備え、

前記リセス部形成工程で形成される前記リセス部が、前記第1の半導体層を深さ方向に貫通し、前記第2の半導体層が前記リセス部で部

分的に露出し、

前記リセス部における、前記第2の半導体層の露出面に接して、前記第2の半導体層に含まれる不純物の固溶度が、前記第2の半導体層より高い第2の犠牲層を形成する第2犠牲層形成工程と、

前記第2の犠牲層および前記第2の半導体層をアニールする第2アニール工程と、

前記第2の犠牲層をウェットプロセスで除去する第2除去工程と、
を更に備える請求項6から10のいずれか一項に記載の半導体装置の製造方法。

[請求項12] 前記第2の半導体層が、窒化ガリウム系半導体からなる請求項11に記載の半導体装置の製造方法。

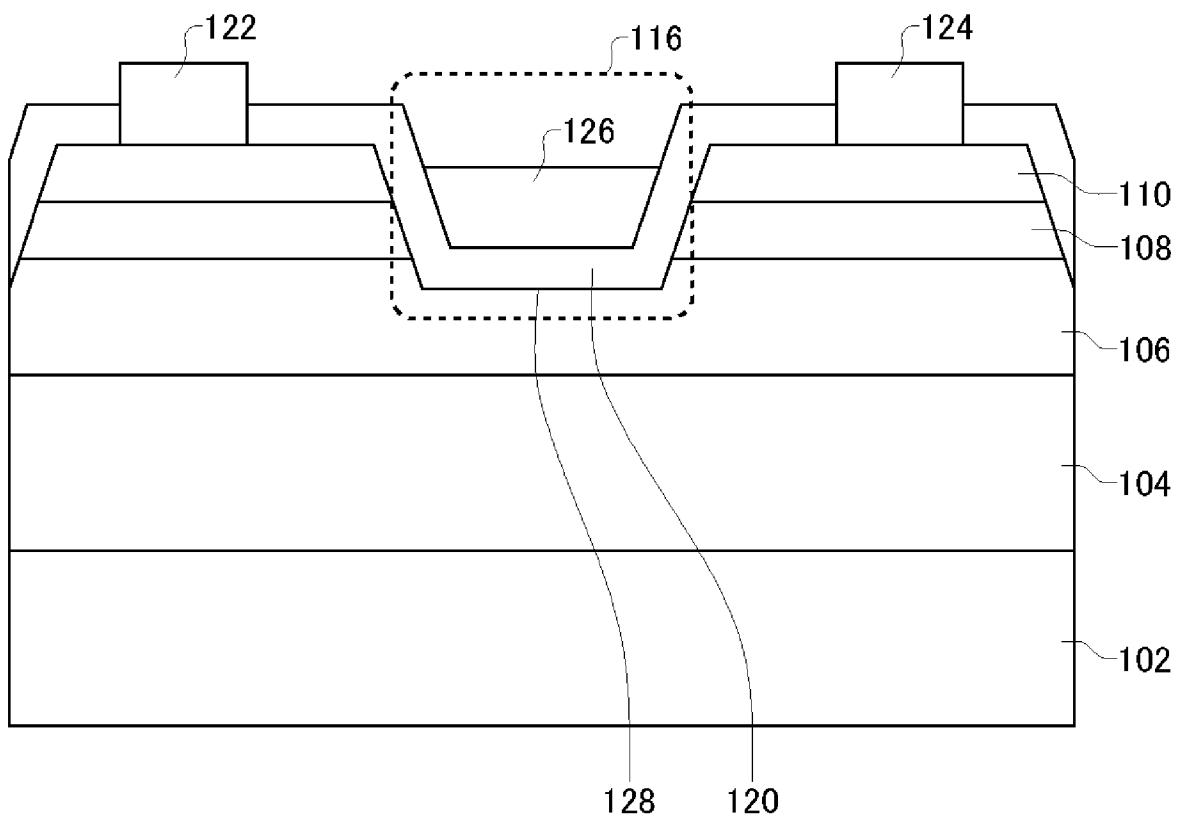
[請求項13] 前記第1の半導体層に電氣的に接続された、ソース電極、およびドレイン電極を形成する電極層形成工程を更に備える請求項12に記載の半導体装置の製造方法。

[請求項14] 前記第2の犠牲層が500℃以下で形成される請求項12または13に記載の半導体装置の製造方法。

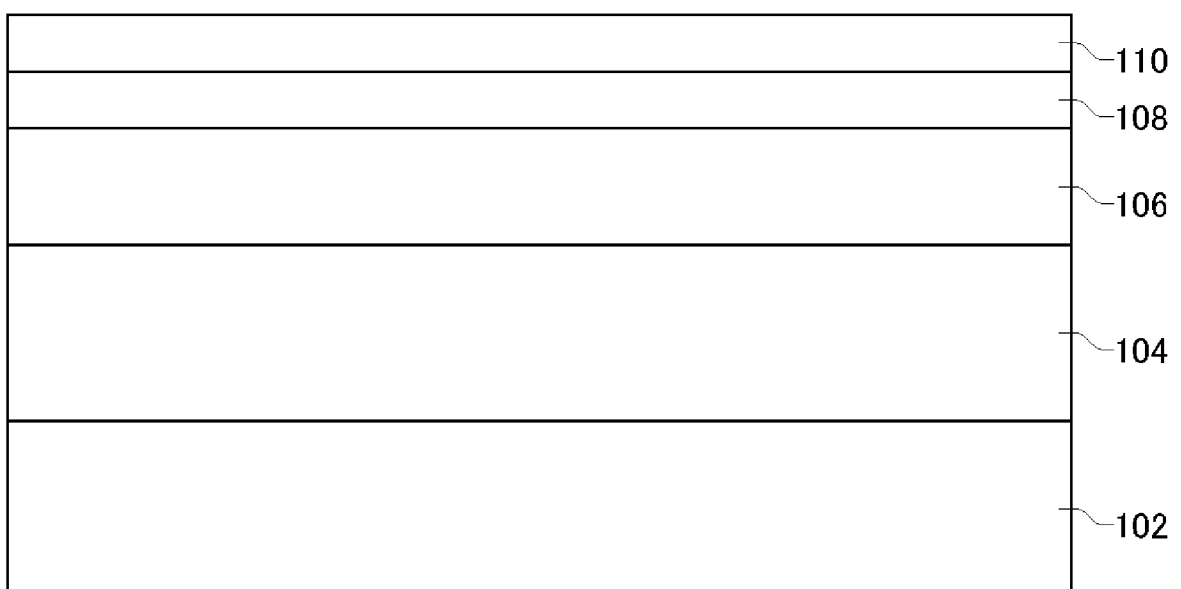
[請求項15] 前記第2の犠牲層が、 SiO_x ($0 < x \leq 2$)、 AlO_x ($0 < x \leq 1.5$)、 SiN_x ($0 < x \leq 4/3$)、 GaO_x ($0 < x \leq 1.5$)、 HfO_x ($0 < x \leq 2$)、 GdO_x ($0 < x \leq 1.5$)、 MgO_x ($0 < x \leq 1$)、 ScO_x ($0 < x \leq 1.5$)、 ZrO_x ($0 < x \leq 2$)、 TaO_x ($0 \leq x \leq 2.5$)、 TiO_x ($0 \leq x \leq 2$)、 NiO_x ($0 \leq x \leq 1.5$)、およびVのいずれか一つ以上からなる請求項12から14のいずれか一項に記載の半導体装置の製造方法。

[請求項16] 前記第2の犠牲層を形成する工程において、CVD法、スパッタリング、又は蒸着により、前記第2の犠牲層を成膜する請求項11から15のいずれか一項に記載の半導体装置の製造方法。

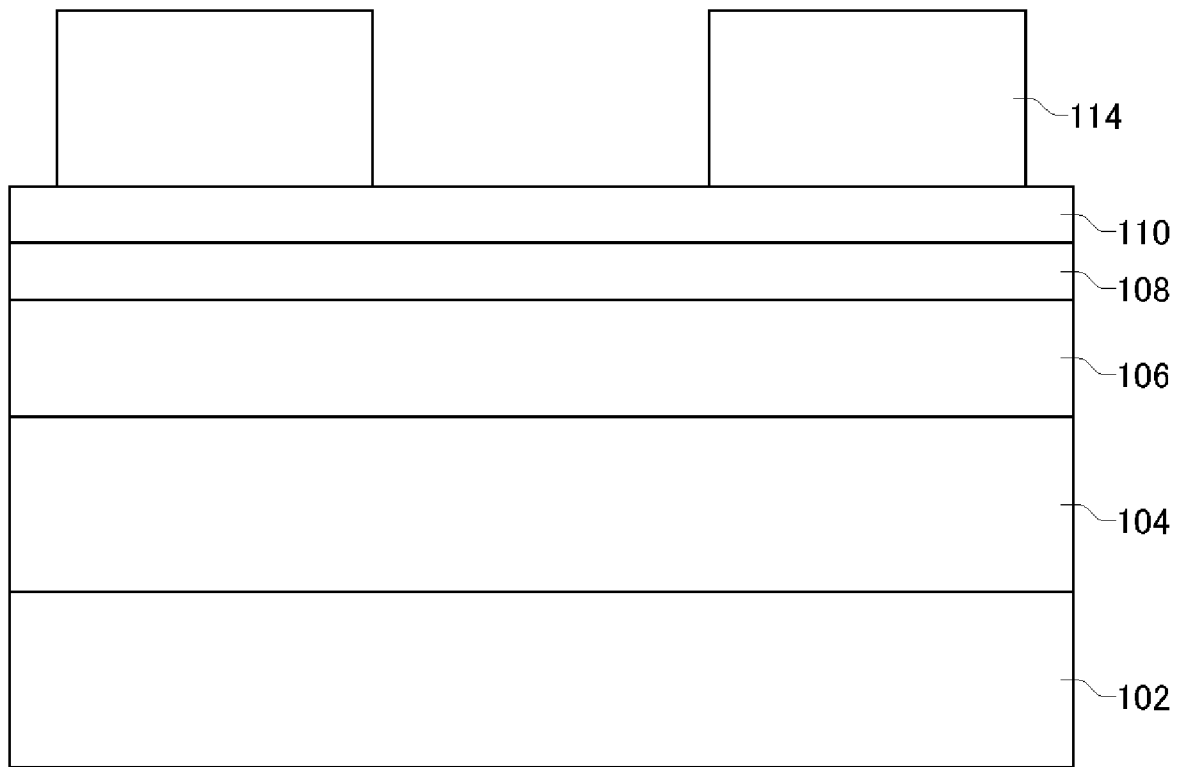
[図1]

100

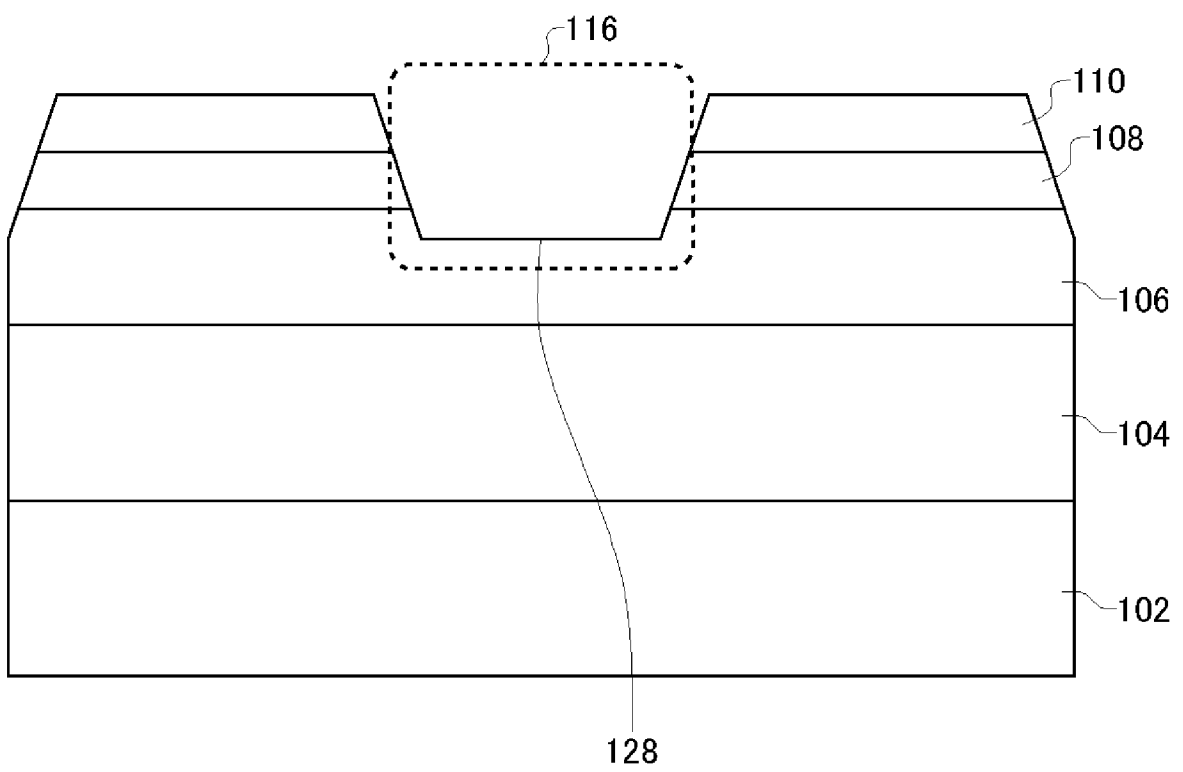
[図2A]



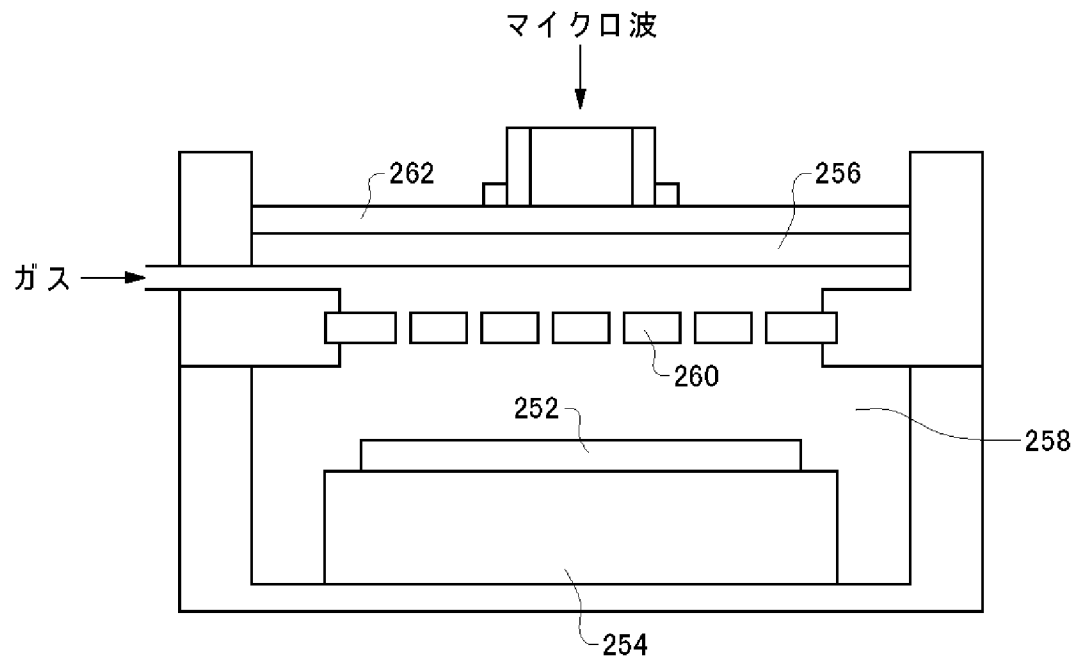
[図2B]



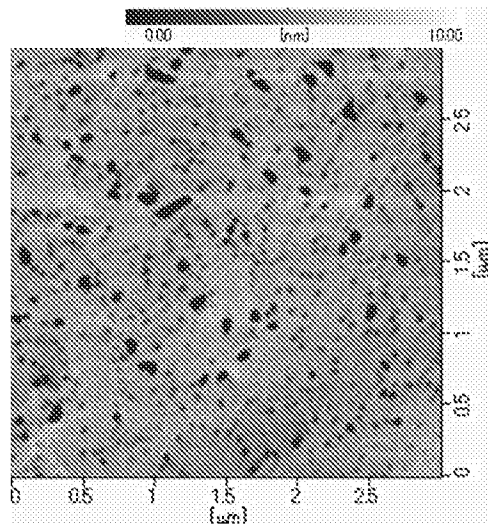
[図2C]



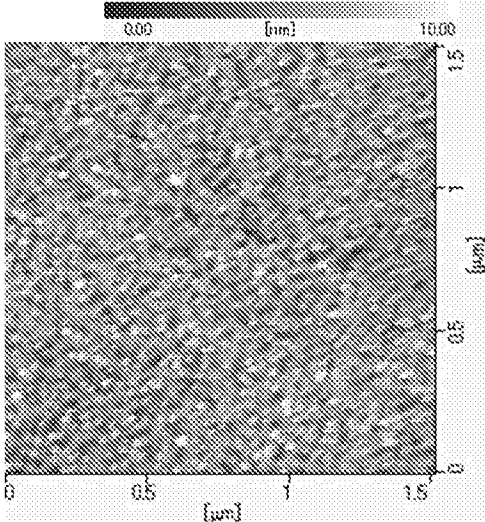
[図3]

250

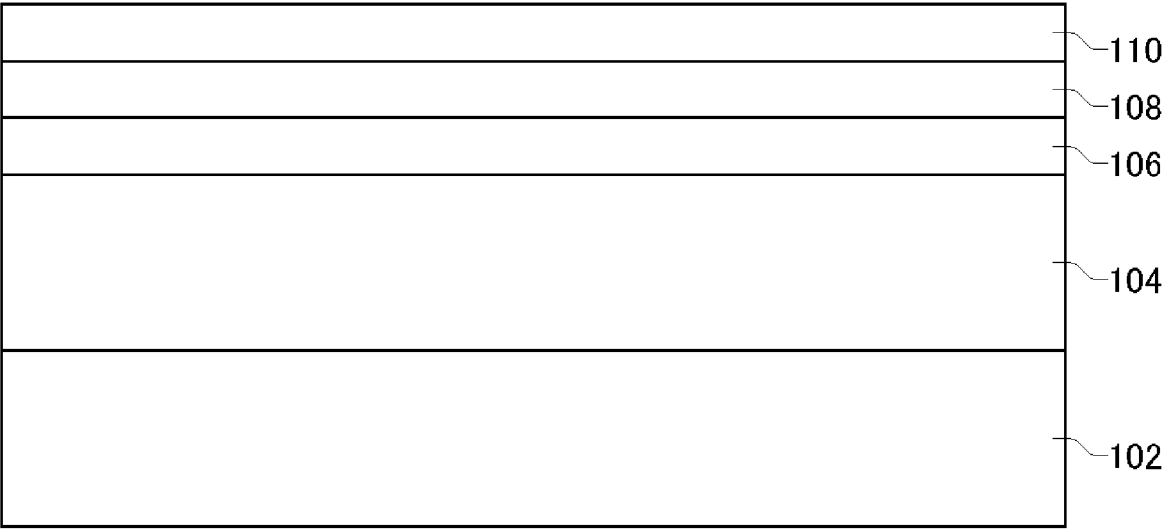
[図4]



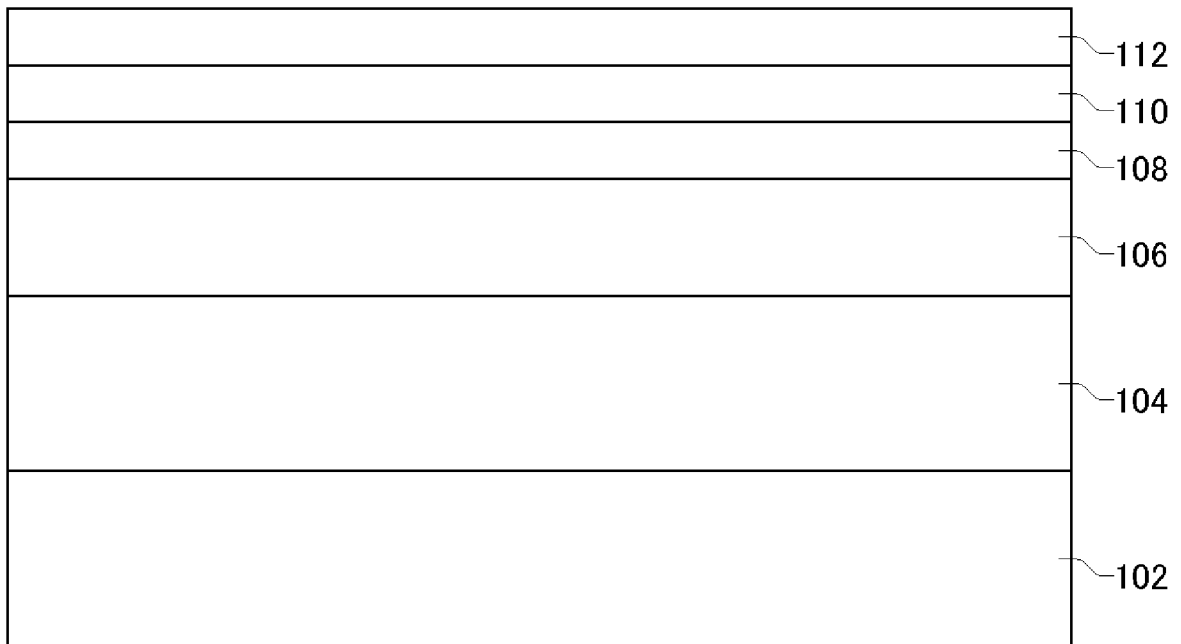
[図5]



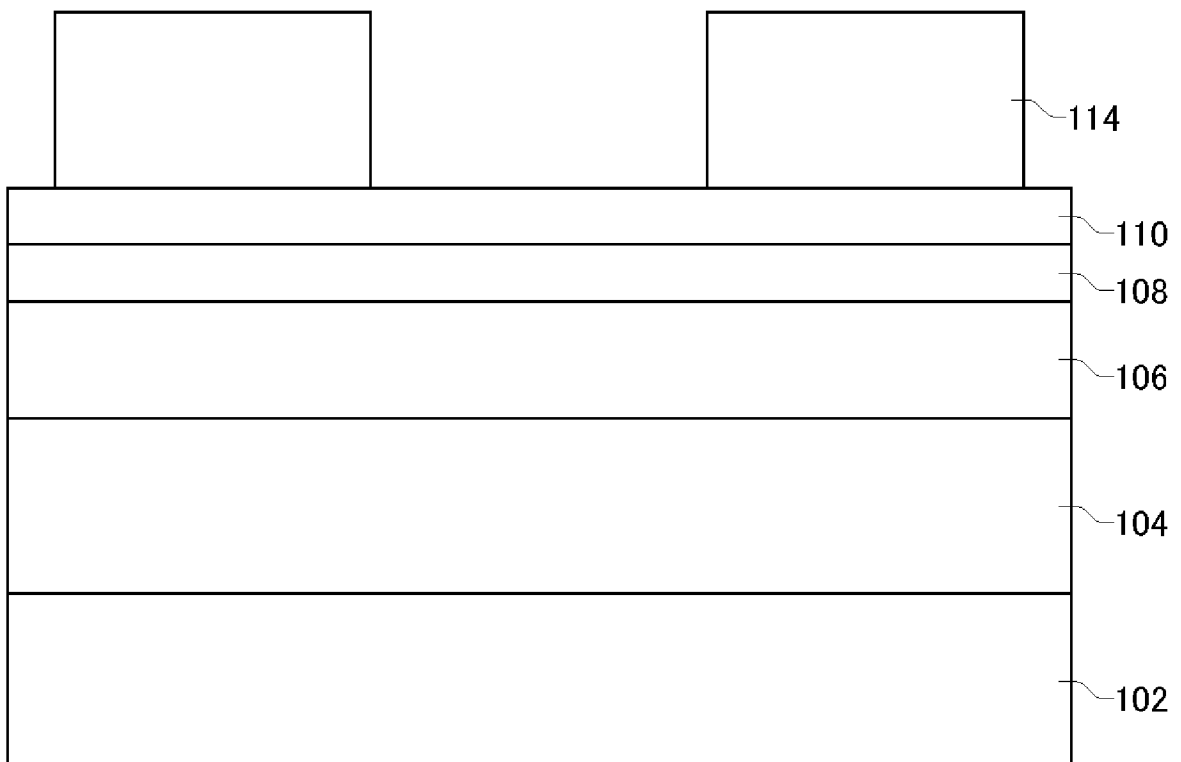
[図6A]



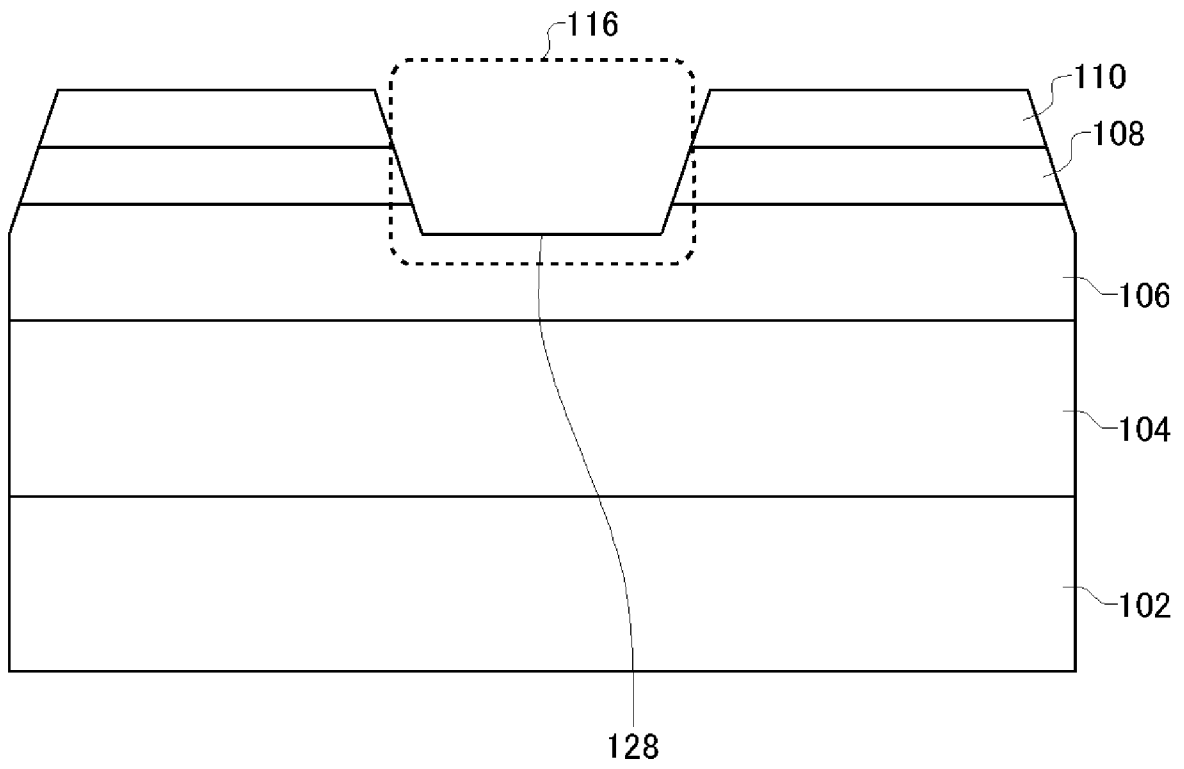
[図6B]



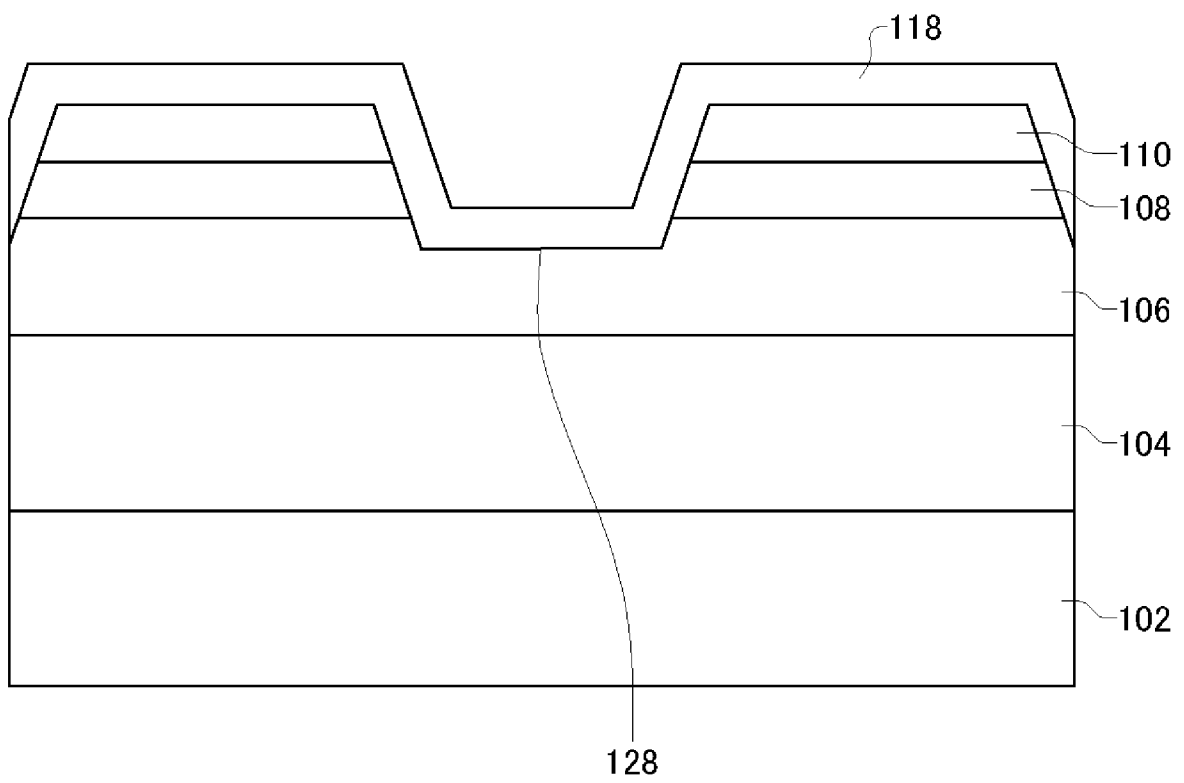
[図6C]



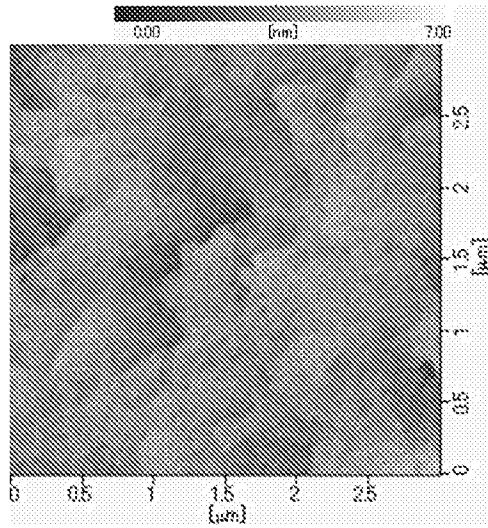
[図6D]



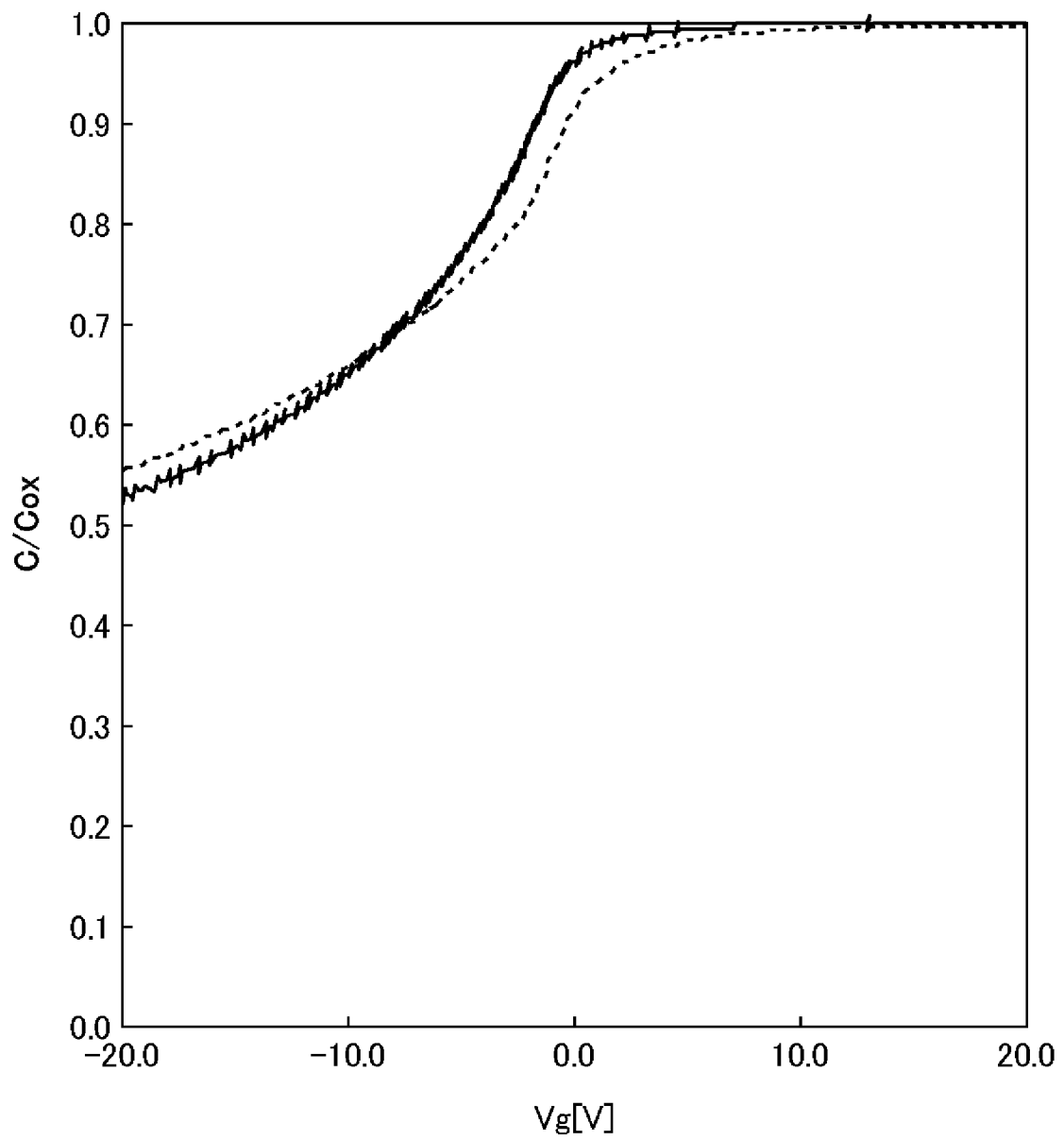
[図6E]



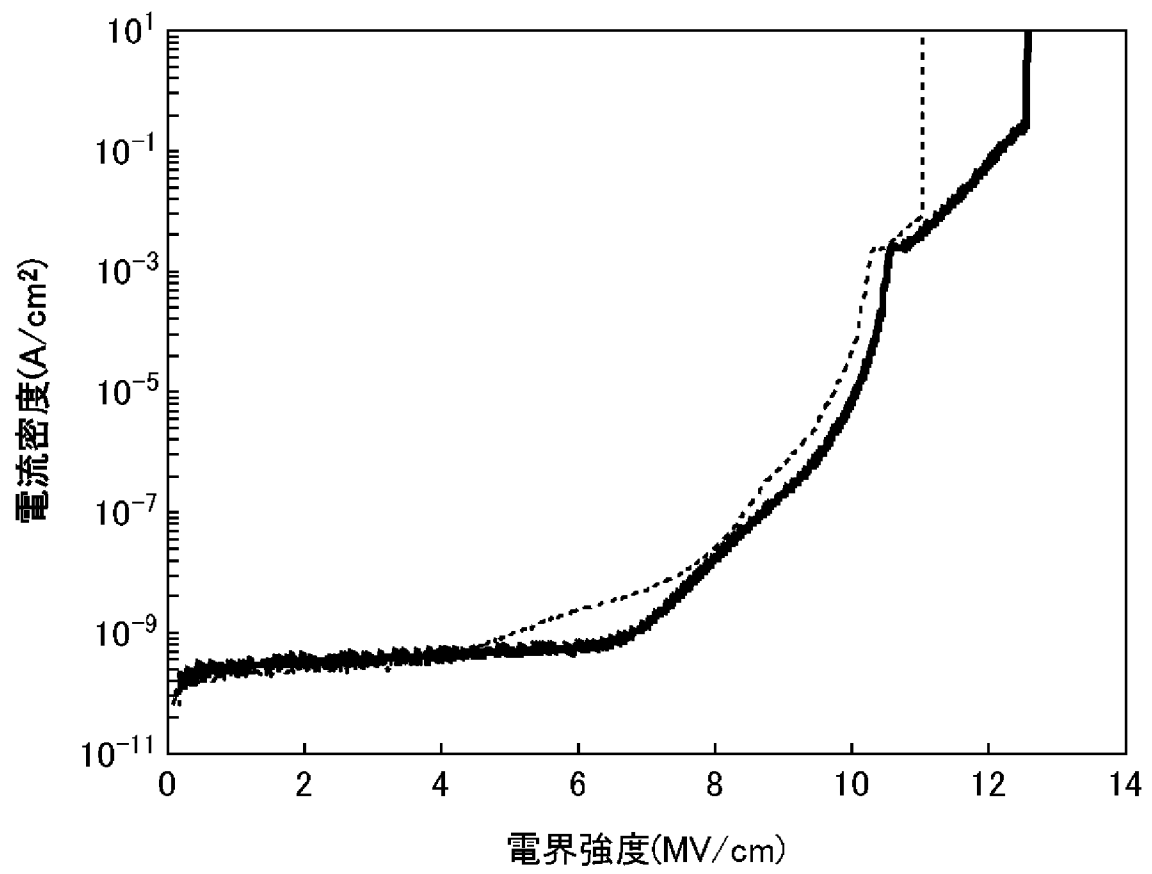
[図7]



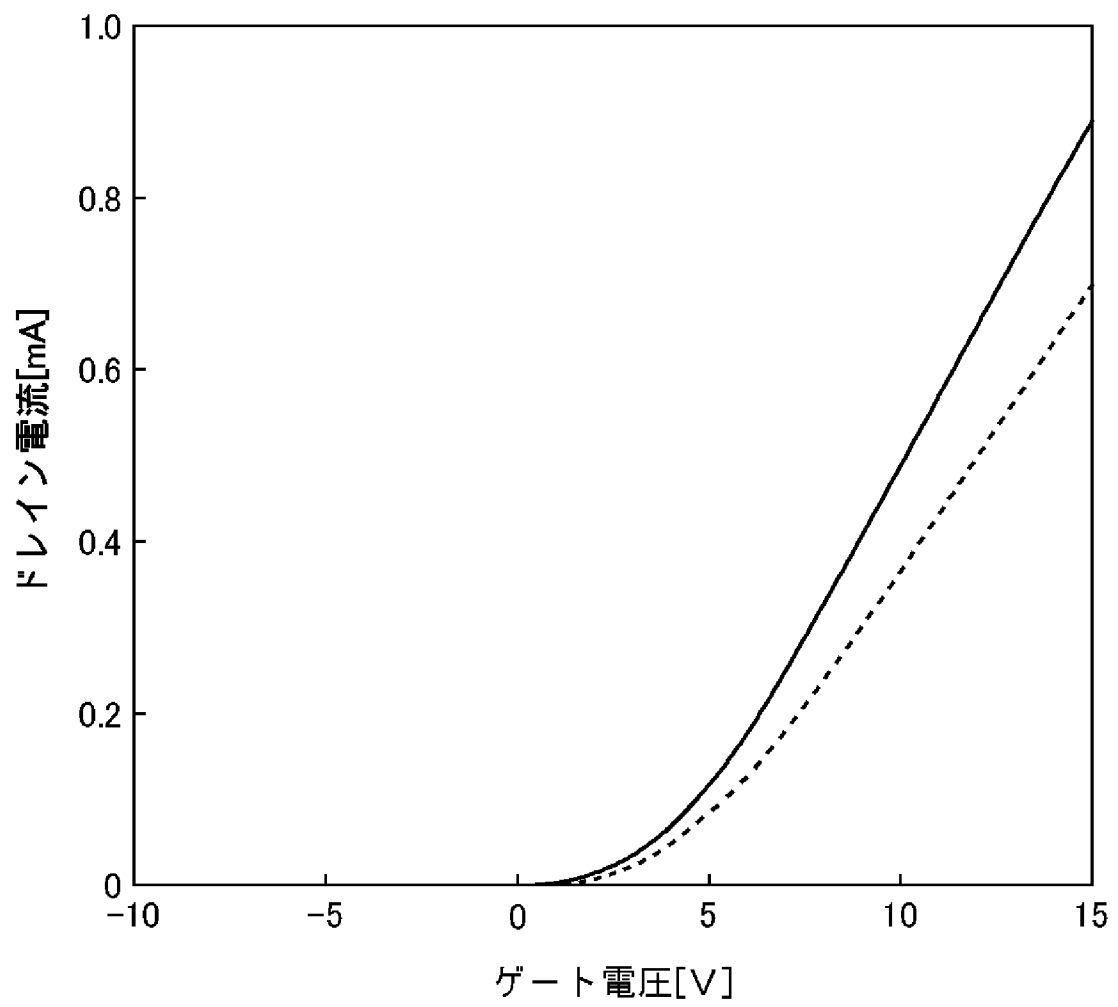
[図8]



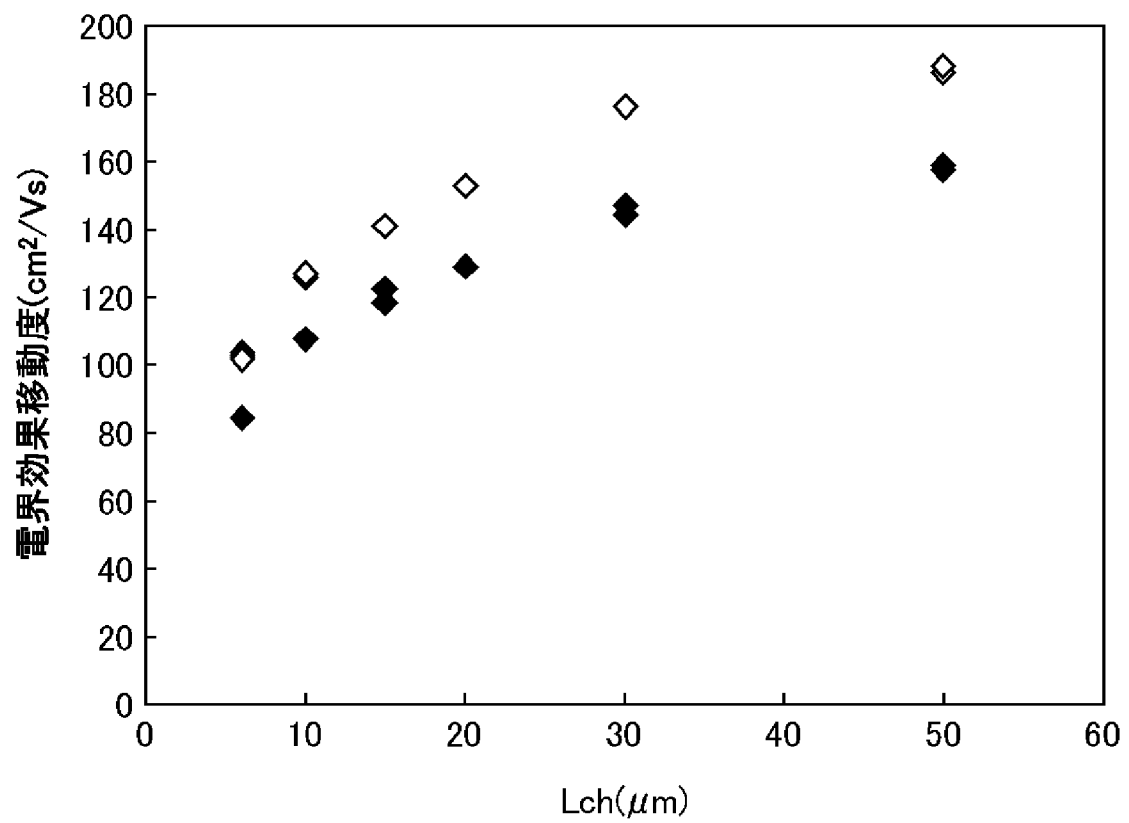
[図9]



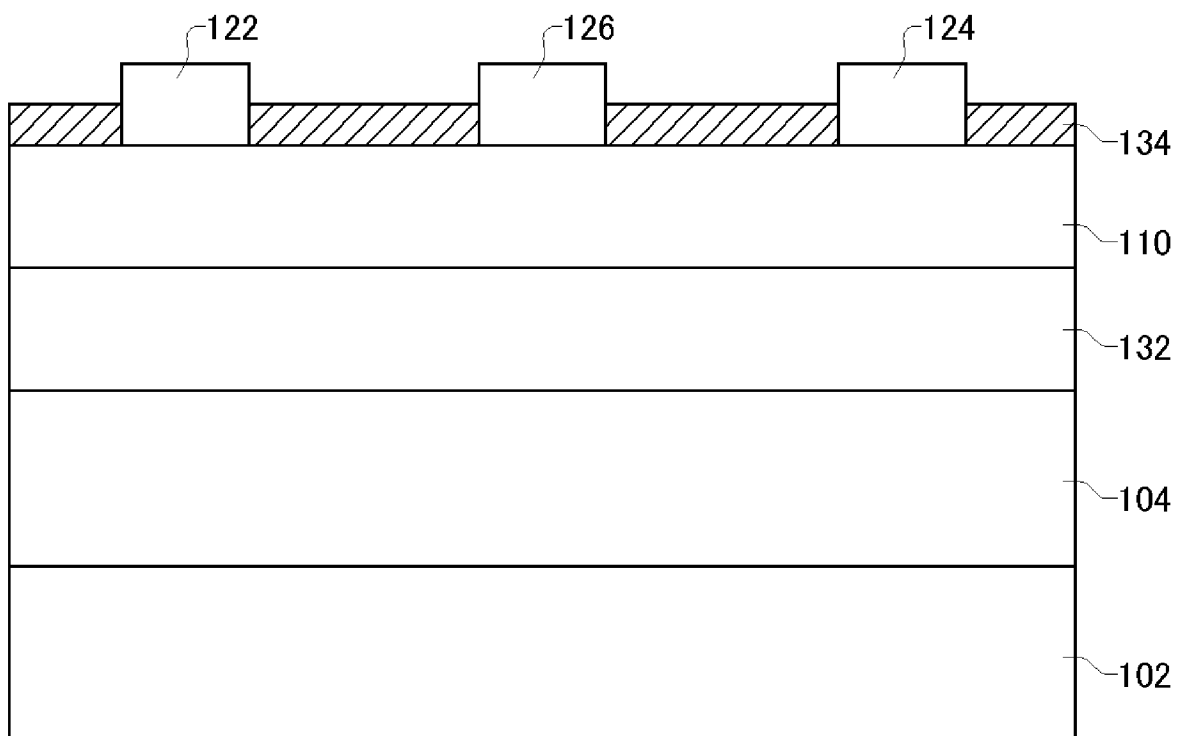
[図10]



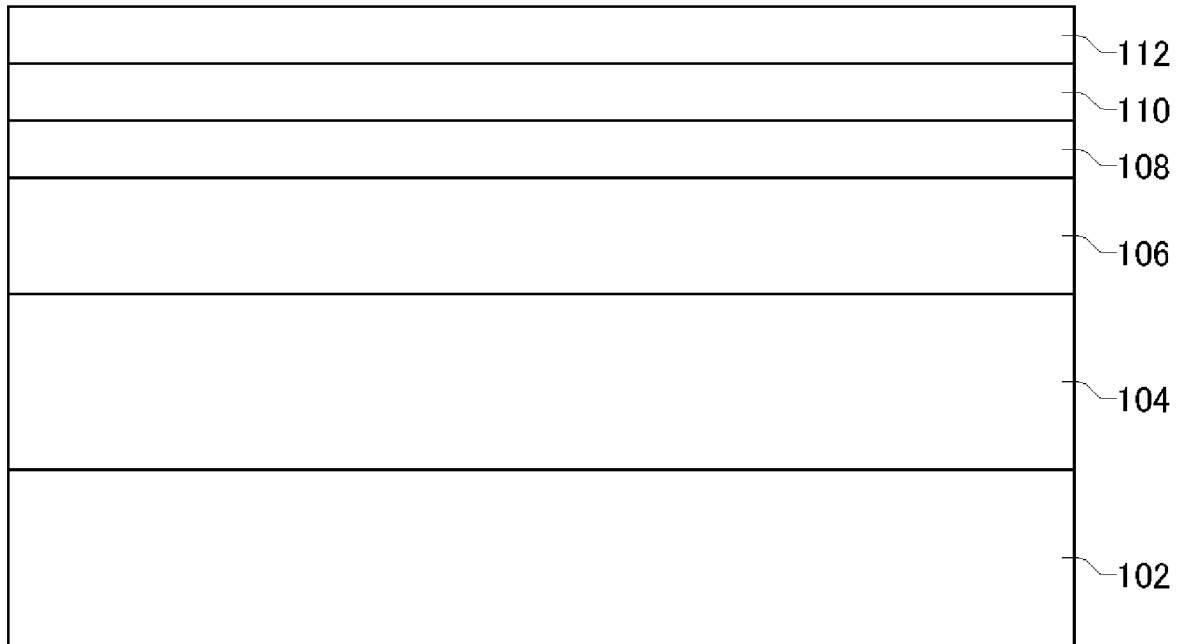
[図11]



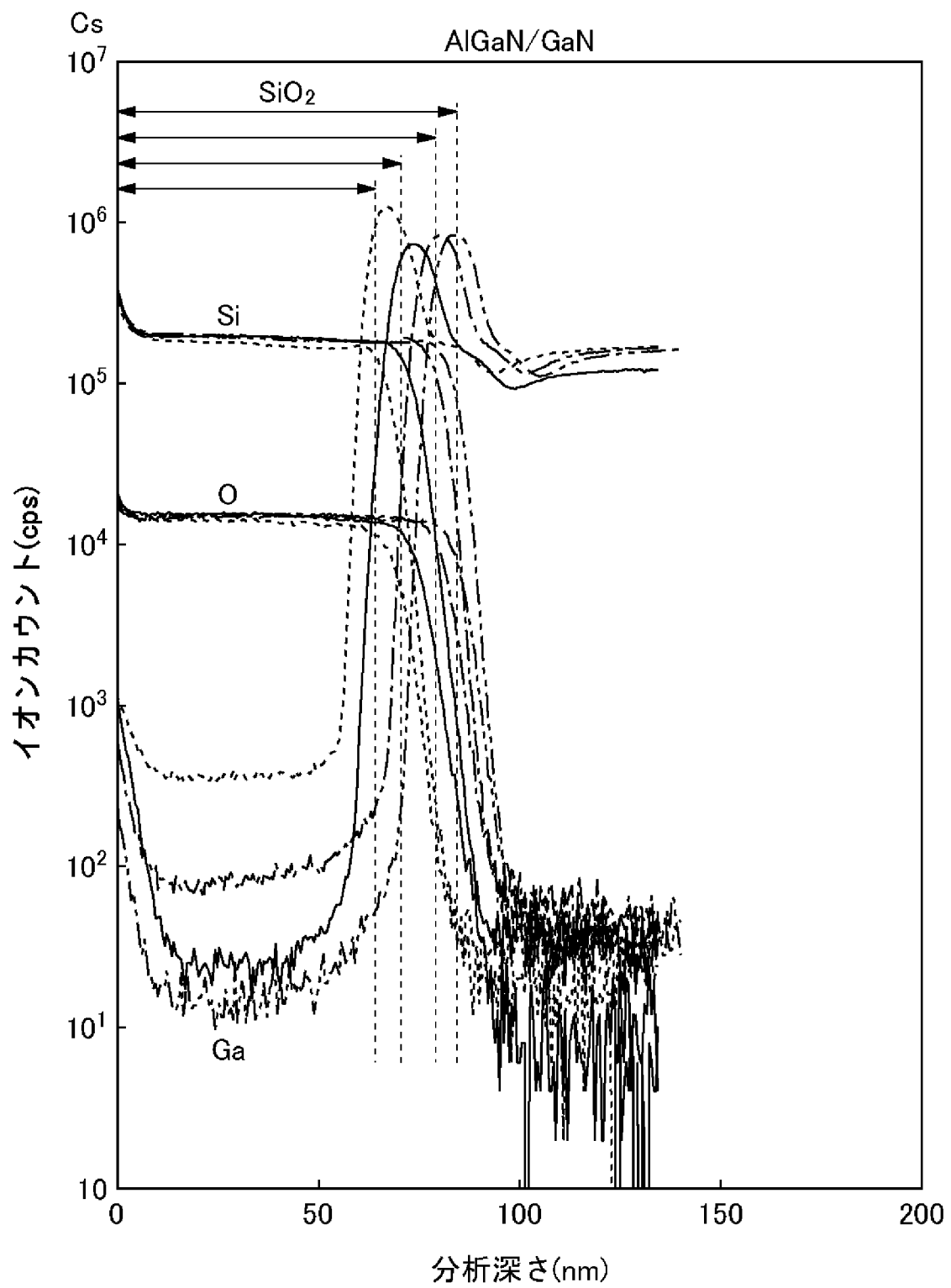
[図12]



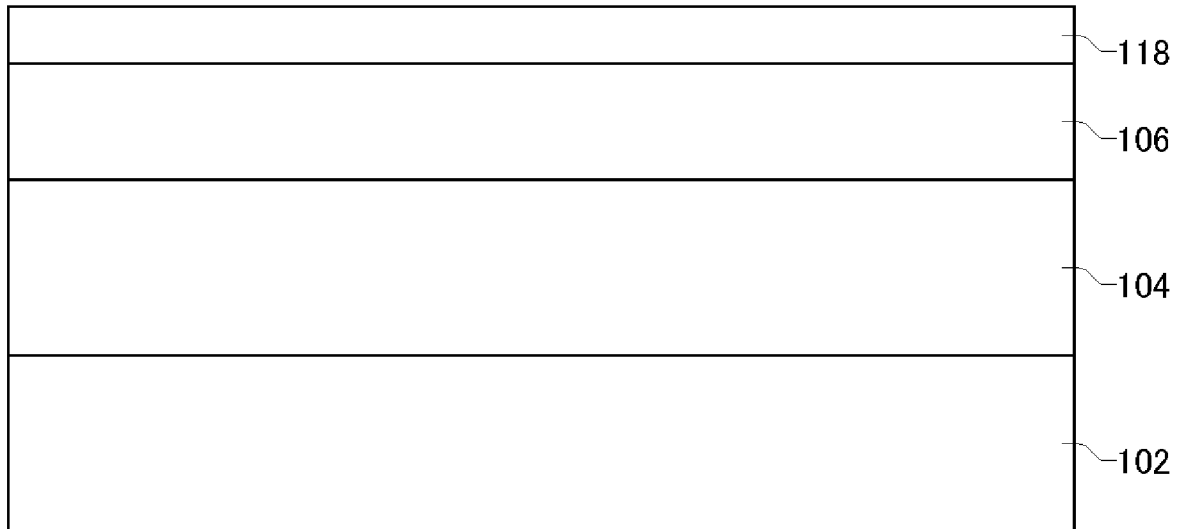
[図13]



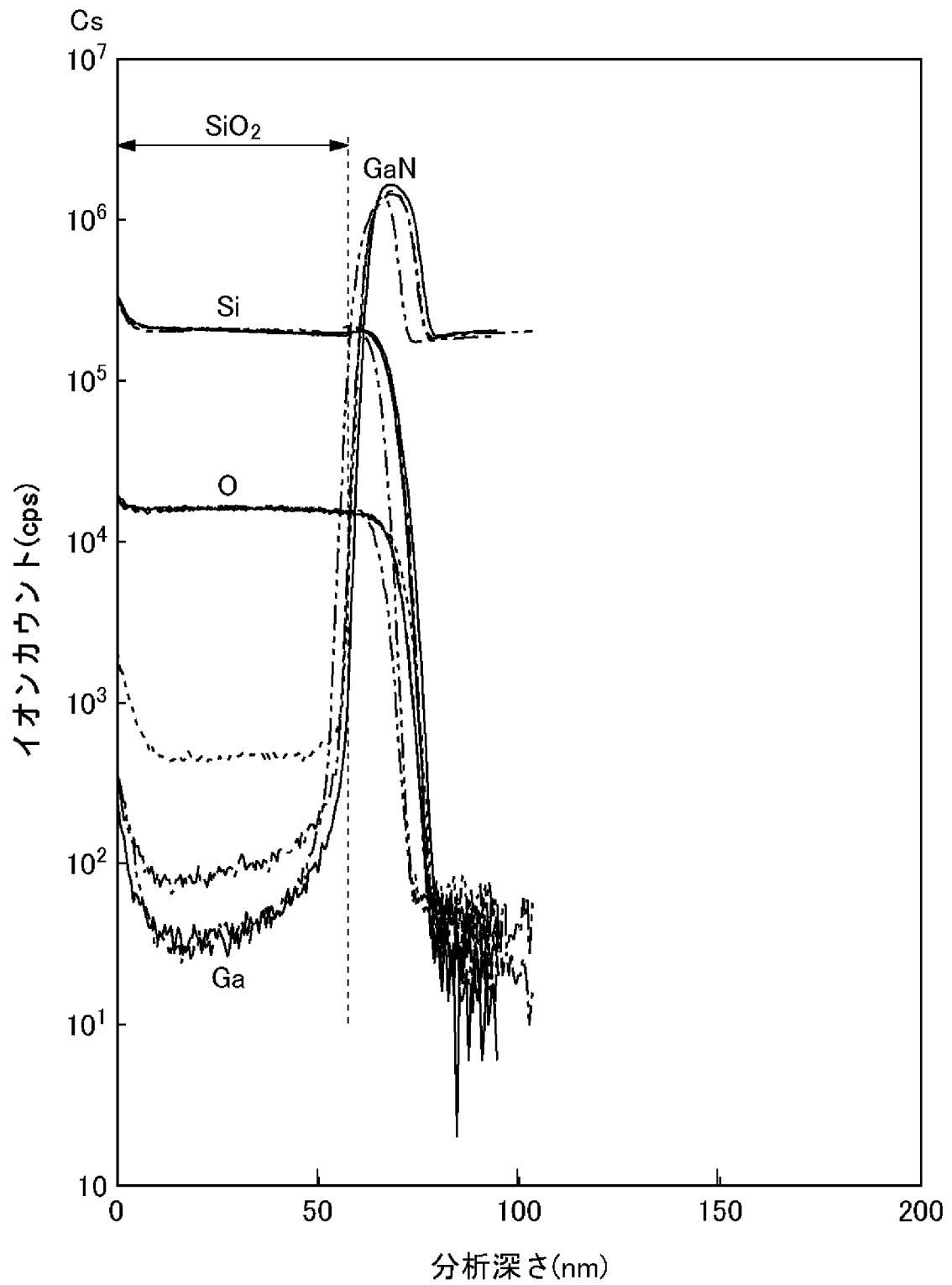
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000404

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3065(2006.01)i, H01L21/20(2006.01)i, H01L21/306(2006.01)i,
H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i,
H01L29/786(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3065, H01L21/20, H01L21/306, H01L21/338, H01L29/778, H01L29/78,
H01L29/786, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 8-023152 A (Mitsubishi Materials Corp.), 23 January 1996 (23.01.1996), paragraphs [0014] to [0055]; fig. 1 (Family: none)	1, 6 4, 5, 7 2, 3, 8-16
X Y	JP 2007-115752 A (Sumitomo Electric Industries, Ltd.), 10 May 2007 (10.05.2007), paragraphs [0015] to [0029]; fig. 2 (Family: none)	6 1, 4, 5, 7
Y	JP 2010-272728 A (The Furukawa Electric Co., Ltd.), 02 December 2010 (02.12.2010), paragraphs [0019] to [0045]; fig. 1 to 7 & US 2011/0049529 A1	1, 4, 5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

16 April, 2012 (16.04.12)

Date of mailing of the international search report

24 April, 2012 (24.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000404

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-170974 A (Tokyo Electron Ltd.), 05 August 2010 (05.08.2010), paragraphs [0029], [0050]; fig. 1 (Family: none)	7
A	JP 2007-235000 A (Eudyna Devices Inc.), 13 September 2007 (13.09.2007), paragraphs [0019] to [0036]; fig. 1 to 3 & US 2007/0207626 A1	1-16
A	JP 5-067592 A (Fujitsu Ltd.), 19 March 1993 (19.03.1993), paragraphs [0009] to [0015]; fig. 5 (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3065(2006.01)i, H01L21/20(2006.01)i, H01L21/306(2006.01)i, H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/78(2006.01)i, H01L29/786(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3065, H01L21/20, H01L21/306, H01L21/338, H01L29/778, H01L29/78, H01L29/786, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus(JDreamII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 8-023152 A (三菱マテリアル株式会社) 1996.01.23, 【0014】 －【0055】、【図1】（ファミリーなし）	1, 6 4, 5, 7 2, 3, 8-16
X Y	JP 2007-115752 A (住友電気工業株式会社) 2007.05.10, 【0015】 －【0029】、【図2】（ファミリーなし）	6 1, 4, 5, 7
Y	JP 2010-272728 A (古河電気工業株式会社) 2010.12.02, 【0019】 －【0045】、【図1】－【図7】 & US 2011/0049529 A1	1, 4, 5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 4 . 2 0 1 2

国際調査報告の発送日

2 4 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

関根 崇

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

4 6 6 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-170974 A (東京エレクトロン株式会社) 2010.08.05, 【0029】、【0050】、【図1】 (ファミリーなし)	7
A	JP 2007-235000 A (ユーディナデバイス株式会社) 2007.09.13, 【0019】－【0036】、【図1】－【図3】 & US 2007/0207626 A1	1-16
A	JP 5-067592 A (富士通株式会社) 1993.03.19, 【0009】－【0015】、【図5】 (ファミリーなし)	1-16