(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H02H 3/00

(45) 공고일자 1999년07월01일
(11) 등록번호 10-0206027
(24) 등록일자 1999년04월07일

(21) 출원번호	10-1995-0003639	(65) 공개번호	특1995-0026073
(22) 출원일자	1995년02월24일	(43) 공개일자	1995년09월18일
(30) 우선권주장	94-028580 1994년02월25일 일본(JP)		
(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼오 72반지
(72) 발명자 타나까 토시오
일본국 도오꾜 후쮸시 도시바쪼오 1 가부시끼가이샤 도시바 후쮸공장 내
타께이 요시노리
일본국 도오꾜 후쮸시 도시바쪼오 1 가부시끼가이샤 도시바 후쮸공장 내
우가와 테쯔오
일본국 도오꾜 후쮸시 도시바쪼오 1 가부시끼가이샤 도시바 후쮸공장 내
(74) 대리인 문기상, 조기호

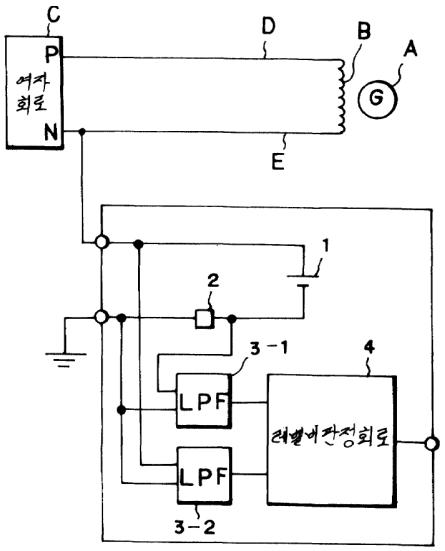
심사관 : 정성태

(54) 지락전류로부터 추출된 직류성분에 의하여 지락을 검출하는 계자지락 검출기 및 계자지락계전기

요약

이 계자지락 검출기는 소정의 직류전압과 직렬로 소정의 저항을 접속하고 이 저항을 통해서 발전기의 N측 계자회로와 대지간에 직류전압을 공급시킨다. 저항의 양단 전압은 저역 필터에 입력된다. N측 계자회로와 대지간의 출력단 전압은 다른 저역 필터에 입력된다. 각각의 저역 필터로부터 출력시키는 전압은 레벨비 판정회로에 입력된다. 레벨비 판정회로는 이들 전압에 의거하여 지락 검출결과를 외부에 출력한다. 따라서 직류전압이 변동한 경우나 사이리스터 여자방식의 발전전동기의 고조파 전압이 발생하는 경우라도 지락검출각도에 영향을 주지 않는다.

대표도



명세서

[발명의 명칭]

지락전류로부터 추출된 직류성분에 의하여 지락을 검출하는 계자지락 검출기 및 계자지락계전기

[도면의 간단한 설명]

제1도는 본 발명의 계자지락 검출기의 구성도.

제2도는 본 발명의 계자지락 검출기의 제1실시예의 구성도.

제3도는 본 발명의 필터의 회로 구성.

제4도는 본 발명의 필터의 입출력 파형도.

제5도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제6도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제7도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제8도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제9도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제10도는 본 발명의 계자지락 검출기의 다른 실시예의 구성도.

제11도는 본 발명의 계자지락 계전기의 구성도.

제12도는 본 발명의 계자지락 계전기의 신호 출력도.

제13도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제14도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제15도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제16도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제17도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제18도는 본 발명의 계자지락 계전기의 다른 실시예의 구성도.

제19도는 종래의 계자지락 계전기의 구성도.

제20도는 종래의 계자지락 계전기의 신호 출력도.

제21도는 종래의 계자지락 계전기의 신호 출력도.

[발명의 상세한 설명]

본 발명은 발전기(발전 전동시도 포함한다)의 계자회로의 지락을 검출하는 계자지락 검출기 및 계자지락 계전기에 관한 것이며, 특히 계자 지락 검출기로부터 소정의 직류전압을 공급하여 지락을 검출하는 것에 관한다.

종래의 계자지락 검출기는 발전기 계자회로의 N측과 대지간에 소정의 직류 전압을 저항을 통해서 공급하여 출력단에 흐르는 전류의 크기를 판정함으로써 지락 검출을 실시하고 있었다.

이하 종래의 계자지락 검출기 및 계전기의 구성을 제19도를 사용하여 설명한다.

제19도에서 계자 코일 B는 발전기 A를 여자하기 위한 자속을 발생시키기 위한 것으로서 위쪽을 정극 P, 아래쪽을 부극 N으로 한다.

계자지락 계전기(10)(검출기 기능을 갖는다)는 계자코일 B, 계자 차단기 F를 포함한 계자회로에 지락이 발생한 것을 검출하기 위하여 계자회로와 대지간 사이에 직접 접속하여 사용하는 것이 일반적이다.

또 발전기 A가 정지상태 또는 계자 차단기 F가 개로 상태, 즉 계자회로에 지락전류 I를 흐르기 위한 전압원이 없는 상태에서도 지락을 검출할 수 있도록 계자지락 계전기(10)의 내부에 전원을 갖고 있다.

또한 계자회로와 대지간의 부유용량 즉 대지(對地) 정전용량(11)의 영향을 받지 않고 계자회로의 절연저항 즉 직류저항을 검출하기 위하여 상술한 전원으로써 직류전원(1)을 사용한다.

계자회로의 절연저항이 충분히 높은 상태에서 지락이 발생할 경우에는 계자 지락 계전기 내부의 직류전원(1)에 의해 지락 계전기로부터 유출하는 지락전류 I는 극히 적으나, 계자회로의 절연저항이 저하한 상태 또는 지락한 경우에는 계자지락 계전기(10)로부터 유출하는 지락전류 I는 직류전원(1)의 전압과 계전기 내부저항(2)과 지락저항(12)에 의해 정해지며, 절연저항이 충분히 높은 상태에 비해 지락전류 I는 큰 전류가 된다.

종래의 계자지락 계전기(10)는 계자회로의 지락유무에 따라 절연저항이 크게 변화하여 계자지락 계전기로부터 유출하는 지락전류 I에 차가 생기는 것에 주목하여 구성되어 있다.

즉 종래의 계자지락 계전기(10)는 상술한 바와 같이 계자 전압의 유무에 영향 받지 않도록 계자지락 계전기 내부에 지락전류 I를 흘리기 위한 직류전원(1)을 가지며, 계자회로와 상술한 직류전원(1) 사이에 저항(2)과 정류기(13) 및 레벨 검출회로(14)를 직력접속하는 구성으로 하고 있다.

저항(2)은 계자회로와 대지간이 완전지락상태가 됐을 때의 지락전류를 제한함과 동시에 계자지락 계전기 입력에 계전기 내부전원과 역성의 전압이 계전기 외부로부터 인가됐을 때의 전류제어용으로서도 작용한다.

또 정류기(13)는 전류의 방향을 한정함과 동시에 계자회로로부터 계자지락계전기에 인가되는 역 전압에 대하여 계자지락 계전기(10)의 내부회로를 보호하기 위하여 사용되고 있다.

계자지락 계전기(10)는 계자지락 계전기(10)로부터 계자회로의 지락점에 흐르는 지락 전류의 크기를 레벨 검출회로(14)로 검출함과 동시에 지락유무를 판정하나, 레벨 검출회로(14)의 출력 유무만으로 동작 판정하는 것이 아니고 계자회로의 절연저하가 단시간 계속한 상태에서는 계전기 출력을 발생시키지 않게 하기 위하여 지락상태가 계속되고 있음을 검출하기 위한 한시 타이머로서 동작시 지연회로(15)를 설치하고 있다. 이에 따라 계자지락 계전기(10)를 계자회로에 접속했을 때 계자회로와 대지간의 대지 정전용량(11), 즉 부유용량에 과도적으로 흐르는 전류에 대하여 계자지락 계전기가 불요동작하지 않도록 하기 위한 작용도 있다.

보조계전기(16)는 계전기의 동작상태에 따라 접점출력을 외부 시켄스에 출력하기 위한 보조계전기이다.

다음에 계자회로에 지락이 발생했을 때의 지락전류의 흐름에 대해 설명한다. 계자코일 B의 부극 N의 계자회로에 지락저항(12)을 통해서 지락고장이 발생했을 경우에는 계자회로와 대지간의 절연저항이 저하하여 계자지락 계전기(10)의 직류전원(1)-저항(2)-정류기(13)-계자회로의 부극 N의 계자회로-지락저항(12)-대지-레벨검출회로(14)-직류전원(1)의 폐회로가 형성되고 계자지락 계전기(10)내의 직류전원(1)의 전압 및 저항(2)과 지락저항(12)으로 정해지는 지략전류 I가 흐른다. 그래서 이 지략전류 I의 절대치 레벨을 검출하는 레벨검출회로(14)로 지락이 발생했는가의 여부를 판정하여, 그 레벨 검출회로(14)의 동작이 동작시 지연회로(15)의 정정시간 이상 계속한 경우에만 계자지락 계전기(10)의 출력을 외부로 출력하여 계자 차단기 F를 차단하여 발전기 A를 정지하도록 하고 있다.

다음에 지락전류 I와 계자지락 계전기(10)의 동작 타임차트를 제20도 및 제21도에 나타내고 종래의 계자지락 계전기(10)의 시간응답에 대하여 설명한다.

제20도는 계자 차단기 F를 개로상태로 했을 때의 응동을 나타낸 타임차트이다. 계자차단기 F가 개로상태일 때는 지락전류(12)에 지락전류 I를 흐르기 위한 전원은 계자지락 계전기(10)의 직류전원(1) 만이므로 지락저항에 흐르는 지락전류 I는 평류라 불리우는 리플분이 없는 직류전류파형이 된다.

이에 따라 레벨 검출회로(14)는 계지회로의 지락저항(12)에 흐르는 지락전류 I의 크기가 지락상태 발생이라고 판단하기 위하여 미리 설명된 검출레벨 Io를 넘었을 때에 레벨 검출회로(14)의 출력신호(14A)를 출력한다.

또 레벨 검출신호(14A)는 동작시 지연회로(15)에 입력되어 미리 설정된 지연시간만큼 출력신호의 전달시간이 뒤진 지연신호(15A)로 출력함과 동시에 보조계전기(16)를 동작시켜 계자차단기 F를 차단시키는 신호(16A)를 출력한다.

제21도는 계자차단기 F를 폐로상태에서 계자코일 A에 여자전압이 인가됐을 때의 응답동작을 나타낸 타임차트이다.

계자차단기 F가 폐로상태일 때는 지락저항(12)에 지락전류 I를 흘리기 위한 전원은 계자지락 계전기(10)의 직류전원(1)과 여자전압을 얻기 위한 3상 교류전원을 사이리스터의 도통각(導通角)을 변화시켜 얻은 직류전원에 의한 유도전압이 중첩한 전압이 되므로 지락저항에 흐르는 지락전류 I는 제21도에 나타낸 바와 같은 리플분을 포함한 전류파형으로 되는 것이 특징이다.

이에 따라 레벨 검출회로(14)는 계자회로의 지락저항(12)에 흐르는 지락전류 I의 크기가 지락상태 발생이라고 판단하기 위해 미리 설정된 검출레벨 Io를 넘었을 때에 레벨 검출회로(14)의 출력신호(14A)를 출력함이 단속파형으로 된다.

따라서 레벨 검출신호(14A)는 동작시 지연회로(15)에 입력되어 미리 설정된 지연시간만 출력신호의 전달시간이 뒤진 지연신호(15A)로서 출력하도록 작용하기 때문에 동작지연회로(15)의 출력신호(15A)는 연속 0을, 즉 보조계전기(16)를 동작시키기 위한 출력이 발생하지 않으므로 계자지락 계전기(10) 및 계자차단기 F는 부동작인 채로 된다.

이 결과로서 지락고장이 발생하여도 계자 지락 계전기가 동작하지 않게 된다.

이와 같이 상기한 종래기술에 의하면 출력단에 흐르는 전류의 크기만으로 판정함으로써 소정의 직류전압이 변동할 경우에 지락검출 감도가 변화해 버리는 문제가 있었다.

또 전류 크기의 판정을 피크치 검출에 의해 실시할 경우에 사이리스터 여자방식의 발전기 계자회로에서는 계자전압으로서 제21도에 나타낸 바와 같이 직류전압 이외에 고조파 전압이 발생함으로써 부유용량에 의해 이 고조파 전압이 계자 지락 검출기의 출력단에 유도되어 출력단에 흐르는 전류가 단속전류가 되어 지락검출이 단속검출이 되어 어 버린다.

이 결과, 지락이 발생하여도 정상적으로 검출할 수가 없다. 이 대책으로서 시한 타이머에 의한 복귀 지연회로를 동작시 지연회로(15)의 후단에 설치하는 것도 생각 할 수 있으나, 이렇게 하면 거꾸로 부유용량에 흐르는 전류에 의해 오검출하는 문제가 있었다.

본 발명은 상기한 과제를 해결하도록 이루어진 것으로서 소정의 직류전압이 변동한 경우라도 지락 검출감도에 영향을 주지 않는 계자지락 검출기를 제공하는 것을 목적으로 한다.

또 본 발명은 사이리스터 여자방식의 발전기 계자회로에 적용한 경우라도 오검출 · 불검출의 문제가 발생하지 않는 고성능의 계자지락 검출기를 제공하는 것을 목적으로 한다.

또한 본 발명은 지락 장소를 판정할 수 있는 계자지락 검출기를 제공하는 것을 목적으로한다.

또 본 발명은 지락저항치를 계측할 수 있는 계자 지락검출기를 제공하는 것을 목적으로 한다.

본 발명은 이와 같은 과제를 해결하기 위하여 발전기의 계자권선과 여자회로가 접속된 계자회로의 지락을 검출하는 것으로서 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속하는 직류 전압 전원과, 상기 직류전압전원을 흐르는 지락전류로부터 직류성분을 추출하는 수단과, 상기 직류 성분에 의거하여 지락을 검출하는 수단을 구비한다.

보다 구체적으로는 본 발명은 발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 검출하는 계자지락 검출기에 있어서, 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속하는 직류 전압전원과, 상기 저항의 양단전압으로부터 지락 전류에 비례한 직류전압을 추출하는 제1의 필터회로와, 상기 계자회로의 부극측과대지간의 전압으로부터 직류전압을 추출하는 제2의 필터회로와, 상기 제1의 필터회로의 출력전압과 제2의 필터회로의 출력전압과의 비로부터 지락고장발생의 유무를 판정하는 판정회로를 구비한다.

또한 본 발명은 발전기의 계자 권선과 여자회로가 접속되는 계자회로의 지락을 검출하여 차단지형을 출력하는 계자지락계전기에 있어서, 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속하는 직류전원회로와, 이 직류전원회로에 흐르는 전류의 평균치를 연산하여 출력하는 평균치 연산회로와, 이 평균치 연산회로의 출력이 미리 설정한 지락 전류 검출레벨을 넘을 때 출력을 발생하는 레벨검출회로와, 이 레벨검출회

로의 출력이 미리 설정한 시간 계속했을 때 출력을 발생하는 동작지연회로와 이 동작지연회로의 출력을 받아 차단지령을 출력하는 출력 회로를 구비한다.

본 발명에서는 직류전압전원을 흐르는 지락 전류로부터 직류성분을 추출하고, 추출한 직류성분에 의거하여 지락을 검출하고 있으므로 여자회로의 영향등에 의해 직류전압이 변동한 경우라도 지락검출 감도에 영향을 주지 않으며, 또 오검출·불검출의 문제도 발생하지 않는다.

[실시예]

우선 본 발명을 제1도에 나타낸 구성도를 사용하여 설명한다.

본 발명의 계자지락검출기는 제1도에 나타낸 바와 같이 발전기 A의 계자권선 B와, 여자회로 C와, 여자회로 C와 발전기 계자권선 B간을 접속하는 P(정극)측 계자회로 D 및 N(부극)측 계자회로 E로 구성된 발전기 계자회로의 지락을 검출하는 것이다.

이 계자지락검출기에서는 소정의 직류 전압 I와 직렬로 저항(2)을 접속하고, 이 저항(2)을 통해서 N측 계자회로 E와 대지간에 직류전압(1)을 공급시킨다. 저항(2)의 양단전압은 저역필터(3-1)에 입력된다. N측 계자회로 E와 대지간의 출력단 전압은 저역필터(3-2)에 입력된다. 각각의 저역 필터(3-1,3-2)로부터 출력되는 전압은 레벨비 판정회로(4)에 입력된다. 레벨비 판정회로(4)는 이들 전압에 의거해서 외부에 지락 검출결과를 출력한다.

N계자회로 E에 지락이 발생했을 경우에는 직류전압(1)을 저항(2)과 지락전류의 가산치로 나눈 전류가 흐르고, N측 계자회로 E와 대지간이 전압은 이 전류와 지락저항의 곱으로 정해지는 전압레벨이 되고, 저항(2)의 양단전압은 이 전류와 저항(2)의 곱으로 정해지는 전압레벨이 된다. 즉 저항(2)의 양단전압은 저항(2)에 비례한 전압, 즉 지락전류에 비례한 전압이 되고, N측 계자회로 E와 대지간의 전압은 지락저항에 비례한 전압이 된다.

전압(2)의 양단전압은 저역 필터(3-1)에 의해 직류전압으로 되고, N측 계자회로 E와 대지간의 전압은 저역 필터(3-2)에 의해 직류전압으로 되어 각각 레벨비 판정회로(4)에 의해 레벨비 판정된다. 레벨비라 함은 기지의 저항(2)에 비례한 전압과 지락저항에 비례한 전압이 비이므로 결국 지락 저항에 비례한 값이다.

레벨비 판정의 기준으로서 저항(2)은 미리 분명한 저항치이므로 검출하여야 할 지락저항치가 저항(2)의 n배 이하가 됐을 경우 지락 발생이라고 판정하는 것으로 하면 저역 필터(3-1)로부터 입력되는 저항(2)의 양단 직규전압을 기준으로 저역 필터(3-2)로부터 입력되는 N측 계자회로 E와 대지간의 직류전압이 n배 이하가 됐을 경우에 지락 발생이라고 판정하여 지락검출결과를 외부에 출력한다.

여기에서 저항(2)의 양단전압 및 N측 계자회로 E와 대지간의 전압은 기복적으로는 직류전압이 되나 여자회로 C가 사이리스터 여자방식의 경우에는 계자전압으로서 직류전압이외에 고조파 전압이 발생하여 부유용량에 의해 N측 계자회로 E와 대지간의 전압 에 교류전압이 유도된다. 이 유도된 교류전압의 영향에 의해 저항(2) 및 지락전류를 흐르는 전류도 직류전류 이외에 교류전류가 포함되어 저항(2)의 양단전압 및 N측 계자회로 E와 대지간의 전압은 완전한 직류전압으로는 되지 않는다. 이 전압을 직류전압으로서 레벨비 판정시키기 위하여 저역 필터(3-1,3-2)를 사용하고 있다.

또 P측 계자회로 D 및 발전기 계자권선 B부분에 지락이 발생했을 경우에는 지락점에서의 여자전압과 직류전압(1)이 가산전압을 저항(2)과 지락저항의 가산치로 나눈 전류가 흘러서 저항(2)의 양단 전압은 이 전류와 저항(2)의 곱으로 정해지는 전압이 되고, N측 계자회로 E와 대지간의 전압은 이 전류와 지락저항의 곱으로 정해지는 전압으로부터 지락점에서의 여자전압을 뺀 전압이 된다. 즉 저항(2)의 양단전압과 N측 계자회로 E와 대지간의 전압의 비는 저항(2)과 지락 저항의 비와 같아지지 않고 N측 계자회로 E와 대지간의 전압이 지락점에서의 여자 전압만큼 낮아지므로 N측 계자회로 E의 지락에 비해 고감도로 검출된다.

다음에 본 발명의 1실시예를 제2도의 구성도를 사용하여 설명한다.

제2도에 나타낸 계자지락 검출기는 제1도에 나타낸 레벨비 판정회로(4)가 나눗셈회로(4-1)와 레벨판정회로(4-2)로 구성된 것이다. 저역필터(3-1,3-2)로부터 출력되는 전압은 나눗셈회로(4-1)에 입력되고, 나눗셈 회로(4-1)의 출력은 레벨 판정회로(4-2)에 입력되어, 레벨 판정회로(4-2)가 외부에 지락검출결과를 출력한다.

다음에 동작에 대하여 수식을 사용하여 설명한다.

N측 계자회로 E에 지락이 발생했을 경우에 직류전압(1)을 저항(2)과 지락저항의 가산치로 나눈 전류가 흘러서 N측 계자회로 E와 대지간의 전압은 이 전류와 지락 저항의 곱으로 정해지는 전압 레벨이 되고, 저항(2)의 양단전압은 이 전류와 저항(2)의 곱으로 정해지는 전압레벨이 된다. 즉 저항(2)의 양단전압은 저항(2)에 비례한 전압이 되고, N측 계자회로 E와 대지간의 전압은 지락저항에 비례한 전압이 된다. 저항(2)을 R, 지락저항을 Rg, 직류전압(1)을 V, N측 계자회로와 대지간 전압을 V_1, 저항(2)의 양단전압을 V_2라 하면 V_1 및 V_2는 다음식으로 표시된다.

$$V_1 = \frac{V}{(R+Rg)} \cdot Rg, \qquad V_2 = \frac{V}{(R+Rg)} \cdot R$$

저항(2)의 양단전압 V_2는 저역 필터(3-1)에 의해 직류전압이 되고, N측 계자회로 E와 대지간의 전압 V_1은 저역 필터(3-2)에 의해 직류전압이 되어 각각 나눗셈 회로(4-1)에 입력된다. 나눗셈 회로(4-1)에 의해 저역필터회로(3-2)로 부터 입력되는 N측 계자회로 E와 대지간의 직류전압 V를 저역필터(3-1)로부터 입력되는 저항(2)의 양단전압 V_2로 나누고, 나눈후의 전압 V_1/V_2를 레벨 판정회로(4-2)에 의해 레벨 판정한다.

레벨 판정의 기준으로서 저항(2)은 미리 분명한 저항치이므로 검출하여야 할 지락저항치가 저항(2)의 n배 이하

가 됐을 경우에 지락 발생이라고 판정시키도록 하면 나눗셈회로(4-1)의 출력전압인 나눈값 V_1/V_2가 n의 전압레벨 이하가 됐을 경우($V_1/V_2 \leqq n$)에 레벨 판정회로(4-2)는 지락발생이라고 판단하여 지락검출 결과를 외부에 출력한다. 여기에서 저역필터(3-1,3-2)의 회로구성을 제3도에 나타낸다.

본 회로는 저항(3a)과 콘덴서(3b)와 연산증폭기(3c)를 조합한 3차 저역 필터이며, 차단주파수를 10Hz이하로 했을 경우에 입력전압 V_{IN}에 포함되는 100Hz 이상의 교류성분은 -60dB 이하로 감쇠되고, 직류 성분은 감쇠되지 않고 출력전압 V_{OUT}로서 출력된다. 저역필터(3-1,3-2)의 입출력 파형의 예를 제4도에 나타낸다. 입력전압 V_{IN}에는 사이리스터 여자에 의해 발생하는 상용 주파수의 6배조파성분을 기본주기로 한 교류전압과 직류전압이 포함되어 있다. 출력전압 V_{OUT}는 입력전압 V_{IN}의 교류전압 성분을 커트시킨 직류전압으로서 출력되고 있다. 저역필터의 구성은 제3도에 나타낸 것에 한정되지 않고 상기 교류전압성분을 커트할 수 있으면 어떠한 것이라도 상관 없다.

이상과 같은 실시예에 의하면 소정의 저항의 양단 전압과 지락 저항의 양단전압의 비로부터 소정의 저항과 지락저항의 저항비를 구함으로써 소정의 저항치를 기준으로 지락저항을 구하기 때문에 직류전압(1)이 어떠한 원인으로 변동했을 경우에도 지락검출 감도를 일정하게 유지할 수가 있다.

또 사이리스터 여자방식의 발전기 계자회로에 적용할 경우에도 저역필터를 직류전압추출회로에 사용하므로 여자전압에 포함된 고조파 전압의 영향을 받는 일이 없고 오검출, 오불검출이 없는 고성능의 계자지락 검출기를 실현할 수 있다.

또 소정 저항의 양단전압 및 지락 저항의 양단전압(N측 계자회로 E와 대지간의 전압)으로부터 직류전압을 추출하는 직류전압 추출회로는 저역필터회로에 한정되지 않고 직류성분을 추출할 수 있는 회로이면 된다.

본 발명은 이상 설명한 실시예에 한정되지 않고 다음과 같은 변형도 가능하다.

(1) 제2도의 구성도에 나타낸 나눗셈 회로(4-1)의 나눗셈을 저역필터회로(3-1)로부터 입력되는 저항(2)의 양단직류전압 V_2를 저역필터회로(3-2)로부터 입력되는 N측 계자회로 E와 대지간의 직류전압 V_1으로 나누고 레벨 판정회로(4-2)를 나눗셈 회로(4-1)로부터 출력되는 전압레벨이 소정레벨 이상이 됐을 경우($V_2/V_1 \geqq 1/n$)에 지락 발생이라고 판정시킴으로써 마찬가지 효과를 얻을 수가 있다.

(2) 제5도에 나타낸 바와 같이 저역 필터(3-1)로부터 출력되는 저항(2)의 양단 직류 전압 V_2를 증폭회로(4-3)에 의해 소정 레벨로 증폭시키고, 이 증폭회로(4-3)로부터 출력되는 직류전압 $n \cdot V_2$와 저역필터(3-2)로부터 출력되는 N측 계자회로 E와 대지간의 직류 전압 V_1을 레벨비교회로(4-4)에 의해 레벨 비교한다. 증폭회로(4-3)로부터 입력되는 저항(2)의 양단직류전압을 소정 배수로 증폭한 전압이 저역 필터(3-2)로부터 입력되는 N측 계자회로 E와 대지간의 직류전압 이상이 됐을 경우($n \cdot V_2 \geqq V1$)에 지락발생이라고 판정시킴으로써 마찬가지 효과를 얻을 수가 있다.

여기에서 증폭회로(4-3)의 증폭도는 지락판정을 저항(2)의 n배 이하에서 판정시키는 것으로 하면 n배의 증폭도로 하면된다.

(3) 제6도에 나타낸 바와 같이 증폭회로(4-3)를 저역 필터(3-2)와 레벨 비교회로(4-4)간에 설치하고 N측 계자회로 E와 대지간의 직류전압 V_1을 소정배수로 증폭시킨다. 레벨비교회로(4-4)에 의해 저역필터(3-1)로 부터 입력시키는 저항(2)의양단 직류전압 V_2가 증폭회로(4-3)로부터 입력되는 직류전압 이상이 되었을 경우($V_2 \geqq V_1/n$)에 지락발생이라고 판정시킴으로써 마찬가지 효과를 얻을 수가 있다.

여기에서 증폭회로(4-3)의 증폭도는 지락판정을 저항(2)의 n배 이하에서 판정시키는 것으로 하면 1/n의 증폭도(감쇠도)로 하면된다.

(4) 제7도에 나타낸 바와 같이 제1도의 구성도에 저역필터(3-1)로부터 출력시키는 저항(2)의 양단 직류전압을 입력시키면 레벨판정회로(5)를 추가함으로써 저역필터(3-1)로부터 출력되는 전압레벨이 소정치 레벨 이상으로 됐을 경우에 지락장소가 N측 계자회로 E 이외의 P측 계자회로 D 또는 발전기 계자권선 B에 발생하였다고 판단시킬 수가 있어서 외부에 지락장소를 한정하는 신호를 출력시킬 수 있다.

여기에서 레벨 판정회로(5)의 판정기준은 직류전압(1)의 전압레벨을 넘은 전압이 입력됐을 경우에 N측 계자회로 E 이외의 지락이라고 판단시키면 된다.

즉 P측 계자회로 D또는 발전기 계자권선 B에 발생한 경우에는 계자회로의 여자전압이 지락저항을 통해서 N측 계자회로 E와 대지간에 인가된다.

이 경우의 극성은 N측 계자회로 E를 기준으로 대지측에 플러스 극성으로 인가됨으로써 직류전압과 동일 극성이 되며, 저항(2)을 R, 지락저항을 Rg, 직류전압을 V, N측 계자회로 E를 기준으로 한 지락점에서의 여자 전압을 V_F, 저항(2)의 양단전압을 V_2라 하면, V_2는 하기식으로 표시된다.

$$V_2 = \frac{(V + V_F)}{(R + Rg)} \times R$$

N측 계자회로 E에서 지락이 발생한 경우에는 $V_2 \leqq V$가 되나, P측 계자회로 D 또는 발전기 계자 권선 B에 발생한 경우에는 $V_2 \leqq (V+V_F)$로 되므로 하기 판정식을 만족할 경우에는 N측 계자회로 E 이외의 지락이라고 판단할

수가 있다.

판정식 : V_2 V

(5) 제8도에 나타낸 바와 같이 레벨 판정회로(5)의 입력은 저역필터(3-2)의 출력 전압으로 한다. 저역필터(3-2)로부터 입력되는 N측 계자회로 E와 대지간의 직류전압이 소정레벨 이하가 됐을 경우에는 지락 장소가 N측 계자회로 E이외의 P측 계자회로 D 또는 발전기 계자권선 B에 발생하였다고 판단시킬 수가 있어서 외부에 지락장소를 한정하는 신호를 출력시킬 수 있다.

여기에서 레벨 판정회로(5)의 판정기준은 부전압이 입력된 경우에는 N측 계자회로 E 이외의 지락이라고 판정시키면 된다.

즉 P측 계자회로 D 또는 발전기 계자권선 B에 발생한 경우에는 계자회로의 여자전압이 지락저항을 통해서 N측 계자회로 E와 대지간에 인가된다.

이 경우의 극성은 N측 계자회로 E를 기준으로 대지측에 플러스 극성으로 인가됨으로써 직류전압(1)과 동일극성이 되어, 저항(2)을 R, 지락저항을 Rg, 직류전압을 V, N측 계자회로 E를 기주능로 한 지락점에서의 여자전압을 V_F, N측 계자회로 E와 대지간의 전압을 V_1이라 하면, V_1은 하기식으로 표시된다.

$$V_1 = \frac{(V + V_F)}{(R + Rg)} \times Rg - V_F$$

N측 계자회로 E에서 지락이 발생했을 경우에는 $V_1 \geqq V_F$가 되나, P측 계자회로 D 또는 발전기 계자권선 B에 지락이 발생했을 경우에는 $V_1 \geqq -V_F$ 가 됨으로써 하기 판정식을 만족할 경우에는 N측 계자회로 E 이외의 지락이라고 판정할 수가 있다.

판정식 : V_1 0

(6) 제9도에 나타낸 바와 같이 제1도의 구성도에 레벨비 계측회로(6)를 추가시켜서 저역 필터(3-1)로부터 출력되는 저항(2)의 양단 직류전압과 저역 필터(3-2)로부터 출력되는 N측 계자회로 E와 대지간의 직류전압을 입력으로 하고, 각각의 전압에 비례한 크기의 신호를 출력시킴으로써 지락저항치에 비례한 크기의 신호를 출력시킬 수가 있어서 지락저항의 계측 기능을 부가시킨 계자지락 검출기로 할 수가 있다.

설정된 지락 검출 레벨에 의한 지락 검출로직출력이외에 지락 저항치를 모니터 가능해져서 지락 검출전에 정상시의 절연저항치를 기준으로 한 임의의 레벨 정보를 출력시킬 수가 있다.

또 지락저항치의 변화에 의해 간헐지락등의 지락모드의 판정도 가능해진다.

(7) 제10도에 나타낸 바와 같이 저항(2)의 양단전압 V_2와, N측 계자회로 E와 대지간의 전압 V_1을 직접레벨비 판정회로(4)에 입력시키는 구성으로하여 레벨비 판정회로(4)에 의해 저항(2)의 양단전압과, N측 계자회로 E와 대지간의 전압을 레벨비 판정시킨다. 이에 따라 본 실시예에 의하면 계자회로의 지락검출에 있어서 소정 저항의 양단전압과 지락저항의 양단전압의 비로부터 소정의 저항과 지락저항의 저항비를 구함으로써 지락 저항의 크기를 구하기 때문에 직류전압이 어떠한 원인으로 변동한 경우에도 지락검출 감도를 일정하게 유지할 수가 있다. 특히 레벨비 판정회로(4)의 레벨비 판정에 소정의 동작 · 복귀 지연시간을 가지게 함으로써 레벨비 판정회로(4)의 입력전압에 교류성분이 포함되어 있는 경우에도 레벨이 판정회로(4)의 출력이 단속출력이 되지 않도록 동작시키므로 제1도의 구성도와 마찬가지 효과를 얻을 수가 있다. 또 레벨비 판정에 대해서는 상술한 변형례(1)~(6)을 적용할 수가 있으므로 마찬가지 효과를 얻을 수도 있다.

다음에 본 발명의 계자지락 계전기의 실시예를 도면을 사용하여 설명한다.

제11도는 본 발명의 1실시예에 관한 계자 지락 계전기(20)의 구성을 나타낸 도면이다.

제11도에 나타낸 바와 같이 계자지락 계전기(20)는 계자회로의 부극 N측과 대지간에 직렬로 접속된다. 계자락 계전기(20)의 내부회로는 직류전원(1), 저항(2), 정류기(13), 평균치 연산회로(21), 레벨검출회로(22), 동작시 지연회로(23), 보조계전기(24)로 구성된다. 특히 평균치 연산회로(21)에 대하여 자세히 설명한다.

3상 교류전압을 사이리스터의 도통각을 가변하면서 직류전압으로 정류하여 여자할 경우에 발생하는 고조파성분은 정류방식에 따라 다소의 차이는 있지만 일반적으로는 3상 고류전원의 기본주파수의 6배의 주파수를 주요성분으로 한 것이다.

또 실측한 지락전류를 파형 분석한 결과로서도 정격 주파수의 6배의 주파수 성분이 주요성분임을 알 수 있다.

지락전류의 왜파(歪波)성분이 정격주파수의 6배 조파성분이므로 이 6배 주파수 성분을 저감 또는 제거하면 계전기 내의 직류전원(1)의 전압과 계전기 내부저항(2) 및 지락저항(12)으로 정해시즌 직류전류I를 추출한 수가 있다.

다음에는 이를 실현하는 본 발명의 계자지락 계전기(20)의 동작(시간응답)에 대하여 제12도의 타임차트로 설명한다.

계자회로에서 지락고장이 발생한 경우의 지락전류 I는 상술한 마찬가지의 제12도에 나타낸 바와 같이 심하게 비뚤어진 파형이 된다.

이렇게 심하게 비뚤어진 지락전류로부터 평균전류를 추출하기 위한 평균치연산회로(21)를 통과한 전류 I'는 지락 전류 I로부터 기본주파수 이상의 고조파분을 제거한 직류전류가 주성분이 된다.

또 평균치 연산회로(21)의 출력전류의 절대치를 검출하는 레벨검출회로(22)의 출력신호(22A)는 연속한 출력신호가 된다.

또한 제12도중의 I_0는 지락 고장을 검출하기 위한 검출 레벨(감도)을 나타내며, 이 검출 레벨 I_0를 넘는 지락전류 I'가 동작시 지연회로(23)에 연속 입력된 경우에는 계자 차단기 F의 트립지령, 즉 개로하기위한 신호 또는 경보를 위한 신호가 출력된다.

이상 설명한 바와 같이 제11도에 나타낸 본 발명의 계자지락 계전기를 사용하면 사이리스터 정류기를 사용한 사이리스터 직접 여자방식을 채용한 계자회로에 적용한 경우에도 계자지락 계전기가 단속동작하지 않도록 지락전류의 직류 평균치에 응동하는 회로구성으로 되어 있으므로 계자 전압의 영향을 받기 어렵게 됨과 동시에 계자회로의 절연저항에 상당한 직류저항에 응동하는 감도 변동이 없는 계자 지락 계전기로 할 수가 있다.

본 발명의 계자지락 계전기는 이상 설명한 실시예에 한정되지 않고 다음과 같은 변형도 가능하다.

(1) 본 발명의 계자지락 계전기의 다른 실시예의 구성을 제13도에 나타낸다.

본 실시예는 지락 전류의 실효치를 산출하고 그 레벨이 계전기의 설정레벨을 초과했는가의 여부에 따라 동작판정하는 것이다. 평균치 연산회로(21) 대신에 실효치 연산회로(25)를 사용하고 있는 것이 특징이다.

실효치 연산회로(25)는 입력전류의 순시치를 2승비하여 그 총합을 구하고 그 뒤에 그 총합의 평방근을 구하도록 한 회로구성으로 되어 있다. 예를 들어 기본파를 100%, 고조파를 50%로 가정한 경우의 실효치 연산회로의 출력에는 기본파를 100%로 하면 고조파가 25%로 압축되어 출력되므로 입력전류에 포함되는 고조파가 저감됨과 동시에 파형이 비뚤어져 있는 지락 전류 I에 대해서 실효치 연산회로(25)의 출력전류는 직류에 근사한 파형이 된다.

이에 따라 실효치 연산회로(25)의 출력을 레벨검출회로(22)로 검출하면 레벨 검출회로(22)의 출력신호는 연속한 파형이 되어 종래의 계전기와 같은 단속파형이 되지 않고 상술한 실시예와 동등한 효과가 얻어진다.

또한 주파수가 변동하여도 실효치는 변화하지 않으므로 정격주파수가 변동하는 경우에도 확실한 계전기 동작이 얻어진다.

(2) 다른 실시예의 계자지락 계전기의 구성을 제14도에 나타낸다.

본 실시예는 상술한 평균치 연산회로(21)와 실효치 연산회로(25)의 양자를 설치하고 어느 한쪽의 레벨검출회로가 동작상태가 됐을 때 계전기 출력을 얻도록 구성한 것이다.

구체적으로는 평균치 연산회로(21), 실효치 연산회로(21), 2개의 레벨검출회로(22A,22B), 논리합회로(26), 동작시 지연회로(23), 보조 계전기(24)로 구성된다.

(3) 다른 실시예의 계자지락 계전기의 구성을 제15도에 나타낸다.

본 실시예는 평균치 연산회로(21)와 실효치 연산회로(25)의 양자를 설치하고, 양자의 레벨 검출회로가 동작상태가 되었을 때 계전기 출력을 얻을 수 있도록 논리곱회로(27)를 설치한 것을 특징으로 한다. 검출원리를 바꾼 2종류의 지락 전류검출회로를 설치하고 있으므로 계전기로서의 응동이 보다 확실해진다.

구체적으로 평균치 연산회로(21), 실효치 연산회로(25), 2개의 레벨검출회로(22A,22B), 논리곱회로(27), 동작시 지연회로(23), 보조계전기(24)로 구성된다.

(4) 다른 실시예의 계자지락 계전기의 구성을 제16도에 나타낸다.

본 실시예는 레벨검출회로를 2개 설치한 것을 특징으로 한다. 검출 레벨을 동일로한 경우에는 2중화 상당이 되어 신뢰도를 높이는 효과가 얻어진다. 또 고 정정(정整定)과 저정정으로 함으로써 경보용과 차단기 트립용과 같이 용도별로 사용할 수도 있고, 발전기 계자회로가 고정정치 이하로 됐을 때는 발전기 절연상태의 보수를 실시하도록 하고, 저 정정치 이하로 됐을 때는 발전기 계자차단기를 끊어서 발전기를 정지하는 것과 같은 대응이 가능하다.

구체적으로 평균치 연산회로(21)(또는 실효치 연산회로(25)), 2개의 레벨검출회로(22A,22B), 2개의 동작시 지연회로(24A,24B)로 구성된다.

(5) 다른 실시예의 계자지락 계전기의 구성을 제17도에 나타낸다.

본 실시예는 상술한 다른 실시예(2)(제14도)의 내용에서 레벨 검출회로를 2개 설치한 것을 특징으로 한다.

구체적으로 평균치 연산회로(21), 실효치 연산회로(25), 4개의 레벨 검출회로(22A~22D), 2개의 논리합회로, 2개의 동작시 지연회로, 2개의 보조계전기로 구성된다.

(6) 다른 실시예의 계자지락 계전기의 구성을 제18도에 나타낸다.

본 실시예는 상술한 예의 실시예(3)(제15도)의 내용중에서 레벨 검출회로를 2개 설치한 것을 특징으로 한다.

구체적으로는 평균치 연산회로(21), 실효치 연산회로(25), 4개의 레벨검출회로(22A~22D), 2개의 논리곱회로, 2개의 동작시 지연회로, 2개의 보조계전기로 구성된다.

(7) 다른 실시예로서 제1도~제10도에 설명한 계자지락 검출기를 계자지락 계전기의 평균치 연산회로 또는 실효치 연산회로로 바꾸어 각 실시예와 같이 조합시켜 구성할 수도 있다.

(8) 다른 실시예로서 제1도 등에 나타낸 레벨비 판정회로(4)의 지락 고장 발생이 있는 출력과 제11도등에 나타낸 동작시 지연회로(23)의 출력을 논리곱회로에 의해 논리곱을 취하고, 이 논리 곱 회로의 출력을 차단 지령으로서 제11도에 나타낸 보조계전기(24)에 출력하도록 하여도 된다. 이와 같이 논리곱회로에 의해 2개의 출력의 논리곱을 취함으로써 보조계전기(24)에 대한 차단지령의 신뢰성을 높일 수가 있다.

이상과 같이 본 발명에 의해 소정 저항의 양단전압과 지락저항의 양단전압의 비로부터 소정의 저항과 지락저항

의 저항비를 구함으로써 소정의 저항치를 기준으로 지락저항을 구하기 때문에 직류전압이 어떠한 원인으로 변동한 경우라도 지락 검출 감도를 일정하게 유지할 수가 있다.

또 사이리스터 여자방식의 발전기 계자회로에 적용한 경우에도 여자 전압에 포함된 고조파 전압의영향을 받는 일이 없이 오검출 · 오불검출이 없는 고성능의 계자지락 검출기를 실현할 수 있다.

또한 여자전압이 인가된 상태에서 P측 계자회로 및 발전기 권선부분에서 지락이 발생한 경우에는 지락점과 N측 계자 회로간의 전압이 소정 렙레 이상이고 또 지락저항이 소정치 이하인 경우에는 N측 계자회로 이외의 P측 계자회로 또는 발전기 권선부분에 지락이 발생한 것을 판단할 수 있어, 지락장소 판정기능을 부가할 수가 있으며, 내부저항과 지락저항의 비에 비례시킨 크기의 신호를 출력시킴으로써 지락저항치의 계측기능을 부가시킬 수가 있다.

(57) 청구의 범위

청구항 1

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 검출하는 계자지락 검출기에 있어서, 제1단 및 제2단을 가지며 상기 제1단이 대지에 접속되는 저항과; 상기 저항의 제2단과 상기 계자회로의 부극측에 접속되어 직류전압 출력을 출력하는 직류 전압전원과; 상기 저항의 제1단 및 제2단에 각각 접속된 입력단을 가지며, 상기 저항의 양단간의 직류전압을 추출하는 제1의 직류 전압 추출회로와; 상기 계자회로의 부극측과 대지에 각각 접속된 입력단을 가지며, 상기 계자회로의 부극측과 대지간의 직류전압을 추출하는 제2의 직류전압 추출회로와; 상기 제1 및 제2의 직류전압 추출회로의 출력단에 접속되어, 상기 제1의 직류전압 추출회로의 추출된 직류전압과 상기 제2의 직류전압 추출회로의 추출된 직류전압의 비로부터 지락발생의 유무를 판정하는 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 2

발전기의 계자회로와 여자회로가 접속되는 계자회로의 지락을 검출하는 계자지락 검출기에 있어서, 제1단 및 제2단을 가지며 상기 제1단이 대지에 접속되는 저항과; 상기 계자회로의 부극측과 상기 저항의 제2단에 접속되는 직류 전압전원과; 상기 저항의 양단간의 전압을 입력하고, 상기 입력된 전압의 교류성분을 감쇠하여 직류전압을 추출하는 제1의 필터회로와; 상기 계자회로의 부극측과 대지간의 전압을 입력하고, 상기 입력된 전압의 교류성분을 감쇠하여 직류전압을 추출하는 제2의 필터회로와; 상기 제1의 필터회로로부터 추출된 직류전압과 상기 제2의 필터회로로부터 추출된 직류전압의 비로부터 지락발생의 유무를 판정하는 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 3

제2항에 있어서, 상기 판정회로는, 상기 제2의 필터회로의 출력전압을 상기 제1의 필터회로의 출력 전압으로 나누는 나눗셈회로와; 상기 나눗셈회로의 출력레벨이 소정치 이하일 경우에 지락이 발생한 것으로 판정하는 레벨 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 4

제2항에 있어서, 상기 판정회로는, 상기 제1의 필터회로의 출력전압을 상기 제2의 필터회로의 출력전압으로 나누는 나눗셈회로와; 상기 나눗셈회로의 출력레벨이 소정치 이상일 경우에 지락이 발생한 것으로 판정하는 레벨 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 5

제2항에 있어서, 상기 판정회로는, 상기 제1의 필터회로의 출력전압을 소정의 레벨로 증폭하는 증폭회로와; 상기 증폭회로의 출력전압과 상기 제2의 필터회로의 출력전압의 출력레벨을 비교하여, 상기 증폭회로의 출력전압이 상기 제2의 필터회로의 출력전압 이상일 경우에 지락이 발생한 것으로 판정하는 레벨 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 6

제2항에 있어서, 상기 판정회로는, 상기 제2의 필터회로의 출력전압을 소정의 레벨로 증폭하는 증폭회로와; 상기 증폭회로의 출력전압과 상기 제1의 필터회로의 출력전압의 출력레벨을 비교하여, 상기 증폭회로의 출력전압이 상기 제1의 필터회로의 출력전압 이하일 경우에 지락이 발생한 것으로 판정하는 레벨 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 7

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 검출하는 계자지락 검출기에 있어서, 제1단 및 제2단을 가지며 상기 제1단이 대지에 접속되는 저항과; 상기 계자회로의 부극측과 상기 저항의 제2단에 접속되는 직류 전압전원과; 상기 저항의 양단간에 접속되어 상기 저항의 양단간의 직류전압을 추출하는 제1의 직류전압 추출회로와; 상기 계자회로의 부극측과 대지간에 접속되어 상기 계자회로의 부극측과 대지간의 직류전압을 추출하는 제2의 직류 전압 추출회로와; 상기 제1 및 제2의 직류전압 추출회로에 접속되어, 상기 제1의 직류전압 추출회로로부터 추출된 직류전압과 상기 제2의 직류전압 추출회로로부터 추출된 직류전압의 비에 의거하여 지락저항의 크기를 계측하는 계측회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 8

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 검출하는 계자지락 검출기에 있어서, 제1단 및 제2단을 가지며 상기 제1단이 대지에 접속되는 저항과; 상기 계자회로의 부극측과 대지에 상기 저항의 제2단을 통해서 접속되는 직류 전압전원과; 상기 저항의 양단과 상기 계자회로의 부극측 및 대지에 접속되어, 상기 저항의 양단간의 전압 및 상기 계자회로의 부극측과 대지간의 전압을 입력하고, 입력된 상기 저항의 양단간의 전

압 및 입력된 상기 계자회로의 부극측과 대지간의 전압과의 비에 의거하여 지락고장이 발생하였는지를 판정하는 판정회로를 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 9

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 판정하는 계자지락 계전기에 있어서, 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속되는 직류 전원회로와; 이 직류 전원회로에 흐르는 전류의 평균치 또는 실효치를 연산하여 출력하는 연산회로와; 이 연산회로의 출력이 미리 설정한 지락전류 검출레벨을 넘을 때 출력을 발생하는 레벨 검출회로와; 이 레벨 검출회로의 출력이 미리 설정한 시간동안 계속되었을 때 출력을 발생하는 동작시 지연회로와; 이 동작시 지연회로의 출력을 받아서 차단 지령 또는 경보 지령을 출력하는 출력회로를 구비하며, 상기 레벨 검출회로를 동일 또는 상이한 지락전류 검출레벨을 설정하는 복수의 레벨 검출회로로 하고, 상기 동작시 지연회로를 상기 복수의 레벨 검출회로의 출력을 각각 입력하여 미리 설정한 시간동안 계속되었을 때 출력을 발생하는 복수의 동작시 지연회로로 하며, 상기 출력회로를 상기 복수의 동작시 지연회로의 출력을 각각 입력하여 동작한 동작시 지연회로에 따른 외부지령을 출력하는 복수의 출력회로로 한 것을 특징으로 하는 계자지락 계전기.

청구항 10

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 판정하는 계자지락 계전기에 있어서, 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속되는 직류 전원회로와; 이 직류 전원회로에 흐르는 전류의 평균치를 연산하여 출력하는 평균치 연산회로와; 상기 직류 전원회로에 흐르는 전류의 실효치를 연산하여 출력하는 실효치 연산회로와; 상기 평균치 연산회로의 출력이 미리 설정한 지락전류 검출레벨을 넘을 때 출력을 발생하는 제1의 레벨 검출회로와; 상기 실효치 연산회로의 출력이 미리 설정한 지락전류 검출레벨을 넘을 때 출력을 발생하는 제2의 레벨 검출회로와; 상기 제1의 레벨 검출회로의 출력 및 상기 제2의 레벨 검출회로의 출력의 논리합 출력 또는 논리곱 출력을 출력하는 논리회로와; 이 논리회로의 출력이 미리 설정한 시간동안 계속되었을 때 출력을 발생하는 동작시 지연회로와; 이 동작시 지연회로의 출력을 받아서 차단지령 또는 경보지령을 출력하는 출력회로를 구비한 것을 특징으로 하는 계자지락 계전기.

청구항 11

제10항에 있어서, 상기 제1의 레벨 검출회로를 동일 또는 상이한 지락전류 검출레벨을 설정하는 복수의 레벨 검출회로로 하고, 상기 제2의 레벨 검출회로를 동일 또는 상이한 지락전류 검출레벨을 설정하는 복수의 레벨 검출회로로 하며, 상기 논리회로를 상기 제1의 레벨 검출회로측의 어느 하나의 레벨 검출회로의 출력 및 상기 제2의 레벨 검출회로측의 어느 하나의 레벨 검출회로의 출력의 논리합 출력 또는 논리곱 출력을 출력하는 복수의 논리회로로 한 것을 특징으로 하는 계자지락 계전기.

청구항 12

발전기의 계자권선과 여자회로가 접속되는 계자회로의 지락을 검출하여 차단 지령을 출력하는 계자지락 계전기에 있어서, 상기 계자회로의 부극측과 대지간에 소정의 저항을 통해서 접속되는 직류 전원회로와; 상기 저항의 양단전압으로부터 직류전압을 추출하는 제1의 필터회로와, 상기 계자회로의 부극측과 대지간의 전압으로부터 직류전압을 추출하는 제2의 필터회로와, 상기 제1의 필터회로의 출력전압과 상기 제2의 필터회로의 출력전압과의 비로부터 지락고장 발생의 유무를 판정하는 판정회로와; 상기 직류 전원회로에 흐르는 전류의 평균치 또는 실효치를 연산하여 출력하는 연산회로와, 이 연산회로의 출력이 미리 설정한 지락전류 검출레벨을 넘을 때 출력을 발생하는 레벨 검출회로와, 이 레벨 검출회로의 출력이 미리 설정한 시간동안 계속되었을 때 출력을 발생하는 동작시 지연회로와; 상기 판정회로의 지락고장 발생이 있는 출력과 상기 동작시 지연회로의 출력과의 논리곱을 취하는 논리곱회로와, 이 논리곱회로의 출력을 받아서 차단지령을 출력하는 출력회로를 구비하는 것을 특징으로 하는 계자지락 계전기.

청구항 13

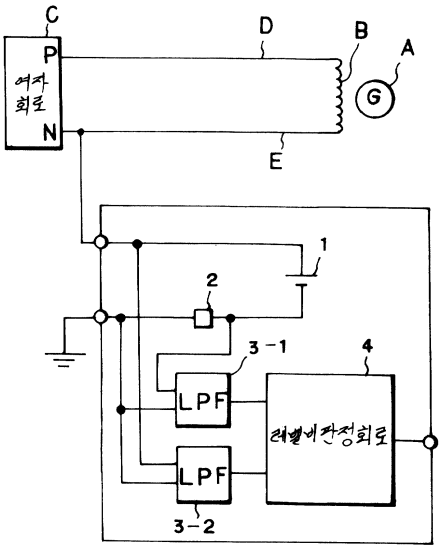
제1항에 있어서, 상기 제1의 직류전압 추출회로에 접속되어, 상기 제1의 직류전압 추출회로의 추출된 직류전압을 상기 직류 전압전원의 직류 전압 출력에 대응하는 소정치와 비교하고, 이 비교결과에 의거하여 상기 계자회로의 부극측에서 지락이 발생하였는가를 판단하는 지락장소 판단회로를 더 구비한 것을 특징으로 하는 계자지락 검출기.

청구항 14

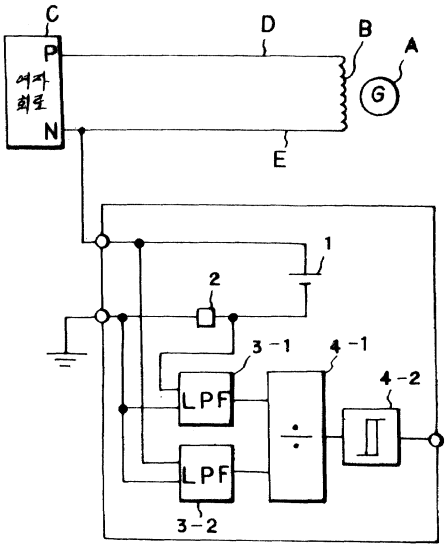
제1항에 있어서, 상기 제2의 직류전압 추출회로에 접속되어, 상기 제2의 직류전압 추출회로의 추출된 직류전압을 소정치와 비교하고, 이 비교결과에 의거하여 상기 계자회로의 부극측에서 지락이 발생하였는가를 판단하는 지락장소 판단회로를 더 구비한 것을 특징으로 하는 계자지락 검출기.

도면

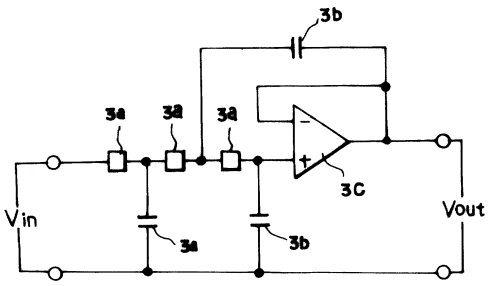
도면1


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4
LPF
LPF
레벨비교회로
3-2

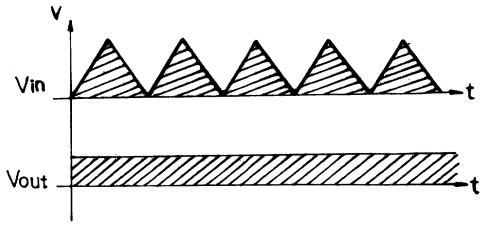
도면2


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4-1
4-2
LPF
LPF
3-2

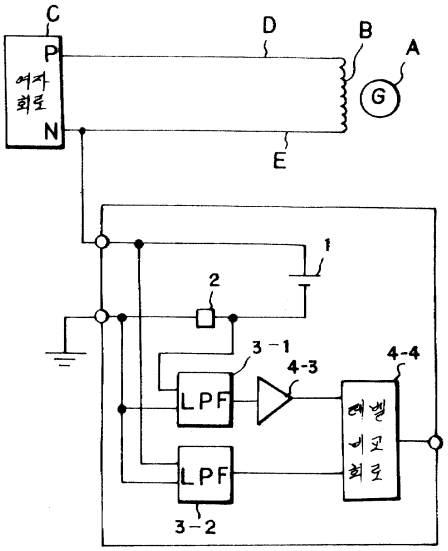
도면3


3b
3a
3a
3a
3c
Vin
Vout
3a
3b

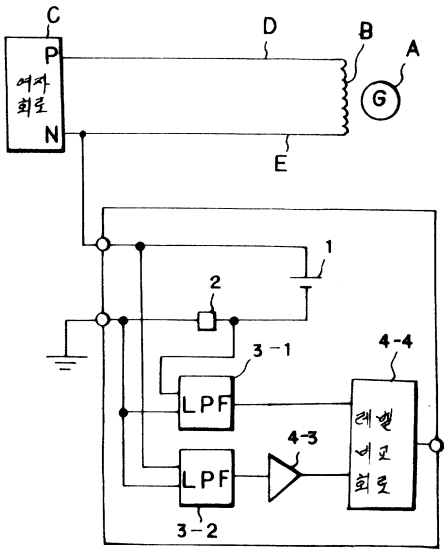
도면4


V
Vin
t
Vout
t

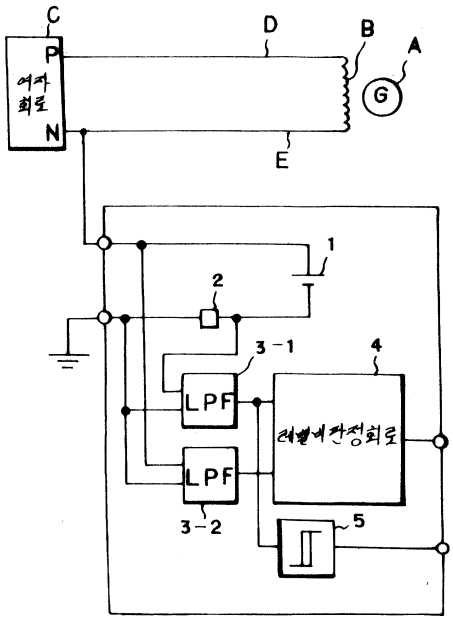
도면5


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4-3
4-4
LPF
LPF
레벨
비교
회로
3-2

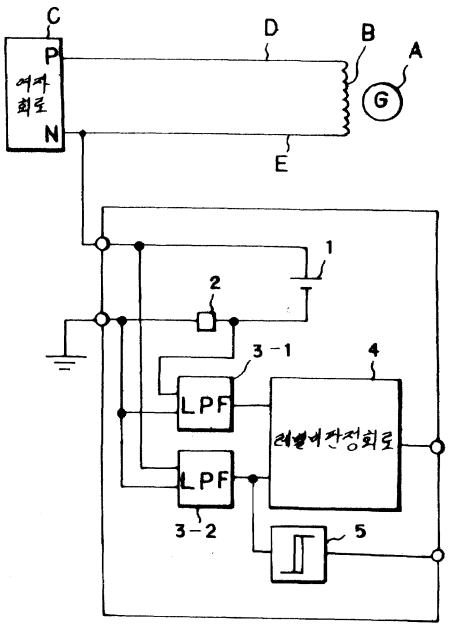
도면6


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4-4
LPF
4-3
LPF
레벨
비교
회로
3-2

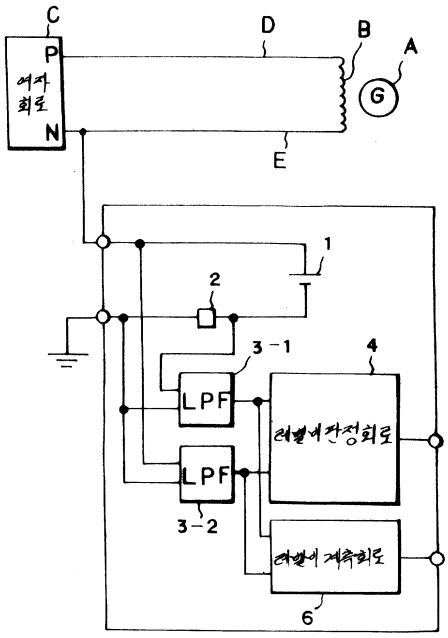
도면7


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4
LPF
레벨비교회로
LPF
3-2
5

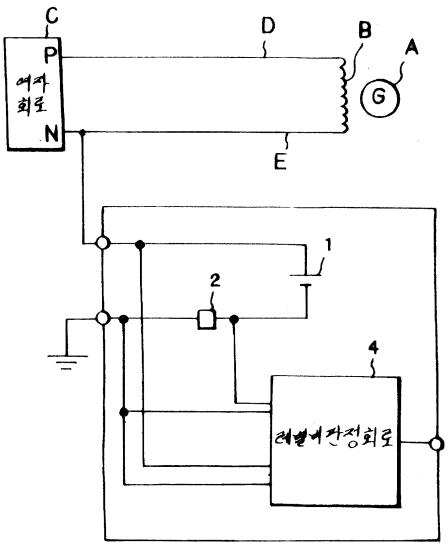
도면8


C
P
여자
회로
N
D
B
A
G
E
1
2
3-1
4
LPF
레벨비교회로
LPF
3-2
5

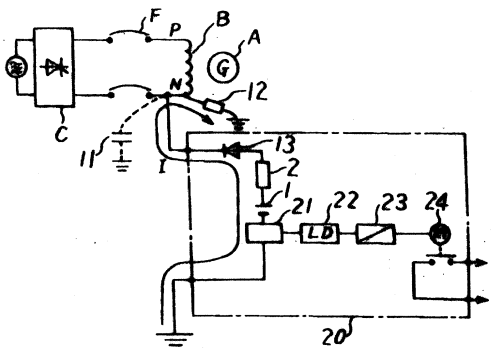
도면9



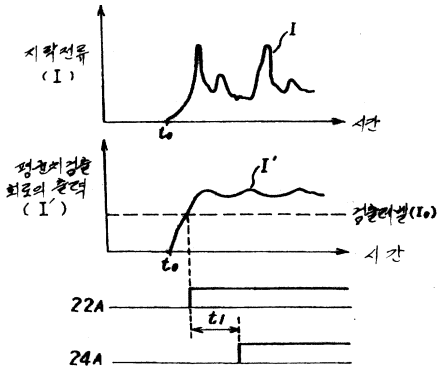
도면10



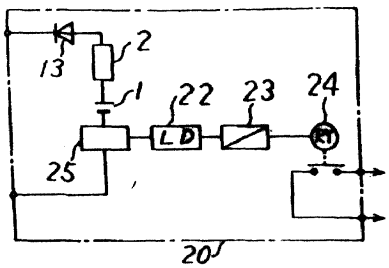
도면11



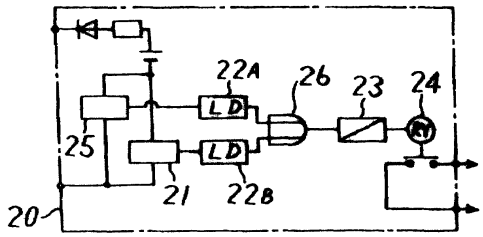
도면12



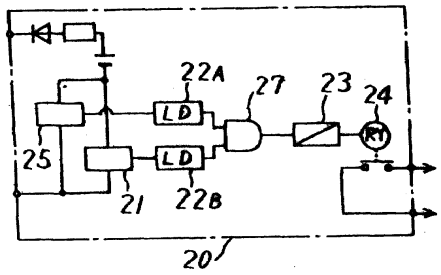
도면13



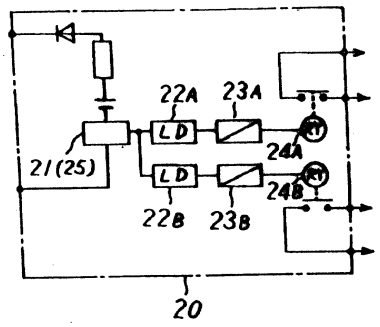
도면14



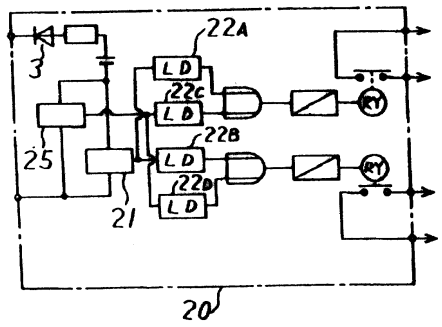
도면15



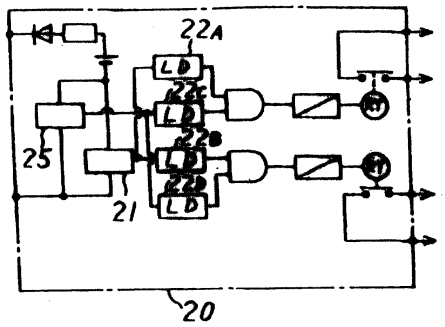
도면16



도면17

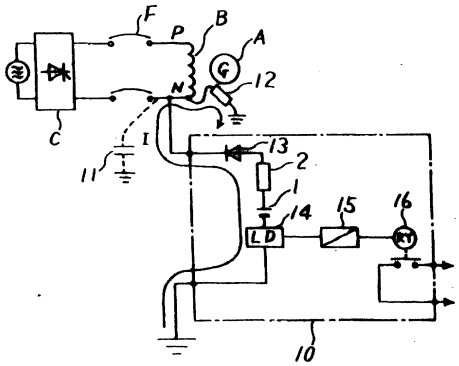


도면18

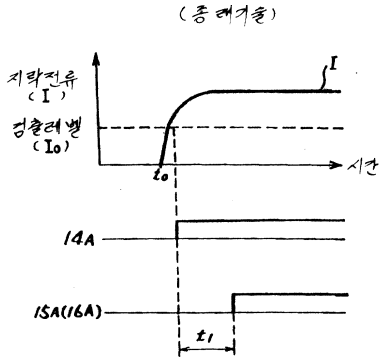


도면19

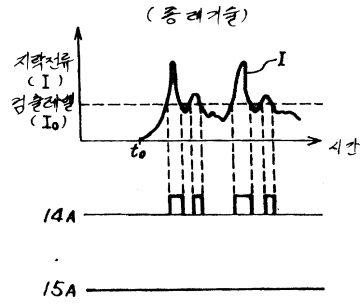
(종래기술)



도면20


(종래기술)
지락전류
(I)
검출레벨
(Io)
I
시간
to
14A
15A(16A)
t1

도면21


(종래기술)
지락전류
(I)
검출레벨
(Io)
I
시간
to
14A
15A