



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0039798
(43) 공개일자 2016년04월12일

(51) 국제특허분류(Int. Cl.)
H01L 43/08 (2006.01) G11C 11/15 (2006.01)
H01L 27/115 (2006.01)
(21) 출원번호 10-2014-0132940
(22) 출원일자 2014년10월02일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
임상호
경기도 남양주시 와부읍 덕소로 180, 113동 1903
호(두산위브아파트)
이태영
경기도 이천시 부발읍 신아로92번길 74-25, 701동
1004호(현대7차아파트)
(뒷면에 계속)
(74) 대리인
김권석

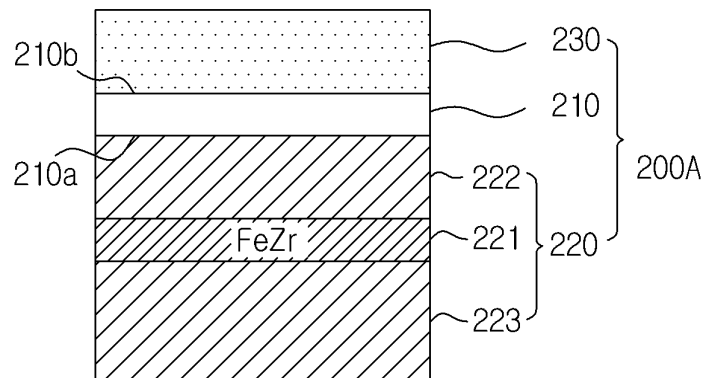
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 다층 자성 박막 스택 및 이를 포함하는 비휘발성 메모리 소자

(57) 요약

본 발명은 자기 터널링 접합(MTJ)를 이용한 비휘발성 자기 메모리 소자에 관한 것이다. 본 발명의 일 실시예에 따른 다층 자기 박막 스택은 터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상에 형성된 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상에 형성된 자기 자유층을 포함하는 자기 터널링 접합을 포함하는 다층 자기 박막 스택으로서, 상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는, FeZr 합금층 및 상기 FeZr 합금층과 상기 터널링 장벽층 사이에 (001) bcc 구조의 제 1 자성층을 포함한다.

대표도 - 도2a



(72) 발명자

원영찬

서울특별시 은평구 불광로6길 5-8, 301호(불광동,
우석빌라)

이성래

서울특별시 강남구 언주로130길 30, 101동 201호(
논현동, 동양파라곤)

명세서

청구범위

청구항 1

터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상에 형성된 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상에 형성된 자기 자유층을 포함하는 자기 터널링 접합을 포함하는 다층 자기 박막 스택으로서,

상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는,

FeZr 합금층 및 상기 FeZr 합금층과 상기 터널링 장벽층 사이에 (001) bcc 구조의 제 1 자성층을 포함하는 다층 자기 박막 스택.

청구항 2

제 1 항에 있어서,

상기 터널링 장벽층은, Al_2O_3 , MgO, TiO_2 , AlN, RuO, SrO, Si_3N_4 , CaO, HfO_2 , Ta_2O_5 , ZrO_2 , SiC, SiO_2 , SiON, 또는 이들 중 2 이상의 적층 박막을 포함하는 다층 자기 박막 스택.

청구항 3

제 1 항에 있어서,

상기 FeZr 합금층의 지르코늄(Zr)의 원자 몰비는 25 원자% 내지 75 원자%의 범위 내인 다층 자기 박막 스택.

청구항 4

제 1 항에 있어서,

상기 FeZr 합금층의 평균 두께는, 0.2 nm 내지 3 nm의 범위 내인 다층 자기 박막 스택.

청구항 5

제 1 항에 있어서,

상기 제 1 자성층은, 순수 철(Fe), 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함하는 다층 자기 박막 스택.

청구항 6

제 1 항에 있어서,

상기 터널링 장벽층은 MgO (001)을 포함하고,

상기 제 1 자성체는 코발트-철-붕소(CoFeB) 및 코발트-철(CoFe) 중 적어도 어느 하나를 포함하는 다층 자기 박막 스택.

청구항 7

제 1 항에 있어서,

상기 제 1 자성층이 형성된 상기 FeZr 합금층의 일 면과 반대되는 타 면 상에 제 2 자성층을 더 포함하는 다층 자기 박막 스택.

청구항 8

제 7 항에 있어서,

상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1 회 이상 교번하여 적층된 다층 구조를 포

함하는 다층 자기 박막 스택.

청구항 9

제 8 항에 있어서,

상기 비자성 금속층은 백금을 포함하는 다층 자기 박막 스택.

청구항 10

제 7 항에 있어서,

상기 FeZr 합금층과 상기 제 2 자성층 사이에 백금층을 더 포함하는 다층 자기 박막 스택.

청구항 11

서로 인접하는 제 1 자성층 및 제 2 자성층; 및

상기 제 1 자성층과 상기 제 2 자성층 사이에 삽입되어, 상기 제 1 자성층과 상기 제 2 자성층을 구조적으로 탈 결합시키면서 상기 제 1 자성층과 상기 제 2 자성층을 자기적으로 결합시키는 FeZr 합금층을 포함하는 다층 자기 박막 스택.

청구항 12

제 11 항에 있어서,

상기 제 1 자성층은 (001) bcc 구조를 가지며,

상기 FeZr 합금층이 접하는 상기 제 1 자성층의 일 면과 반대되는 타 면 상에 상기 제 1 자성층의 결정화를 위한 템플릿 층을 더 포함하는 다층 자기 박막 스택.

청구항 13

제 12 항에 있어서,

상기 템플릿 층은 MgO (001)을 포함하는 다층 자기 박막 스택.

청구항 14

제 13 항에 있어서,

상기 다층 자기 박막 스택은 수직 이방성을 갖는 다층 자기 박막 스택.

청구항 15

제 11 항에 있어서,

상기 FeZr 합금층의 지르코늄(Zr)의 원자 몰비는 25 원자% 내지 75 원자%의 범위 내인 다층 자기 박막 스택.

청구항 16

제 11 항에 있어서,

상기 FeZr 합금층의 평균 두께는, 0.2 nm 내지 3 nm의 범위 내인 다층 자기 박막 스택.

청구항 17

제 11 항에 있어서,

상기 제 1 자성층은, 강자성체층을 포함하는 다층 자기 박막 스택.

청구항 18

제 11 항에 있어서,

상기 제 2 자성층은, 반강자성체층을 포함하는 다층 자기 박막 스택.

청구항 19

제 11 항에 있어서,

상기 제 1 자성층은 CoFeB 및 CoFe 중 적어도 어느 하나를 포함하며,

상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1 회 이상 교번하여 적층된 다층 구조를 포함하는 다층 자기 박막 스택.

청구항 20

제 1 항 또는 제 11 항 기재의 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자

발명의 설명

기술 분야

[0001] 본 발명은 메모리 기술에 관한 것으로서, 더욱 상세하게는, 다층 자성 박막 스택 및 이를 포함하는 비휘발성 메모리 소자에 관한 것이다.

배경 기술

[0002] 자기 랜덤 액세스 메모리(magnetic RAM 또는 MRAM)는 나노 자성체 특유의 스핀 의존 전도 현상에 기초한 거대 자기저항 효과 또는 터널링 자기저항 효과를 이용하는 비휘발성 고체 자기 메모리 소자이다. 상기 MRAM은 다른 상변화 메모리(PcRAM) 또는 저항성 메모리(ReRAM)에 비하여 속도가 빠르고 반복 사용에 따른 내구성이 우수하여 최근에 많은 주목을 받고 있다.

[0003] 상기 MRAM 소자의 실현을 위하여 가장 활발히 연구되는 스핀 트랜스퍼 토크 자기 랜덤 액세스 메모리(STT-MRAM)은 고속 동작과 우수한 전력 효율을 갖고, 고집적화가 가능하기 때문에 유력한 차세대 메모리이다. 상기 STT-MRAM은 2개의 자성 박막 사이에 한 개의 절연층을 삽입한 구조를 갖는 자기 터널링 접합(magnetic tunnel junction; MTJ) 구조를 포함한다. 상기 MTJ 구조에 있어서, 수직 자기 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)은 수평 자기 이방성(in-plane magnetic anisotropy)에 비하여 자화 반전을 위한 낮은 스위칭 전류 밀도와 높은 열적 안정성을 갖고 스케일 측면에서도 이점을 갖는다. 또한, 면외 자화(out-of-plane magnetization)는 비자화를 위해 큰 자장을 필요로 하므로 에너지 측면에서도 유리하지 않기 때문에, 강한 PMA가 바람직하다.

[0004] 상기 PMA는 하나 이상의 자성층의 고유 결정자기 이방성(intrinsic magnetocrystalline anisotropy) 또는 층들 사이의 계면 효과에 의한 이방성에 의해 얻어질 수 있다. 통상적으로, 고유 결정자기 이방성에 의하는 경우, 높은 기록 전류가 필요하고, 상기 자성 박막의 결정성을 얻기 위하여 500 °C 이상의 높은 제조 온도가 요구되는 문제점이 있다. 그러나, 상기 계면 효과에 의한 이방성은 통상의 스핀터링 공정에 의해 형성되는 다층 박막 적층 구조를 통해 달성할 수 있고, 300 °C 이하의 낮은 온도에서 제조가 가능하기 때문에 이를 통한 수직 자화 방식이 일반적으로 더 바람직하다.

[0005] 그러나, 상기 계면 이방성을 이용한 수직 자화 방식은 열을 수반하는 후속 공정에서 열화되는 수직 자화 특성 때문에, 열적 안정성 측면에서 취약한 문제점을 갖고 있다. 이는 신뢰성 있는 데이터의 기록과 데이터 유지 특성(data retention)에 직접적인 영향을 미치므로 이의 개선이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 상기 PMA의 낮은 계면 이방성과 열적 안정성을 개선하여 신뢰성 있는 데이터의 기록과 높은 데이터 유지 특성을 갖는 신뢰성 있는 다층 자기 박막 스택을 제공하는 것이다.

[0007] 또한, 본 발명이 해결하고자 하는 다른 과제는 전술한 이점을 갖는 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자를 제공하는 것이다.

과제의 해결 수단

- [0008] 상기의 과제를 해결하기 위한, 본 발명에 따른 다층 자기 박막 스택은, 터널링 장벽층, 상기 터널링 장벽층의 제 1 면 상에 형성된 자기 고정층, 및 상기 터널링 장벽층의 상기 제 1 면과 반대되는 제 2 면 상에 형성된 자기 자유층을 포함하는 자기 터널링 접합을 포함하는 다층 자기 박막 스택이다. 상기 자기 고정층 및 상기 자기 자유층 중 적어도 하나는, FeZr 합금층 및 상기 FeZr 합금층과 상기 터널링 장벽층 사이에 (001) bcc 구조의 제 1 자성층을 포함한다.
- [0009] 일 실시예에서, 상기 터널링 장벽층은, Al_2O_3 , MgO, TiO_2 , AlN, RuO, SrO, Si_3N_4 , CaO, HfO_2 , Ta_2O_5 , ZrO_2 , SiC, SiO_2 , SiON, 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 상기 FeZr 합금층의 지르코늄(Zr)의 원자 몰비는 25 원자% 내지 75 원자%의 범위 내일 수 있다. 또한, 상기 FeZr 합금층의 평균 두께는, 0.2 nm 내지 3 nm의 범위 내일 수 있다.
- [0010] 상기 제 1 자성층은, 순수 철(Fe), 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들 중 2 이상의 적층 구조를 포함할 수 있다. 일부 실시예에서, 상기 터널링 장벽층은 MgO (001)을 포함하고, 상기 제 1 자성체는 코발트-철-붕소(CoFeB) 및 코발트-철(CoFe) 중 적어도 어느 하나를 포함할 수도 있다.
- [0011] 일 실시예에서, 상기 다층 자기 박막 스택은 상기 제 1 자성층이 형성된 상기 FeZr 합금층의 면과 반대되는 면 상에 제 2 자성층을 더 포함할 수 있다. 상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1 회 이상 교번하여 적층된 다층 구조를 포함한다. 바람직하게는, 상기 비자성 금속층은 백금을 포함할 수 있다. 다른 실시예에서, 상기 다층 자기 박막 스택은, 상기 FeZr 합금층과 상기 제 2 자성층 사이에 백금층을 더 포함할 수 있다.
- [0012] 본 발명의 또 다른 실시예에 따른 다층 자기 박막 스택은, 서로 인접하는 제 1 자성층 및 제 2 자성층; 및 상기 제 1 자성층과 상기 제 2 자성층 사이에 삽입되어, 상기 제 1 자성층과 상기 제 2 자성층을 구조적으로 탈결합시키면서 상기 제 1 자성층과 상기 제 2 자성층을 자기적으로 결합시키는 FeZr 합금층을 포함한다.
- [0013] 일부 실시예에서, 상기 제 1 자성층은 (001) bcc 구조를 가지며, 상기 FeZr 합금층이 접하는 상기 제 1 자성층의 일 면과 반대되는 타 면 상에 상기 제 1 자성층의 열처리에 의한 결정화를 위한 템플릿 층을 더 포함할 수 있다. 상기 템플릿 층은 MgO (001)을 포함할 수 있다.
- [0014] 일 실시예에서, 상기 다층 자기 박막 스택은 수직 이방성을 갖는다. 상기 FeZr 합금층의 지르코늄(Zr)의 원자 몰비는 25 원자% 내지 75 원자%의 범위 내일 수 있다. 또한, 상기 FeZr 합금층의 평균 두께는, 0.2 nm 내지 3 nm의 범위 내일 수 있다.
- [0015] 상기 제 1 자성층은, 강자성체층을 포함할 수 있다. 또한, 상기 제 2 자성층은, 반강자성체층을 포함할 수 있다. 상기 제 1 자성층은 CoFeB 및 CoFe 중 적어도 어느 하나를 포함하며, 상기 제 2 자성층은 비자성 금속층 및 코발트 함유 자성층이 적어도 1 회 이상 교번하여 적층된 다층 구조를 포함할 수 있다.
- [0016] 상기 다른 기술적 과제를 해결하기 위한 본 발명의 일 실시예에 따르면, 전술한 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자가 제공된다.

발명의 효과

- [0017] 본 발명의 실시예에 따르면, 자기 터널링 접합을 구성하는 자기 고정층 또는 자기 자유층 중 적어도 하나가 높은 수직 이방성을 갖는 (001) 구조의 자성층을 가지면서, 상기 (001) 구조를 안정적으로 유지함으로써, 낮은 계면 이방성과 열적 안정성을 개선하여 신뢰성 있는 데이터의 기록과 높은 데이터 유지 특성을 갖는 다층 자기 박막 스택이 제공될 수 있다.
- [0018] 또한, 본 발명의 다른 실시예에 따르면, FeZr 합금층에 의해 서로 인접하는 자성층들 사이를 구조적으로 탈결합시키지만 이들 자성층들을 자기적으로 결합시킬 수 있으므로, 자성 구조의 특성 제어가 용이한 다층 자기 박막 스택이 제공될 수 있다.
- [0019] 또한, 본 발명의 또 다른 실시예에 따르면, 전술한 이점을 갖는 다층 자기 박막 스택을 포함하는 비휘발성 메모리 소자가 제공될 수 있다.

도면의 간단한 설명

- [0020] 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 수직 자화형(magnetization perpendicular to the plane; MPP) 자기 터널링 접합(MTJ)을 포함하는 메모리 셀의 단면도들이다.
- 도 2a 내지 도 2c는 본 발명의 다양한 실시예에 따른 자기 터널링 접합들을 도시하는 단면도이며, 도 2c는 본 발명의 또 다른 실시예에 따른 자기 터널링 접합을 도시하는 단면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 PMA를 갖는 다층 자성 박막 스택을 도시하는 단면도이며, 도 3b는 제 1 비교 실험예로서 FeZr 삽입층이 결여된 다층 자성 박막 스택을 도시하고, 도 3c는 제 2 비교 실험예로서 FeZr 삽입층 대신에 Ta 층을 적용한 다층 자성 박막 스택을 도시한다.
- 도 4a 및 도 4b는 도 3a의 FeZr 합금층(10 nm)의 증착 그대로의 상태(as-deposited) 및 열처리된 상태(500 °C)의 투과전자현미경 이미지이며, 도 4c 및 도 4d는 도 3b의 CoFeB 자성층(10 nm)의 증착 그대로의 상태(as-deposited) 및 열처리된 상태(300 °C)의 투과전자현미경 이미지이다.
- 도 5는 도 3b의 비교 실시예에 따른 다층 자기 박막 스택의 XRD 패턴(좌측 패턴)과 도 3a의 본 발명의 실시예에 따른 다층 자기 박막 스택의 XRD 패턴(우측 패턴)을 나타내는 그래프이다.
- 도 6은 각각 도 3a의 본 발명의 실시예에 따른 다층 자기 박막 스택과 도 3c의 제 2 비교 실험예에 따른 다층 자기 박막 스택의 측정된 면외 M-H 루프 특성을 나타내는 그래프이다.
- 도 7은 본 발명의 실시예에 따른 도 3a의 다른 다층 자기 박막 스택에 적용된 FeZr 삽입층(두께 1 nm)/CoFeB 자성층(두께 1 nm) /MgO 터널 장벽층(두께 1 nm)에 대하여 측정된 면외($H_{\perp}$) 및 면내($H_{\parallel}$) M-H 루프를 도시하는 그래프이다. 측정된 다층 자기 박막 스택은 약 400 °C에서 열처리된 것이다.
- 도 8a는 본 발명의 또 다른 실시예에 따른 다층 자성 박막 스택이며, 도 8b 및 도 8c는 각각 증착 그대로의 상태와 400 °C에서의 M-H 측정 결과를 나타내는 그래프들이다.
- 도 9는 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0022] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하며, 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0023] 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장된 것이며, 도면상에서 동일 부호는 동일한 요소를 지칭한다. 본 명세서에서 사용된 바와 같이, 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0024] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이, 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 "포함한다(comprise)" 및/또는 "포함하는(comprising)"은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다.
- [0025] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 부재, 부품, 영역, 및/또는 부분들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 및/또는 부분들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 하나의 부재, 부품, 영역 또는 부분을 다른 영역 또는 부분과 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제 1 부재, 부품, 영역 또는 부분은 본 발명의 가르침으로부터 벗어나지 않고서도 제 2 부재, 부품, 영역 또는 부분을 지칭할 수 있다.
- [0026] 또한, 어떤 층이 다른 층 "상에" 형성 또는 배치되어 있다고 하는 경우에, 이들 층들 사이에 중간층이 형성되거나 배치될 수 있다. 이와 유사하게, 어떤 재료가 다른 재료에 인접한다고 하는 경우에도 이들 재료들 사이에 중간 재료가 있을 수 있다. 반대로, 층 또는 재료가 다른 층 또는 재료 상에 "바로" 또는 "직접" 형성되거나

배치된다고 하는 경우 또는 다른 층 또는 재료에 "바로" 또는 "직접" 인접 또는 접촉된다고 하는 경우에는, 이들 재료 또는 층들 사이에 중간 재료 또는 층이 없다는 것을 이해하여야 한다.

- [0027] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 부재들의 크기와 형상은 설명의 편의와 명확성을 위하여 과장될 수 있으며, 실제 구현시, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 된다.
- [0028] 본 명세서에서, "기판"이라는 용어는 실리콘, 실리콘-온-절연체(SOI) 또는 실리콘-온-사파이어(SOS)와 같은 벌크형 기저 구조체에 한정되지 않으며, 반도체 층, 도핑되거나 도핑되지 않은 반도체층 및 변형된 반도체 층 또는 비반도체층도 지칭할 수 있다. 또한, 상기 반도체란 용어는 실리콘계 재료에 한정되지 않으며, 탄소, 폴리머, 또는 실리콘-게르마늄, 게르마늄 및 갈륨-비소계 화합물 재료와 같은 III-V족 반도체 재료, II-VI족 반도체 재료 또는 혼합 반도체 재료를 집합적으로 지칭한다. 상기 비반도체란 용어는 절연성 세라믹 재료, 금속 재료 또는 폴리머 재료를 지칭할 수 있으며, 이에 한정되지 않는다.
- [0029] 도 1a 및 도 1b는 각각 본 발명의 일 실시예에 따른 수직 자화형(magnetization perpendicular to the plane; MPP) 자기 터널링 접합(MTJ; 100A, 100B)을 포함하는 메모리 셀(1000A, 1000B)의 단면도들이다.
- [0030] 도 1a를 참조하면, 메모리 셀(1000A)은 정보 저장 부재이며, 비휘발성 자기 메모리 소자들(1000A)의 단위 스토리지 노드를 구성할 수 있다. 메모리 셀(1000A)의 자기 터널링 접합(100A)의 일 단부에는, 셀 선택을 위한 선택 소자, 예를 들면, 트랜지스터(TR)가 결합될 수 있다. 트랜지스터(TR)의 게이트는 제 1 배선, 예를 들면, 워드 라인(WL)에 전기적으로 전기적으로 결합될 수 있다. 자기 터널링 접합(100A)의 타 단부는, 예를 들면, 비트 라인(BL)에 연결될 수 있다. 메모리 셀(1000A)은 워드 라인(WL) 및 비트 라인(BL)에 결합되는 적합한 전극(EL1, EL2)을 더 포함할 수 있다. 트랜지스터(TR)는 선택 소자의 비제한적 예이며, 전계효과트랜지스터 또는 바이폴라 트랜지스터일 수 있다. 또는, 상기 스위칭 소자는 그래핀(graphene) 또는 나노 현상을 이용한 나노 스위칭 소자일 수도 있다.
- [0031] 도 1b를 참조하면, 다른 실시예에 따른 메모리 셀(1000B)을 어드레싱하기 위한 선택 소자는 이에 직렬 결합된 다이오드(DI)를 포함할 수 있다. 도 1a에 도시된 다이오드(DI)는 PN 접합 다이오드일 수 있다. 다른 실시예에서, 상기 선택 소자는 PN 접합 다이오드(DI)와 함께 또는 이를 대체하여, 워드 라인(WL)과 비트 라인(BL)의 전위 차에 따른 셀 선택성을 얻을 수 있는 여하의 소자일 수 있으며, 그 극성이 반전된 다이오드, 또는 단방향 스위칭과 같은 구동 방식을 위하여 양방향 정류 특성을 갖는 양방향 다이오드일 수 있다. 또 다른 실시예에서, 상기 다이오드(DI)는 메모리 소자의 고용량화, 온 전류의 향상, 또는 멀티 비트 구동을 위하여, 쇼트키 장벽 다이오드, 제너 다이오드, 진성(intrinsic) 반도체층이 결합된 p-i-n(p type semiconductor-intrinsic semiconductor-p type semiconductor) 접합 다이오드, 금속층과의 접합을 통한 pim(p type semiconductor-intrinsic semiconductor-metal) 구조의 다이오드를 포함할 수도 있다.
- [0032] 도 1a와 도 1b에 도시된 비트 라인(BL)과 워드 라인들(WL)은 서로 다른 방향으로 연장된, 예를 들면 직교하는 다수의 스트라이프 패턴을 가질 수 있으며, 이들 패턴들이 교차하는 격자점마다 자기 터널링 접합(100A, 100B)이 배치되어, 메모리 셀이 어드레싱될 수 있다. 일 실시예에서, 메모리 셀들은 $4F^2$ 의 집적도를 만족하는 크로스 포인트(cross point) 어레이 구조를 가질 수 있다. 또는, 메모리 셀들의 어레이는 2 차원 평면 구조에 한정되지 않고, 기판의 수직 방향으로 2 이상의 수평 어레이가 적층되는 3 차원 구조를 갖거나, 기판의 수직 방향으로 신장된 채널층을 형성하여 얻어지는 3 차원 구조를 가질 수도 있다.
- [0033] 메모리 셀을 구성하는 자기 터널링 접합(100A, 100B)은 터널링 장벽층(110), 자기 고정층(120), 및 자기 자유층(130)을 포함할 수 있다. 자기 고정층(120)과 자기 자유층(130)의 적층 순서는 도 1a 및 도 1b에 도시된 바와 같이, 터널링 장벽층(110)을 사이에 두고 서로 역전될 수 있다. 단방향 화살표(A)는 자기 고정층(120)이 고정 자화를 갖고 있다는 것을 나타내며, 양방향 화살표(B)는 자기 자유층(130)이 자기 고정층(120)의 자화 방향에 대하여 평행하게 자화되거나 역평행하게 자화될 수 있음을 나타낸다. 일 실시예에서, 자기 자유층(130)의 자화 방향의 변경은 자기 터널링 접합(100A, 100B)을 따라 흐르는 스핀 토크를 갖는 터널링 전류의 방향을 제어하여 달성될 수 있다.
- [0034] 자기 고정층(120) 및 자기 자유층(130)은 수직 자성 이방성(perpendicular magnetic anisotropy; 또는 PMA라 함)을 갖는다. 도시하지는 않았지만, 자기 자유층(130) 상에 다른 터널링 장벽층과 자기 고정층을 추가적으로

적층하여 자기 자유층(130)을 사이에 두고 2 개의 자기 고정층이 대향 배치된 대칭적인 자기 터널링 접합이 제공'될 수도 있다. 이러한 대칭적 자기 터널링 접합은 프로그래밍 및 삭제를 위한 전류의 방향을 단방향으로 할 수 있는 이점이 있다.

- [0035] 도 2a 내지 도 2c는 본 발명의 다양한 실시예에 따른 자기 터널링 접합들(200A, 200B)을 도시하는 단면도이며, 도 2c는 본 발명의 또 다른 실시예에 따른 자기 터널링 접합(200C)을 도시하는 단면도이다.
- [0036] 도 2a를 참조하면, 자기 터널링 접합(200A)은, 터널링 장벽층(210), 터널링 장벽층(210)의 제 1 면(210a) 상의 자기 고정층(220), 및 터널링 장벽층(210)의 제 2 면(210b) 상의 자기 자유층(230)을 포함한다. 터널링 장벽층(210)을 사이에 두고 자기 고정층(220)과 자기 자유층(230)의 적층 순서는 역전될 수 있음은 전술한 바와 같다. 자기 고정층(210) 및 자기 자유층(230)은 각각 단일 자성층, 서로 다른 종류의 자성층들의 적층체 또는 자성층과 비자성층의 적층체를 포함할 수 있다. 이에 관하여는 후술하도록 한다.
- [0037] 터널링 장벽층(210)은, 예를 들면, Al_2O_3 , MgO , TiO_2 , AlN , RuO , SrO , SiN , CaO_x , HfO_2 , Ta_2O_5 , ZrO_2 , SiC , SiO_2 , SiO_xN_y , 또는 이들 중 2 이상의 적층 박막을 포함할 수 있다. 바람직하게는, 터널링 장벽층(220)은 $NaCl$ 타입의 MgO (001) 층을 포함할 수 있다. 상기 MgO (001) 층은 단결정 또는 다결정질 일 수 있으며, (001) 결정면이 우선 배향된 것일 수 있다.
- [0038] 자기 고정층(220) 및 자기 자유층(230) 중 적어도 어느 하나는 $FeZr$ 합금층(221) 및 $FeZr$ 합금층(221)과 터널링 장벽층(210) 사이에 (001)로 우선 배향된 체심입방정계(bcc) 구조(이하에서는, (001) bcc라 함)를 갖는 제 1 자성층(222)을 포함할 수 있다. 비제한적 예로서, 도 2a에 도시된 다층 자성 박막 스택은, 자기 고정층(220)이 $FeZr$ 합금층(221)과 제 1 자성층(222)을 포함하는 실시예에 관한 것이다.
- [0039] $FeZr$ 합금층(221) 내의 Zr 의 원자 몰비는 25 atomic% 내지 75 atomic% 범위 내일 수 있다. 25 atomic% 이하에서는, Zr 효과가 적어 인접층들 사이의 구조적 탈결합 효과가 나타나지 않으며, 75 atomic% 이상에서는 인접층들 사이의 자기적 결합이 나타나지 않을 수 있다. 그러나, 상기 Zr 의 원자 몰비는 예시적일 뿐, $FeZr$ 합금층(221)이 비정질 상태로 안정하게 유지되는 다른 조성 범위가 선택될 수도 있으며, 이 또한 본 발명의 범위 내이다.
- [0040] $FeZr$ 합금층(221)의 평균 두께는 0.2 nm 내지 3.0 nm의 범위 내일 수 있다. $FeZr$ 합금층(221)의 상기 평균 두께가 0.2 nm 미만인 경우, 하지층 상에 연속적 박막을 형성하지 못할 수 있으며, 평균 두께가 3.0 nm를 초과하는 경우 인접층들 사이의 자기적 결합을 제공하지 못하거나 다층 자성 박막 스택의 PMA 특성이 크게 열화될 수 있다. 이에 관하여는 상세히 후술하도록 한다.
- [0041] 제 1 자성층(222)은 보자력을 갖는 강자성체를 포함할 수 있다. 예를 들면, 상기 강자성체는, 순수 철(Fe), 코발트-철($CoFe$), 코발트-철-붕소($CoFeB$) 또는 이들 중 2 이상의 적층 구조(예를 들면, $CoFeB$ 층/ Fe 층 and Fe 층/ $CoFeB$ 층)를 포함할 수 있다. 바람직하게는, 상기 강자성체는, 코발트-철-붕소($CoFeB$)를 포함한다.
- [0042] 제 1 자성층(222)은 성막시에는 비정질이지만, 후열처리를 통하여 (001) bcc 구조로 변환될 수 있다. 후술하는 바와 같이, $FeZr$ 합금층(221)은 500 °C의 열처리에서도 비정질 구조를 유지함으로써 (001) bcc 구조 형성에 기여한다. 일부 실시예에서, $FeZr$ 합금층(221)은 부분적으로 결정화될 수 있으며, 이 경우 bcc Fe (001) 및 육방정계(이하, hcp라 함) Zr (001)의 혼합 결정상을 포함할 수 있다. 제 1 자성층(222)은 성막시 비정질 구조를 갖더라도 소정의 온도에서 수행되는 후 열처리 공정시 이에 접하는 터널링 장벽층(120)에 의해서 지배적으로 템플릿 효과를 겪을 수 있다. 예를 들면, 터널링 장벽층(120)이 MgO (001) 층인 경우, 상기 MgO (001) 층이 템플릿 층으로서 기능하여, 제 1 자성층(222)은 (001) bcc 구조를 갖도록 결정화되고, 안정적으로 유지될 수 있다.
- [0043] 제 1 자성층(222)이 형성된 $FeZr$ 합금층(221)의 면과 반대되는 면 상에는 제 2 자성층(223)이 형성될 수 있다. 제 2 자성층(223)은 $FeZr$ 합금층(221)을 통하여 제 1 자성층(222)과 자기적으로 결합될 수 있다. 제 2 자성층(223)은 제 1 자성층(222)과 자기적으로 결합될 수 있는 여하의 층을 포함할 수 있다.
- [0044] 또한, 제 2 자성층(223)은 후술하는 바와 같이 $FeZr$ 합금층(221)에 의해 제 1 자성층(222)과 구조적으로 탈결합되기 때문에, 제 2 자성층(223)의 미세 구조는 제 1 자성층(222)에 영향을 미치지 않을 수 있다. 따라서, 제 2 자성층(223)은, 특정 미세 구조에 한정되지 않고, 자기 터널링 접합(200A)의 수직 이방성을 강화할 수 있는 여하의 단일 자성층, 서로 다른 종류의 자성층들의 적층체, 또는 자성층과 비자성층의 적층체를 포함할 수 있다.

- [0045] 일부 실시예에서, 자기 고정층(220)은 강자성체층 및 상기 강자성체층에 반강자성체층이 교환결합 바이어스되도록 인접한 적층 구조를 가질 수 있다. 이 경우, 제 1 자성층(222)은 강자성체를 포함하고, 제 2 자성층(223)은 반강자성체를 포함할 수도 있다. 상기 반강자성체는, 예를 들면, PtMn, IrMn, MnO, MnS, MnTe, MnF₂, FeCl₂, FeO, CoCl₂, CoO, NiCl₂, NiO 중 어느 하나 또는 2 이상을 포함할 수 있다. 다른 실시예에서, 제 2 자성층(223)은, 2 개의 강자성체층 사이에 루테튬(Ru)과 같은 비자성 도전층이 삽입된 합성 반강자성체(synthetic-anti-ferromagnetic; SAF) 구조를 가질 수도 있다. 전술한 제 1 자성층(222)과 제 2 자성층(223)의 구성은 예시적이며, FeZr 합금층(221)이 제 1 자성층(222)과 제 2 자성층(223)을 구조적으로 탈결합시키지만 제 1 자성층(222)과 제 2 자성층(223) 사이를 자기적으로 결합시킬 수 있으므로, 다양한 적층 구조를 가질 수 있다.
- [0046] 도 2b를 참조하면, 본 발명의 다른 실시예에 따르면, 제 2 자성층(223)은 계면 효과에 의해 수직 이방성을 나타내는 다층 구조를 포함할 수 있다. 예를 들면, 제 2 자성층(223)은, 비자성 금속층(nonmagnetic metal layer; 이하 NM이라 함, 223a)과 코발트(Co) 함유 자성층(223b)의 [NM/Co]_N 다층 구조를 포함할 수 있다. 상기 다층 구조는 비자성 금속층(223a)과 코발트 함유 자성층(223b)의 초격자 구조를 가질 수 있다.
- [0047] 일 실시예에서, 비자성 금속층(223a)은 백금(Pt)을 포함하고, 코발트 함유 자성층(223b)을 코발트를 포함하는 [Pt/Co]_N (여기서, N은 적층 회수로서 1 이상의 정수임)인 다층 구조를 포함할 수 있다. 상기 N은 1 내지 20 이하의 범위 내일 수 있다. 다른 실시예에서, 비자성 금속층(223a)은, 로듐(Rh), 하프늄(Hf), 파라듐(Pd), 탄탈륨(Ta), 오스뮴(Os), 게르마늄(Ge), 이리듐(Ir), 금(Au), 및 은(Ag) 중 어느 하나 또는 이들의 합금을 포함할 수 있다. 다른 실시예에서, 코발트 함유 자성층(223b)은 CoZr, CoFe, CoFeB과 같은 코발트 함유 합금을 포함할 수도 있다.
- [0048] [NM/Co]_N 다층 구조(223)는 최밀 성장면이 fcc (111) 면인 경우 스퍼터링을 통하여 이의 형성이 용이하게 달성될 수 있을 뿐만 아니라, 상기 다층 구조의 구성층들의 두께, 적층 회수 N, 또는 비자성 금속층의 종류라는 다양한 선택성을 부여할 수 있기 때문에 그 특성 제어가 용이한 이점이 있다. 예를 들면, 상기 [Pt/Co]_N 다층 구조는 300 °C의 낮은 온도에서도 PMA 특성이 열화되거나 소실되는 단점이 있다. 이러한 상기 PMA 특성의 낮은 내열성을 향상시키기 위하여, 구성층들의 두께의 조절을 통해 상기 내열성을 강화시킬 수 있다. 예를 들면, 본 출원인의 한국 특허 출원 제10-1287370호(본 명세서에 동 특허의 전체 개시 사항이 참조에 의해 포함됨)에 개시된 바와 같이, 상기 [Pt/Co]_N 다층 구조(223)에서, 자성층인 코발트층(223b)의 두께가 Pt 층(223a)의 두께보다 더 큰 반전 구조를 갖도록 할 수 있다. 이 경우, [NM/Co]_N 다층 구조(223), 바람직하게는 반전 구조의 [Pt/Co]_N 다층 구조(223)는 500 °C 부근까지도 상기 PMA 특성을 유지할 수 있으며, 이로써 이를 포함하는 자기 자유층 또는 자기 고정층의 PMA 특성이 강화될 수 있다.
- [0049] [Pt/Co]_N 다층 구조를 갖는 제 2 자성층(223)은 최밀 성장면이 fcc (111)면이지만, [Pt/Co]_N 다층 구조의 제 2 자성층(223)과 (001) bcc 구조의 제 1 자성층(222) 사이에 삽입된 FeZr 합금층(221)이 제 1 자성층(222)과 제 2 자성층(223) 사이를 구조적으로 탈결합시킨다(이러한 구성에서는, FeZr 합금층을 FeZr 삽입층이라고 등가적으로 지칭하기로 한다). 그에 따라, 제 1 자성층(222)은 제 2 자성층(223)의 미세 조직으로부터 영향을 받지 않게 되며, 인접하는 다른 층인 MgO (001) 터널링 장벽층(210)의 영향을 지배적으로 받을 수 있다.
- [0050] 자기 터널링 접합(200B)을 형성하기 위해 각 층들의 형성시, 순차대로 비정질의 제 2 자성층(223)/비정질의 FeZr 합금층(221)/비정질의 제 1 자성층(212)/MgO (001) 터널링 장벽층(210)/자기 자유층(230)으로 된 다층 자성 박막 스택을 형성할 수 있다. 이후, 상기 다층 자기 박막 스택은 후열처리되거나 배선 공정과 같은 후속 공정에서 수반되는 열부하에 의해 열처리되는 경우(이하에서는, 자기 터널링 접합에 대해 열처리 효과가 나타나는 모든 공정을 후열처리라고 통칭함), 비정질의 제 1 자성층(212)이 MgO (001) 터널링 장벽층에 의해서만 템플릿 효과를 겪게 될 뿐, 제 2 자성층(223)의 fcc (111) 면으로부터는 영향을 받지 않을 수 있다. 이로써, 상기 비정질의 제 1 자성층은 (001) bcc 구조로 안정적으로 결정화될 수 있다. 본 명세서에서는, MgO (001)과 같이 인접층에 대해 특이 결정 텍스처를 유도하는 층을 템플릿 층이라 한다.
- [0051] 이와 대조적으로, 삽입층인 FeZr 합금층(221)이 없이, 비정질의 CoFeB를 포함하는 제 1 자성층(222)과 fcc (111) 면을 갖는 [Pt/Co]_N를 포함하는 제 2 자성층(223)이 서로 접촉하여 적층되는 경우, 성막시 또는 후열처리를 통하여 상기 제 1 자성층(222)은 제 2 자성층(223)의 템플릿 효과에 의해 최밀 성장면인 bcc (110) 구조를 갖게 된다. CoFeB의 제 1 자성층(222)이 bcc (110) 구조를 갖게 되면 터널링 자기저항(tunneling magneto-

resistance; TMR) 비가 열화되기 때문에 바람직하지 못하다.

- [0052] 제 1 자성층(222)이 MgO (001) 터널링 장벽층(210)의 제 1 면(210a) 상에 형성된 경우, 제 1 면(210a)과 반대되는 제 2 면(210b) 상에 제 3 자성층(230)이 더 형성되어 자기 터널링 접합을 제공할 수 있다. 제 3 자성층(230)은, 강자성체를 포함할 수 있다. 상기 강자성체는, 예를 들면, Fe, Co, Ni 또는 이들의 합금인 CoFe, NiFe, CoNiFe 또는 도핑된 합금인 CoX, CoNiFeX, CoFeX (여기서, X는 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Ta, Os, Ge, Ir, Au, Ag, 및 C 중 어느 하나 또는 이들의 조합일 수 있음)를 포함할 수 있다. 또는, 상기 강자성체는 Fe_3O_4 , CrO_2 , NiMnSb, PtMnSb 및 BiFeO와 같은 반금속성 강자성 재료를 포함할 수 있다. 이들 재료들은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 제 3 자성층(230)은 Gd, Dy, $\text{Y}_3\text{Fe}_5\text{O}_{12}$, MnSb, MnAs와 같은 다른 공지의 강자성 재료 또는 전술한 재료들에 B, Cu, Re, Ru, Rh, Hf, Pd, Pt, Os, Ir, Au 및 Ag, 및 C 중 어느 하나 또는 이들의 조합을 더 포함할 수도 있다. 바람직하게는, 제 3 자성층(230)은, 제 1 자성층(222)과 동일하게, 순수 철(Fe), 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들 중 2 이상의 적층 구조(예를 들면, CoFeB/Fe and Fe/CoFeB)를 포함할 수 있다. 더욱 바람직하게는, 상기 제 3 자성층(230)은 코발트-철-붕소(CoFeB)를 포함할 수 있다.
- [0053] 제 3 자성층(230)도 제 1 자성층(222)과 동일하게 (001) bcc 구조를 가질 수 있다. (001) bcc 구조의 제 3 자성층(230)도 제 1 자성층(222)과 동일하게 MgO (001) 터널링 장벽층(210)을 템플릿 효과에 의해 후열처리를 통해서 얻어질 수 있다. 일부 실시예에서, 제 3 자성층(230)과 제 1 자성층(222)은 모두 CoFe (001)일 수 있으며, 이 경우, 높은 터널링 자기저항(tunneling magneto-resistance; TMR)을 얻을 수 있는 이점이 있다.
- [0054] 도 2c를 참조하면, 다른 실시예에 따른 자기 터널링 접합(200C)은, 터널링 장벽층(210), 터널링 장벽층(210)의 제 1 면(210a) 상의 자기 고정층(220), 및 터널링 장벽층(210)의 제 2 면(210b) 상의 자기 자유층(230)을 포함한다. 자기 고정층(220)은 각각 단일 자성층, 서로 종류의 자성층들의 적층체 또는 자성층과 비자성층의 적층체를 포함할 수 있다. 자기 자유층(230)은 FeZr 합금층(231), 및 FeZr 합금층(231)과 터널링 장벽층(210) 사이에 (001)로 우선 배향된 체심입방정계(bcc) 구조(이하에서는, (001) bcc라 함)를 갖는 제 1 자성층(232)을 포함할 수 있다.
- [0055] 전술한 바와 같이, 제 1 자성층(232)은 강자성체를 포함할 수 있다. 예를 들면, 상기 (001) bcc 구조의 제 1 자성층(232)은 순수 철(Fe), 코발트-철(CoFe), 코발트-철-붕소(CoFeB) 또는 이들 중 2 이상의 적층 구조(예를 들면, CoFeB/Fe and Fe/CoFeB)를 포함할 수 있다. 바람직하게는, 제 1 자성층(232)은, 코발트-철(CoFe) 또는 코발트-철-붕소(CoFeB)를 포함한다.
- [0056] 또한, 제 1 자성층(232)이 형성된 FeZr 합금층(231)의 면과 반대되는 면 상에는 제 2 자성층(233)이 형성될 수 있다. 제 2 자성층(233)은 제 1 자성층(232)과 자기적으로 결합될 수 있는 여하의 층일 수 있다. 제 2 자성층(233)은 FeZr 합금층(231)에 의해 제 1 자성층(232)과 구조적으로 탈결합될 수 있다. 일 실시예에서, 제 2 자성층(233)은 계면 효과에 의해 수직 이방성을 나타내는 코발트(Co) 함유 자성층과 비자성 금속층(nonmagnetic metal layer; 이하 NM이라 함)의 초격자 구조를 적어도 하나 이상 포함하는 다층 구조일 수 있다. 예를 들면, 제 2 자성층(233)은 상기 비자성 금속층이 백금(Pt)을 포함하는 다층 구조 $[\text{Pt}/\text{Co}]_N$ (여기서, N은 적층 회수로서 1 이상의 정수임)를 포함할 수 있다. 전술한 바와 같이, 다층 구조 $[\text{Pt}/\text{Co}]_N$ 는 Co 박막의 두께가 Pt 박막의 두께보다 더 큰 반전 구조를 가질 수 있으며, 바람직하게는, 백금층을 먼저 증착하고, 상기 백금층 상에 코발트층을 증착하는 것에 의해 형성될 수 있다.
- [0057] 다른 실시예에서, 자기 자유층(230)은 강자성체층 및 상기 강자성체층에 반강자성체층이 교환결합 바이어스되도록 인접하여 적층된 적층 구조를 가질 수도 있다. 이 경우, 제 1 자성층(232)은 강자성체를 포함하고, 제 2 자성층(233)은 반강자성체 또는 합성 반강자성체를 포함할 수도 있다. 또는, 제 1 자성층(232)이 반강자성체를 포함하고, 제 2 강자성층(233)이 강자성체를 포함할 수도 있다. 이 경우, FeZr 삽입층(231)은 제 1 자성층(232)과 제 2 자성층(233)을 구조적으로 탈결합시키지만, 동시에 이들층들 사이를 자기적으로 결합시킬 수 있다. 다른 실시예에서, 자기 자유층(230)의 제 1 자성층(232)과 제 2 자성층(233) 중 적어도 하나는 연자성층을 포함할 수도 있을 것이다.
- [0058] 일 실시예에서, 제 1 자성층(232)이 MgO (001) 터널링 장벽층(231)의 제 2 면(210b) 상에 형성된 경우, 제 2 면(210b)과 반대되는 제 1 면(210a) 상에 제 3 자성층(220)이 더 형성되어 자기 터널링 접합(200C)을 제공할 수 있다. 제 3 자성층(220)도 제 1 자성층(232)과 동일하게 (001) bcc 구조를 갖는 강자성체층을 포함할 수 있다.

- [0059] 도 2a 내지 도 2c에서는 터널 장벽층(210)의 제 1 면(210a)에 자기 고정층이 형성되고, 제 2 면(210b) 상에는 자기 자유층이 형성된 것이 개시되고 있지만, 제 1 면(210a) 상에 자기 자유층이 형성되고, 제 2 면(210b) 상에 자기 고정층이 형성된 실시예도 본 발명의 범위 내에 포함된다. 또한, 도시하지는 아니하였지만, MTJ의 자기 자유층과 자기 고정층이 삽입층으로서 FeZr 합금층을 포함하는 실시예도 본 발명의 범위 내에 포함된다.
- [0060] 일부 실시예에서는, 기판(미도시) 상에 자기 터널링 접합(200A, 200B, 200C)을 형성하기 전에, 자성층들의 균일한 성장을 위해 씨드층이 형성될 수도 있다. 다른 실시예에서, 상기 자기 터널링 접합(200A, 200B, 200C) 상에는 보호층이 더 형성될 수도 있다. 또 다른 실시예에서, 상기 자성층들 사이에는 버퍼층이 더 형성될 수도 있으며, 이에 관하여는 후술하도록 한다. 이들 씨드층, 버퍼층 및 보호층들은, 금(Au), 구리(Cu), 팔라듐(Pd), 백금(Pt), 탄탈륨(Ta), 루테튬(Ru) 또는 이의 합금을 포함할 수 있으며, 본 발명이 이에 한정되는 것은 아니다.
- [0061] 실험예
- [0062] 본 발명의 실시예에 따른 자기 터널링 접합의 FeZr 삽입층의 구조적 탈결합 및/또는 자기적 결합의 효과를 확인하기 위하여, 습식 산화막이 형성된 실리콘 기판 상에 상기 FeZr 삽입층을 포함하는 PMA를 갖는 다층 자성 박막 스택을 형성하여 다양한 특성을 평가하였다.
- [0063] 상기 실리콘 기판의 습식 산화막(10) 상에 순차대로 씨드층(20)인 Ta(두께 5 nm; 21)/Pt(두께 10 nm; 22)/Ru(두께 30 nm; 23)를 형성하고, PMA 강화를 위한 제 2 자성층(도 2b의 233 참조)으로서 [Pt (두께 0.25 nm; 223a)/Co (두께 0.5 nm; 223b)]₆를 형성하였다. 이후, 결과물 상에 삽입층인 FeZr 합금층 (두께 1 nm)이고, Zr은 50 원자% 함유됨; 221)을 형성하고, 그 위에 제 1 자성층인 CoFeB 자성층 (두께 1 nm, 또는 10 nm; 222)/MgO 터널링 장벽층 (두께 3 nm, 또는 10 nm; 210)을 형성하고, 보호층으로서 Ru(3 nm)를 형성하여, 도 3a에 도시된 바와 같은 PMA를 갖는 다층 자성 박막 스택(2000)을 형성하였다. 제 2 절연층(223)의 숫자 6은 Pt/Co 적층 구조가 6 회 반복 적층되었음을 의미한다. 도 3b는 제 1 비교 실험예로서 FeZr 삽입층이 결여된 다층 자성 박막 스택(2000R1)을 도시하고, 도 3c는 제 2 비교 실험예로서 FeZr 삽입층 대신에 Ta 층(221')을 적용한 다층 자성 박막 스택(2000R2)을 도시한다.
- [0064] 도 3a 내지 도 3c에 도시된 다층 자성 박막 스택들(2000, 2000R1, 2000R2)은 하나 이상의 챔버를 갖는 초고진공 마그네트론 스퍼터링 시스템(ultrahigh vacuum magnetron sputtering system)을 이용하여 10^{-8} Torr 내지 10^{-7} Torr에서 제조되었지만, 본 발명이 이에 한정되는 것은 아니다. 스택들(2000, 2000R1, 2000R2)의 제조 동안, 제조 중간 결과물들의 챔버간 전달은 일정한 압력을 유지한 채로 로봇 시스템에 의해 이루어졌다. 후열처리는 일반적으로 메모리 제조를 위한 배선 공정과 같은 후단의 고온 공정에 의해서도 이루어지기 때문에, 이를 모사하여, 증착된 상태 그대로의 다층 자성 박막 스택들(2000, 2000R1, 2000R2)에 대하여 300 °C 내지 500 °C의 온도 범위 및 1×10^{-6} Torr의 진공 분위기에서 약 1 시간 정도 열처리를 수행하였다.
- [0065] 제 1 자성층(222)인 CoFeB 자성층은 Co₂₀Fe₆₀B₂₀의 조성을 갖는 얼로이 타겟을 사용하여 증착하였으며, FeZr 삽입층은 Fe₅₀Zr₅₀의 조성을 갖는 얼로이 타겟을 사용하여 증착하였다. MgO 터널링 장벽층(210)은 1×10^{-3} Torr(아르곤 분위기)에서 증착되었고, 다른 층들은 2×10^{-3} Torr(아르곤 분위기)에서 증착되었다. 전술한 스퍼터링 방법은 예시적이며, 본 발명이 이에 제한되는 것은 아니다. 예를 들면, 전자빔 증발법과 같은 다른 물리기상증착 또는 적합한 전구체를 이용한 화학기상증착법, 또는 원자층 증착법에 의해 이들 스택들이 형성될 수도 있다.
- [0066] Magnetization-applied magnetic field(M-H) 루프는 진동 샘플 마그네토미터(vibrating sample magnetometer)를 이용하여 면외(out-of-plane, H_i) 및 면내(in-plane, H_{||}) 자기장 하에서 각 다층 자성 박막 스택들의 자기적 특성을 평가하여 얻어진 것이다. M은 자기 모멘트 m을 [Pt (0.25 nm)/Co (0.5 nm)]₆ 자기층(223) 및 CoFeB 자성층(222)의 총 부피를 나누어 얻었다.
- [0067] 미세 조직은 투과전자현미경(TEM) 및 면내 X선 회절(XRD)을 통해 관찰되었다. 또한, 상기 투과전자현미경 분석에서, 선택영역회절(selected area diffraction; SAD) 패턴도 분석되었다.
- [0068] 도 4a 및 도 4b는 도 3a의 FeZr 합금층(10 nm; 221)의 증착 그대로의 상태(as-deposited) 및 열처리된 상태

(500 ℃)의 투과전자현미경 이미지이며, 도 4c 및 도 4d는 도 3b의 CoFeB 자성층(10 nm; 222)의 증착 그대로의 상태(as-deposited) 및 열처리된 상태(300 ℃)의 투과전자현미경 이미지이다.

[0069] 도 4a를 참조하면, 증착 그대로의 상태의 FeZr 합금층(221)은 비정질 구조를 갖는다. 또한, 도 4b를 참조하면, FeZr 합금층(221)은 500 ℃의 높은 온도에서 열처리된 후에도 실질적으로 비정질을 유지하는 것으로 확인되며, 선택영역회절 패턴을 참조하면 미소한 정도의 결정화가 관찰된다. 이러한 결과는 FeZr 합금층(221)이 약 500 ℃ 이상의 높은 결정화 온도(T_x)를 갖는 것에 부합한다. 본 발명의 실시예에 따른 FeZr 합금층(221)의 SAD 패턴(SP)을 참조하면, 이의 결정상은 bcc Fe (011)과 hcp Zr (001)의 혼합물을 포함하며, 충분한 열처리 시간과 온도가 확보된다면 Fe_2Zr 또는 $FeZr_3$ 와 같은 금속간 화합물이 관찰될 수도 있을 것이다.

[0070] 도 4c를 참조하면, 증착 그대로의 상태의 CoFeB 자성층(222)은 비정질 구조를 갖는다. 그러나, 도 4d를 참조하면, 미세 변화를 관찰하기 위해 별도로 제조된 Si 기판/ SiO_2 /Ta 씨드층 상에 증착되고, 300 ℃에서 열처리된 CoFeB 자성층(222)은 상당한 정도로 결정화가 일어나며, 이때의 상은 CoFe (002) 및 CoFe (011) 텍스처를 갖는다. 이로부터, CoFeB 자성층(222)은 300 ℃에서 이미 지배적으로 최밀 성장면인 bcc (011)으로 결정화됨을 알 수 있다.

[0071] 상기 CoFeB 자성층의 bcc (011) 구조는 전술한 바와 같이 작은 TMR 때문에 바람직하지 못하다. 그러나, 본 발명의 실시예에 따르면, 도 3a에 도시된 바와 같이, CoFeB 자성층(222)과 이에 자기적으로 결합되는 제 2 자성층(223)을 구조적으로 탈결합시키는 삽입층인 FeZr 합금층(221)이 500 ℃ 부근의 고온에서도 비정질 상태를 유지하게 되어, 제 2 자성층(223)의 텍스처에 의한 영향은 차단되고, MgO 터널링 장벽층(210)의 템플릿 효과가 촉진되어 열처리 후의 CoFeB 자성층(222)은 bcc (001) 텍스처를 가질 수 있다.

[0072] 도 5는 도 3b의 비교 실시예에 따른 다층 자기 박막 스택(2000R1)의 XRD 패턴(좌측 패널)과 도 3a의 본 발명의 실시예에 따른 다층 자기 박막 스택(2000)의 XRD 패턴(우측 패널)을 나타내는 그래프이다. 곡선 R1 내지 R3는 각각 다층 자기 박막 스택(2000R1)의 증착 그대로의 상태, 300 ℃에서 열처리된 상태 및 400 ℃에서 열처리된 상태의 XRD 패턴이며, 곡선 E1 내지 E3는 각각 다층 자기 박막 스택(2000)의 증착 그대로의 상태, 300 ℃에서 열처리된 상태 및 400 ℃에서 열처리된 상태의 XRD 패턴이다. 분석된 다층 자성 박막 스택의 MgO 터널링 절연막과 CoFeB의 제 1 자성층의 두께는 모두 10 nm이다.

[0073] 곡선 R1 및 E1을 참조하면, 다층 자기 박막 스택들(2000R1, 2000)에서 모두 CoFe 자성층(222)의 피크가 관찰되지 않으므로, CoFe 자성층(222)은 비정질 상태를 갖는 것을 알 수 있다. 그러나, 곡선 R2를 참조하면, 300 ℃에서 약 1 시간의 열처리에 의해 다층 자기 박막 스택(2000R1)에서는 bcc CoFe (110)과 관련된 피크가 관찰된다. 그러나, 곡선 E2를 참조하면, 다층 자기 박막 스택(2000)에서는 CoFe (110)의 피크는 나타나지 않는다.

[0074] 곡선 R3를 참조하면, 400 ℃에서 약 1 시간의 열처리에 의해 다층 자기 박막 스택(2000R1)에서는 CoFe 막의 최밀 성장면인 강한 bcc (110)의 피크가 나타나며, 이러한 결정화는 $[Pt/Co]_6$ 와 CoFeB 자성층의 계면으로부터 비롯된다. 이와 달리, 곡선 E3를 참조하면, 본 발명의 실시예에 따른 다층 자기 박막 스택(2000)에서는, CoFe bcc (001)의 단일 피크가 관찰되며, CoFe 자성층의 텍스처에 영향을 미치는 MgO (001)의 템플릿 효과가 유지 및 강화됨을 알 수 있다. 이로부터, 높은 결정화 온도를 갖는 FeZr 삽입층(221)은 인접하는 제 2 자성층(223)인 $[Pt/Co]_6$ 다층 금속층의 최밀 구조로부터 제 1 자성층(222)인 CoFeB 자성층을 구조적으로 탈결합시켜 이로부터 CoFeB 자성층(222)이 결정화되는 것을 방지하고, 오히려 CoFeB 자성층(222)에서 bcc (001)의 CoFe가 형성되는 것을 촉진함을 알 수 있다.

[0075] FeZr 삽입층(221)의 평균 두께는 0.2 nm 내지 3 nm의 범위 내일 수 있다. FeZr 삽입층의 두께가 증가될수록 인접하는 제 1 자성층(222)과 제 2 자성층(223)에 대한 구조적 탈결합 효과가 더 증대될 수 있으므로, CoFe 층의 bcc (001) 텍스처를 촉진하는 정도가 더 향상될 것으로 기대된다. 그러나, FeZr 삽입층의 평균 두께가 3 nm를 초과하면, 다층 자성 박막 스택의 PMA 특성이 열화될 수 있다. FeZr 삽입층(221)의 평균 두께가 0.2 nm 미만이면, 연속적인 박막을 얻기 어렵고 이로써 구조적 탈결합 효과를 얻을 수 없다.

[0076] 도 6은 각각 도 3a의 본 발명의 실시예에 따른 다층 자기 박막 스택(2000)과 도 3c의 제 2 비교 실험예에 따른

다층 자기 박막 스택(2000R2)의 측정된 면외 M-H 루프 특성을 나타내는 그래프이다. 이들 다층 자기 박막 스택(2000, 2000R2)의 자기 특성은 모두 증착된 그대로의 상태에서 측정된 것이며, 이 경우 CoFeB 자성층(222)은 수평 이방성을 갖는다. 제 2 비교 실험예의 다층 자기 박막 스택(2000R2)의 Ta 삽입층(221')의 두께는 약 1 nm이고, 본 발명의 실시예의 FeZr 삽입층(221)의 두께는 약 1 nm 이며, CoFeB 자성층(221)과 MgO 터널 장벽층(210)은 각각 1 nm 및 3 nm 이다.

[0077] 도 6을 참조하면, 제 2 비교 실험예에 따른 다층 자기 박막 스택(2000R2)의 특성(R2)은 정확한 직사각형의 루프를 갖지 않으며, 약 0.83의 잔류비(remanence ratio)를 나타내며, 포화값으로부터 H가 감소할수록 M도 포화 자화값(M_s)로부터 점차 감소한다. 이와 같은 다층 자기 박막 스택(2000R2)의 특성은 CoFeB 자성층(222)이 면내 이방성(in-plane anisotropy)을 갖는 것을 뒷받침하고, 비자성층인 Ta 삽입층(221')의 두께가 두꺼워 [Pt/Co]₆의 다층 박막(223)과 CoFeB 자성층(222) 사이에 자기 결합이 일어나지 않기 때문이다.

[0078] 그러나, 본 발명의 실시예에 따른 다층 자기 박막 스택(2000)의 특성(E)은 수직 이방성 특성에 따른 거의 직사각형 루프 특성을 가지며, 약 5.6×10^6 erg/cm³의 높은 실효 수직 자기이방성 에너지 밀도 K_{eff} 를 갖는다. 다층 자기 박막 스택(2000)에서 증착된 그대로의 상태의 CoFeB 자성층(222)이 수평 이방성 특성을 가짐에도, 수직 이방성이 관찰되는 것은 [Pt/Co]₆가 강한 수직 이방성을 갖고 있고, FeZr 삽입층(221)을 통하여 [Pt/Co]₆ 다층 박막(223)의 강한 PMA가 CoFeB 자성층(222)으로 전달될 수 있기 때문이다.

[0079] 관찰된 잔류자화 비로부터, CoFeB 자성층(222)의 기여비가 17 %이고, [Pt/Co]₆의 다층 박막(223)의 기여비가 83 % 정도임을 고려할 때, 1 nm 두께를 갖는 Ta 삽입층(221')이 적용된 제 2 비교 실험예의 다층 자기 박막 스택(2000R2)과 달리, 본 발명의 실시예에 따른 다층 자기 박막 스택(2000)의 경우에는 1 nm의 동일 두께의 FeZr 삽입층(221)에 의해서도 [Pt/Co]₆의 다층 박막(223)과 CoFeB 자성층(222) 사이에 자기 결합이 일어난다. 이는 FeZr 삽입층(221)의 포화 자화값 M_s 은 증착 그대로의 상태에서 35 emu/cm³로 비교적 작지만, 상기 FeZr 삽입층(221)이 자성층이기 때문에 상기 자기 결합이 가능하기 때문이다.

[0080] 또한, 본 발명의 실험예에 따른 다층 자기 박막 스택(2000)의 포화 자화값 M_s 은 1,527 emu/cm³로서, Ta 삽입층(221')을 갖는 제 2 비교 실험예에 따른 다층 자기 박막 스택(2000R2)의 포화 자화값 M_s 인 1,189 emu/cm³에 비하여 현저히 크다. 이러한 차이는 자성층인 FeZr 삽입층(221)에 의해 인접 층들 사이의 자기 결합이 일어났기 때문이며, 동시에 Ta 삽입층(221')을 갖는 제 2 비교 실험예의 경우 인접층들(222, 223)과의 접촉 계면에서 자기적 데드 층(magnetic dead layer)이 형성되었기 때문인 것으로 추측된다.

[0081] 도 7은 본 발명의 실시예에 따른 도 3a의 다른 다층 자기 박막 스택에 적용된 FeZr 삽입층(두께 1 nm; 221)/CoFeB 자성층(두께 1 nm; 222)/MgO 터널 장벽층(두께 1 nm)에 대하여 측정된 면외($H_{\perp}$) 및 면내($H_{\parallel}$) M-H 루프를 도시하는 그래프이다. 측정된 다층 자기 박막 스택(2000)은 약 400 °C에서 열처리된 것이다. 도 6의 다층 자기 박막 스택과 비교시 MgO 터널 장벽층(210)의 두께는 1 nm가 되도록 증착되었다.

[0082] 도 7에서 측정된 다층 자기 박막 스택은, FeZr 삽입층(221)만의 효과를 검출하기 위하여, 도 3a의 다층 자기 박막 스택(2000)을 기준으로 제 2 자성층(223)인 [Pt/Co]_N 다층 자기 박막(223)이 제거된 것이다. 즉, 측정된 다층 자기 박막 스택은 기판의 수직 방향으로 Si 기판/Ta (5nm)/Pt (10 nm)/Ru (30 nm)/FeZr (1 nm)/CoFeB (1 nm)/MgO (1 nm)/Ru (3 nm)의 다층 구조를 갖는 자기 박막 스택이다. 도 7에 의해 지지되는 것과 같이, FeZr 삽입층과 결합된 CoFeB 자성층은 완전한 PMA 특성을 나타낸다. 따라서, 본 발명의 실시예에 따른 FeZr 삽입층은 MgO 터널링 장벽층과 함께 CoFeB와 같은 (001) bcc 구조의 강한 PMA 특성을 갖는 자성층을 얻는 데에 효과적임을 주목하여야 한다.

[0083] 도 8a는 본 발명의 또 다른 실시예에 따른 다층 자성 박막 스택(3000)이며, 도 8b 및 도 8c는 각각 증착 그대로의 상태와 400 °C에서의 M-H 측정 결과를 나타내는 그래프들이다. 도 8a에 도시된 것과 같이, 다층 자성 박막 스택(3000)은 산화막(10)이 형성된 Si 기판/Ta (5nm; 21)/Pt (10 nm; 22)/Ru (30 nm; 23)/[Pt/Co]₆ (223)/Pt

(223c)/FeZr (1 nm; 221)/CoFeB (1 nm; 222)/MgO (1 nm; 210)/Ru (3 nm; 30)의 다층 구조를 갖는 자기 박막 스택이며, FeZr 삽입층(223)과 제 3 자성층(223)인 [Pt/Co]₆ 다층 자성 박막 사이에 상기 버퍼층인 백금(Pt) 박막(223c)이 배치되어 있다.

[0084] 본 발명의 실시예에 따른 자기 터널링 접합 스택(3000)에서, 제 3 자성층(223)인 [Pt/Co]₆ 다층 자성 박막은 도 6 및 도 7을 참조하여 기술한 바와 같이, 전체 자기 터널링 접합 스택의 PMA 특성을 강화시키는 것으로 확인된다. [Pt/Co]₆ 다층 자성 박막(223)은 계면 이방성에 의한 PMA 특성을 가지므로, 적합한 버퍼층을 [Pt/Co]₆ 다층 자성 박막(223)과 FeZr 삽입층(221)/CoFeB 자성층(222) 사이, 또는 [Pt/Co]₆ 다층 자성 박막(223)과 CoFeB 자성층(222) 사이에 배치하는 경우 PMA 특성이 향상될 것으로 예측된다.

[0085] 도 8b 및 도 8c를 참조하면, 백금(Pt) 층 (223c)/FeZr 삽입층(221)을 갖는 자기 터널링 접합 스택(3000)의 경우, 증착 그대로의 경우와 400 °C에서 열처리한 경우에 면외(out-of-plane) M-H 특성과 면내(in-plane) M-H 특성의 변화가 거의 없다. 또한, 증착 그대로의 상태에서, 상기 본 발명의 실시예에 따른 다층 자기 박막 스택의 실효 수직자기이방성 에너지 밀도 K_{eff} 는 $7.9 \times 10^6 \text{ erg/cm}^3$ 이고, 400 °C에서 열처리된 다층 자기 박막 스택의 실효 수직자기이방성 에너지 밀도는 $3.9 \times 10^6 \text{ erg/cm}^3$ 이다.

[0086] 어닐링 후 포화 자화값 M_s 는 $1,482 \text{ emu/cm}^3$ 에서 $1,733 \text{ emu/cm}^3$ 으로 증가한다. 이것은 열처리 동안 CoFeB 박막의 붕소가 FeZr 합금층으로 확산하여 FeZr 합금층(221)의 포화 자화값 M_s 이 증가된 것에 의한 것일 수 있다. 상기 붕소의 확산은 CoFe 자성층(221)이 (001) bcc 텍스처를 갖는 것을 촉진할 수 있을 뿐만 아니라 FeZr 합금층(221)이 비정질 구조를 유지하는 것을 돕는다.

[0087] 본 명세서에 첨부된 도면들을 참조하여 개시된 다양한 자기 터널링 접합은 단일 메모리 소자로 구현되거나, 하나의 웨이퍼 칩 내에서 다른 이종 장치들, 예를 들면, 논리 프로세서, 이미지 센서, RF 소자와 같은 다른 장치들과 함께 SOC(system on chip)의 형태로 구현될 수도 있을 것이다. 또한, 상기 메모리 소자가 형성된 웨이퍼 칩과 이종 장치가 형성된 다른 웨이퍼 칩을 접착층, 솔더링 또는 웨이퍼 본딩 기술을 이용하여 접합하고, 관통전극(through silicon via)과 같은 배선 기술을 통해 하나의 칩 형태로 구현될 수도 있을 것이다. 또한, 자기 터널링 접합의 저항 변화 특성은 논리 프로세서와 같은 다른 장치들에서 퓨즈 또는 안티퓨즈로서 활용될 수도 있다.

[0088] 또한, 기술한 실시예들에 따른 메모리 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)화될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 비휘발성 메모리 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer FoSM, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP) 또는 Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다. 본 발명의 실시예들에 따른 메모리 소자들이 실장된 패키지는 이를 제어하는 컨트롤러 및/또는 논리 소자들을 더 포함할 수도 있다.

[0089] 도 9는 본 발명의 일 실시예들에 따른 비휘발성 메모리 소자를 포함하는 전자 시스템(4000)을 도시하는 블록도이다.

[0090] 도 9를 참조하면, 본 발명의 실시예에 따른 전자 시스템(4000)은 컨트롤러(4010), 입출력 장치(I/O; 4020), 기억 장치(storage device; 4030), 인터페이스(4040) 및 버스(bus; 4050)를 포함할 수 있다. 컨트롤러(4010), 입출력 장치(4020), 기억 장치(4030) 및/또는 인터페이스(4040)는 버스(4050)를 통하여 서로 결합될 수 있다. 버스(4050)는 단일 또는 복합 버스일 수 있다.

[0091] 컨트롤러(4010)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 입출력 장치(4020)는 키패드(keypad), 키보드 또는 디스플레이 장치를 포함할 수 있다. 기억 장치(4030)는 데이터 및/또는 명령어를 저장할 수 있으며, 기억

장치(4030)는 본 명세서에 개시된 다양한 실시예들에 따른 자기 터널링 접합 또는 다층 자성 박막 스택을 포함하는 메모리 셀을 포함할 수 있다.

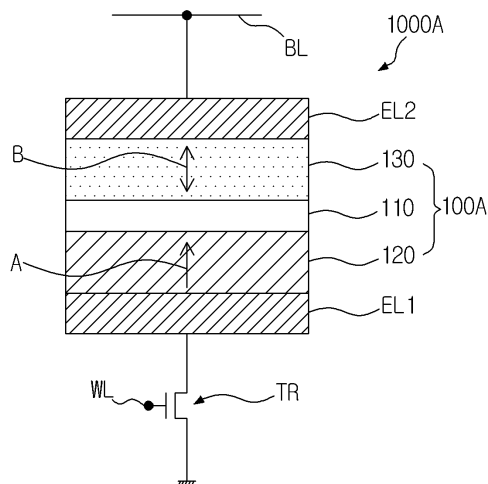
[0092] 일부 실시예에서, 기억 장치(4030)는 다른 형태의 반도체 메모리 소자(예를 들면, 디램 장치 및/ 또는 에스램 장치 등)를 더 포함하는 혼성 구조를 가질 수도 있다. 인터페이스(4040)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 인터페이스(4040)는 유선 또는 무선 형태일 수 있다. 이를 위하여, 인터페이스(4040)는 안테나 또는 유무선 트랜시버를 포함할 수 있다. 도시하지 않았지만, 전자 시스템(4000)은 컨트롤러(4010)의 동작을 향상시키기 위한 동작 메모리로서, 고속의 디램 및/ 또는 에스램을 더 포함할 수도 있다.

[0093] 전자 시스템(4000)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 태블릿 피씨(tablet PC), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 고상 저장 소자(SSD), 컴퓨터, 디스플레이, 디지털 이저 및 마우스와 같은 입력 수단, 또는 정보를 무선환경에서 송신 및/ 또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.

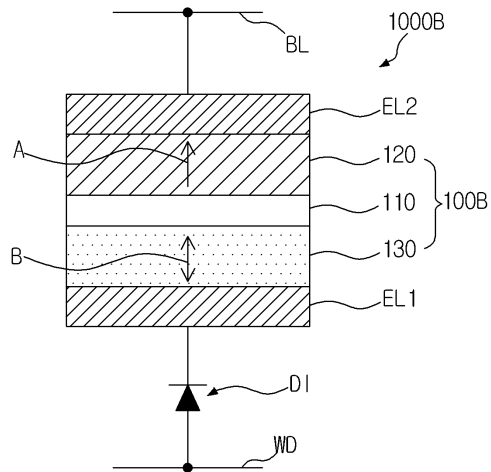
[0094] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

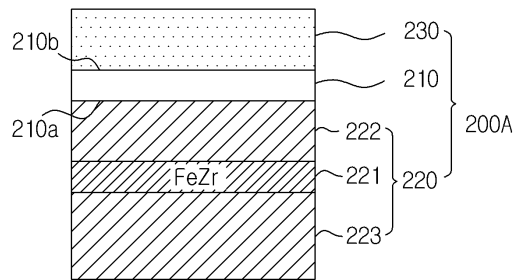
도면1a



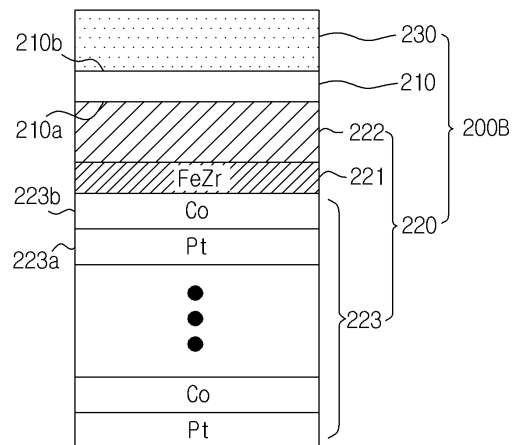
도면1b



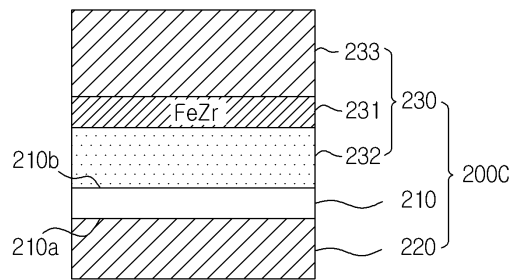
도면2a



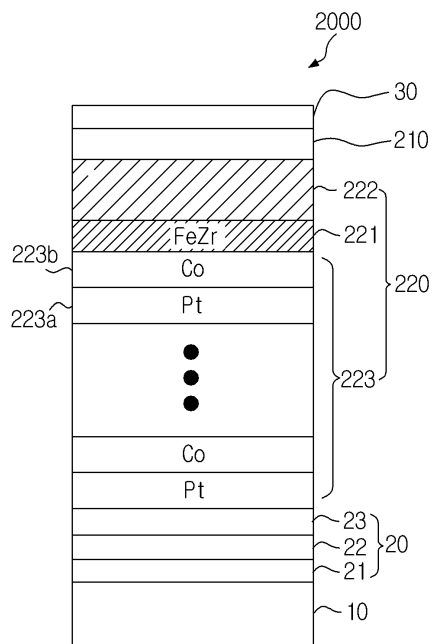
도면2b



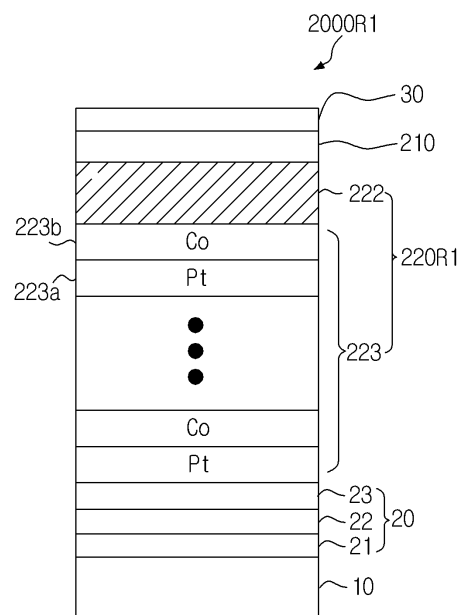
도면2c



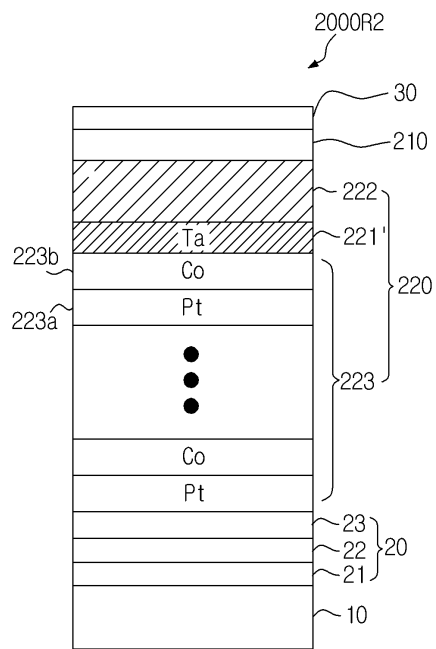
도면3a



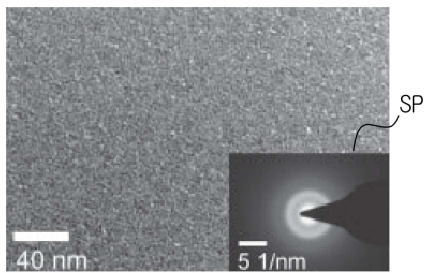
도면3b



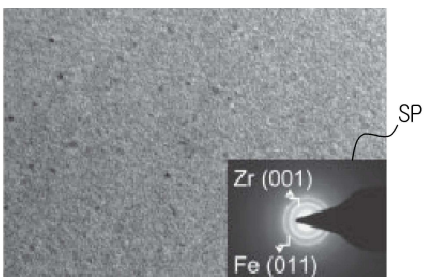
도면3c



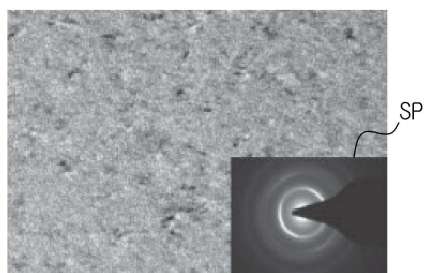
도면4a



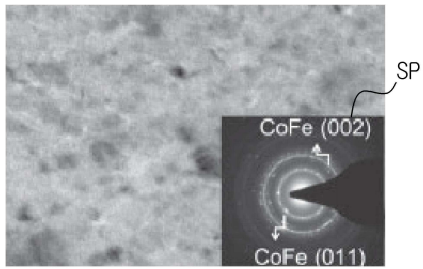
도면4b



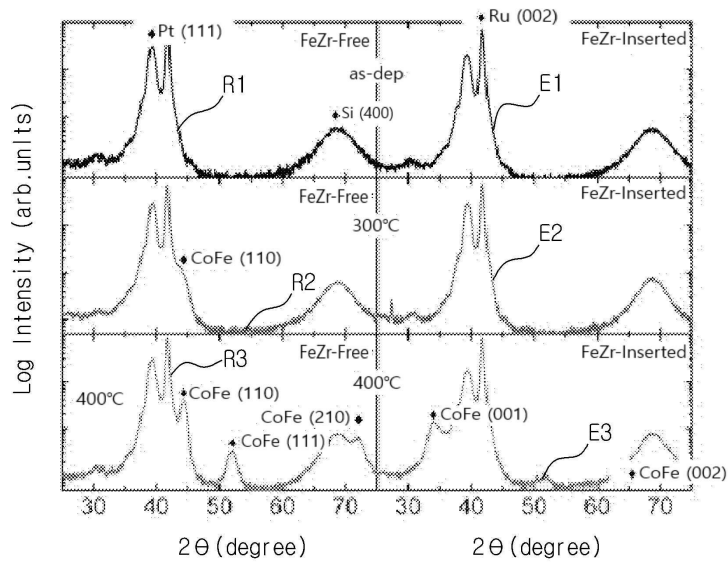
도면4c



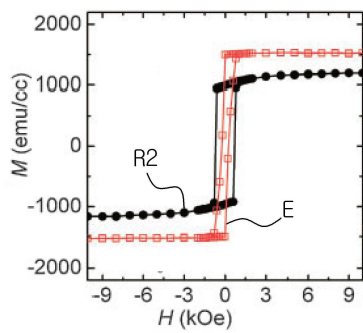
도면4d



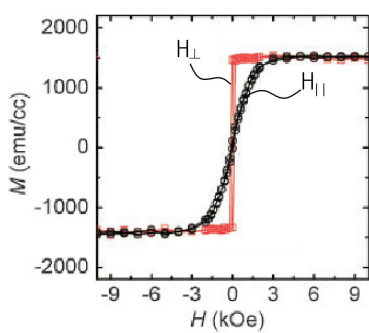
도면5



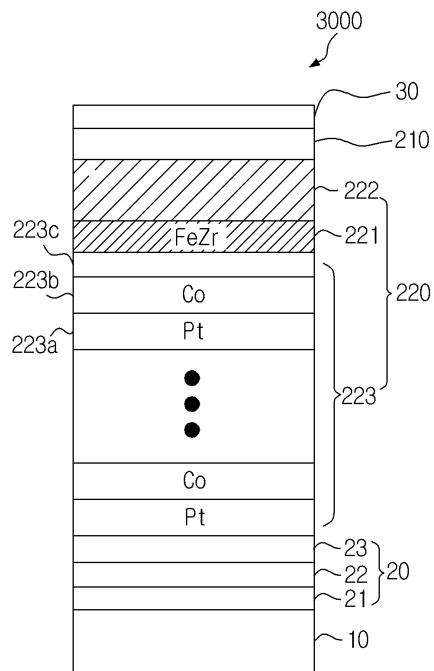
도면6



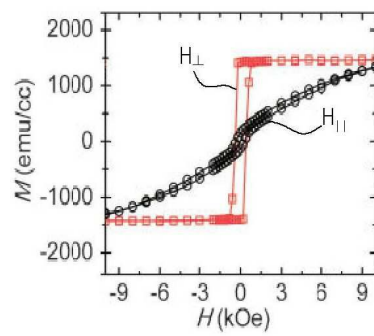
도면7



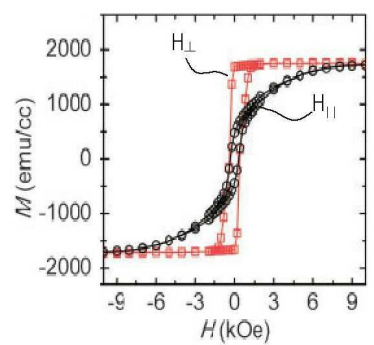
도면8a



도면8b



도면8c



도면9

