

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/8239 (2006.01)

H01L 21/336 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610004536.6

[45] 授权公告日 2009年5月27日

[11] 授权公告号 CN 100492616C

[22] 申请日 2006.1.27

[21] 申请号 200610004536.6

[30] 优先权

[32] 2005.3.31 [33] KR [31] 27298/05

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 许炫

[56] 参考文献

US20010015046A1 2001.8.23

US5300804A 1994.4.5

US20050040475A1 2005.2.24

US6228727B1 2001.5.8

US5811334A 1998.9.22

US2005/0040475A1 2005.2.24

US6291298B1 2001.9.18

US20030011019A1 2003.1.16

审查员 王小东

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯宇

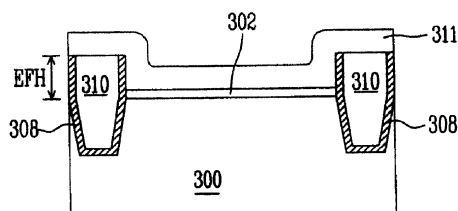
权利要求书 2 页 说明书 6 页 附图 4 页

[54] 发明名称

形成存储器件的方法

[57] 摘要

本发明提供一种形成存储器件的方法，该方法包括：在一半导体衬底上形成第一隔离结构及第二隔离结构，该第一隔离结构与该第二隔离结构在其间界定一有源区；在第一隔离结构的及第二隔离结构的侧壁上形成间隔物；使用所述间隔物作为掩模来蚀刻该有源区内所提供的半导体衬底的一部分以形成沟槽，该沟槽界定具有台阶式浅沟槽隔离轮廓的一台阶式有源区；在沟槽的一个侧壁和沟槽的底部邻近该一个侧壁的一部分中形成源极区以及在沟槽的另一个侧壁和沟槽的底部邻近该另一个侧壁的一部分中形成漏极区；以及在半导体衬底上方形成隧道氧化物。



1. 一种形成存储器件的方法，其包括：

在一半导体衬底上形成第一隔离结构及第二隔离结构，该第一隔离结构与该第二隔离结构在其间界定一有源区；

在所述第一隔离结构的及所述第二隔离结构的侧壁上形成间隔物；

使用所述间隔物作为掩模来蚀刻该有源区内所提供的该半导体衬底的一部分以形成沟槽，该沟槽界定具有台阶式浅沟槽隔离轮廓的一台阶式有源区；

在该沟槽的一个侧壁和该沟槽的底部邻近该一个侧壁的一部分中形成源极区以及在该沟槽的另一个侧壁和该沟槽的底部邻近该另一个侧壁的一部分中形成漏极区；以及

在所述半导体衬底上方形成隧道氧化物。

2. 如权利要求 1 所述的方法，其中，藉由执行一倾斜注入方法和一垂直注入方法形成该源极区和该漏极区。

3. 如权利要求 2 所述的方法，其中该倾斜注入方法包括使用一 4 至 15 度的注入角来将掺杂物注入该沟槽的该一个侧壁和该另一个侧壁中。

4. 如权利要求 2 所述的方法，其中该垂直注入方法包括使用一大体上 0 度的注入角来将掺杂物注入该沟槽的底部邻近该一个侧壁的一部分和该沟槽的底部邻近该另一个侧壁的一部分中。

5. 如权利要求 1 所述的方法，其中每一所述间隔物具有一 100 Å 至 1000 Å 的宽度。

6. 如权利要求 1 所述的方法，其中使用氧化物薄膜或氮化物薄膜之一来形成所述间隔物。

7. 如权利要求 1 所述的方法，其进一步包括：

在该蚀刻步骤之后，退火该半导体衬底，以润圆一由该台阶式浅沟槽隔离轮廓所界定的拐角。

8. 如权利要求 7 所述的方法，其中在一介于 800°C 与 1100°C 之间的温度下执行该退火。

9. 如权利要求 8 所述的方法，其中使用该退火步骤来形成一具有一 10 Å 至 30 Å 厚度的介电薄膜。

10. 如权利要求 7 所述的方法，其进一步包括：

移除一作为该退火的结果而形成于该衬底上的氧化物薄膜。

11. 如权利要求 1 所述的方法，进一步包括：

在半导体衬底上依次形成衬垫氧化物薄膜和浅沟槽隔离氮化物薄膜；

使用浅沟槽隔离掩模通过光刻法来蚀刻所述浅沟槽隔离氮化物薄膜、所述衬垫氧化物薄膜和所述半导体衬底，以在所述半导体衬底的场区域中形成浅沟槽；

执行氧化工艺，以在所述浅沟槽上形成侧壁氧化物薄膜；

沉积介电材料以完全填充所述浅沟槽；

执行化学机械抛光工艺，直到所述浅沟槽隔离氮化物薄膜基本露出；及

除去露出的浅沟槽隔离氮化物薄膜，以形成浅沟槽隔离轮廓。

形成存储器件的方法

技术领域

本发明涉及一种使用台阶式浅沟槽隔离(STI)轮廓来形成存储器件的晶体管的方法。

背景技术

通常，使用诸如与非门(NAND)闪存器件的具有小单元尺寸的半导体存储器件作为便携式装置的大容量存储器。与非门闪存经调适以提供小型化并降低每比特的成本，同时保持存储器件的特性。对于与非门器件而言，单元区域及周边区域中的晶体管的尺寸需减小以降低每比特的成本。然而，单元及周边区域中的单元尺寸的减小通常会导致相应晶体管性能的劣化。

在吉比特级的与非门闪存中，使用 $0.1\ \mu\text{m}$ 或更小的单元栅极长度，且使用约 0.1 至 $0.3\ \mu\text{m}$ 的周边晶体管栅极长度。具有这么小或这么短的沟道的与非门器件会遇到多种问题，包括漏电流。基于此原因，许多人已试图使用诸如口袋及晕圈(Pocket and Halo)技术的多种方法来解决漏电流及其它短沟道效应。

图 1 展示一典型晶体管的布局。在图 1 中，"M"指示金属，"CT"指示接触，且"FOX"指示有源区之间的区域或场区域。此外，为减小整个芯片尺寸且保持单元及周边区域中良好的晶体管特性，已使用图 1 中所示的宽有源区宽度(ACT)。然而，由于沟道极短的影响，单元晶体管易发生漏电流。当错误地读取单元的程序状态及擦除状态时，会出现多个问题，因为随着有源区减小会变得更难以提供充足电流，所以电路故障及/或维持电流增加。结果，随着沟道尺寸缩小，晶体管的性能受到影响。

图 2 展示一晶体管的剖视图，如上文所述，该晶体管通常用于补偿由于栅极长度(或沟道尺寸)的减小而引起的漏电流问题。栅极 140 形成于半导体衬底 100 上。藉由离子注入来减小结的耗尽宽度，从而补偿漏电流。栅极间隔物 150 形成于栅极 140 的侧壁上。

此方法藉由提供选择性地注入结束端的口袋及晕圈注入物 130 以减小结

的耗尽宽度而补偿漏电流。此外，形成浅结 120 以补偿深结 110 的问题。为减小 R_s (表面电阻)及 R_c (接触电阻)，已使用诸如藉由注入 Si 及 Ge 而形成非晶结的方法。

然而，此方法难以实施，且亦难以均匀地获得每一单元晶体管的所要特性。因此，减小芯片尺寸同时保持所需晶体管特性为半导体产业的艰难挑战。

发明内容

本发明的实施例涉及形成诸如与非门器件的存储器件中的晶体管。以如下方式形成晶体管：藉由使用台阶式 STI 轮廓(其使用间隔物)来改良单元区域及周边区域(peripheral region/peri-region)中的晶体管的性能。在此方法下获得较实际 STI 间距宽的宽有源区宽度。

本发明的一实施例提供一种形成存储器件的方法，包括：在一半导体衬底上形成第一隔离结构及第二隔离结构，该第一隔离结构与该第二隔离结构在其间界定一有源区；在第一隔离结构的及第二隔离结构的侧壁上形成间隔物；使用所述间隔物作为掩模来蚀刻该有源区内所提供的半导体衬底的一部分以形成沟槽，该沟槽界定具有台阶式浅沟槽隔离轮廓的一台阶式有源区；在沟槽的一个侧壁和沟槽的底部邻近该一个侧壁的一部分中形成源极区以及在沟槽的另一个侧壁和沟槽的底部邻近该另一个侧壁的一部分中形成漏极区；以及在半导体衬底上方形成隧道氧化物。

一实施例中，在一半导体衬底上依次形成一衬垫氧化物薄膜及一浅沟槽隔离氮化物薄膜；使用一浅沟槽隔离掩模通过光刻法蚀刻浅沟槽隔离氮化物薄膜、衬垫氧化物薄膜及半导体衬底，以在半导体衬底的场区域中形成浅沟槽；进行氧化工艺，以在浅沟槽上形成侧壁氧化物薄膜；沉积介电材料，以完全填充浅沟槽；使用 CMP 方法，直到基本曝露浅沟槽隔离氮化物薄膜；和移除露出的浅沟槽隔离氮化物薄膜，以形成一浅沟槽隔离轮廓。

附图说明

图 1 展示一典型晶体管的布局；

图 2 为一典型晶体管的剖视图；

图 3A 至图 3E 说明根据本发明一实施例使用一台阶式 STI 轮廓来形成与非门闪存器件的晶体管的方法。

图 4A 展示根据本发明一实施例的有源区的布局，其中获得一台阶式 STI 有源区宽度。

图 4B 及图 4C 说明图 4A 的有源区的横截面视图。

主要组件符号说明

- 300 半导体衬底
- 302 衬垫氧化物薄膜
- 304 STI 氮化物薄膜
- 306 沟槽
- 307 STI 轮廓
- 308 侧壁氧化物薄膜
- 310 HDP 氧化物薄膜
- 311 介电层
- 312 台阶式 STI 间隔物
- 313 宽度
- 314 台阶式 STI 轮廓
- 316 垂直注入步骤
- 317 垂直部分
- 318 倾斜注入步骤
- 319 区域
- 320 多晶硅层

具体实施方式

现将使用特定实施例及附图来详细描述本发明。

图 3A 至图 3E 为用于说明根据本发明一实施例使用一台阶式 STI 轮廓来形成与非门闪存器件的方法的剖视图。执行台阶式 STI 工艺以界定一晶体管的具有足够尺寸的有源区同时减小芯片尺寸。

参看图 3A, 在半导体衬底 300 上依序形成衬垫氧化物薄膜 302 及 STI 氮化物薄膜 304。在半导体衬底 300 上形成 STI 掩模(未图示)。本文所使用的术语"上(on)"用于指第一物体位于第二物体上方的位置, 其中第一物体与第二物体可或可不彼此直接接触。藉由光刻方法使用该 STI 掩模(未图示)来选择性地蚀刻 STI 氮化物薄膜 304、衬垫氧化物薄膜 302 及半导体衬底 300, 以在半导体衬底 300 的预定区域(或场区域(FOX))中形成沟槽 306。在移除 STI 掩模(未图示)之后, 执行侧壁氧化工艺, 以在沟槽 306 上形成氧化物薄

膜(或侧壁氧化物薄膜)308。蚀刻侧壁氧化物薄膜 308, 以从氮化物薄膜 304 将其移除。所得氧化物薄膜 308 充当沟槽 306 的内衬或涂层。

参看图 3B, 藉由在半导体衬底 300 上沉积诸如高密度等离子体(HDP)氧化物薄膜 310 的介电材料来执行间隙填充工艺以完全填充沟槽 306。使用化学机械抛光(CMP)方法来移除 HDP 氧化物薄膜 310, 直至大体上曝露 STI 氮化物薄膜 304 为止。在 CMP 工艺之后亦可执行清洗工艺, 以移除来自 CMP 工艺的剩余物。移除所曝露的 STI 氮化物薄膜 304 以形成 STI 轮廓 307。半导体衬底 300 的上表面与 STI 结构的上表面之间的高度称为有效 FOX 高度(EFH)。EFH 用于在有源区周围形成"壕沟(moat)", 且防止损坏随后将形成的隧道氧化物薄膜。根据一实施例, EFH 为 200 Å 至 500 Å, 但在其它实施例中, 其亦可为不同高度。

参看图 3C, 藉由(例如)使用 LP-TEOS、HTO 或 MTO 在 STI 轮廓 307 及衬底上形成给定厚度的介电层(氧化物或氮化物薄膜)311。介电层 311 的沉积厚度决定待形成的台阶式 STI 间隔物的宽度(参见图 3D)。

参看图 3D, 蚀刻介电层 311 以在 STI 轮廓的侧壁上形成台阶式 STI 间隔物 312。执行蚀刻工艺, 以使得台阶式 STI 间隔物 312 中的每一间隔物皆自 STI 结构的上表面朝向有源区向下倾斜。在本实施例中, 蚀刻工艺为各向同性蚀刻。在本实施例中, 台阶式 STI 间隔物具有 100 Å 至 1000 Å 的宽度 313。若宽度 313 不具有足够厚度, 则待提供于 STI 间隔物 312 下方的有源区部分将不具有足够厚度, 从而使其难以有效地充当有源区。因为宽度 313 对应于介电层 311 的厚度, 所以可使用介电层 311 的沉积来控制间隔物的宽度 313。尽管将 STI 间隔物 312 描述为具有倾斜形状, 但在其它实施例中, 其亦可具有不同形状(例如, 矩形形状)。在本实施例中, STI 间隔物的倾斜形状使得栅极材料的随后沉积更易实施。

为形成台阶式 STI 轮廓 (step STI profile) 314, 蚀刻硅衬底 300 的未被 STI 间隔物 312 覆盖的部分。亦即, 将间隔物 312 用作硅蚀刻的掩模。蚀刻衬底至 B 深度。深度 B 的最大尺寸部分地取决于随后的栅极形成技术。举例而言, 沟槽纵横比(即, 深度比宽度)愈高, 使用多晶硅来完全填充沟槽而无空隙则愈困难, 其中多晶硅为用于与非门器件的栅极材料之一。

随着台阶式 STI 轮廓 314 的形成, 有效宽度增加了深度 B 的两倍之多。有源区的所得增加使得能够增加晶体管的导通电流。如图 3D 中所示, 无台

阶式 STI 的单元晶体管的总有效宽度为 $A+2C$ 。如图 3D 中所示, 在具有台阶式 STI 轮廓 314 的情况下, 有效宽度增加了 $2B$ 之多。亦即, 总有效宽度变成 $A+2C+2B$, "A" 指示两个台阶式 STI 轮廓 314 之间所提供的间隔, "B" 指示台阶式 STI 轮廓 314 的深度, 且 "C" 指示台阶式 STI 间隔物 312 的宽度。因此, 台阶式 STI 轮廓 314 的形成增加了与单元相关联的有源区, 藉此改良单元晶体管的性能而不会相对于衬底的表面增加单元尺寸。或者, 可获得减小的单元尺寸, 同时保持相同晶体管性能(例如, 对于导通电流流量)。

此外, 由于增加了存储器件(例如, 与非门闪存器件)的每单位单元的有效宽度, 所以亦增加 Fowler-Nordheim(FN)电流(视有源区的增加的宽度而定), 从而获得更快的程序速度。

参看图 3E, 在形成台阶式 STI 轮廓 314 之后, 根据一实施例执行第一及第二结注入步骤 316 及 318, 以形成掺杂区域(例如, 源极区域及漏极区域)。由于相邻于 STI 轮廓 307 且在有源区的主要上表面上形成有源区的垂直部分 317, 所以需要在垂直部分 317 上以及相邻于栅极结构的区域 319 中执行结注入工艺。执行垂直注入步骤 316 以将离子注入区域 319 中(第一注入步骤)。该垂直注入步骤具有 0 度的注入角(即, 离子大体上与衬底的表面正交地进入衬底)。使用倾斜注入步骤 318 以将离子注入垂直部分 317 中(第二注入步骤)。藉由相对于垂直注入步骤增加约 4 至 15 度来执行该倾斜注入步骤。执行倾斜注入步骤 318 以使得 $\tan(\alpha) < D/E$, 其中 D 为栅极与垂直部分 317 之间的距离, 且 E 为栅极高度。在其它应用中, 可以颠倒次序来执行步骤 316 及步骤 318。亦可接连地重复执行步骤 316 及步骤 318, 直至垂直部分 317 及区域 319 具有所要掺杂物浓度为止。

在执行注入步骤之后, 形成隧道氧化物(tunnel oxide)。在一实施例中, 使用自由基隧道氧化方法来形成隧道氧化物。在衬底上在隧道氧化物上及两个 STI 轮廓 314 内沉积多晶硅层。图 3D 中所示的台阶式 STI 轮廓 314 的纵横比(AR)(即, 深度(B)比间隔(A))不应过高, 以便沉积多晶硅而无空隙。

在本实施例中, 在形成台阶式 STI 轮廓 314 之后且在形成隧道氧化物之前, 在氧环境中执行退火步骤, 以润圆 STI 轮廓 314 的底部拐角。在 800°C 至 1100°C 下执行退火, 以形成具有 10 \AA 至 30 \AA 厚度的氧化物薄膜。其后, 藉由(例如)使用湿式蚀刻方法移除该氧化物薄膜, 从而使拐角变圆。此外,

藉由退火步骤来修复由硅蚀刻所导致的硅晶体的损坏。

若无此退火步骤而直接在衬底上(即, 直接在 STI 轮廓 314 的尖拐角部分上)形成隧道氧化物, 则在拐角处会出现氧化物变薄现象。若出现氧化物变薄, 则晶体管中产生隆起(hump)的可能性就很高。在形成隧道氧化物之后, 执行额外工艺以制造存储器件。

图 4A 展示根据本发明一实施例具有台阶式 STI 轮廓以增加有效宽度的内存单元的布局的俯视图。如图 4A 中所示, 在有源区(ACT)内形成一台阶式 STI 有源区(STIACT)。场区域 (FOX) 包围有源区 (ACT)。STIACT 为一界定于台阶式 STI 轮廓 314 之间的区域。因此, ACT 区域经配置以使其比现有技术的有源区宽出台阶式 STI 轮廓的两倍深度。图 4B 说明沿箭头 BB 截取的图 4A 的内存单元的横截面视图。如图所示, 将多晶硅层 320 沉积于台阶式 STI 轮廓 314 之间。图 4B 中所示的数字 300、310 和 312 对应于图 3A 至 3E 中示出的数字。数字 322 说明有效宽度的增加。图 4C 说明沿箭头 CC 截取的图 4A 的内存单元的横截面视图。图 4C 中所示的数字 300、312 和 314 对应于图 3A 至 3E 中示出的数字。

如上文所提及, 根据本发明, 藉由形成间隔物及蚀刻来形成台阶式 STI 轮廓。因此, 可确保宽有效宽度, 且可改良单元区域及周围区域中的晶体管的性能。此外, 由于可减小芯片尺寸以节省每比特的制造成本。可改良单元电流及程序速度。

尽管已参考优选实施例进行前述描述, 但应了解, 本领域的技术人员在不脱离本发明及权利要求的范畴的情况下可对本发明进行改变及修正。

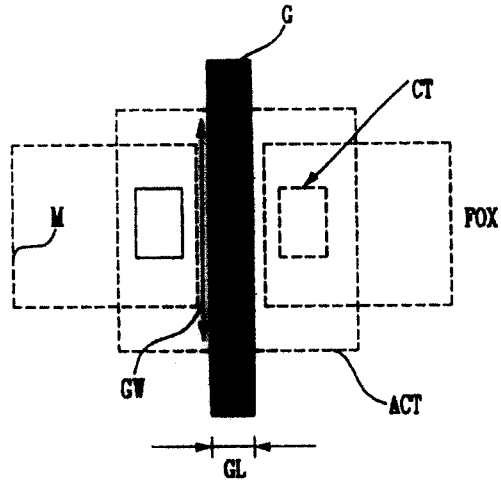


图 1

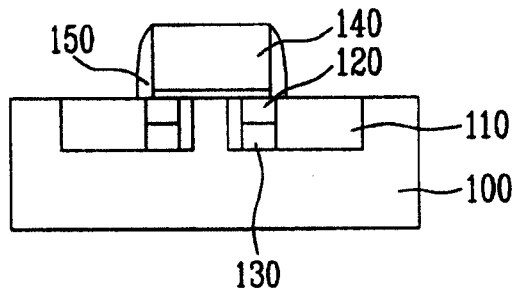


图 2

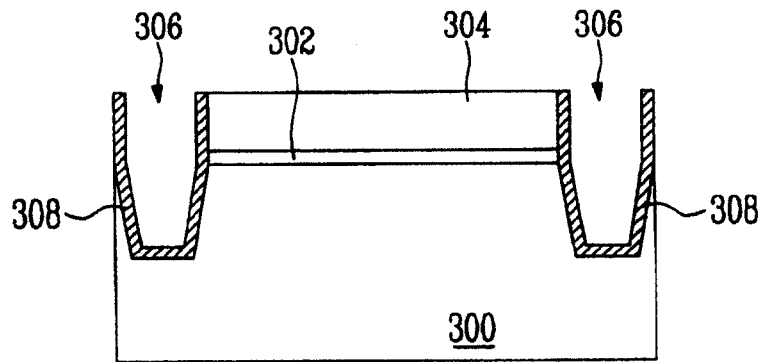


图 3A

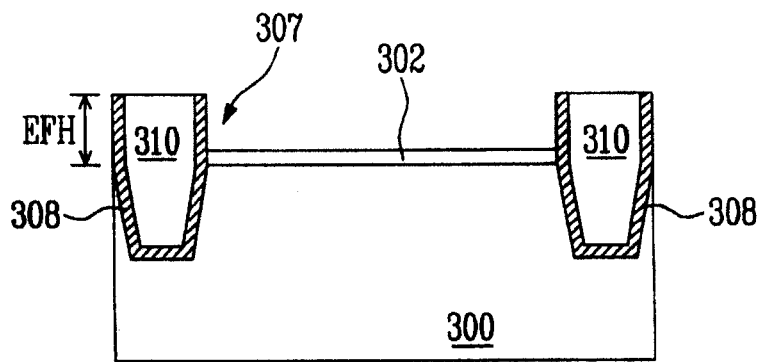


图 3B

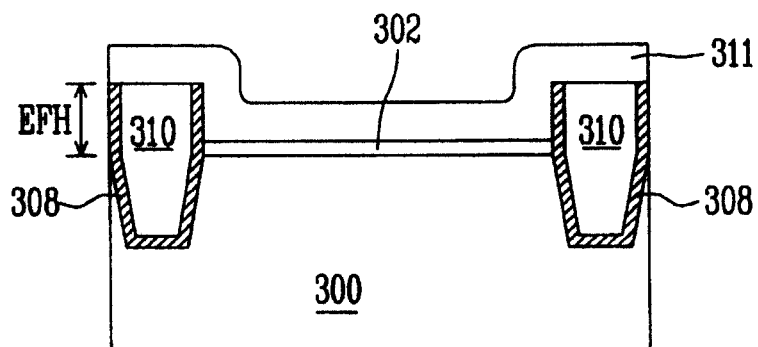


图 3C

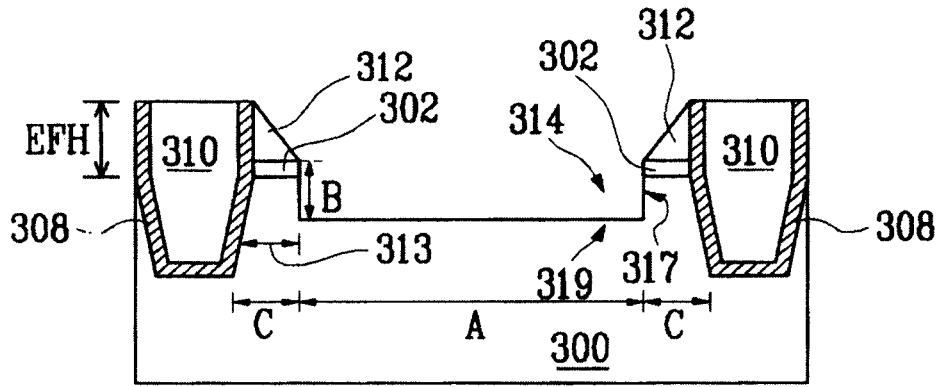


图 3D

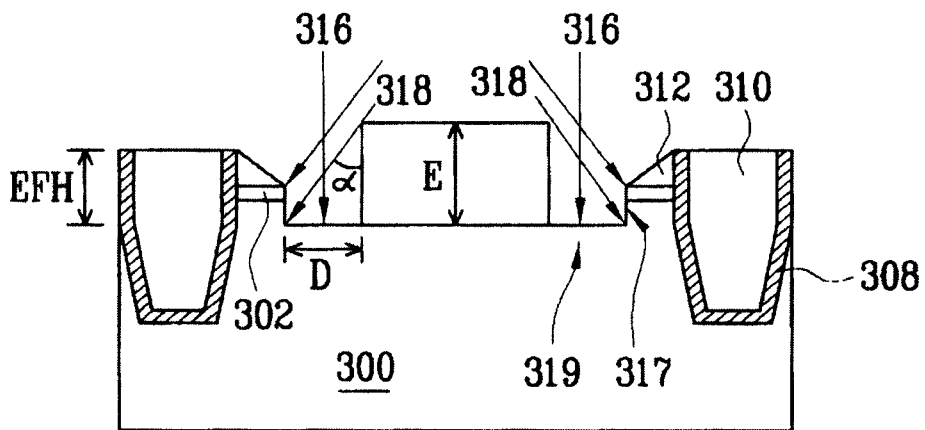


图 3E

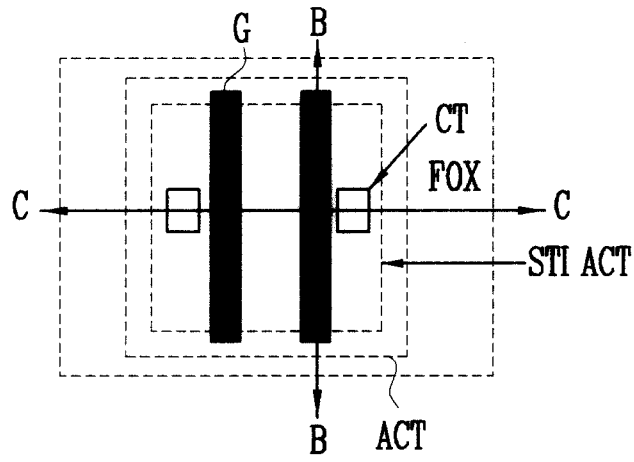


图 4A

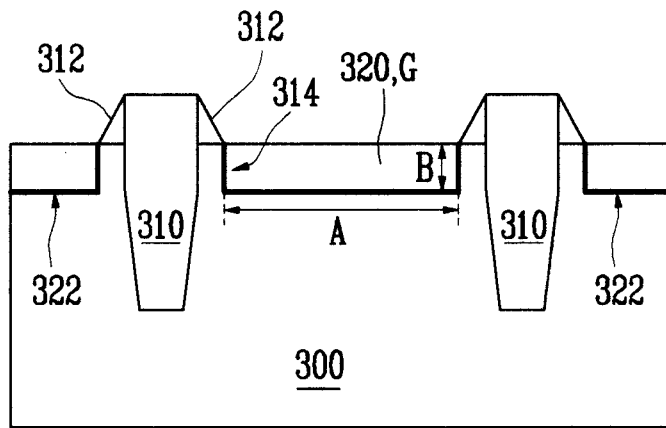


图 4B

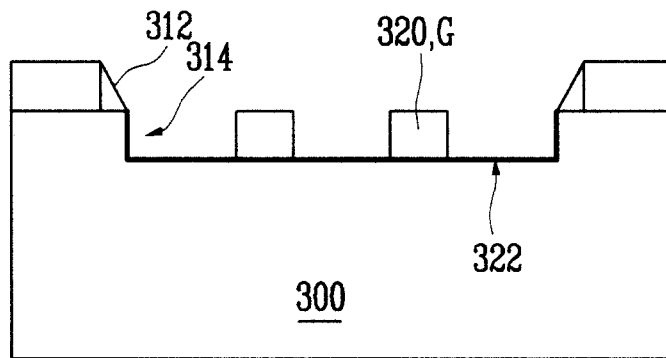


图 4C