

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 21/8242	(45) 공고일자 2004년04월21일
	(11) 등록번호 10-0418849
	(24) 등록일자 2004년02월03일
(21) 출원번호 10-1997-0708234	(65) 공개번호 10-1999-0014889
(22) 출원일자 1997년11월18일	(43) 공개일자 1999년02월25일
번역문제출일자 1997년11월18일	
(86) 국제출원번호 PCT/DE1996/001109	(87) 국제공개번호 WO 1997/03463
(86) 국제출원일자 1996년06월24일	(87) 국제공개일자 1997년01월30일
(81) 지정국 국내특허 : 아일랜드 브라질 중국 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴	
(30) 우선권 주장 19525072.9 1995년07월10일 독일(DE)	
(73) 특허권자 지멘스 악티엔게젤샤프트	
(72) 발명자 라우, 프랭크	
	독일 데-83052 브루크무엘 파러-로이틀-슈트라세 19 크라우트슈나이더, 볼프강
	독일 데-83104 호엔탄 암 오버펠트 50 엔겔하르트, 만프레트
(74) 대리인	독일 데-83620 펠트키르헨-베스터함 에델바이스슈트라세 10 남상선

심사관 : 반성원

(54) 서로절연된 적어도 2개의 소자를 갖는 집적회로 장치 및 그 제조 방법

명세서

기술분야

<1> 본 발명은 서로 절연된 적어도 2개의 소자를 갖는 집적회로 장치 및 그 제조 방법에 관한 것이다.

배경기술

- <2> 트렌치 절연은 반도체 기술, 특히 MOS 기술에서 소폭의 절연 영역이 주어지는 기판내의 소자를 서로 전기적으로 절연하기 위해 사용된다. SiO<sub>2</sub>로 완전히 채워지는 종방향 트렌치는 주로 트렌치 절연으로서 사용된다. 상기 트렌치의 깊이는 일반적으로 개별 기술에서의 최소 구조 치수에 대응한다.
- <3> 벌크내의 누설 전류는 트렌치 절연에 의해 방지된다. 절연층과 도전층이 트렌치의 표면 상에 배열된다면, 누설 전류는 기생 MOS 소자 때문에 표면에서 발생할 것이다. 또한 이런 누설 전류는 트렌치 절연에 의해 방지되어야 한다.
- <4> 트렌치 절연의 절연 작용을 개선하기 위하여, 도전 채널의 형성을 방지하는 도핑된 영역이 트렌치 절연 영역에 사용된다. 이런 도핑된 영역은 일반적으로 주입(implantation)에 의해 형성된다. 그러나, 이런 주입은 서로 절연되는 소자의 파라미터에 영향을 끼칠 수 있다.
- <5> 더욱이 트렌치의 하부 영역에서 트렌치 단면을 확장시키는 것이 제시되어 왔다. 절연될 소자는 기판의 표면 상에 배열된다(DE 38 09 218 A1 참조).

발명의 상세한 설명

- <6> 본 발명은 적어도 2개의 소자가 공간 절약 방식으로 서로 절연되고 절연을 위해 필요로 되는 주입에 기인하는 소자 특성의 어떤 손상도 방지되는 집적 회로 장치에 관한 것이다. 또한 본 발명은 이런 집적 회로 장치의 제조 방법에 관한 것이다.
- <7> 상기 문제는 본 발명의 청구항 1항에 따른 집적회로 장치 및 청구한 3항에 따른 방법에 의해 해결된다. 본 발명의 추가 개선은 종속항으로부터 드러난다.
- <8> 본 발명에 따른 집적 회로 장치는 반도체 기판내에 집적된다. 상기 반도체 기판은 바람직하게 SOI 기판의 단결정 실리콘 또는 단결정 실리콘 층을 포함한다.
- <9> 상기 반도체 기판내에 배열된 것은 반도체 기판의 메인 영역으로부터 반도체 기판 내부까지 도달

하는 트렌치이다. 적어도 상기 트렌치의 한 측면은 제 2 소자로부터 제 1 소자를 절연하는 절연 구조물을 가진다. 상기 절연 구조물을 갖는 트렌치 측면은 벌지(bulge)를 가지는데, 그 결과로 트렌치의 폭이 상기 메인 영역에서보다 트렌치 하부 영역에서 더 크게 된다.

- <10> 상기 제 1 소자는 상기 메인 영역에 배열되고 상기 제 2 소자는 트렌치 하부에 배열된다. 상기 절연 구조물은 상기 2개의 소자 사이에 배열된 측면을 커버한다. 상기 벌지 영역에 있는 절연 구조물의 증가된 두께는 상기 측면을 따라 형성될 수 있는 기생 MOS 소자가 동작 전압에서 상기 측면의 표면에서 누설 전류가 발생하지 않는 높은 임계 전압을 가지도록 보장한다.
- <11> 상기 절연 구조물은 상기 메인 영역으로부터 바로 아래의 트렌치 하부까지 도달한다. 상기 절연 구조물의 두께, 즉 상기 측면에 수직인 절연 구조물의 범위는 이런 경우에 상기 메인 영역에서 보다 벌지 영역에서 더 크다. 본 발명에 따른 절연 구조물의 측면 범위는 기판의 메인 영역에서보다 기판내에서 더 크다. 결과적으로, 상기 절연 구조물의 절연 효과는 전체 깊이에 걸쳐 메인 영역에서 일정한 측면 범위를 가지는 절연 구조물로 얻어질 수 있는 값과 비교할 때 개선된다.
- <12> 상기 절연 구조물은 트렌치의 측면에 배열되기 때문에, 제 1 소자 및 제 2 소자는 메인 영역 상으로 돌출될 때 서로 접하여 직접 배열될 수 있다. 제 1 소자가 메인 영역 상에 배열되고 제 2 소자가 트렌치 하부에 배열되며 이들 사이에 절연 구조물이 트렌치 측면 상에 배열되기 때문에, 이들은 서로 절연된다. 상기 절연 구조물의 차단 작용은 이런 경우에 특히 벌지 영역에서의 절연 구조물의 두께를 통해 설정될 수 있다.
- <13> 본 발명은 유리하게 메모리 셀 장치를 구성하는데 사용될 수 있다. 이 때문에, 집적 회로 장치는 실질적으로 평행하게 진행되는 다수의 동일한 스트립 모양 트렌치를 포함한다. 각각의 트렌치 측면은 트렌치 하부 영역에 벌지를 가지고 각각 절연 구조물을 구비한다. 직렬로 상호 접속되는 상기 메모리 셀 장치의 다수의 MOS 트랜지스터는 각각의 경우에 인접한 트렌치 사이의 메인 영역과 트렌치 하부 상에 배치된다. 자기 정렬 제조 방법을 사용함으로써,  $2F^2$ 의 각각의 메모리 셀 면적을 요구하는 메모리 셀 장치를 제조하는 것이 가능하다. 여기에서, F는 개별 기술에서의 최소 구조 크기이다.
- <14> 본 발명에 따른 회로 구조를 제조하기 위하여, 메인 영역에서보다 트렌치 하부의 영역에서 더 큰 폭을 가지는 트렌치가 기판의 메인 영역내에 제조된다. 상기 트렌치 측면의 벌지는 여러 방식으로 제조될 수 있다. 다른 한편, 상기 트렌치는 플라즈마 에칭에 의해 제조되고, 상기 에칭은 소위 "배럴링(barrelling) 효과"(또한 "보잉(bowing)"으로 칭해진다)가 발생하는 파라미터 범위에서 수행된다. 이것은 이방성 에칭이 실현되는 압력 이상의 압력으로 증가하는 경우에 실리콘의 플라즈마 에칭동안 발생하는 트렌치 프로파일의 하부 영역내의 벌지를 의미한다고 이해된다. 예를 들면, 상기 배럴링 효과(또는 보잉)는 Engelhardt, S. Schwarzl, J. Electrochem. Soc., 134권 1985쪽(1987)과 VLSI 전자 마이크로구조학, 8권, VLSI용 플라즈마 처리, N. G. Einspruch와 D. M. Brown, 5장 Academic Press Inc., Orlando, 1984, 124쪽에 개시되어 있다. 이런 효과(또한 "보잉"으로 칭해진다)는 RF 전력이 이방성 에칭이 실현되는 RF 전력 미만으로 감소될 때 관찰될 수 있다. 실리콘 에칭동안 배럴링/보잉을 생성하기 위한 다른 처리는 500W 미만의 전력, 50W 미만의 전력을 갖는 HBr, O<sub>2</sub>, NF<sub>3</sub>이다.
- <15> 다른 한편, 상기 트렌치 프로파일은 이방성과 등방성 에칭 처리(process)의 조합에 의해 실현될 수 있다. 바람직하게, 이방성 플라즈마 에칭 처리는 제 1 에칭 단계로 수행되고 등방성 플라즈마 에칭 처리 또는 등방성 습식 에칭이 제 2 에칭 단계로 수행된다. 등방성 플라즈마 에칭 처리는 측면 패시베이션 층으로서 불리는 에칭 부산물이 결과적인 트렌치의 측면상에 증착되는 식으로 수행될 수 있다. 실리콘에 트렌치를 에칭하는 경우에, 상기 측면 패시베이션 층은 산화물같은 화합물을 포함한다. 상기 측면 패시베이션 층의 두께는 트렌치 하부로 갈수록 감소한다. 결과적으로, 상기 등방성 제 2 에칭 단계에서 상기 트렌치 측면의 상부 영역은 에천트 공격에 대하여 보호되고 상기 벌지는 트렌치의 하부 영역에만 형성된다.
- <16> 상기 절연 구조를 형성하기 위하여, 상기 트렌치는 바람직하게 제 1 절연층으로 채워진다. 상기 제 1 절연층은 이방성 에칭에 의해 상기 기판 재료에 대해 선택적으로 에칭백 된다. 상기 처리에서, 절연 재료의 에칭 잔류물은 트렌치의 벌지에 잔류한다. 본질적으로 상기 잔류물은 상기 벌지를 채운다. 절연 스페이서는 컨포멀한(conformal) 에치 커버링을 갖는 제 2 절연층의 증착과 이방성 에칭백에 의해 트렌치의 측면 상에 형성되고, 상기 벌지에 배열된 에칭 잔류물과 함께 상기 절연 스페이서는 각각의 경우에 절연 구조물을 형성한다. 이런 식으로, 상기 절연 구조물은 트렌치와 자기 정렬되는 식으로, 즉 트렌치와 정렬될 마스크의 사용없이 형성된다. 상기 트렌치는 F의 최소 폭으로 형성될 수 있다(F : 개별 기술에서의 최소 구조 폭). 상기 절연 구조물의 측면 범위는 상기 트렌치의 측면에 수직인 벌지의 깊이와 스페이서가 형성되는 제 2 절연층의 층 두께에 의해 결정된다. 상기 벌지는 바람직하게 F/4 미만의 반경으로 형성된다. 마찬가지로 상기 스페이서의 폭은 바람직하게 F/4 미만으로 형성된다. 그러므로, 상기 메인 영역상의 소자와 트렌치 하부상의 소자 사이의 절연 전압은 상기 스페이서만이 절연 구조물로서 사용되는 경우 형성될 수 있는 절연 전압값과 비교하여 2의 계수 만큼 증가된다.
- <17> 본 발명은 바람직한 실시예를 사용하고 첨부된 도면을 참조하여 이제 더욱 상세히 설명된다.

#### 도면의 간단한 설명

- <18> 도 1은 트렌치 하부의 영역내에 벌지를 갖는 측면을 가지는 트렌치를 구비하는 기판을 도시한다.
- <19> 도 2는 트렌치가 제 1 절연층으로 채워진후 기판을 도시한다.
- <20> 도 3은 제 1 절연층이 에칭백된후, 에칭 잔류물이 벌지내에 잔류하는 기판을 도시한다.
- <21> 도 4는 절연 스페이서의 형성후 기판을 도시한다.
- <22> 도 5 내지 도 10은 메모리 셀 장치의 제조 단계를 도시한다.

- <23> 도 5는 제 1 채널 주입후 기판을 도시한다.
- <24> 도 6은 트렌치 에칭, 제 2 채널 주입 및 절연 구조물의 형성후 기판을 도시한다.
- <25> 도 7은 워드 라인의 형성후 기판을 도시한다.
- <26> 도 8은 도 7에서 VIII-VIII에 의해 지정되는 실리콘 기판의 단면도를 도시한다.
- <27> 도 9는 도 7의 IX-IX에 의해 지정되는 실리콘 기판의 단면도를 도시한다.
- <28> 도 10은 도 7에 도시된 실리콘 기판의 평면도를 도시한다.

### 실시에

- <29> 도면에서의 보기는 실제 크기가 아니다.
- <30> 예를 들면, 단결정 실리콘으로 형성된 기판(1)은 메인 영역(2)을 가진다. 예를 들면, TEOS(도시 안됨)로 형성된 트렌치 마스크가 상기 메인 영역(2)에 부가된다. 에칭 마스크로서 상기 트렌치 마스크를 사용하여, 트렌치(3)가 상기 기판(1)내에 에칭된다(도 1 참조). 상기 트렌치(3)는 예를 들어 상기 메인 영역(2)에 수직인 F의 범위를 가진다. 상기 트렌치(3)는 트렌치 하부의 영역에 벌지(3')를 가진다. 결과적으로, 상기 트렌치(3)의 폭은 상기 메인 영역(2)에서보다 상기 트렌치 하부의 영역에서 더 크다. 상기 메인 영역(2)에서, 상기 트렌치(3)는 F의 폭을 가진다. 대조적으로, 상기 벌지(3') 영역의 최대 폭은  $F + 2F/4$ 이다. F는 개별 기술로 제조될 수 있는 최소 구조 크기이다. 예를 들면, F는 0.4 $\mu$ m이다.
- <31> 상기 벌지(3')를 갖는 트렌치(3)는 15 mTorr 이상의 압력 범위에서 CBrF<sub>3</sub> 또는 100 mTorr 이상의 압력 범위에서 HBr, O<sub>2</sub>, NF<sub>3</sub>를 사용한 플라즈마 에칭에 의해 형성된다. 이런 압력에서, 상기 벌지(3')는 상기 배럴링 효과에 의해 형성된다.
- <32> 선택적으로, 상기 트렌치(3)는 100 mTorr 이상의 압력 범위에서 HBr, O<sub>2</sub>, NF<sub>3</sub> 또는 15 mTorr 이상의 압력 범위에서 CBrF<sub>3</sub>를 사용한 이방성 플라즈마 에칭 처리와 500 mTorr 이상의 압력 범위에서 NF<sub>3</sub>를 사용한 등방성 플라즈마 에칭 처리의 조합에 의해 형성된다. 상기 벌지(3')는 등방성 에칭 처리동안 형성된다. 상기 이방성 플라즈마 에칭 처리 동안 상기 트렌치(3)의 측면 상에 증착되어지는 측벽 패시베이션 층은 상기 등방성 플라즈마 에칭동안 상기 트렌치(3)의 상부 영역을 보호한다.
- <33> 상기 벌지(3')를 갖는 상기 트렌치(3)를 형성하기 위한 추가 옵션은 100 mTorr 이상의 압력 범위에서 HBr, O<sub>2</sub>, NF<sub>3</sub> 또는 15 mTorr 이상의 압력 범위에서 CBrF<sub>3</sub>를 사용한 이방성 플라즈마 에칭 처리와 수성 용액 또는 KOH의 콜린을 사용한 등방성 습식 화학적 에칭의 조합에 의해 구성된다. 이런 경우에, 상기 트렌치 측면의 상부 영역은 측벽 패시베이션 층에 의해 등방성 에칭 동안의 공격에 대비하여 보호된다. 상기 등방성 에칭은 상기 벌지(3')의 형성을 초래한다.
- <34> 예를 들어 SiO<sub>2</sub> 로 형성된 제 1 절연층(4)이 순차적으로 상기 메인 영역(2)에 부가된다. 상기 제 1 절연층(4)은 완전히 상기 트렌치(3)를 채운다. 상기 제 1 절연층(4)은 적어도 F, 즉 0.4 $\mu$ m의 두께까지 CVD 방법을 사용하여 증착된다(도 2 참조).
- <35> 이후에 평탄화가 수행되는데, 이때 상기 기판(1)의 메인 영역(2)이 노출된다. 상기 평탄화는 상기 제 1 절연층의 플라즈마 보조 에칭백 또는 화학 기계적 연마(CMP)에 의해 수행된다.
- <36> 상기 잔류하는 제 1 절연층(4)은 실리콘에 대하여 선택적으로 이방성 에칭 처리중 에칭백된다. 상기 처리에서, 상기 실리콘 표면은 상기 트렌치 하부 상에 노출된다. SiO<sub>2</sub>의 에칭 잔류물(4')는 상기 벌지(3')내에 잔류한다. 상기 에칭백은 50 내지 500 mTorr의 압력 범위에서 CHF<sub>3</sub>, CF<sub>4</sub>, Ar를 사용하여 수행된다(도 3 참조).
- <37> 예를 들어 SiO<sub>2</sub> 로 형성된 제 2 절연층이 본질적으로 컨포멀한 에지 커버링으로 증착된다. 예를 들면, 상기 제 2 절연층은 40nm의 두께로 TEOS-CVD 방법을 사용하여 증착된다. 절연 스페이서(5)는 50 내지 500 mTorr의 압력 범위에서 CHF<sub>3</sub>, CF<sub>4</sub>, Ar를 사용한 이방성 에칭에 의해 상기 제 2 절연층으로부터 상기 트렌치(3)의 측면에 형성된다. 상기 스페이서(5)는 대략 40nm의 폭을 가진다. 상기 트렌치 하부는 상기 트렌치(3)의 마주보는 측면들 상의 상기 스페이서(5)들 사이에서 노출된다(도 4 참조).
- <38> 제 1 소자는 상기 메인 영역(2)에 제조되고 제 2 소자는 상기 트렌치 하부에 제조된다. 예를 들면, 상기 소자는 MOS 트랜지스터이다. 상기 제 1 소자는, 2개의 소자 사이에 놓이는 상기 트렌치(3)의 측면에 배열되고 개별 절연 스페이서(5)와 에칭 잔류물(4')로 이루어지는 절연 구조물에 의해 상기 제 2 소자로부터 절연된다. 도전층이 상기 스페이서(5)의 표면에 배열된다면, 기생 MOS 엘리먼트는 2개의 소자 사이에 형성되고, 상기 엘리먼트는 상기 벌지(3')의 영역에 있는 절연 구조물의 두께 때문에 15 볼트 이상, 즉 MOS 트랜지스터를 위한 표준 동작 전압 이상의 임계 전압을 가진다.
- <39> 개선된 수직 절연물을 가지는 판독 전용 메모리 셀 장치의 제조는 도 5 내지 도 10를 참조하여 아래에서 설명된다. 상기 판독 전용 메모리 셀 장치의 메모리 셀은 MOS 트랜지스터의 형태를 취하고, 개별 메모리 셀에 저장된 정보에 의존하여 서로 다른 임계 전압을 가진다.
- <40> 예를 들어 단결정 실리콘으로 이루어진 기판(11)내에 상기 판독 전용 메모리 셀 장치를 제조하기 위하여, 상기 판독 전용 메모리 셀 장치를 위한 영역을 정의하는 절연 구조물이 우선 상기 기판(11)의 메인 영역(2)에 제조된다(도시 안됨). 예를 들면, 상기 기판(11)은 10<sup>16</sup> cm<sup>-3</sup>의 도판트 농도로 p-도핑된다.
- <41> 다음에 MOS 트랜지스터의 공핍 채널을 위한 영역이 포토리소그래픽 방법의 도움으로 형성된다. 상기 공핍 채널(13)은 50KeV의 에너지와 4 × 10<sup>12</sup> cm<sup>-2</sup>의 도우즈로 비소를 사용한 제 1 채널 주입의 보조로

형성된다(도 5 참조). 0.4 $\mu\text{m}$  기술을 사용할 때, 상기 공핍 채널(13)의 범위는 예를 들어 0.6 $\mu\text{m}$ ×0.6 $\mu\text{m}$ 이다.

- <42> SiO<sub>2</sub> 층이 TEOS 방법의 보조로 200nm의 두께까지 증착된후, 트렌치 마스크가 포토리소그래픽 방법의 보조로 상기 SiO<sub>2</sub> 층을 구조화함으로써 형성된다(도시 안됨). 에칭 마스크로서 상기 트렌치 마스크를 사용하여, 종방향 트렌치(14)가 Cl<sub>2</sub>를 사용한 이방성 에칭에 의해 에칭된다. 상기 종방향 트렌치(14)는 예를 들어 0.6 $\mu\text{m}$ 의 깊이를 가진다. 상기 공핍 채널(13)의 폭은 상기 종방향 트렌치(14)의 에칭동안 설정된다. 그러므로 상기 공핍 채널(13)에 관련한 상기 트렌치 마스크의 정렬은 중요하지 않다.
- <43> 0.4 $\mu\text{m}$  기술의 경우에, 상기 종방향 트렌치(14)의 폭은 0.4 $\mu\text{m}$ 이고, 인접한 종방향 트렌치(14) 사이의 간격도 마찬가지로 0.4 $\mu\text{m}$ 이다. 상기 종방향 트렌치(14)의 길이는 상기 메모리 셀 장치의 크기에 의존하고 예를 들어 130 $\mu\text{m}$ 이다.
- <44> 상기 종방향 트렌치(14)의 측면은 상기 종방향 트렌치(14)의 하부 영역에 벌지(14')를 가진다. 이런 벌지는 예를 들어 수성 용액의 콜린을 사용한 등방성 에칭에 의해 형성된다. 상기 벌지(14')는 상기 종방향 트렌치(14)의 측면에 수직인 100nm의 최대 깊이를 가진다.
- <45> 상기 벌지(14')를 가진 종방향 트렌치(14)는 제 1 절연층의 CVD 증착에 의해 채워진다. 상기 메인 영역(2)은 순차적으로 선택적 이방성 플라즈마 에칭 또는 화학적 기계적 연마(CMP)에 의한 평탄화에 의해 다시 노출된다. 상기 제 1 절연층은 CHF<sub>3</sub>, CF<sub>4</sub>, Ar를 사용하여 실리콘에 대해 선택적으로 이방성 에칭에 의해 에칭백된다. 상기 처리에서, 상기 종방향 트렌치(14)의 하부가 노출된다. SiO<sub>2</sub>로 형성되어 상기 벌지(14')를 채우는 에칭 잔류물(15)은 상기 벌지(14')의 영역에 잔류한다.
- <46> 다음에, 상기 종방향 트렌치(14)의 하부에 순차적으로 형성되는 MOS 트랜지스터용 공핍 채널을 위한 영역이 포토리소그래픽 방법의 보조로 한정된다. 상기 공핍 채널(16)은 예를 들어 50KeV의 에너지와 4×10<sup>12</sup>cm<sup>-2</sup>의 도우즈로 비소를 사용한 제 2 채널 주입에 의해 상기 종방향 트렌치(14)의 하부에 형성된다(도 6참조). 인접한 종방향 트렌치 사이의 영역은 여기에서 트렌치 마스크에 의해 마스크된다. 그러므로 상기 공핍 채널(16)의 정의 동안의 정렬은 중요하지 않다. 상기 제 2 채널 주입은 상기 종방향 트렌치(14)의 측벽에 대하여 자기 정렬된다.
- <47> 상기 트렌치 마스크는 순차적으로 예를 들어 NH<sub>4</sub>F/HF를 사용하여 습식 화학적으로 제거된다. SiO<sub>2</sub>로 형성된 스페이서(17)가 TEOS 방법과 순차적 이방성 에칭을 사용하여 추가 SiO<sub>2</sub> 층의 증착에 의해 상기 종방향 트렌치(14)의 측벽에 형성된다. 상기 이방성 에칭은 CHF<sub>3</sub>, CF<sub>4</sub>, Ar를 사용하여 수행된다. 상기 스페이서(17)와 에칭 잔류물(15)은 서로 인접한 MOS 트랜지스터를 절연하는 상기 절연 구조물을 함께 형성한다.
- <48> 희생 산화물이 성장되어 에칭된후, 게이트 산화물 층(18)이 10nm의 두께까지 성장된다. 상기 게이트 산화물 층(18)은 상기 종방향 트렌치(14)의 하부와 상기 메인 영역(2)상의 상기 종방향 트렌치(14)의 사이에 배열된다(도 7, VIII-VIII에 의해 지정되는 도 7을 통과하는 섹션을 도시하는 도 8, 및 IX-IX에 의해 지정되는 도 7을 통과하는 섹션을 도시하는 도 9를 참조하라. 상기 도 7에 도시된 섹션은 도 8과 도 9에서 VII-VII에 의해 지정된다).
- <49> 폴리실리콘 층은 400nm의 두께까지 상기 전체 영역 상에 증착된다. 포토리소그래픽 처리 단계에서 상기 폴리실리콘 층을 구조화함으로써, 워드 라인(19)은 상기 종방향 트렌치(14)에 수직인 상기 메인 영역(2)을 따라 진행하게 형성된다. 각각의 경우에 상기 워드 라인(19) 사이의 폭과 간격은 예를 들어 F=0.4 $\mu\text{m}$ 의 최소 구조 크기(F)에 대응된다. 상기 워드 라인(19)은 상기 종방향 트렌치(14)의 하부에 형성된 상기 공핍 채널(16)이 워드라인(19) 아래에 개별적으로 배열되는 되는 식으로 진행한다.
- <50> 소스/드레인 주입은 후속적으로 예를 들어 25KeV의 에너지와 5×10<sup>15</sup>cm<sup>-2</sup>의 도우즈로 비소를 사용하여 수행된다. 상기 소스/드레인 주입 동안, 도핑된 영역(20)이 상기 종방향 트렌치(14)의 하부 및 상기 종방향 트렌치(14) 사이의 메인 영역(2)내에 형성된다. 상기 도핑된 영역(20)은 각각로우(row)를 따라서 배열된 2개의 인접한 MOS 트랜지스터를 위한 공통 소스/드레인 영역으로서 기능한다. 상기 워드 라인(19)은 상기 소스/드레인 주입 동안 동시에 도핑된다.
- <51> 상기 워드 라인(19)의 측면은 추가 SiO<sub>2</sub> 층의 증착과 이방성 에칭백에 의해 스페이서(21)로 커버된다. 상기 소스/드레인 주입은 상기 워드 라인(19)에 대하여 자기 정렬되는 방식으로 수행된다. 상기 도핑된 영역(20)이 상기 공핍 채널(13, 16)과 같은 동일한 도전성 타입에 의해 도핑되기 때문에, 상기 종방향 트렌치(14)의 코스에 평행한 방향이 되는 상기 공핍 채널 정의 동안의 정렬은 중요치 않다. 인접한 워드 라인(19) 사이의 거리, 인접한 종방향 트렌치(14)와 종방향 트렌치(14)의 치수 사이의 거리에 대응하여, 상기 메인 영역(2)에 평행한 상기 도핑된 영역(20)의 면적은 기껏해야 F×F이다. 다시말해서, 예를 들어 0.4 $\mu\text{m}$ ×0.4 $\mu\text{m}$ 이다.
- <52> 2개의 인접한 도핑된 영역(20)과 각각의 경우에 그 사이에 배열된 상기 워드 라인(19)은 MOS 트랜지스터를 형성한다. 직렬로 상호 접속되고 각각 2개의 도핑된 영역(20) 및 이들 사이에 배열된 워드 라인(19)으로 형성된 MOS 트랜지스터의 로우는 각각의 경우에 상기 종방향 트렌치(14)의 하부와 상기 종방향 트렌치(14)의 사이에 배열된다. 종방향 트렌치(14)의 하부에 배열된 MOS 트랜지스터는 스페이서(17)와 에칭 잔류물(15)로 이루어지는 절연 구조물에 의해 상기 종방향 트렌치(14) 사이에 배열된 인접한 MOS 트랜지스터로부터 절연된다. 상기 절연 구조물은 대략 150nm의 최대 두께를 가지는데, 그 결과로 상기 종방향 트렌치(14)의 측면에 형성된 기생 MOS 트랜지스터의 임계 전압은 누설 전류를 방지하기에 충분히 높다.
- <53> 상기 판독 전용 메모리 셀 장치의 에지에서, 각각의 로우는 2개의 접속부를 가지고, 그 사이에서로우에 배열된 상기 MOS 트랜지스터가 직렬로 상호 접속된다(도시 안됨). 개별적 로우에 배치된 상기

MOS 트랜지스터는 상기 접속부를 통해 "NAND" 아키텍처의 센스로 구동될 수 있다.

- <54> 상기 각각의 도핑된 영역(20)이 2개의 인접하는 MOS 트랜지스터를 위한 소스/드레인이라는 것을 고려하면, 상기 종방향 트렌치(14)의 코스에 평행한 상기 각각의 MOS 트랜지스터 길이는  $2F$ 이다. 상기 MOS 트랜지스터의 폭은 각각의 경우에  $F$ 이다. 그러므로 MOS 트랜지스터로부터 형성된 메모리 셀을 위한 면적은 제조에 의해 규정된  $2F^2$ 이다. 워드 라인(19)을 따라 인접하고 도 10의 평면도에서 고딕선으로서 도시된 윤곽(Z1, Z2)을 가지는 메모리 셀은 상기 메인 영역(2)에 대해 투영될 때 서로 직접 인접한다. 상기 메모리 셀(Z1)은 종방향 트렌치(14)의 하부에 배열되는 반면, 상기 메모리 셀(Z2)은 2개의 인접한 종방향 트렌치(14) 사이의 상기 메인 영역(2) 상에 배열된다. 2개의 수직 오프셋 평면으로 인접한 메모리 셀을 배열함으로써, 팩킹 밀도는 인접한 메모리 셀 사이의 절연이 손상되지 않고 증가된다.
- <55> 상기 판독 전용 메모리 셀 장치는 제 1 채널 주입과 제 2 채널 주입 동안 프로그래밍된다. 상기 공핍 채널(13, 16)은 제 1 로직 값이 할당되는 MOS 트랜지스터를 위해서만 형성된다. 제 2 로직 값은 다른 MOS 트랜지스터에 할당된다.
- <56> 상기 판독 전용 메모리 셀 장치는 중간 산화물의 증착, 콘택 홀 에칭 및 금속층의 부가와 구조화에 의해 완성된다. 이런 공지된 처리 단계는 설명되지 않는다.
- <57> 이상에서는 본 발명의 양호한 일 실시예에 따라 본 발명이 설명되었지만, 첨부된 청구 범위에 의해 한정되는 바와 같은 본 발명의 사상을 일탈하지 않는 범위 내에서 다양한 변형이 가능함은 본 발명이 속하는 기술 분야의 당업자에게는 명백하다.

### (57) 청구의 범위

#### 청구항 1

집적 회로 장치로서,

- 제 1 소자와 제 2 소자가 반도체 기판(1)내에 집적되고,
- 트렌치(3)가 상기 반도체 기판(1)내에 배열되는데, 상기 트렌치(3)는 상기 반도체 기판(1)의 메인 영역(2)으로부터 상기 반도체 기판(1) 내부까지 도달하고 상기 제 1 소자와 상기 제 2 소자를 절연하는 절연 구조물(4', 5)을 가지고,
- 상기 트렌치(3)의 적어도 한 측면은 상기 트렌치(3)의 폭이 상기 메인 영역(2)의 영역에서보다 상기 트렌치 하부의 영역에서 더 크도록 벌지(3')를 가지고,
- 상기 절연 구조물(4', 5)은 상기 트렌치의 측면에 인접하고, 상기 메인 영역(2)에 수직 방향으로 상기 메인 영역(2)으로부터 상기 트렌치 하부까지 도달하고, 상기 절연 구조물(4', 5)의 두께는 상기 메인 영역(2)에서보다 상기 벌지(3')의 영역에서 더 크며,
- 상기 제 1 소자는 상기 메인 영역(2) 상에 배열되며, 상기 제 2 소자는 상기 트렌치 하부에 배열되는 것을 특징으로 하는 집적 회로 장치.

#### 청구항 2

제 1항에 있어서,

- 상기 트렌치 하부의 영역에, 벌지(14')들을 가지며 각각 절연 구조물(14', 17)이 제공되는 측면들을 구비하고, 필수적으로 평행하게 진행되는 다수의 동일한 스트립형 트렌치(14)가 제공되며,
- 직렬로 상호접속되는 메모리 셀 장치의 다수의 MOS 트랜지스터가 각각의 경우에 인접한 트렌치(14) 사이의 상기 메인 영역(2) 및 상기 트렌치 하부 상에 배열되는 것을 특징으로 하는 집적 회로 장치.

#### 청구항 3

적어도 2개의 상호 절연된 소자를 가지는 집적 회로 장치를 제조하기 위한 방법으로서,

- 트렌치(3)가 반도체 기판(1)의 메인 영역(2)내에 형성되는 단계를 포함하는데, 상기 트렌치는 상기 트렌치 하부의 적어도 한 측면에 벌지(3')를 가지고, 상기 트렌치 폭은 상기 메인 영역(2)에서보다 상기 벌지에서 더 크고,
- 절연 구조물(4', 5)이 상기 벌지(3')를 갖는 측면상에 형성되는 단계를 포함하는데, 상기 절연 구조물은 상기 메인 영역(2)으로부터 상기 트렌치 하부까지 연장되고, 상기 메인 영역에서보다 상기 벌지(3')의 영역에서 더 두껍고,
- 제 1 소자와 제 2 소자가 상기 절연 구조물(4', 5)에 의해 서로 절연되는 식으로 상기 반도체 기판(1)에서 형성되는 단계를 포함하며,
- 상기 제 1 소자는 상기 반도체 기판의 상기 메인 영역(2) 상에 형성되고, 상기 제 2 소자는 상기 트렌치 하부에 형성되는 것을 특징으로 하는 집적 회로 장치 제조 방법.

#### 청구항 4

제 3항에 있어서,

상기 트렌치(3)를 형성하기 위해 2단계 에칭으로 에칭 처리가 수행되는데, 이방성 에칭이 제 1 에칭 단계로 수행되며, 등방성 에칭이 제 2 에칭 단계로 수행되는 것을 특징으로 하는 집적 회로 장치 제조 방법.

**청구항 5**

제 4항에 있어서,

상기 제 1 에칭 단계에서 이방성 플라즈마 에칭 처리가 수행되며, 상기 제 2 에칭 처리에서 등방성 플라즈마 에칭 처리 또는 등방성 습식 에칭이 수행되는 것을 특징으로 하는 집적 회로 장치 제조 방법.

**청구항 6**

제 3항 내지 제 5항중 어느 한 항에 있어서,

- 상기 트렌치(3)는 종방향 트렌치로서 형성되고,
- 상기 트렌치(3)는 상기 절연 구조물(4', 5)을 형성하기 위하여 제 1 절연층(4)으로 채워지고,
- 상기 제 1 절연층(4)은 상기 반도체 기판(1)에 대해 선택적으로 이방성 에칭에 의해 에칭백되고, 에칭 잔류물(4')이 잔류하여 상기 벌지(3')를 본질적으로 채우며,
- 절연 스페이서(5)가 필수적으로 컨포멀한 에지 커버링을 가지는 제 2 절연층의 증착과 이방성 에칭백에 의해 상기 트렌치(3)의 적어도 한 측면에 형성되고, 상기 절연 스페이서는 상기 에칭 잔류물(4')와 함께 상기 절연 구조물을 형성하는 것을 특징으로 하는 집적 회로 장치 제조 방법.

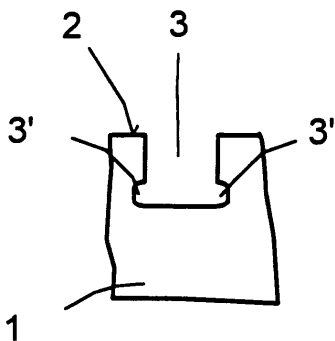
**청구항 7**

제 6항에 있어서,

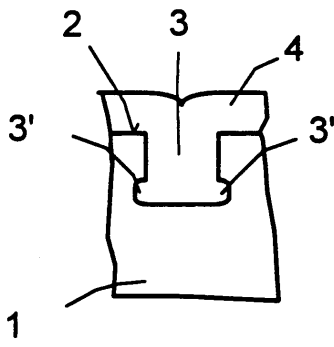
- 다수의 종방향 트렌치(14)가 형성되는데, 상기 트렌치는 필수적으로 평행하게 진행하고, 상기 트렌치 하부의 영역에, 벌지(14')를 가지며 각각 절연 구조물(15, 17)이 제공되는 측면들을 구비하며,
- 직렬로 상호 접속되는 메모리 셀 장치의 다수의 MOS 트랜지스터가 각각의 경우에 인접한 종방향 트렌치(14) 사이의 상기 메인 영역(2)과 상기 트렌치 하부 상에 형성되는 것을 특징으로 하는 집적 회로 장치 제조 방법.

**요약**

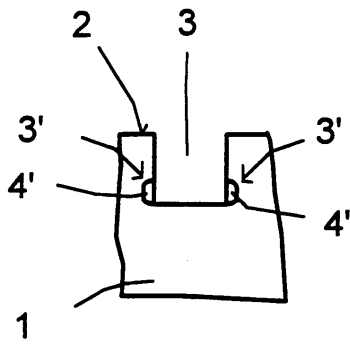
적어도 2개의 소자를 갖는 집적 회로 장치는 기판에 절연 구조물(4', 5)을 포함한다. 본 구조물은 적어도 트렌치(3)의 한 측면을 커버하고 트렌치 목에서보다 트렌치 바닥에서 더 넓다. 상기 소자는 기판 표면과 트렌치 바닥에서 서로 다른 평면에 배열된다. 상기 절연 구조물은 상기 소자 사이의 수직 절연을 보장한다.

**대표도****도4****도면****도면1**

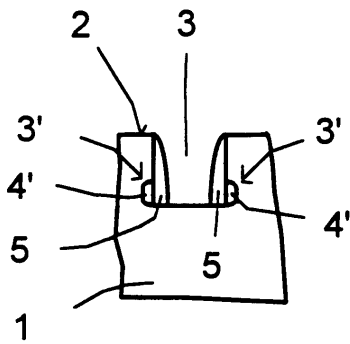
도면2



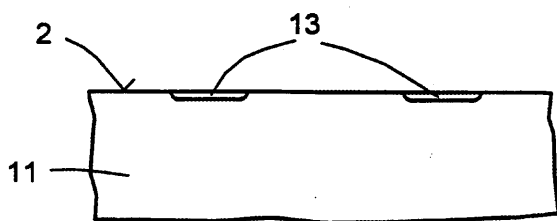
도면3



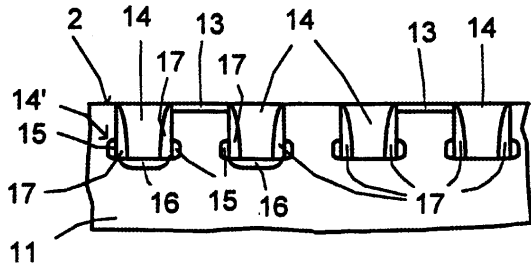
도면4



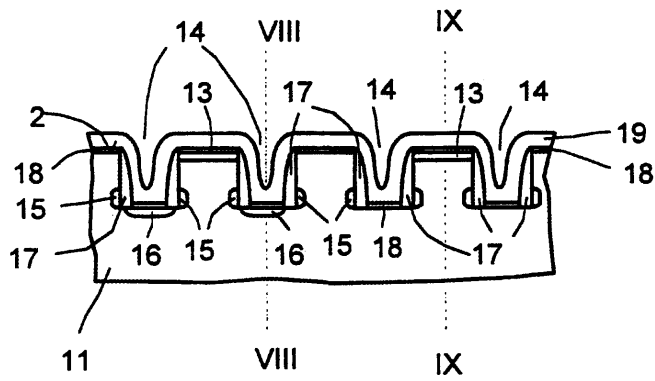
도면5



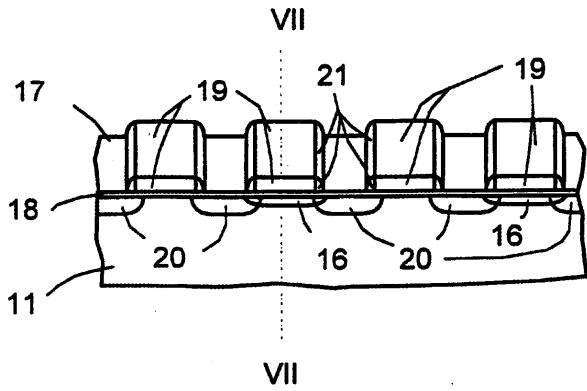
도면6



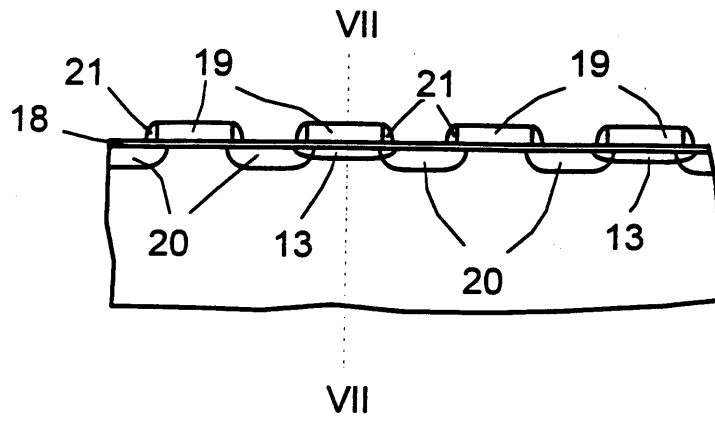
도면7



도면8



도면9



도면10

