



(12) 发明专利

(10) 授权公告号 CN 103258500 B

(45) 授权公告日 2015. 02. 04

(21) 申请号 201310146325. 6

(22) 申请日 2013. 04. 24

(73) 专利权人 合肥京东方光电科技有限公司
地址 230011 安徽省合肥市铜陵北路 2177 号

专利权人 京东方科技集团股份有限公司

(72) 发明人 杨通 马睿 胡明

(74) 专利代理机构 北京同达信恒知识产权代理有限公司 11291

代理人 郭润湘

(51) Int. Cl.

G09G 3/32 (2006. 01)

G09G 3/36 (2006. 01)

G11C 19/28 (2006. 01)

(56) 对比文件

EP 2525350 A1, 2012. 11. 21, 参见摘要,

说明书第 [0035] 段, [0037] 段, [0050] 段, [0062]-[0079] 段及图 1-4.

CN 101847387 A, 2010. 09. 29, 全文.

CN 1120210 A, 1996. 04. 10, 全文.

US 2010245337 A1, 2010. 09. 30, 全文.

KR 20090113080 A, 2009. 10. 29, 全文.

JP 4165907 B2, 2008. 10. 15, 全文.

审查员 宁忠兰

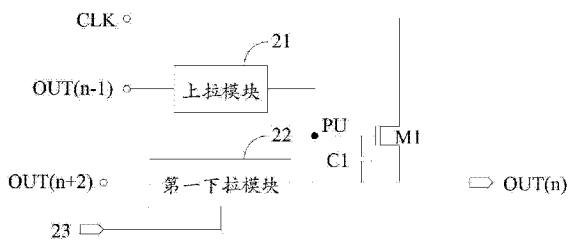
权利要求书4页 说明书11页 附图10页

(54) 发明名称

一种移位寄存单元及显示装置

(57) 摘要

本发明实施例提供了一种移位寄存单元及显示装置,用以解决现有的移位寄存单元通过不同的两个晶体管对该移位寄存单元连接的扫描栅线的电平分别进行拉升和降低,使得移位寄存单元所占面积较大,导致在制造该移位寄存单元时原材料消耗较大,进而导致了制造该移位寄存单元以及包含该移位寄存单元的显示装置时成本较高的问题。该移位寄存单元包括第一电容、第一晶体管、上拉模块和第一下拉模块;第一晶体管的第一极接收时钟信号,第一晶体管的栅极分别连接第一电容的一端、上拉模块和第一下拉模块,第一晶体管的第二极连接第一电容的另一端。该移位寄存单元通过第一晶体管对与该移位寄存单元相连的扫描栅线的电平进行拉升和降低。



1. 一种移位寄存单元,其特征在于,包括第一电容、第一晶体管、上拉模块和第一下拉模块;

第一晶体管的第一极接收时钟信号,第一晶体管的栅极分别连接第一电容的一端、上拉模块和第一下拉模块,第一晶体管的第二极连接第一电容的另一端;

上拉模块,用于在时钟信号为第二电平信号且上拉选择信号为第一电平信号时,向第一晶体管的栅极输出第一电平信号;并在时钟信号为第一电平信号且上拉选择信号为第二电平信号时,不再向第一晶体管的栅极输出第一电平信号;所述上拉选择信号为所述移位寄存单元的前一级移位寄存单元输出的信号;

第一下拉模块,用于在时钟信号为第一电平信号且第一下拉选择信号为第一电平信号时,控制第一晶体管的栅极与第二电平信号输入端接通;所述第一下拉选择信号为所述移位寄存单元之后的第二级移位寄存单元输出的信号;

第一晶体管,用于在第一晶体管的栅极信号为第一电平信号时,将接收到的时钟信号从第一晶体管的第二极输出;并在所述第一晶体管的栅极信号为第二电平信号时,不再将接收到的时钟信号从第一晶体管的第二极输出;

所述移位寄存单元还包括第二下拉模块,第二下拉模块分别连接第一晶体管的栅极和第一晶体管的第二极;

所述第二下拉模块,用于在第一晶体管的栅极信号为第二电平信号、时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端接通;并在第一晶体管的栅极信号为第二电平信号、时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开;以及在第一晶体管的栅极信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开。

2. 如权利要求 1 所述的移位寄存单元,其特征在于,所述第二下拉模块包括第一下拉驱动单元和第一下拉单元,第一下拉驱动单元和第一下拉单元相连的连接点为第一下拉结点;

所述第一下拉驱动单元,用于在第一晶体管的栅极信号为第一电平信号时,控制第一下拉结点的信号为第二电平信号;并在第一晶体管的栅极信号为第二电平信号、时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时,控制第一下拉结点的信号为第一电平信号;以及在第一晶体管的栅极信号为第二电平信号、时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时,控制第一下拉结点的信号为第二电平信号;

所述第一下拉单元,用于在第一下拉结点的信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端接通;并在第一下拉结点的信号为第二电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开。

3. 如权利要求 2 所述的移位寄存单元,其特征在于,所述第一下拉驱动单元包括第二晶体管、第三晶体管和第四晶体管;

第二晶体管的第一极接收时钟信号,第二晶体管的栅极接收时钟信号,第二晶体管的第二极连接第一下拉结点,第三晶体管的第一极接收时钟信号,第三晶体管的栅极接收时钟阻碍信号,第三晶体管的第二极连接第一下拉结点,第四晶体管的第一极连接第一下拉

结点,第四晶体管的栅极连接第一晶体管的栅极,第四晶体管的第二极连接第二电平信号输入端;

第二晶体管,用于在时钟信号为第一电平信号时开启,并在时钟信号为第二电平信号时关断;

第三晶体管,用于在时钟阻碍信号为第一电平信号时开启,并在时钟阻碍信号为第二电平信号时关断;

第四晶体管,用于在第一晶体管的栅极的信号为第一电平信号时,将第一下拉结点与第二电平信号输入端接通;并在第一晶体管的栅极的信号为第二电平信号时,将第一下拉节点与第二电平信号输入端断开。

4. 如权利要求 2 所述的移位寄存单元,其特征在于,所述第一下拉单元包括第五晶体管和第六晶体管;

第五晶体管的第一极连接第一晶体管的栅极,第五晶体管的栅极连接第一下拉结点,第五晶体管的第二极连接第二电平信号输入端,第六晶体管 6 的第一极连接第一晶体管的第二极,第六晶体管的栅极连接第一下拉结点,第六晶体管的第二极连接第二电平信号输入端;

第五晶体管,用于在第一下拉结点的信号为第一电平信号时,将第一晶体管的栅极与第二电平信号输入端接通,并在第一下拉结点的信号为第二电平信号时,将第一晶体管的栅极与第二电平信号输入端断开;

第六晶体管,用于在第一下拉结点的信号为第一电平信号时,将第一晶体管的第二极与第二电平信号输入端接通,并在第一下拉结点的信号为第二电平信号时,将第一晶体管的第二极与第二电平信号输入端断开。

5. 如权利要求 1 所述的移位寄存单元,其特征在于,所述移位寄存单元还包括第三下拉模块,第三下拉模块分别连接第一晶体管的栅极和第一晶体管的第二极;

所述第三下拉模块,用于在上拉选择信号为第一电平信号、或者第二下拉选择信号为第一电平信号、或者时钟阻碍信号为第二电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开;并在上拉选择信号、第一下拉选择信号和第二下拉选择信号均为第二电平信号且时钟信号为第二电平信号、时钟阻碍信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端接通;所述第二下拉选择信号为所述移位寄存单元的后一级移位寄存单元输出的信号。

6. 如权利要求 5 所述的移位寄存单元,其特征在于,所述第三下拉模块包括第二下拉驱动单元和第二下拉单元,第二下拉驱动单元和第二下拉单元相连的连接点为第二下拉结点;

第二下拉驱动单元,用于在上拉选择信号为第一电平信号、或者第二下拉选择信号为第一电平信号或者时钟阻碍信号为第二电平信号时,控制第二下拉结点的信号为第二电平信号;并在上拉选择信号、第一下拉选择信号和第二下拉选择信号均为第二电平信号且时钟信号为第二电平信号、时钟阻碍信号为第一电平信号时,控制第二下拉结点的信号为第一电平信号;

第二下拉单元,用于在第二下拉结点的信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端接通;并在第二下拉结点的信号为第

二电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开。

7. 如权利要求 6 所述的移位寄存单元,其特征在于,所述第二下拉驱动单元包括第七晶体管、第八晶体管、第九晶体管、第十晶体管、第十一晶体管和第十二晶体管;

第七晶体管的第一极接收时钟阻碍信号,第七晶体管的栅极接收时钟信号,第七晶体管的第二极连接第二下拉结点;第八晶体管的第一极接收时钟阻碍信号,第八晶体管的栅极接收时钟阻碍信号,第八晶体管的第二极连接第二下拉结点;第九晶体管的第一极接收上拉选择信号,第九晶体管的栅极接收上拉选择信号,第九晶体管的第二极连接第十二晶体管的栅极;第十晶体管的第一极接收第二下拉选择信号,第十晶体管的栅极接收第二下拉选择信号,第十晶体管的第二极连接第十二晶体管的栅极;第十一晶体管的第一极连接第二电平信号输入端,第十一晶体管的栅极接收第一下拉选择信号,第十一晶体管的第二极连接第十二晶体管的栅极;第十二晶体管的第一极连接第二电平信号输入端,第十二晶体管的第二极连接第二下拉结点;

第七晶体管,用于在时钟信号为第一电平信号时开启,并在时钟信号为第二电平信号时关断;

第八晶体管,用于在时钟阻碍信号为第一电平信号时开启,并在时钟阻碍信号为第二电平信号时关断;

第九晶体管,用于在上拉选择信号为第一电平信号时,控制第十二晶体管的栅极的信号为第一电平信号,并在上拉选择信号为第二电平信号时关断;

第十晶体管,用于在第二下拉选择信号为第一电平信号时,控制第十二晶体管的栅极的信号为第一电平信号,并在第二下拉选择信号为第二电平信号时关断;

第十一晶体管,用于在第一下拉选择信号为第一电平信号时,将第十二晶体管的栅极与第二电平信号输入端接通,并在第一下拉选择信号为第二电平信号时,将第十二晶体管的栅极与第二电平信号输入端断开;

第十二晶体管,用于在第十二晶体管的栅极的信号为第一电平信号时,将第二下拉结点与第二电平信号输入端接通;并在第十二晶体管的栅极的信号为第二电平信号时,将第二下拉结点与第二电平信号输入端断开。

8. 如权利要求 6 所述的移位寄存单元,其特征在于,第二下拉单元包括第十三晶体管和第十四晶体管;

第十三晶体管的第一极连接第一晶体管的栅极,第十三晶体管 3 的栅极连接第二下拉结点,第十三晶体管的第二极连接第二电平信号输入端,第十四晶体管的第一极连接第一晶体管的第二极,第十四晶体管的栅极连接第二下拉结点,第十四晶体管的第二极连接第二电平信号输入端;

第十三晶体管,用于在第二下拉结点的信号为第一电平信号时,将第一晶体管的栅极与第二电平信号输入端接通,并在第二下拉结点的信号为第二电平信号时,将第一晶体管的栅极与第二电平信号输入端断开;

第十四晶体管,用于在第二下拉结点的信号为第一电平信号时,将第一晶体管的第二极与第二电平信号输入端接通,并在第二下拉结点的信号为第二电平信号时,将第一晶体管的第二极与第二电平信号输入端断开。

9. 如权利要求 1 所述的移位寄存单元,其特征在于,所述上拉模块包括第十五晶体管;第十五晶体管的第一极接收上拉选择信号,第十五晶体管的栅极接收上拉选择信号,第十五晶体管的第二极连接第一晶体管的栅极;

第十五晶体管,用于在上拉选择信号为第一电平信号时,控制第一晶体管的栅极的信号为第一电平信号;并在上拉选择信号为第二电平信号时关断。

10. 如权利要求 1 所述的移位寄存单元,其特征在于,所述第一下拉模块包括第十六晶体管;

第十六晶体管的第一极连接第二电平信号输入端,第十六晶体管的栅极接收第一下拉选择信号,第十六晶体管的第二极连接第一晶体管的栅极;

第十六晶体管,用于在第一下拉选择信号为第一电平信号时,将第一晶体管的栅极与第二电平信号输入端接通;并在第一下拉选择信号为第二电平信号时关断。

11. 一种显示装置,其特征在于,所述显示装置包括多级如权利要求 1-10 任一所述的移位寄存单元。

一种移位寄存单元及显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种移位寄存单元及显示装置。

背景技术

[0002] 液晶显示器 (liquid crystal display, LCD) 或有机发光二极管 (Organic Light-Emitting Diode, OLED) 具有低辐射、体积小及低耗能等优点,已逐渐取代传统的阴极射线管显示器 (Cathode Ray Tube display, CRT),因而被广泛地应用在笔记本电脑、个人数字助理 (Personal Digital Assistant, PDA)、平面电视,或移动电话等信息产品上。传统液晶显示器的方式是利用外部驱动芯片来驱动面板上的芯片以显示图像,但为了减少元件数目并降低制造成本,近年来逐渐发展成将驱动电路结构直接制作于显示面板上,例如采用将栅极驱动电路 (gate driver) 整合于液晶面板 (Gate On Array, GOA) 的技术。

[0003] 目前,常用的移位寄存单元如图 1 所示,包括晶体管 T1、晶体管 T2、晶体管 T3 和晶体管 T4,电容 C1 和下拉电路 11;假设图 1 所示的移位寄存单元为第 N 级移位寄存单元,则晶体管 T1 的栅极接收第 N-1 级移位寄存单元输出的信号,晶体管 T1 的源极接收 VDD 信号,晶体管 T1 的漏极连接晶体管 T2 的栅极,晶体管 T2 的源极接收时钟信号 CLK,晶体管 T2 的漏极为第 N 级移位寄存单元的输出端,电容 C1 的一端连接晶体管 T2 的栅极,电容 C1 的另一端连接晶体管 T2 的漏极,晶体管 T3 的源极连接晶体管 T2 的栅极,晶体管 T3 的栅极接收第 N+1 级移位寄存单元输出的信号,晶体管 T3 的漏极接收 VSS 信号,晶体管 T4 的源极连接晶体管 T2 的漏极,晶体管 T4 的栅极接收第 N+1 级移位寄存单元输出的信号,晶体管 T4 的漏极接收 VSS 信号,下拉电路 11 分别连接晶体管 T2 的栅极和晶体管 T2 的漏极。

[0004] 在第 N-1 级移位寄存单元输出的高电平信号使晶体管 T1 开启时,此时,第 N 级移位寄存单元连接的扫描栅线被选中,晶体管 T2 的栅极接收到 VDD 信号,晶体管 T2 开启,此时,CLK 信号为低电平信号,第 N 级移位寄存单元输出 CLK 信号,即第 N 级移位寄存单元输出低电平信号;当 CLK 信号变为高电平信号时,第 N-1 级移位寄存单元输出低电平信号,晶体管 T1 关断,但由于电容 C1 的存储作用,晶体管 T2 保持开启,第 N 级移位寄存单元输出高电平信号,从而选中第 N+1 级移位寄存单元连接的扫描栅线,并通过晶体管 T2 对第 N 级移位寄存单元连接的扫描栅线进行充电,提高第 N 级移位寄存单元连接的扫描栅线的电压;当第 N 级移位寄存单元接收到第 N+1 级移位寄存单元输出的高电平信号时,晶体管 T3 开启,晶体管 T2 的栅极接收 VSS 信号,晶体管 T2 关闭,与第 N 级移位寄存单元相连的扫描栅线通过晶体管 T4 放电,从而降低其电压;此时,第 N 级移位寄存单元连接的扫描栅线不再被选中,从而实现依次选中各级移位寄存单元连接的扫描栅线的功能。之后,下拉电路 11 用来使第 N 级移位寄存单元稳定输出电压。

[0005] 在图 1 所示的电路中,拉升该移位寄存单元对应的扫描栅线的晶体管 T2 和拉低该移位寄存单元对应的扫描栅线的晶体管 T4 是分别设计的,由于要对整条扫描栅线进行充放电,所以这两个晶体管的尺寸要比移位寄存单元中的其它晶体管的尺寸大很多,也就是说,这种移位寄存单元所占的面积较大,因此,制作相同数量的该移位寄存单元时所需的玻

璃基板的面积更大,这会造成玻璃基板等原材料消耗较大,从而导致制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本较高。

[0006] 综上所述,由于现有技术中的移位寄存单元在对其连接的扫描栅线进行充放电时,移位寄存单元中用于拉升和拉低其连接的扫描栅线的晶体管是分开设计的,而这两个晶体管要比该移位寄存单元中的其他晶体管的尺寸大很多,因此,这种移位寄存单元所占面积较大,这使得承载该移位寄存单元的玻璃基板的面积更大,这会造成原材料消耗较大,从而导致制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本较高。

发明内容

[0007] 本发明实施例提供了一种移位寄存单元及显示装置,用以解决现有的移位寄存单元通过不同的两个晶体管对该移位寄存单元连接的扫描栅线的电平分别进行拉升和降低,使得移位寄存单元所占面积较大,导致在制造该移位寄存单元时原材料消耗较大,进而导致了制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本较高的问题。

[0008] 基于上述问题,本发明实施例提供一种移位寄存单元,包括第一电容、第一晶体管、上拉模块和第一下拉模块;

[0009] 第一晶体管的第一极接收时钟信号,第一晶体管的栅极分别连接第一电容的一端、上拉模块和第一下拉模块,第一晶体管的第二极连接第一电容的另一端;

[0010] 上拉模块,用于在时钟信号为第二电平信号且上拉选择信号为第一电平信号时,向第一晶体管的栅极输出第一电平信号;并在时钟信号为第一电平信号且上拉选择信号为第二电平信号时,不再向第一晶体管的栅极输出第一电平信号;所述上拉选择信号为所述移位寄存单元的前一级移位寄存单元输出的信号;

[0011] 第一下拉模块,用于在时钟信号为第一电平信号且第一下拉选择信号为第一电平信号时,控制第一晶体管的栅极与第二电平信号输入端接通;所述第一下拉选择信号为所述移位寄存单元之后的第二级移位寄存单元输出的信号;

[0012] 第一晶体管,用于在第一晶体管的栅极信号为第一电平信号时,将接收到的时钟信号从第一晶体管的第二极输出;并在所述第一晶体管的栅极信号为第二电平信号时,不再将接收到的时钟信号从第一晶体管的第二极输出;

[0013] 所述移位寄存单元还包括第二下拉模块,第二下拉模块分别连接第一晶体管的栅极和第一晶体管的第二极;

[0014] 所述第二下拉模块,用于在第一晶体管的栅极信号为第二电平信号、时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端接通;并在第一晶体管的栅极信号为第二电平信号、时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开;以及在第一晶体管的栅极信号为第一电平信号时,控制第一晶体管的栅极和第一晶体管的第二极均与第二电平信号输入端断开。。

[0015] 本发明实施例还提供一种显示装置,包括本发明实施例提供的移位寄存单元。

[0016] 本发明实施例的有益效果包括:

[0017] 本发明实施例提供了一种移位寄存单元和显示装置,当该移位寄存单元接收到其前一级移位寄存单元输出的第一电平信号时,该移位寄存单元中的第一晶体管开启,由于

第一晶体管的第二极为该移位寄存单元的输出端,因此,当第一晶体管开启时,该移位寄存单元连接的扫描栅线被选中;当该移位寄存单元接收到其前一级移位寄存单元输出的第二电平信号时,虽然,上拉模块不会再向第一晶体管的栅极输出第一电平信号,但是由于第一电容的存储作用,该移位寄存单元中的第一晶体管的栅极的信号依然为第一电平信号,第一晶体管保持开启,并将接收到的电平为第一电平的时钟信号输出,从而选中该移位寄存单元的后一级移位寄存单元连接的扫描栅线;当移位寄存单元接收到该移位寄存单元之后的第二级移位寄存单元输出的第一电平信号时,由于该移位寄存单元中的第一晶体管的栅极的信号为第二电平信号,第一晶体管关断,该移位寄存单元连接的栅极线不再被选中,从而实现依次选中各级移位寄存单元连接的扫描栅线的功能。由于该移位寄存单元连接的扫描栅线被选中的时间段为,从该移位寄存单元开始接收到其前一级移位寄存单元输出的第一电平信号的时刻,到该移位寄存单元开始接收到其后的第二级移位寄存单元输出的第一电平信号的时刻之间的时间段,这一时间段的长度为时钟信号的一个半周期,而在该移位寄存单元连接的扫描栅线被选中的时间段内,该移位寄存单元中的第一晶体管开启,从而将接收到的时钟信号传输到该移位寄存单元连接的扫描栅线上,因此,该扫描栅线上的电平从第二电平变为第一电平以及从第一电平变为第二电平都是通过该移位寄存单元中的第一晶体管实现的,也就是说,该移位寄存单元通过其中的第一晶体管实现了对该移位寄存单元连接的扫描栅线的电平的拉升和降低,从而减少了对该扫描栅线进行充放电的晶体管的数目,进而减小了该移位寄存单元的尺寸,节省了制造该移位寄存单元时的原材料,降低了制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本。

附图说明

- [0018] 图 1 为现有技术中的移位寄存单元的结构示意图;
- [0019] 图 2 为本发明实施例提供的移位寄存单元的结构示意图之一;
- [0020] 图 3 为本发明实施例提供的移位寄存单元的结构示意图之二;
- [0021] 图 4 为本发明实施例提供的移位寄存单元的结构示意图之三;
- [0022] 图 5 为本发明实施例提供的移位寄存单元的结构示意图之四;
- [0023] 图 6 为本发明实施例提供的移位寄存单元的结构示意图之五;
- [0024] 图 7 为本发明实施例提供的移位寄存单元的结构示意图之六;
- [0025] 图 8 为本发明实施例提供的移位寄存单元的结构示意图之七;
- [0026] 图 9 为本发明实施例提供的移位寄存单元的结构示意图之八;
- [0027] 图 10 为本发明实施例提供的移位寄存单元的结构示意图之九;
- [0028] 图 11 为本发明实施例提供的移位寄存单元的工作时序图。

具体实施方式

[0029] 本发明实施例提供了一种移位寄存单元和显示装置,通过移位寄存单元中的第一晶体管实现对该移位寄存单元连接的扫描栅线的电平的拉升和降低,从而减少了对该扫描栅线进行充放电的晶体管的数目,进而减小了该移位寄存单元的尺寸,节省了制造该移位寄存单元时的原材料,降低了制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本。

[0030] 下面结合说明书附图,对本发明实施例提供的一种移位寄存单元和显示装置的具体实施方式进行了说明。

[0031] 本发明实施例提供的一种移位寄存单元,如图 2 所示,包括第一电容 C1、第一晶体管 M1、上拉模块 21 和第一下拉模块 22;第一晶体管 M1 的第一极接收时钟信号 CLK,第一晶体管 M1 的栅极分别连接第一电容 C1 的一端、上拉模块 21 和第一下拉模块 22,第一晶体管 M1 的第二极连接第一电容 C1 的另一端,第一晶体管 M1 的栅极为上拉结点 PU;其中,第一晶体管 M1 的第二极为该移位寄存单元的输出端;当该移位寄存单元为第 n 级移位寄存单元,其输出端输出的信号为 OUT(n)。

[0032] 上拉模块 21,用于在时钟信号 CLK 为第二电平信号且上拉选择信号为第一电平信号时,向第一晶体管 M1 的栅极输出第一电平信号;并在时钟信号 CLK 为第一电平信号且上拉选择信号为第二电平信号时,不再向第一晶体管 M1 的栅极输出第一电平信号;该上拉选择信号为该移位寄存单元的前一级移位寄存单元的输出端输出的信号,当该移位寄存单元为第 n 级移位寄存单元,该移位寄存单元接收到的上拉选择信号为第 n-1 级移位寄存单元输出的信号 OUT(n-1)。

[0033] 第一下拉模块 22,用于在时钟信号 CLK 为第一电平信号且第一下拉选择信号为第一电平信号时,控制第一晶体管 M1 的栅极与第二电平信号输入端 23 接通;第一下拉选择信号为该移位寄存单元之后的第二级移位寄存单元的输出端输出的信号,当该移位寄存单元为第 n 级移位寄存单元,该移位寄存单元接收到的第一下拉选择信号为第 n+2 级移位寄存单元输出的信号 OUT(n+2)。

[0034] 第一晶体管 M1,用于在第一晶体管 M1 的栅极信号为第一电平信号时,将接收到的时钟信号 CLK 从第一晶体管 M1 的第二极,即该移位寄存单元的输出端输出;并在第一晶体管 M1 的栅极的信号为第二电平信号时,不再将接收到的时钟信号 CLK 从第一晶体管 M1 的第二极,即移位寄存单元的输出端输出。

[0035] 若该移位寄存单元为第 n 级移位寄存单元,则在该移位寄存单元的前一级移位寄存单元输出的信号 OUT(n-1) 为第一电平信号,即第 n 级移位寄存单元中的第一晶体管 M1 的栅极接收到的上拉选择信号为第一电平信号时开启,第 n 级移位寄存单元连接的扫描栅线被选中,因此,第 n 级移位寄存单元中的第一晶体管 M1 将接收到的时钟信号 CLK 输出到与第 n 级移位寄存单元相连的扫描栅线上,而此时时钟信号 CLK 为第二电平信号,因此,该扫描栅线的电平为第二电平;在第 n-1 级移位寄存单元输出的信号 OUT(n-1) 为第二电平信号时,第 n 级移位寄存单元中的第一晶体管 M1 的栅极不再接收到第一电平信号,但是,由于第一电容 C1 的存储作用,因此,第一晶体管 M1 的栅极的信号保持为第一电平信号,因此,第 n 级移位寄存单元中的第一晶体管 M1 将接收到的时钟信号 CLK 输出到与第 n 级移位寄存单元相连的扫描栅线上,而此时时钟信号 CLK 为第一电平信号,因此,该扫描栅线的电平为第一电平,从而实现了通过第 n 级移位寄存单元中的第一晶体管 M1 将该扫描栅线的电平从第二电平变为第一电平的功能。

[0036] 由于第 n 级移位寄存单元输出的信号 OUT(n) 同时还是第 n+1 级移位寄存单元接收到的上拉选择信号,因此,当第 n 级移位寄存单元输出的信号 OUT(n) 为第一电平信号时,第 n+1 级移位寄存单元接收到的上拉选择信号为第一电平信号,第 n+1 级移位寄存单元与第 n 级移位寄存单元按照相同的原理工作,即第 n+1 级移位寄存单元将其接收到的时钟信

号 CLK 输出,即先输出第二电平信号,然后再输出第一电平信号,当第 $n+1$ 级移位寄存单元输出第一电平信号时,由于相邻两级移位寄存单元接收到的时钟信号的电平相反,因此,第 n 级移位寄存单元中的第一晶体管 M1 的第一极接收到的时钟信号 CLK 为第二电平信号,此时第 n 级移位寄存单元中的第一晶体管 M1 的栅极的信号由于第一电容 C1 的存储作用依然为第一电平信号,也就是说第 n 级移位寄存单元中的晶体管 M1 开启,其第一极和第二极之间导通,而此时,第 n 级移位寄存单元中的第一晶体管 M1 的第二极,即第 n 级移位寄存单元的输出端连接的扫描栅线的电平为第一电平,因此,该扫描栅线上的第一电平信号可以通过第 n 级移位寄存单元中的第一晶体管 M1 释放到输出时钟信号的装置,从而使第 n 级移位寄存单元连接的扫描栅线的电平从第一电平变到第二电平,进而实现通过第 n 级移位寄存单元中的第一晶体管 M1 对第 n 级移位寄存单元连接的扫描栅线的电平的拉升和降低的功能。

[0037] 第 n 级移位寄存单元之后的第二级移位寄存单元,即第 $n+2$ 级移位寄存单元在接收到的上拉选择信号,即第 $n+1$ 级移位寄存单元输出的信号为第一电平信号时,第 $n+2$ 级移位寄存单元与第 n 级移位寄存单元按照相同的原理工作,即第 $n+2$ 级移位寄存单元将接收到的时钟信号 CLK 输出,即先输出第二电平信号,然后再输出第一电平信号,由于相邻两级移位寄存单元接收到的时钟信号的电平相反,因此,第 n 级移位寄存单元和第 $n+2$ 级移位寄存单元接收到的时钟信号相同。当第 $n+2$ 级移位寄存单元输出第一电平信号时,第 n 级移位寄存单元接收到的时钟信号也为第一电平信号,此时,第 n 级移位寄存单元中的第一晶体管 M1 不再将接收到的时钟信号从第 n 级移位寄存单元的输出端输出,从而不再选中第 n 级移位寄存单元连接的扫描栅线,进而实现依次选中连接各个移位寄存单元的扫描栅线的功能。由于该移位寄存单元可以实现通过其中的第一晶体管 M1 对第 n 级移位寄存单元连接的扫描栅线的电平的拉升和降低的功能,与现有的移位寄存单元相比,减少了对该扫描栅线进行充放电的晶体管的数目,进而减小了该移位寄存单元的尺寸,节省了制造该移位寄存单元时的原材料,降低了制造该移位寄存单元以及包含该移位寄存单元的显示装置的成本。

[0038] 进一步地,如图 3 所示,本发明实施例提供的移位寄存单元还包括第二下拉模块 24,第二下拉模块 24 分别连接第一晶体管 M1 的栅极和第一晶体管 M1 的第二极;所述第二下拉模块 24,用于在第一晶体管 M1 的栅极信号为第二电平信号、时钟信号 CLK 为第一电平信号且时钟阻碍信号 CLKB 为第二电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 接通;并在第一晶体管 M1 的栅极信号为第二电平信号、时钟信号 CLK 为第二电平信号且时钟阻碍信号 CLKB 为第一电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 断开;以及在第一晶体管 M1 的栅极信号为第一电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 断开。

[0039] 进一步地,如图 3 所示,本发明实施例提供的移位寄存单元还包括第三下拉模块 25,第三下拉模块 25 分别连接第一晶体管 M1 的栅极和第一晶体管 M1 的第二极;第三下拉模块 25,用于在上拉选择信号为第一电平信号、或者第二下拉选择信号为第一电平信号、或者时钟阻碍信号 CLKB 为第二电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 断开;并在上拉选择信号、第一下拉选择信号和第二下拉

选择信号均为第二电平信号且时钟信号 CLK 为第二电平信号、时钟阻碍信号 CLKB 为第一电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 接通;其中,第二下拉选择信号为该移位寄存单元的后一级移位寄存单元的输出端输出的信号。

[0040] 当本发明实施例提供的移位寄存单元为第 n 级移位寄存单元时,本发明实施例提供的移位寄存单元接收到的上拉选择信号为第 n-1 级移位寄存单元输出的信号,本发明实施例提供的移位寄存单元接收到的第一下拉选择信号为第 n+2 级移位寄存单元输出的信号,本发明实施例提供的移位寄存单元接收到的第二下拉选择信号为第 n+1 级移位寄存单元输出的信号。

[0041] 本发明实施例提供的移位寄存单元可以仅包括第二下拉模块,也可以仅包括第三下拉模块,较佳地,本发明实施例提供的移位寄存单元既包括第二下拉模块也包括第三下拉模块,这样在本发明实施例提供的移位寄存单元连接的扫描栅线未被选中的时间段内,第二下拉模块可以在本发明实施例提供的移位寄存单元接收到的时钟信号为第二电平信号且时钟阻碍信号为第一电平信号时,将本发明实施例提供的移位寄存单元中的第一晶体管 M1 的栅极以及该移位寄存单元的输出端分别与第二电平信号输入端接通;第三下拉模块可以在本发明实施例提供的移位寄存单元接收到的时钟信号为第一电平信号且时钟阻碍信号为第二电平信号时,将本发明实施例提供的移位寄存单元中的第一晶体管 M1 的栅极以及该移位寄存单元的输出端分别与第二电平信号输入端接通;这样可以避免在本发明实施例提供的移位寄存单元连接的扫描栅线未被选中的时间段内,时钟信号产生的耦合噪声会通过第二电平信号输入端释放掉,而不会再输出到该移位寄存单元连接的扫描栅线,从而保证该移位寄存单元的输出端输出稳定的电压信号;同时,由于第二下拉模块和第三下拉模块交替将本发明实施例提供的移位寄存单元中的第一晶体管 M1 的栅极以及该移位寄存单元的输出端分别与第二电平信号输入端接通,克服了第二下拉模块和第三下拉模块中的晶体管长时间处于开启状态导致的这些长时间处于开启状态的晶体管的阈值电压发生偏移的问题,延长了移位寄存单元的使用寿命。另外,由于第二下拉模块和第三下拉模块并不会对移位寄存单元连接的扫描栅线进行充放电,因此,第二下拉模块和第三下拉模块中的晶体管可以做得很小。本发明实施例提供的移位寄存单元即使包含第二下拉模块和第三下拉模块,也可以比现有的分别采用两个晶体管对其连接的扫描栅线的电压进行提升的降低的移位寄存单元,例如图 1 所示的移位寄存单元的体积小。

[0042] 进一步地,如图 4 所示,本发明实施例提供的移位寄存单元中的第二下拉模块包括第一下拉驱动单元 241 和第一下拉单元 242,第一下拉驱动单元 241 和第一下拉单元 242 相连的连接点为第一下拉结点 PD1;第一下拉驱动单元 241,用于在第一晶体管 M1 的栅极信号为第一电平信号时,控制第一下拉结点 PD1 的信号为第二电平信号;并在第一晶体管 M1 的栅极信号为第二电平信号、时钟信号 CLK 为第一电平信号且时钟阻碍信号 CLKB 为第二电平信号时,控制第一下拉结点 PD1 的信号为第一电平信号;以及在第一晶体管 M1 的栅极信号为第二电平信号、时钟信号 CLK 为第二电平信号且时钟阻碍信号 CLKB 为第一电平信号时,控制第一下拉结点 PD1 的信号为第二电平信号;第一下拉单元 242,用于在第一下拉结点 PD1 的信号为第一电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端接通;并在第一下拉结点的信号为第二电平信号 PD2 时,控制第一

晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 断开。

[0043] 进一步地,如图 4 所示,本发明实施例提供的移位寄存单元中的第三下拉模块包括第二下拉驱动单元 251 和第二下拉单元 252,第二下拉驱动单元 251 和第二下拉单元 252 相连的连接点为第二下拉结点 PD2;第二下拉驱动单元 251,用于在上拉选择信号为第一电平信号、或者第二下拉选择信号为第一电平信号或者时钟阻碍信号 CLKB 为第二电平信号时,控制第二下拉结点 PD2 的信号为第二电平信号;并在上拉选择信号、第一下拉选择信号和第二下拉选择信号均为第二电平信号且时钟信号 CLK 为第二电平信号、时钟阻碍信号 CLKB 为第一电平信号时,控制第二下拉结点 PD2 的信号为第一电平信号;第二下拉单元,用于在第二下拉节点 PD2 的信号为第一电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 接通;并在第二下拉节点 PD2 的信号为第二电平信号时,控制第一晶体管 M1 的栅极和第一晶体管 M1 的第二极均与第二电平信号输入端 23 断开。

[0044] 进一步地,如图 5 所示,本发明实施例提供的移位寄存单元中的第一下拉驱动单元包括第二晶体管 M2、第三晶体管 M3 和第四晶体管 M4;第二晶体管 M2 的第一极接收时钟信号 CLK,第二晶体管 M2 的栅极接收时钟信号 CLK,第二晶体管 M2 的第二极连接第一下拉结点 PD1,第三晶体管 M3 的第一极接收时钟信号 CLK,第三晶体管 M3 的栅极接收时钟阻碍信号 CLKB,第三晶体管 M3 的第二极连接第一下拉结点 PD1,第四晶体管 M4 的第一极连接第一下拉结点 PD1,第四晶体管 M4 的栅极连接第一晶体管 M1 的栅极,即连接上拉结点 PU,第四晶体管 M4 的第二极连接第二电平信号输入端 23;第二晶体管 M2,用于在时钟信号 CLK 为第一电平信号时开启,并在时钟信号 CLK 为第二电平信号时关断;第三晶体管 M3,用于在时钟阻碍信号 CLKB 为第一电平信号时开启,并在时钟阻碍信号 CLKB 为第二电平信号时关断;第四晶体管 M4,用于在第一晶体管 M1 的栅极的信号为第一电平信号时,将第一下拉结点 PD1 与第二电平信号输入端 23 接通;并在第一晶体管 M1 的栅极的信号为第二电平信号时,将第一下拉节点 PD1 与第二电平信号输入端 23 断开。

[0045] 进一步地,如图 6 所示,本发明实施例提供的移位寄存单元中的第一下拉单元包括第五晶体管 M5 和第六晶体管 M6;第五晶体管 M5 的第一极连接第一晶体管 M1 的栅极,第五晶体管 M5 的栅极连接第一下拉结点 PD1,第五晶体管 M5 的第二极连接第二电平信号输入端 23,第六晶体管 M6 的第一极连接第一晶体管 M1 的第二极,即连接该移位寄存单元的输出端,第六晶体管 M6 的栅极连接第一下拉结点 PD1,第六晶体管 M6 的第二极连接第二电平信号输入端 23;第五晶体管 M5,用于在第一下拉结点 PD1 的信号为第一电平信号时开启,将第一晶体管 M1 的栅极与第二电平信号输入端 23 接通,并在第一下拉结点的信号为第二电平信号时关断,将第一晶体管 M1 的栅极与第二电平信号输入端 23 断开;第六晶体管 M6,用于在第一下拉结点 PD1 的信号为第一电平信号时开启,将第一晶体管 M1 的第二极与第二电平信号输入端 23 接通,并在第一下拉结点 PD1 的信号为第二电平信号时关断,将第一晶体管 M1 的第二极与第二电平信号输入端 23 断开。

[0046] 进一步地,如图 7 所示,本发明实施例提供的移位寄存单元中的第二下拉驱动单元包括第七晶体管 M7、第八晶体管 M8、第九晶体管 M9、第十晶体管 M10、第十一晶体管 M11 和第十二晶体管 M12;第七晶体管 M7 的第一极接收时钟阻碍信号 CLKB,第七晶体管 M7 的栅极接收时钟信号 CLK,第七晶体管 M7 的第二极连接第二下拉结点 PD2;第八晶体管 M8 的第

一极接收时钟阻碍信号 CLKB, 第八晶体管 M8 的栅极接收时钟阻碍信号 CLKB, 第八晶体管 M8 的第二极连接第二下拉结点 PD2; 第九晶体管 M9 的第一极接收上拉选择信号, 第九晶体管 M9 的栅极接收上拉选择信号, 第九晶体管 M9 的第二极连接第十二晶体管 M12 的栅极; 第十晶体管 M10 的第一极接收第二下拉选择信号, 第十晶体管 M10 的栅极接收第二下拉选择信号, 第十晶体管 M10 的第二极连接第十二晶体管 M12 的栅极; 第十一晶体管 M11 的第一极连接第二电平信号输入端 23, 第十一晶体管 M11 的栅极接收第一下拉选择信号, 第十一晶体管 M11 的第二极连接第十二晶体管 M12 的栅极; 第十二晶体管 M12 的第一极连接第二电平信号输入端 23, 第十二晶体管 M12 的第二极连接第二下拉结点 PD2。

[0047] 第七晶体管 M7, 用于在时钟信号 CLK 为第一电平信号时开启, 并在时钟信号 CLK 为第二电平信号时关断; 第八晶体管 M8, 用于在时钟阻碍信号 CLKB 为第一电平信号时开启, 并在时钟阻碍信号 CLKB 为第二电平信号时关断; 第九晶体管 M9, 用于在上拉选择信号为第一电平信号时开启, 使得第十二晶体管 M12 的栅极的信号为第一电平信号, 并在上拉选择信号为第二电平信号时关断; 第十晶体管 M10, 用于在第二下拉选择信号为第一电平信号时开启, 使得第十二晶体管 M12 的栅极的信号为第一电平信号, 并在第二下拉选择信号为第二电平信号时关断; 第十一晶体管 M11, 用于在第一下拉选择信号为第一电平信号时开启, 将第十二晶体管 M12 的栅极与第二电平信号输入端接通, 并在第一下拉选择信号为第二电平信号时关断, 将第十二晶体管 M12 的栅极与第二电平信号输入端断开; 第十二晶体管 M12, 用于在第十二晶体管 M12 的栅极的信号为第一电平信号时, 将第二下拉结点 PD2 与第二电平信号输入端 23 接通; 并在第十二晶体管 M12 的栅极的信号为第二电平信号时, 将第二下拉结点 PD2 与第二电平信号输入端 23 断开。

[0048] 进一步地, 如图 8 所示, 本发明实施例提供的移位寄存单元中的第二下拉单元包括第十三晶体管 M13 和第十四晶体管 M14; 第十三晶体管 M13 的第一极连接第一晶体管 M1 的栅极, 即连接上拉结点 PU, 第十三晶体管 M13 的栅极连接第二下拉结点 PD2, 第十三晶体管 M13 的第二极连接第二电平信号输入端 23, 第十四晶体管 M14 的第一极连接第一晶体管 M1 的第二极, 即该移位寄存单元的输出端, 第十四晶体管 M14 的栅极连接第二下拉结点 PD2, 第十四晶体管 M14 的第二极连接第二电平信号输入端 23。

[0049] 第十三晶体管 M13, 用于在第二下拉结点 PD2 的信号为第一电平信号时开启, 将第一晶体管 M1 的栅极与第二电平信号输入端 23 接通, 并在第二下拉结点 PD2 的信号为第二电平信号时关断, 将第一晶体管 M1 的栅极与第二电平信号输入端断开; 第十四晶体管 M14, 用于在第二下拉结点 PD2 的信号为第一电平信号时开启, 将第一晶体管 M1 的第二极与第二电平信号输入端 23 接通, 并在第二下拉结点 PD2 的信号为第二电平信号时关断, 将第一晶体管 M1 的第二极与第二电平信号输入端断开。

[0050] 进一步地, 如图 9 所示, 本发明实施例提供的移位寄存单元中的上拉模块包括第十五晶体管 M15; 第十五晶体管 M15 的第一极接收上拉选择信号, 第十五晶体管 M15 的栅极接收上拉选择信号, 第十五晶体管 M15 的第二极连接第一晶体管 M1 的栅极; 第十五晶体管 M15, 用于在上拉选择信号为第一电平信号时开启, 使得第一晶体管 M1 的栅极的信号为第一电平信号; 并在上拉选择信号为第二电平信号时关断。

[0051] 进一步地, 如图 9 所示, 本发明实施例提供的移位寄存单元中的第一下拉模块包括第十六晶体管 M16; 第十六晶体管 M16 的第一极连接第二电平信号输入端 23, 第十六晶体

管 M16 的栅极接收第一下拉选择信号,第十六晶体管 M16 的第二极连接第一晶体管 M1 的栅极,即连接上拉结点 PU;第十六晶体管 M16,用于在第一下拉选择信号为第一电平信号时开启,将第一晶体管 M1 的栅极与第二电平信号输入端接通;并在第一下拉选择信号为第二电平信号时关断。

[0052] 进一步地,如图 10 所示,本发明实施例提供的移位寄存单元中还包括第十七晶体管 M17;第十七晶体管 M17 的第一极连接第二电平信号输入端 23,第十七晶体管 M17 的栅极接收第二下拉选择信号,第十七晶体管 M17 的第二极连接第一晶体管 M1 的第二极,即该移位寄存单元的输出端;第十七晶体管 M17,用于在第二下拉选择信号为第一电平信号时开启,将第一晶体管 M1 的第二极,即该移位寄存单元的输出端与第二电平信号输入端接通,与第一晶体管 M1 一起将该移位寄存单元连接的扫描栅线的电平从第一电平变为第二电平;并在第二下拉选择信号为第二电平信号时关断。

[0053] 对于液晶显示领域或者有机发光二极管 (Organic Light-Emitting Diode, OLED) 领域的晶体管来说,漏极和源极没有明确的区别,因此本发明实施例中所提到的晶体管的第一极可以为晶体管的源极(或漏极),晶体管的第二极可以为晶体管的漏极(或源极)。如果晶体管的源极为第一极,那么该晶体管的漏极为第二极;如果晶体管的漏极为第一极,那么晶体管的源极为第二极。

[0054] 若本发明实施例中提到的晶体管为 N 型晶体管,那么第一电平信号为高电平信号,第二电平信号为低电平信号,第二电平信号输入端为低电平信号输入端;若本发明实施例中提到的晶体管为 P 型晶体管,那么第一电平信号为低电平信号,第二电平信号为高电平信号,第二电平信号输入端为高电平信号输入端。

[0055] 为了进一步说明本发明实施例提供的移位寄存单元,下面以本发明实施例中提到的晶体管为 N 型晶体管为例,并结合图 11 所示的时序图说明本发明实施例提供的移位寄存单元的工作原理,其中,第一电平信号为高电平信号,第二电平信号为低电平信号,第二电平信号输入端为低电平信号输入端。

[0056] 如图 11 所示,以第 n 级移位寄存单元为例,本发明实施例提供的移位寄存单元(图 9 和图 10)的工作时序包含 6 个阶段,其中,上拉选择信号为第 n-1 级移位寄存单元输出的信号 OUT(n-1),第一下拉选择信号为第 n+2 级移位寄存单元输出的信号 OUT(n+2),第二下拉选择信号为第 n+1 级移位寄存单元输出的信号 OUT(n+1)。

[0057] 第 1 阶段:时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平信号,上拉选择信号为高电平信号,第十五晶体管 M15 开启,第一下拉选择信号为低电平信号,第十六晶体管 M16 关断;同时,由于上拉结点 PU 的信号为高电平信号,因此第四晶体管 M4 开启,第一下拉结点 PD1 与第二电平信号输入端 23、即低电平信号输入端接通,第一下拉结点 PD1 的信号为低电平信号,第五晶体管 M5 和第六晶体管 M6 均关断;由于上拉选择信号为高电平信号,因此第九晶体管 M9 开启,使得第十二晶体管 M12 的栅极的信号为高电平信号,因此,第十二晶体管 M12 开启,第二下拉结点 PD2 与第二电平信号输入端 23、即低电平信号输入端接通,第二下拉结点 PD2 的信号为低电平信号,第十三晶体管 M13 和第十四晶体管 M14 均关断;因此,第一晶体管 M1 的栅极和该移位寄存单元的输出端均与低电平信号输入端断开,第一晶体管 M1 的栅极,即上拉结点 PU 的信号为高电平信号,第一晶体管 M1 开启,第 n 级移位寄存单元输出的信号 OUT(n) 为低电平信号,该移位寄存单元连接的扫描栅线的电平为

低电平。

[0058] 第2阶段:时钟信号 CLK 为高电平信号,时钟阻碍信号 CLKB 为低电平信号,上拉选择信号为低电平信号,第十五晶体管 M15 关断,第一下拉选择信号为低电平信号,第十六晶体管 M16 关断;由于第一电容 C1 的存储作用,上拉结点 PU 的信号依然为高电平信号,因此第四晶体管 M4 开启,第一下拉结点 PD1 与低电平信号输入端接通,第一下拉结点 PD1 的信号为低电平信号,第五晶体管 M5 和第六晶体管 M6 均关断;由于时钟信号 CLK 为高电平信号,第七晶体管 M7 开启,使得第二下拉结点 PD2 的信号为低电平信号,第十三晶体管 M13 和第十四晶体管 M14 均关断;因此,第一晶体管 M1 的栅极和该移位寄存单元的输出端均与低电平信号输入端断开,第一晶体管 M1 的栅极,即上拉结点 PU 的信号为高电平信号,第一晶体管 M1 开启,第 n 级移位寄存单元输出的信号 OUT(n) 为高电平信号,即通过第一晶体管 M1 对该移位寄存单元连接的扫描栅线进行充电,使得该移位寄存单元连接的扫描栅线的电平变为高电平。同时,由于第一晶体管 M1 的第二极由第 1 阶段的低电平信号变为第 2 阶段的高电平信号,使得上拉结点 PU 的电位进一步升高。

[0059] 第3阶段:由于第一电容 C1 的存储作用,上拉结点 PU 的信号依然为高电平信号,因此第四晶体管 M4 开启,第一下拉结点 PD1 与低电平信号输入端接通,第一下拉结点 PD1 的信号为低电平信号,第五晶体管 M5 和第六晶体管 M6 均关断;同时,由于第二下拉选择信号为高电平信号,第十晶体管 M10 开启,使得第十二晶体管 M12 的栅极信号为高电平信号,因此,第十二晶体管 M12 开启,第二下拉结点 PD2 与第二电平信号输入端 23、即低电平信号输入端接通,第二下拉结点 PD2 的信号为低电平信号,第十三晶体管 M13 和第十四晶体管 M14 均关断;因此,第一晶体管 M1 的栅极和该移位寄存单元的输出端均与低电平信号输入端断开;由于第一下拉选择信号为低电平信号,第十六晶体管 M16 关断,上拉结点 PU 的信号保持高电平信号,第一晶体管 M1 保持开启,此时,由于时钟信号 CLK 为低电平信号,由于在第 2 阶段中该移位寄存单元连接的扫描栅线的电平为高电平,因此,该移位寄存单元连接的扫描栅线上的高电平信号可以通过第一晶体管 M1 释放到输出时钟信号 CLK 的装置中,因此,可以通过该移位寄存单元中的第一晶体管 M1 实现对该移位寄存单元连接的扫描栅线的电平的拉升和降低。另外,在图 10 中,第二下拉选择信号的高电平信号可以使第十七晶体管 M17 开启,从而使得该移位寄存单元的输出端与低电平信号输入端接通,因此,在图 10 所示的移位寄存单元中,移位寄存单元连接的扫描栅线上的高电平信号不但可以通过第一晶体管 M1 释放到输出时钟信号 CLK 的装置中,还可以通过第十七晶体管 M17 释放到低电平信号输入端。而在图 9 所示的移位寄存单元中移位寄存单元连接的扫描栅线上的高电平信号仅可以通过第一晶体管 M1 释放到输出时钟信号 CLK 的装置中。

[0060] 第4阶段:第一下拉选择信号为高电平信号,第十六晶体管 M16 开启,上拉结点 PU 与低电平信号输入端接通,上拉结点 PU 的信号为低电平信号,第一晶体管 M1 关断,该移位寄存单元不再将接收到的时钟信号输出;由于时钟信号 CLK 为高电平信号,使得第二晶体管 M2 开启,同时,由于上拉结点 PU 的信号为低电平信号,使得第四晶体管 M4 关断,因此第一下拉结点 PD1 的信号为高电平信号,第五晶体管 M5 和第六晶体管 M6 开启,上拉结点 PU 和该移位寄存单元的输出端均与低电平信号输入端相连。另外,由于第一下拉选择信号为高电平信号,因此,第十一晶体管 M11 开启,使得第十二晶体管 M12 的栅极与低电平信号输入端相连,这样可以将第十二晶体管 M12 中的寄生电容存储的高电平信号释放到低电平信

号输入端,该高电平信号来源于第 1 阶段的上拉选择信号以及第 3 阶段的第二下拉选择信号,避免在后续阶段由于第十二晶体管 M12 栅极的电位为高电位,导致第十二晶体管 M12 开启,使得第二下拉结点 PD2 的信号出现异常。

[0061] 第 5 阶段:时钟信号 CLK 为低电平信号,时钟阻碍信号 CLKB 为高电平信号,第八晶体管 M8 开启,同时由于上拉选择信号、第一下拉选择信号和第二下拉选择信号均为低电平信号,因此,第九晶体管 M9、第十晶体管 M10 和第十一晶体管 M11 均关断,使得第十二晶体管 M12 关断,因此,第二下拉结点 PD2 的信号为高电平信号,第十三晶体管 M13 和第十四晶体管 M14 开启,使得第一晶体管 M1 的栅极和该移位寄存单元的输出端均与低电平信号输入端相连。

[0062] 第 6 阶段:时钟信号 CLK 为高电平信号,时钟阻碍信号 CLKB 为低电平信号,第二晶体管 M2 开启,由于上拉选择信号为低电平信号,因此上拉结点 PU 的信号保持低电平信号,第四晶体管 M4 关断,因此第一下拉结点 PD1 的信号高电平信号,第五晶体管 M5 和第六晶体管 M6 均开启,使得第一晶体管 M1 的栅极和该移位寄存单元的输出端均与低电平信号输入端相连。

[0063] 之后,依次重复地 5 阶段和第 6 阶段,直至本发明实施例提供的移位寄存单元接收到的上拉选择信号为高电平信号,再重新开始执行第 1 阶段。其中,在第 1、2、3 阶段中,该移位寄存单元连接的扫描栅线被选中,而在第 4、5、6 阶段中,该移位寄存单元连接的扫描栅线不再被选中。

[0064] 在第 5 阶段和第 6 阶段,第一下拉结点 PD1 信号与时钟信号 CLK 相同;第二下拉结点 PD2 的信号与时钟阻碍信号 CLKB 相同;第一下拉结点 PD1 的信号控制第五晶体管 M5 和第六晶体管 M6 均开启时,第二下拉结点 PD2 的信号控制第十三晶体管 M13 和第十四晶体管 M14 均关断;第一下拉结点 PD1 的信号控制第五晶体管 M5 和第六晶体管 M6 均关断时,第二下拉结点 PD2 的信号控制第十三晶体管 M13 和第十四晶体管 M14 均开启。这样可以避免在本发明实施例提供的移位寄存单元对应的栅极线未被选中的时间段内,本发明实施例提供的移位寄存单元中有某些晶体管长时间开启,导致这些晶体管的阈值电压偏移,从而延长了包含本发明实施例提供的移位寄存单元的驱动电路的使用寿命。

[0065] P 型晶体管与 N 型晶体管的区别仅在于:P 型晶体管在栅极接收到的信号为低电平信号时开启,而在栅极接收到的信号为高电平信号时关断;N 型晶体管在栅极接收到的信号为高电平信号时开启,而在栅极接收到的信号为低电平信号时关断。因此,包含的晶体管均为 P 型晶体管的移位寄存单元与包含的晶体管均为 N 型晶体管的移位寄存单元的工作原理类似,在此不再赘述。

[0066] 本发明实施例还提供一种显示装置,包括本发明实施例提供的移位寄存单元。

[0067] 上述本发明实施例序号仅仅为了描述,不代表实施例的优劣。

[0068] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

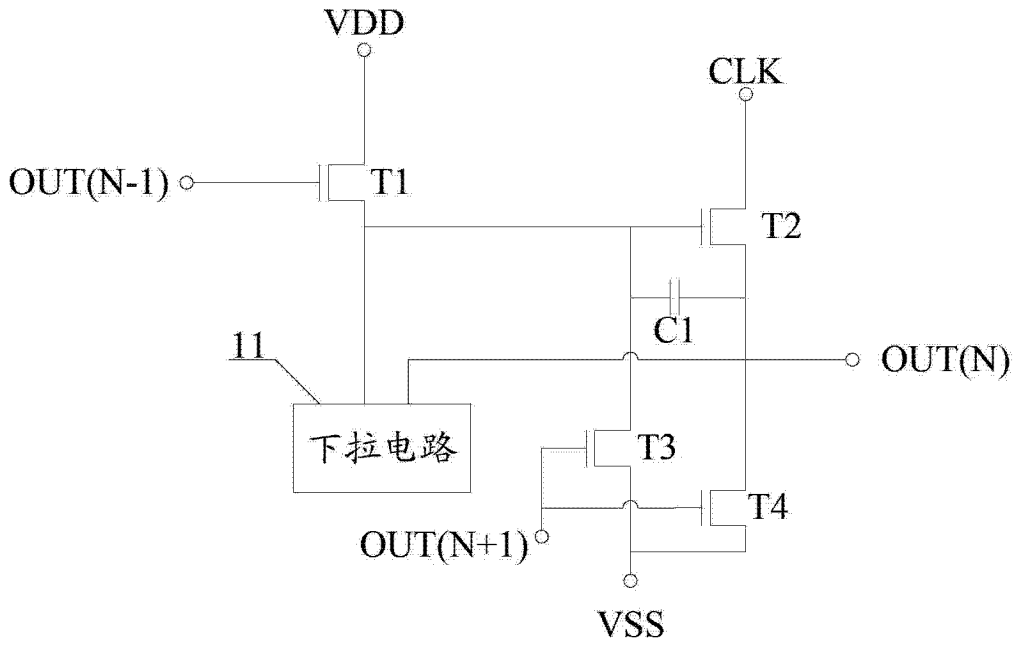


图 1

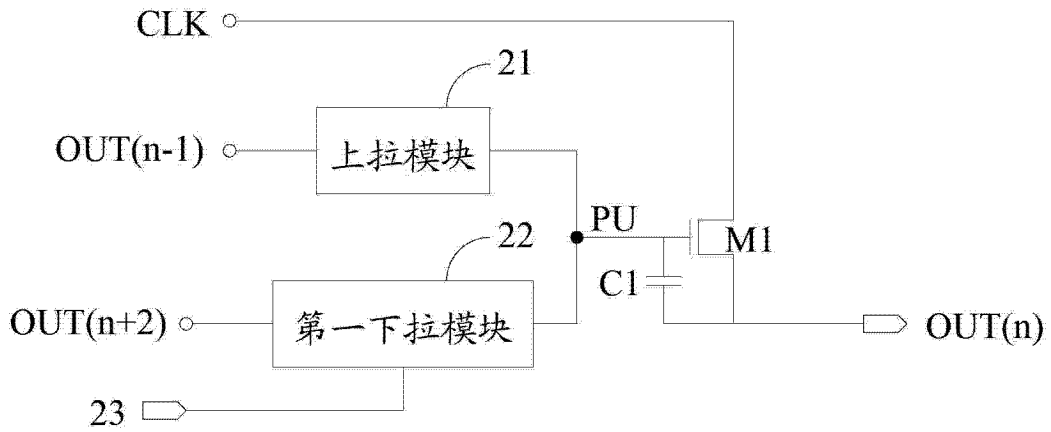


图 2

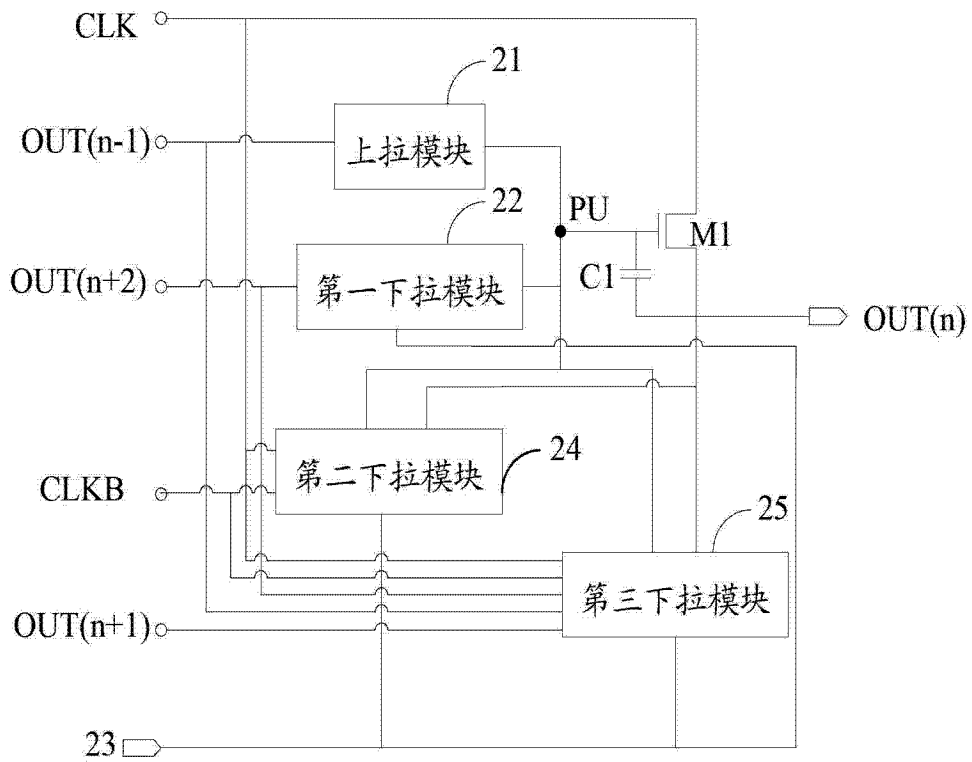


图 3

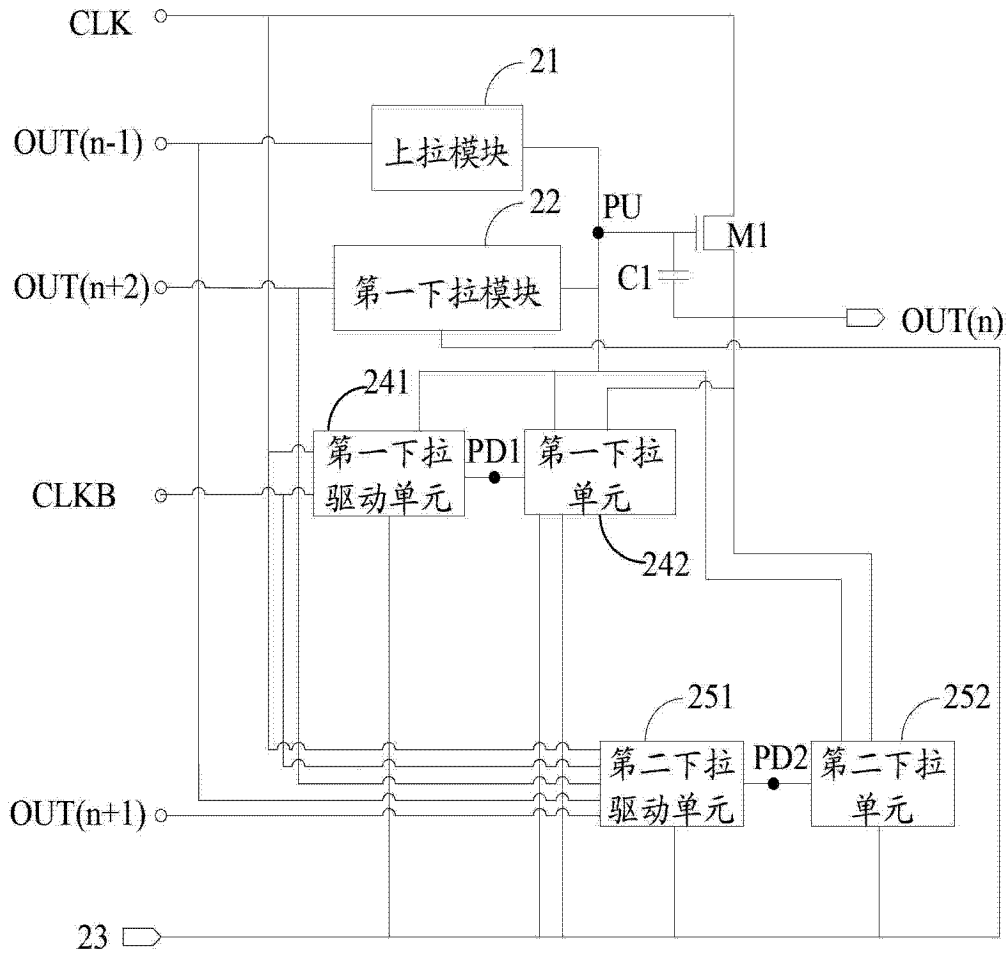


图 4

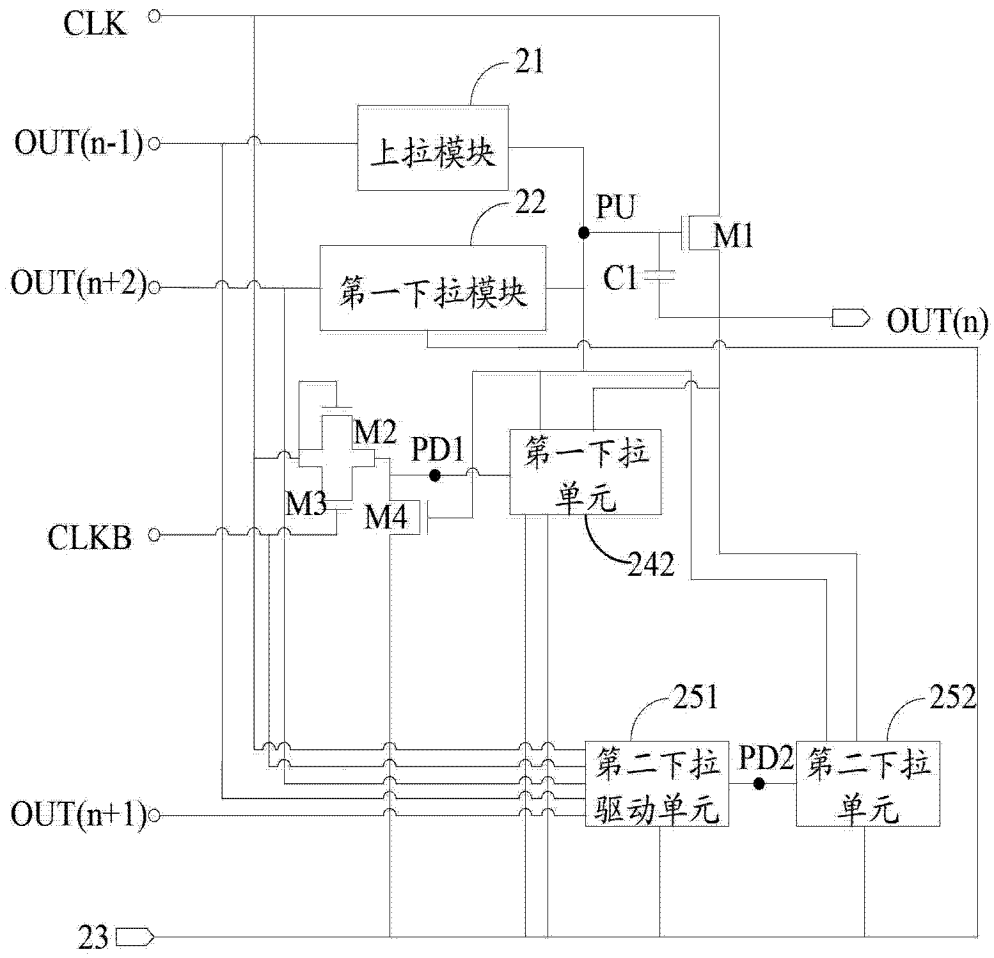


图 5

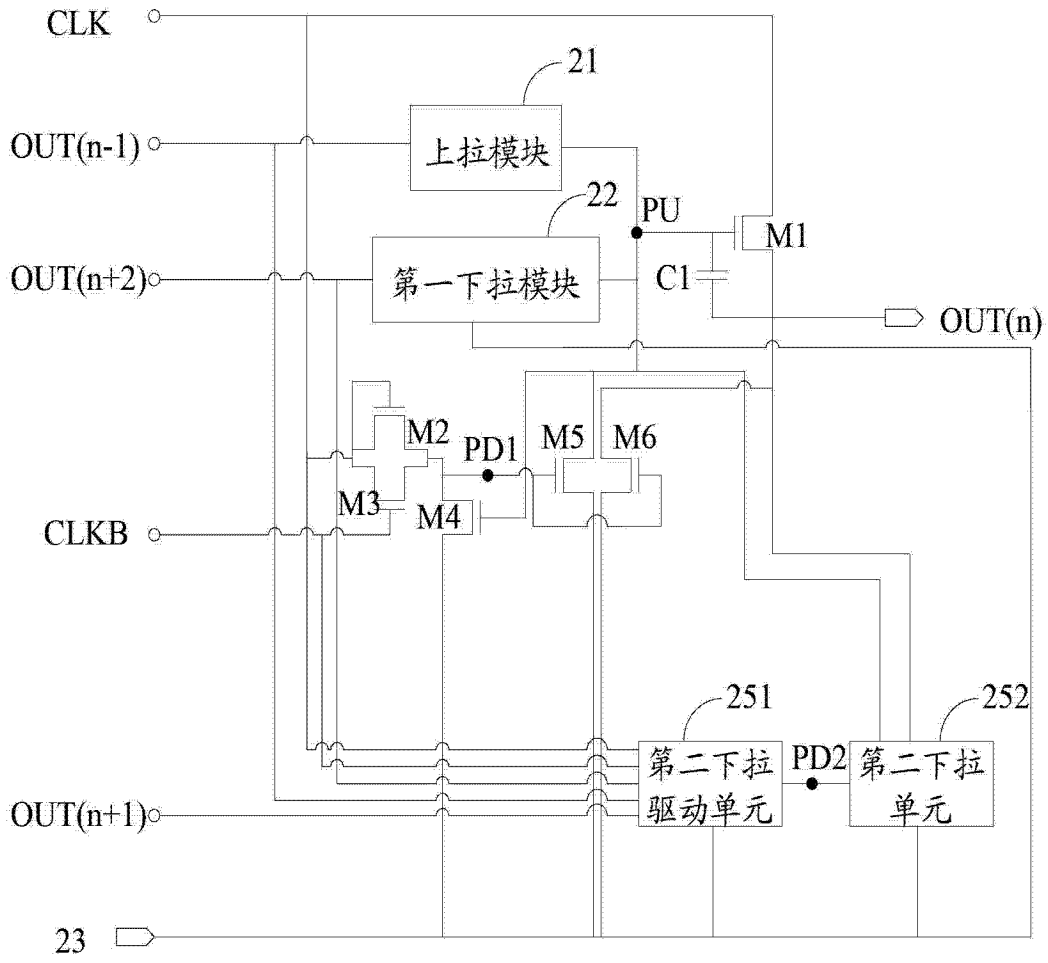


图 6

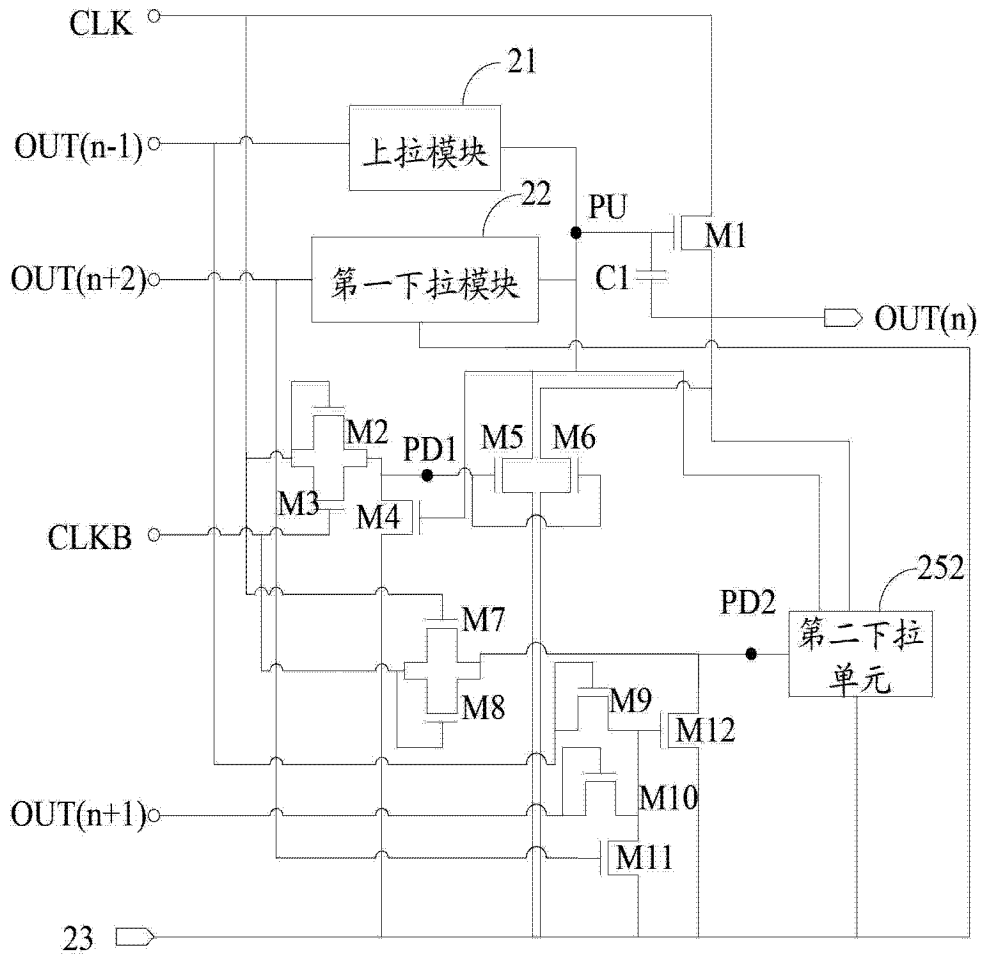


图 7

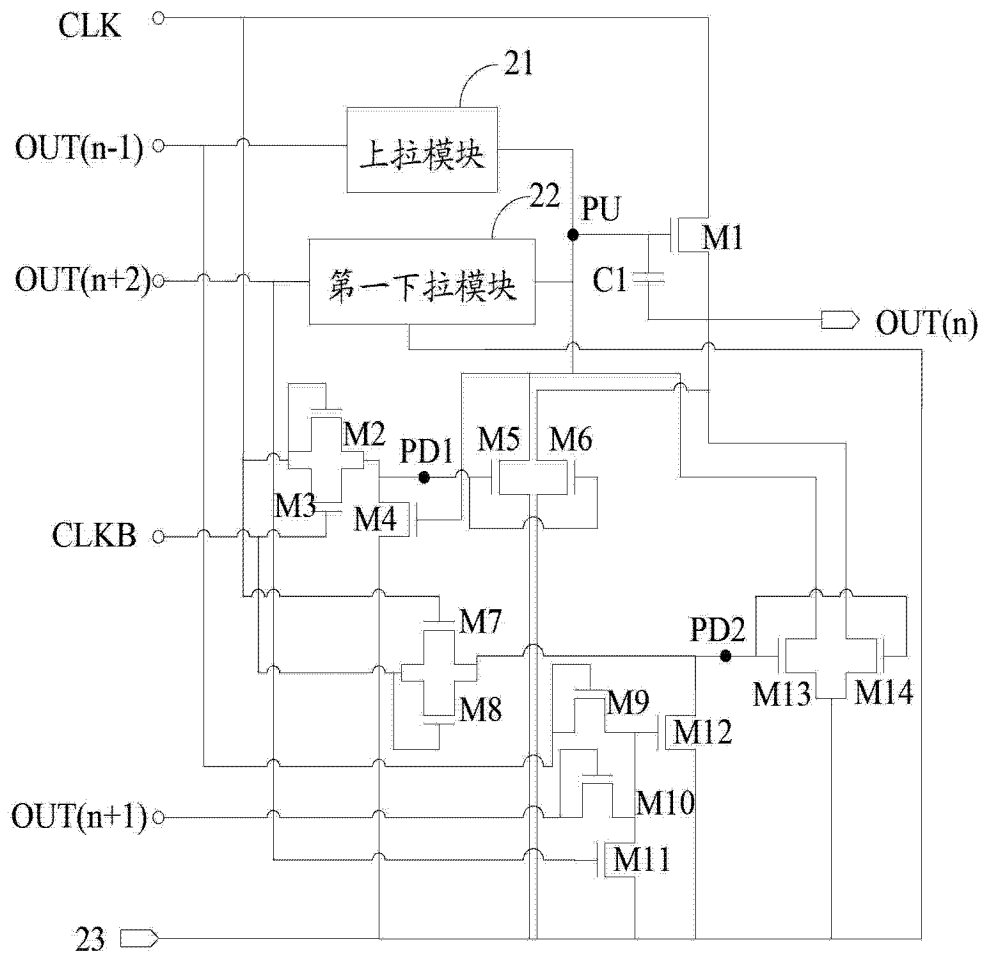


图 8

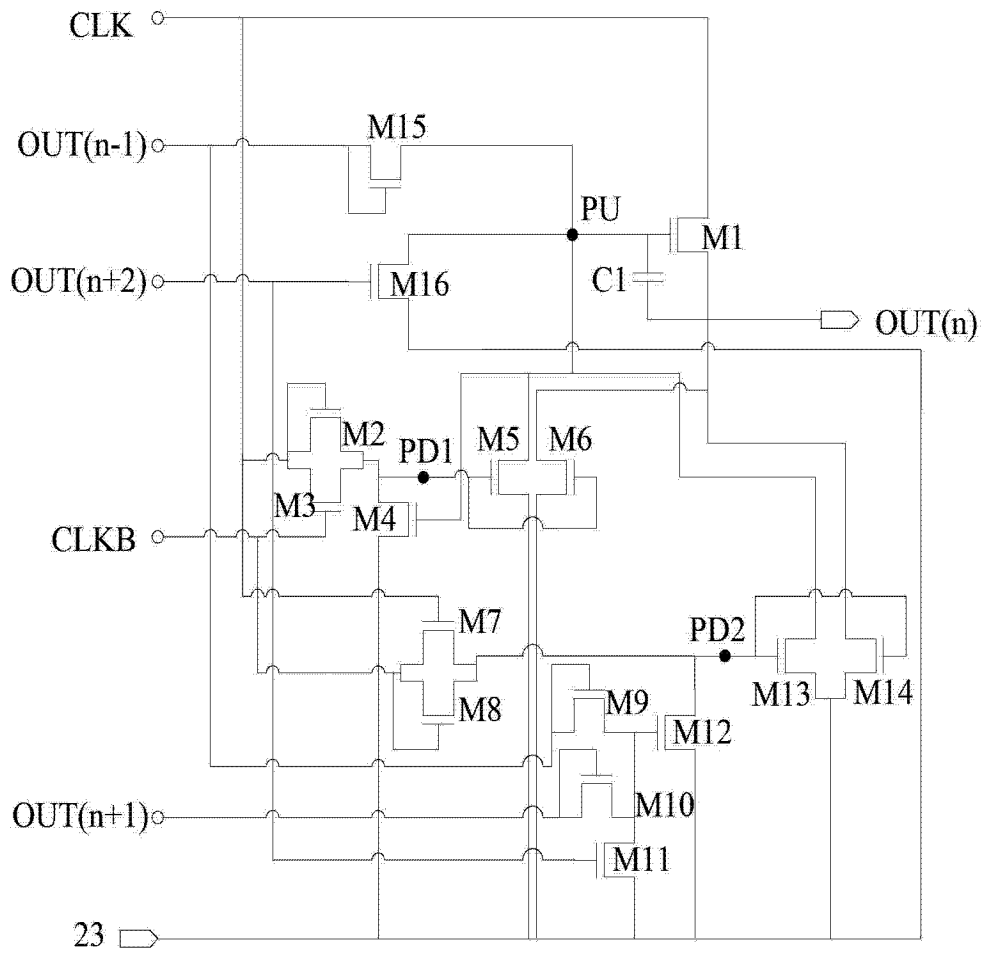


图 9

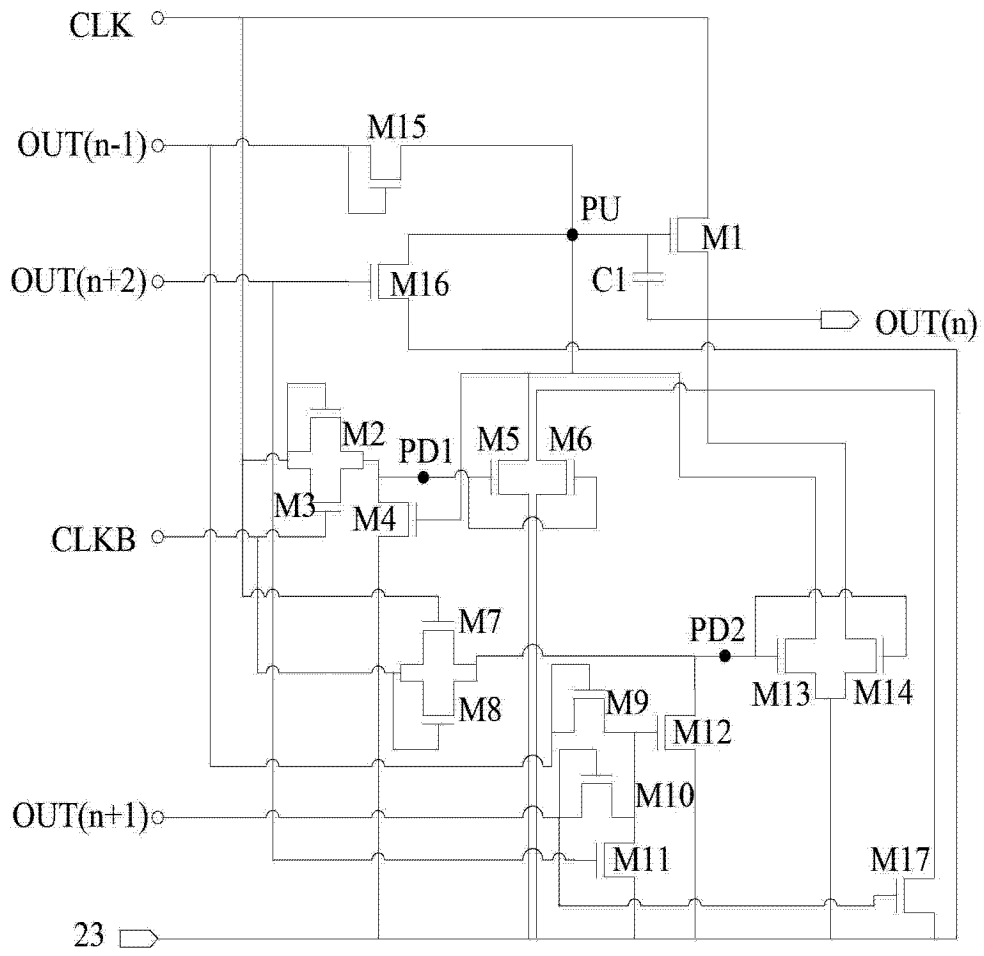


图 10

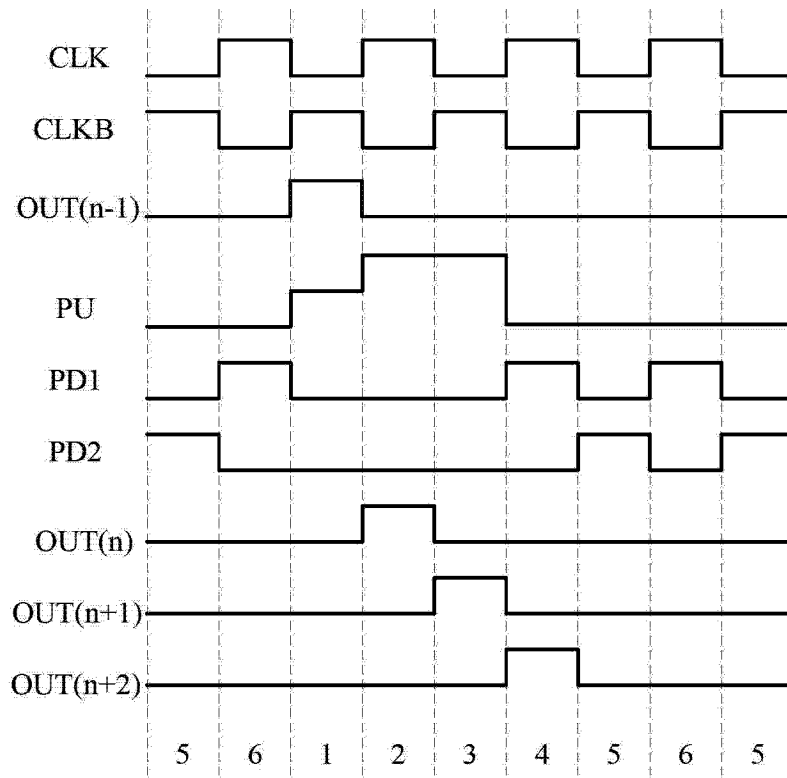


图 11