

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-534895

(P2009-534895A)

(43) 公表日 平成21年9月24日(2009.9.24)

(51) Int.Cl.

HO3M 13/09 (2006.01)

F 1

HO3M 13/09

テーマコード(参考)

5 J O 6 5

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2009-505948 (P2009-505948)
 (86) (22) 出願日 平成19年4月13日 (2007.4.13)
 (85) 翻訳文提出日 平成20年12月5日 (2008.12.5)
 (86) 國際出願番号 PCT/GB2007/001371
 (87) 國際公開番号 WO2007/122384
 (87) 國際公開日 平成19年11月1日 (2007.11.1)
 (31) 優先権主張番号 0607976.8
 (32) 優先日 平成18年4月22日 (2006.4.22)
 (33) 優先権主張国 英国(GB)

(71) 出願人 508314788
 ベルファストクイーンズ大学
 イギリス 北アイルランド BT7 1 N
 N ベルファスト ユニバーシティ ロー
 ド
 (74) 代理人 100083231
 弁理士 紋田 誠
 (74) 代理人 100112287
 弁理士 逸見 毅雄
 (72) 発明者 セゼル・シャクル
 イギリス 北アイルランド BT8 6 G
 H ベルファスト フィンスバリー クレ
 セント 40

最終頁に続く

(54) 【発明の名称】CRCエラー検出装置およびCRCエラー検出コード計算方法

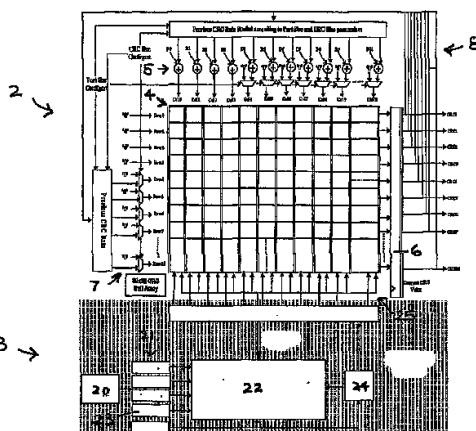
(57) 【要約】

【課題】

【解決手段】

CRCエラー検出コードの計算に並列計算(4)を使用する計算手段(2)と、CRCエラー検出方法論を使ってCRCエラー検出コードの計算に要する計算手段の設定を決定し、計算手段を設定(25)する、設定手段(3)を有し、CRCエラー検出方法論を実装し、方法に応じてデータのCRCエラー検出コードを計算する装置(1)であって、設定手段は、複数のCRCエラー検出方法論のそれぞれを使って、各方法に応じたCRCエラー検出コードの並列計算に要する計算手段の設定を決定し、計算手段は、各CRCエラー検出コードの並列計算の設定を可能に構成されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

並列計算を用いて周期的冗長検査（以下「CRC」）というエラー検出コードを計算する計算手段と、

CRCエラー検出方法論を用いて、CRCエラー検出コードの計算に必要な前記計算手段の設定を決定し、それに応じて前記計算手段を設定する、コンフィギュレータ手段（以下「設定手段」という）とを備え、

前記CRCエラー検出方法論に従ってデータのCRCエラー検出コードを計算するため、前記方法論を実装したCRCエラー検出装置であって、

前記設定手段は、複数のCRCエラー検出方法論をそれぞれ用いて、各方法論に応じたCRCエラー検出コードの並列計算に必要な前記計算手段の設定を決定することができ、

前記計算手段は、各CRCエラー検出コードの並列計算の設定が可能になっていることを特徴とするCRCエラー検出装置。

【請求項 2】

前記計算手段は複数のコンフィギュラブル要素（以下「設定可能要素」という）を有することを特徴とする請求項1記載のCRCエラー検出装置。

【請求項 3】

前記設定可能要素の少なくともいくつかの設定は、前記CRCエラー検出方法論のうちのひとつを用いて前記設定手段により決定されることを特徴とする請求項2記載のCRCエラー検出装置。

【請求項 4】

前記設定可能要素の少なくともいくつかは、各設定可能要素がデータの一部を受信し、CRCエラー検出コードの計算においてデータの一部を使用する、またはCRCエラー検出コードの計算においてデータの一部を使用しないように設定可能であることを特徴とする請求項2または3記載のCRCエラー検出装置。

【請求項 5】

前記設定可能要素の少なくともいくつかは、各設定可能要素がデータの一部を受信するデータ経路回路を有し、前記回路が、CRCエラー検出コードの計算においてデータの一部を使用する、またはCRCエラー検出コードの計算においてデータの一部を使用しないように設定可能であることを特徴とする請求項2乃至4のいずれかに記載のCRCエラー検出装置。

【請求項 6】

前記データ経路回路の少なくともいくつかは、XORゲート及び設定可能装置を有することを特徴とする請求項5記載のCRCエラー検出装置。

【請求項 7】

前記データ経路回路の少なくともいくつかは、それぞれ、前記XORゲートがデータの一部を受信し該データをXOR機能において使用し、前記データ経路回路が設定可能であり、前記XORゲートのXOR機能より信号結果を出力するよう前記設定可能装置を設定して、CRCエラー検出コードの計算をするにおいてデータの該一部が使用されることを特徴とする請求項6記載のCRCエラー検出装置。

【請求項 8】

前記データ経路回路の少なくともいくつかは、それぞれ、前記XORゲートがデータの一部を受信し該データをXOR機能において使用し、前記データ経路回路が設定可能であり、前記XORゲートのXOR機能より信号結果を出力しないよう前記設定可能装置を設定して、CRCエラー検出コードの計算においてデータの該一部が使用されないことを特徴とする請求項6記載のCRCエラー検出装置。

【請求項 9】

前記設定可能装置は前記装置により受信された信号を出力することを特徴とする、請求項8記載のCRCエラー検出装置。

【請求項 10】

10

20

30

40

50

前記設定可能要素の少なくともいくつかは、それぞれ制御経路回路を有することを特徴とする請求項 2 乃至 9 のいずれかに記載の C R C エラー検出装置。

【請求項 1 1】

前記制御経路回路の少なくともいくつかは、設定可能装置を有することを特徴とする請求項 1 0 記載の C R C エラー検出装置。

【請求項 1 2】

前記制御経路回路の少なくともいくつかは、装置構成レジスタを有することを特徴とする請求項 1 0 または 1 1 記載の C R C エラー検出装置。

【請求項 1 3】

前記設定可能要素の少なくともいくつかのそれは、要素の前記制御経路回路がその要素のデータ経路回路の設定を制御することを特徴とする請求項 5 乃至 1 2 のいずれかに記載の C R C エラー検出装置。 10

【請求項 1 4】

前記設定可能要素の少なくともいくつかのそれは、要素の前記制御経路回路がその要素のデータ経路回路の設定可能装置の設定を制御することを特徴とする請求項 1 3 記載の C R C エラー検出装置。

【請求項 1 5】

前記設定可能要素の少なくともいくつかのそれは、要素の前記制御経路回路の設定可能装置が、前記要素の制御経路回路の装置構成レジスタの操作を制御して、前記要素のデータ経路回路の設定可能装置の設定を制御することを特徴とする請求項 1 4 記載の C R C エラー検出装置。 20

【請求項 1 6】

前記設定可能要素は相互接続された要素配列を有することを特徴とする請求項 2 乃至 1 5 のいずれかに記載の C R C エラー検出装置。

【請求項 1 7】

前記要素配列の各行は、一行の要素が相互接続され、C R C エラー検出コードの一部を集合的に計算することを特徴とする請求項 2 乃至 1 5 のいずれかに記載の C R C エラー検出装置。

【請求項 1 8】

前記要素配列の各行は、C R C エラー検出コードの計算においてデータを使うと設定された一行の各要素が受信したデータが結合され、C R C エラー検出コードの一部を計算することを特徴とする請求項 1 6 または 1 7 に記載の C R C エラー検出装置。 30

【請求項 1 9】

前記要素配列の各行は、一行の前記要素が相互接続され、設定手段から設定データを受信することを特徴とする請求項 1 6 乃至 1 8 のいずれかに記載の C R C エラー検出装置。

【請求項 2 0】

前記設定可能要素配列の各列は、C R C エラー検出コードの並列計算のためデータの一部を受信することを特徴とする請求項 1 6 乃至 1 9 のいずれかに記載の C R C エラー検出装置。

【請求項 2 1】

前記要素配列の各列は、列の前記要素が相互接続され、前記設定手段から設定制御信号を受信することを特徴とする請求項 1 6 乃至 2 0 のいずれかに記載の C R C エラー検出装置。 40

【請求項 2 2】

前記計算手段は、ひとつ以上のデータのブロックをふたつ以上の入力装置を用いて受信することを特徴とする請求項 1 乃至 2 1 のいずれかに記載の C R C エラー検出装置。

【請求項 2 3】

前記計算手段により受信されたブロックのサイズは、前記計算手段の入力装置の数以下であることを特徴とする請求項 2 2 記載の C R C エラー検出装置。

【請求項 2 4】

10

20

30

40

50

データを受信しない前記または各入力装置は低信号を出力するようにプログラム可能であることを特徴とする請求項 2 3 記載の C R C エラー検出装置。

【請求項 2 5】

前記計算手段は、ひとつ以上のフィードバック装置を有し、そのうちすくなくともいくつかは、計算された C R C エラー検出コードの一部を計算手段にフィードバックすることを特徴とする請求項 1 乃至 2 4 のいずれかに記載の C R C エラー検出装置。

【請求項 2 6】

前記計算手段は、第 1 データブロックを用いて第 1 C R C エラー検出コードを計算し、前記第 1 C R C エラー検出コードを前記計算手段にフィードバックし、それを第 2 データブロックと結合し、該結合した第 2 データブロックと前記第 1 C R C エラー検出コードを用いて第 2 C R C エラー検出コードを計算し、このプロセスを全データが使われ最終 C R C エラー検出コードを計算するまで継続し、前記最終 C R C エラー検出コードを出力することを特徴とする請求項 2 5 記載の C R C エラー検出装置。10

【請求項 2 7】

前記計算手段は、入力装置の適切な装置をプログラムし前記計算手段のフィードバック装置の適切な装置をプログラムすることにより、可変数のブロックを有するデータを受信するようプログラム可能であることを特徴とする請求項 2 5 または 2 6 に記載の C R C エラー検出装置。

【請求項 2 8】

それぞれが所定のサイズの C R C 生成多項式を用いた複数の C R C エラー検出方法論を実装するよう設定可能であることを特徴とする請求項 1 乃至 2 7 のいずれかに記載の C R C エラー検出装置。20

【請求項 2 9】

前記設定手段は C R C エラー検出方法論の C R C 生成多項式を用いて、C R C エラー検出コードを計算するに要する前記計算手段の設定を決定する、C R C D マトリックスを計算することを特徴とする請求項 2 8 記載の C R C エラー検出装置。

【請求項 3 0】

前記 D マトリックスは 0 s 及び 1 s の一列を有し、1 s の位置が、前記 C R C エラー検出コードの計算においてデータを使用する前記計算手段の設定可能要素の所要配置を示し、0 s の位置が、前記 C R C エラー検出コードの計算においてデータを使用しない前記計算手段の設定可能要素の所要配置を示すことを特徴とする請求項 2 9 記載の C R C エラー検出装置。30

【請求項 3 1】

ハードウェア・デバイスを有することを特徴とする請求項 1 乃至 3 0 のいずれかに記載の C R C エラー検出装置。

【請求項 3 2】

プロトコル・プロセッサの一部を有することを特徴とする請求項 1 乃至 3 1 のいずれかに記載の C R C エラー検出装置。

【請求項 3 3】

C R C エラー検出方法論に応じたデータ用の C R C エラー検出コード計算方法において、請求項 1 乃至 3 2 のいずれかに記載の装置を使い、前記 C R C エラー検出方法論を実装し、前記 C R C エラー検出コードを計算することを有することを特徴とする C R C エラー検出コード計算方法。40

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、例えば通信ネットワーク等におけるデータのためのエラー検出コードを計算するための C R C エラー検出装置および C R C エラー検出コード計算方法に関する。

【背景技術】

【0 0 0 2】

通信ネットワークにおいてデータ保全は最も重要とされ、データが的確に送受信されることが必要不可欠である。しかし、例えばキャリア媒体でのノイズが送信データに影響し、エラーを加えることがある。そのため、送信データのエラー検出のために多くの方法論が展開してきた。

【0003】

そのような方法論の一つとして、CRCが知られている。これはエラー検出方法論として周知であり広く使用されており、特にデータリンク層プロトコルを使って送信されたデータ・ペイロードにおけるビット・エラーの検出に用いられる。そのCRCエラー検出方法論は、データのエラー検出コードの計算に用いられ、そのエラー検出コードは概してデータ及び共に送信されたコードとデータに付加にされる。データとエラー検出コードの受信時、コードは、送信中にデータにエラーが発生したかどうかを決定するために使われる。

10

【発明の開示】

【発明が解決しようとする課題】

【0004】

大なり小なり有効性のある数多くのエラー検出コード計算装置が提案してきたが、通信ネットワークの多くの要素やそうしたネットワークの用法が増え続ける中、エラー検出コード計算の改善が望ましくなっている。

【課題を解決するための手段】

【0005】

本発明の第1の態様によれば、並列計算を用いてCRCエラー検出コードを計算する計算手段と、CRCエラー検出方法論を用いて、CRCエラー検出コードを計算するのに要求される前記計算手段の設定を決定し、それに応じて前記計算手段を設定する設定手段と、を有し、CRCエラー検出方法論を実装してCRCエラー検出コードを計算するCRCエラー検出装置において、設定手段は、複数のCRCエラー検出方法論をそれぞれ用いて、各方法論に応じたCRCエラー検出コードの並列計算に要される計算手段の設定を決定し、計算手段は、各CRCエラー検出コードの並列計算を行うために設定可能に構成されている。

20

【0006】

本装置は多様なCRCエラー検出方法論を実装するよう構成されているため、様々なCRCエラー検出方法論が要求される多様なアプリケーションに使うことができる。例えば、通信ネットワークは多くの送信プロトコルを使い、これらは概してエラー検出と関連している。プロトコルには大きく差異があり、新しいプロトコルが絶えず作られ、またレガシープロトコルを維持する必要から、通信ネットワークのプロトコル・カバレッジの最大化が要求されている。プロトコル・カバレッジの最大化の方法のひとつは、プロトコルのエラー検出においてコンフィギュラビリティを取り入れることである。

30

【0007】

本装置はハードウェア装置を有することができる。計算手段及び設定手段はそのハードウェア装置に実装される。

【0008】

計算手段は複数の設定可能要素を有することができる。各要素の設定は、CRCエラー検出方法論のひとつを用いて設定手段により決定できる。各要素はデータの一部を受信し、CRCエラー検出コードの計算においてデータの一部を使用する、またはCRCエラー検出コードの計算においてデータの一部を使用しないように設定可能にできる。

40

【0009】

設定可能要素の少なくともいくつかは、それぞれ、各設定可能要素がデータの一部を受信できるデータ経路回路を有し、CRCエラー検出コードの計算においてデータの一部を使用する、またはCRCエラー検出コードの計算においてデータの一部を使用しないように設定可能にできる。データ経路回路の少なくともいくつかは、XORゲートを有することができる。データ経路回路の少なくともいくつかは、設定可能マルチプレクサのような

50

、設定可能装置を有することができる。データ経路回路の少なくともいくつかは、それぞれ、XORゲートがデータの一部を受信し該データをXOR機能において使用し、データ経路回路が設定可能であり、XORゲートのXOR機能より信号結果を出力するよう設定可能装置を設定して、CRCエラー検出コードの計算においてデータの該一部が使用されるようにできる。データ経路回路の少なくともいくつかは、それぞれ、XORゲートがデータの一部を受信し該データをXOR機能において使用し、データ経路回路が設定可能であり、XORゲートのXOR機能より信号結果を出力しないよう設定可能装置を設定して、CRCエラー検出コードの計算をするにおいてデータの該一部が使用されないようにできる。設定可能装置がXORゲートのXOR機能より信号結果を出力しない場合、本装置は受信した信号を出力することができる。この場合、本装置を有する設定可能要素は入出力コネクションとして機能することができる。

10

【0010】

設定可能要素の少なくともいくつかは、それぞれ制御経路回路を有することができる。制御経路回路の少なくともいくつかは、設定可能マルチブレクサのような、設定可能装置を有することができる。制御経路回路の少なくともいくつかは、設定レジスタを有することができる。設定可能要素の少なくともいくつかのそれぞれは、要素の制御経路回路がその要素のデータ経路回路の設定を制御することができる。設定可能要素の少なくともいくつかのそれぞれは、要素の制御経路回路がその要素のデータ経路回路の設定可能装置の設定を制御することができる。設定可能要素の少なくともいくつかのそれぞれは、要素の制御経路回路の設定可能装置が、その要素の制御経路回路の設定レジスタの操作を制御して、その要素のデータ経路回路の設定可能装置の設定を制御することができる。設定可能要素の少なくともいくつかのそれぞれは、要素の制御経路回路の設定可能装置を開始または停止させ、設定レジスタの操作を制御することができる。

20

【0011】

設定可能要素は相互接続された要素配列を有することができる。要素配列の各行において、一行の要素は、CRCエラー検出コードの一部を集合的に計算するように相互接続される。要素配列の各行において、CRCエラー検出コードの計算でデータを使うように設定された一行の各要素が受信したデータは、CRCエラー検出コードの一部を計算するように結合される。要素配列の各行において、一行の要素は、設定手段から設定データを受信するように相互接続される。設定可能要素配列の各列は、CRCエラー検出コードの並列計算のためにデータの一部を受信する。要素配列の各列において、一列の要素は、それぞれデータの一部を受信するように相互接続される。要素配列の各列において、一列の要素は、設定手段から設定制御信号を受信するように相互接続される。

30

【0012】

計算手段は、1個以上のデータブロックでデータを受信することができる。計算手段は、2個以上の入力装置を有してデータブロックを受信することができる。計算手段により受信されたブロックのサイズは、前記計算手段の入力装置の数と等しくなることができる。例えば、計算手段は、2からNの範囲で入力装置数を提供することができる。計算手段により受信されたブロックのサイズは、前記計算手段の入力装置の数より下になることができる。データを受信しないその入力装置もしくは各入力装置は、低信号を出力するようプログラム可能にできる。プログラム可能な入力装置はプログラム可能なマルチブレクサを有することができる。プログラム可能な入力装置は、本発明のCRCエラー検出装置の実行中にプログラム可能にできる。計算手段は、ひとつ以上の制御装置を有し、プログラム可能な入力装置のプログラミングを制御することができる。プログラム可能な入力装置を提供することは、計算手段によって様々なサイズのデータブロックの受信が可能であることを意味する。よって計算手段は様々な入力ポートサイズを持つ。特に、本装置は、2からNの範囲、例えば4, 8, 16, 24, 32, 64, 128及びそれ以上のビットのうちのいずれか、のポートサイズを提供することができ、したがってその範囲のデータブロックを受信することができる。

40

【0013】

50

計算手段は、出力レジスタのような、ひとつ以上の出力記憶装置を有することができる。その出力記憶装置または各出力記憶装置は計算されたエラー検出コードを受信し保存することができる。

【0014】

計算手段は、ひとつ以上のフィードバック装置を有する。少なくともいくつかのフィードバック装置は、計算されたCRCエラー検出コードの一部を計算手段にフィードバックすることができる。例えば、少なくともいくつかのフィードバック装置は、計算されたCRCエラー検出コードの一部を、計算手段の入力装置の少なくともいくつかに、フィードバックすることができる。少なくともいくつかのフィードバック装置は、計算されたCRCエラー検出コードの一部を、計算手段の設定可能要素の少なくともいくつかに、フィードバックすることができる。計算手段は、CRCエラー検出コードの一部が計算手段へフィードバックされるのを制御するのに用いられる、ひとつ以上の制御装置を有することができる。

10

【0015】

好適な実施例において、計算手段は、第1データブロックを用いて第1CRCエラー検出コードを計算し、第1CRCエラー検出コードを計算手段にフィードバックし、それを第2データブロックと結合し、該結合した第2データブロックと第1CRCエラー検出コードを用いて第2CRCエラー検出コードを計算し、本プロセスを全データが使われ最終CRCエラー検出コードを計算するまで継続し、最終CRCエラー検出コードを出力する。このようにして、全てのデータはCRCエラー検出コードを計算するために使用される。

20

【0016】

計算手段は、可変数のブロックを有するデータを受信するようプログラム可能にすることができる。これは、入力装置の適切なデバイスをプログラムし計算手段のフィードバック装置の適切なデバイスをプログラムすることにより、実行できる。例えば、入力装置により受信されたデータの最終ブロックが、その前に受信したブロックよりも小さくてもよい。計算手段は、本発明のCRCエラー検出装置の実行中にプログラム可能である。本装置は、ビットや入力データのブロック・サイズにおけるこのばらつきを処理するようにプログラムできる。

30

【0017】

設定手段は、計算手段の設定を決定するのに使用するCRCエラー検出方法論の、ひとつ以上のパラメータを受信するのに使われる、インターフェースを有することができる。設定手段は、パラメータを保存するためのレジスタのような記憶装置をひとつ以上有することができる。設定手段は、CRCエラー検出方法論のパラメータを受信し、計算手段の設定を決定する、設定データ計算機を有することができる。設定手段は、設定信号及び設定制御信号をその設定のために計算手段に送る、設定回路を有することができる。

40

【0018】

設定手段は、CRCエラー検出コードを計算するために計算手段の全ての設定可能要素に要する設定を決定し、計算手段の全ての要素と一緒に設定することができる。あるいは、設定手段は、CRCエラー検出コードを計算するために計算手段のいくつかの設定可能要素に要する設定を決定し、計算手段のこれらの要素と一緒に設定することができる。要素が配列(array)を有する場合、設定手段は、CRCエラー検出コードを計算するために列における要素に要する設定を決定し、列における全ての要素と一緒に設定することができる。設定手段は、列ごとに、計算手段の要素を設定することができる。

【0019】

本発明のCRCエラー検出装置は、それぞれが所定のサイズのCRC生成多項式、例えば4からMの範囲、を用いた複数のCRCエラー検出方法論を実装するよう設定可能にできる。

【0020】

設定手段は、CRC-Dマトリックスを計算するために、CRCエラー検出方法論のC

50

R C 生成多項式を用いることができる。D マトリックスは、CRC エラー検出コードを計算するに要する計算手段の設定を決定することができる。設定手段は、D マトリックスの行を計算し、これを計算手段の設定可能要素配列の対応する列を設定するのに使用する。D マトリックスの各行（第一行は例外）の計算は前の行の計算結果に基づくので、これにより、設定手段におけるメモリを節約できる。D マトリックスは 0 s 及び 1 s の一列を有し、1 s の位置が、CRC エラー検出コードの計算においてデータを使用する計算手段の設定可能要素の所要位置を示し、0 s の位置が、CRC エラー検出コードの計算においてデータを使用しない計算手段の設定可能要素の所要位置を示すことができる。D マトリックスのサイズ、したがって設定可能要素配列のサイズは、計算手段により供給された入力装置の数と、本装置に使われる CRC エラー検出方法論の CRC 生成多項式のサイズ、すなわち指数により決定されることができる。入力装置の数は、要素配列の列の数を決定し、CRC 生成多項式のサイズは、要素配列の行の数を決定することができる。

10

【0021】

本発明の CRC エラー検出装置は、さらにフィードバック装置を用意することにより、本装置のポートサイズよりも大きい CRC 生成多項式を用いて CRC エラー検出コードを計算することもできる。さらなるフィードバック装置は、計算された CRC エラー検出コードの一部を、計算手段のフィードバック装置の適切な装置へと送り込み、また、フィードバック装置は、CRC エラー検出コードの計算された部分を設定可能要素に送り込むことができる。

20

【0022】

本発明の CRC エラー検出装置は、送信されるデータの CRC エラー検出コードを計算するために使用することができる。本装置は、データに計算された CRC エラー検出コードを付加し、データと CRC エラー検出コードと一緒に送信することができる。

【0023】

本発明の CRC エラー検出装置は、受信されたデータの CRC エラー検出コードを計算するために使用することができる。本装置は、受信されたデータの CRC エラー検出コードを計算し、計算された CRC エラー検出コードを、データと共に受信された CRC エラー検出コードと比較することができる。CRC エラー検出コードが同一でない場合、それはデータの送信中にエラーが発生したことを示し、本装置は、これを示すひとつ以上の信号を出力することができる。

30

【0024】

本発明の CRC エラー検出装置は、プロトコル・プロセッサの一部を有することができる。

【0025】

本発明の第 2 の態様によれば、CRC エラー検出方法論に応じたデータ用の CRC エラー検出コード計算方法において、本発明の第 1 の態様の装置を使い、CRC エラー検出方法論を実行し、CRC エラー検出コードを計算することを有する。

【発明を実施するための最良の形態】

【0026】

以下、本発明の実施例について、図を参照して、添付の図面の符号のみ用いて説明する。

40

【0027】

図 1において、CRC エラー検出装置 1 は、エラー検出コード計算手段 2 及び設定（configurator）手段 3 を有する。計算手段 2 は、設定可能（configurable）要素 4 の配列（array）を有する。その要素は 32 個の列と 32 個の行からなるマトリックスを形成する。しかしながら、他の数の列と行も使うことができる。計算手段はさらにそれぞれが X OR ゲートを有する 32 個の入力ポート 5 の行を有する。5 個から 32 個の入力ポートはさらにマルチプレクサを有し、そのためプログラム可能になっている。入力ポート 5 はエラー検出コードが計算されるためのデータを受信し、そのデータを設定可能要素 4 の配列に供給する。計算手段はさらに出力レジスタ 6 を有する。設定可能要素 4 の配列の各行はエラ

50

ー検出コードの一部を計算し、これを出力レジスタ 6 に出力する。計算手段はさらにプログラム可能なフィードバックマルチプレクサ 7 の列と、フィードバック回路 8 を有する。フィードバック回路 8 は出力レジスタ 6 から入力ポート 5 とフィードバックマルチプレクサ 7 に接続し、計算されたエラー検出コードの一部を要求された通り入力ポート 5 とフィードバックマルチプレクサ 7 に供給する。

【0028】

図 2 及び図 3 を参照して、設定可能要素 4 の配列の構造についてさらに詳細に説明する。各設定可能要素 4 はデータ経路回路 10 及び制御経路回路 11 を有する（図 2）。データ経路回路 10 は、XOR ゲート 12 及びマルチプレクサ 13 を有する。XOR ゲート 12 は、図に示されるように、2つの入力、つまり入力 0（エラー検出コードが計算されるためのデータの一部を受信する）と出力 1 と、1つの出力を有する。マルチプレクサ 13 もまた図に示されるように2つの入力と1つの出力を有する。マルチプレクサ 13 はさらに、制御経路回路 11 に接続されている制御入力 14 を有する。XOR ゲート 12 の出力は、マルチプレクサ 13 の第 1 入力に接続され、XOR ゲート 12 の入力 1 はマルチプレクサ 13 の第 2 入力に接続されている。

10

【0029】

制御経路回路 11 は、マルチプレクサ 15 と設定（configuration）レジスタ 16 を有する。マルチプレクサ 15 は図示の通り2つの入力と1つの出力を有する。マルチプレクサ 15 はまた制御入力 17 を有する。設定レジスタは、図示の通り1つの入力と1つの出力を有する。マルチプレクサ 15 の出力はレジスタ 16 の入力に接続され、レジスタ 16 の出力はデータ経路回路 10 のマルチプレクサ 13 の制御入力 14 に接続される。レジスタ 16 の出力はまたマルチプレクサ 15 の入力のうちの1つに接続される。

20

【0030】

設定可能要素 4 のそれぞれは、制御経路回路 11 のマルチプレクサ 15 がConfig Data と付けられたその入力で設定信号を受信し、マルチプレクサ 15 の（Config Enable と付けられた）制御入力 17 が高設定制御信号を受信するとき、設定信号は設定レジスタ 16 に供給される。これにより要素 4 のデータ経路回路 10 のマルチプレクサ 13 の制御入力 14 に設定信号（低信号または高信号）が出力される。高設定信号は、マルチプレクサ 13 の出力が入力 0 で受信したデータの部分と XOR ゲート 12 の入力 1 で受信した信号の間の XOR 機能の結果となるように、データ経路回路 10 を設定する。この場合、データの部分はエラー検出コードの計算に使用される。低設定信号は、マルチプレクサ 13 の出力が単純に XOR ゲート 12 の入力 1 で受信した信号となるように、データ経路回路 10 を設定する。この場合、XOR ゲート 12 の入力 1 で受信したデータの部分はエラー検出コードの計算に使用されない。

30

【0031】

設定可能要素 4 は、相互接続された配列に配置される。図 3 は、要素 4 のうちの 16 個が如何に相互接続されているかを示している。各行について、その行における要素 4 のそれぞれが相互接続されていることがわかる。各行は、第 1 要素 4 のデータ経路回路 10 のマルチプレクサ 13 の出力が、第 2 要素 4 のデータ経路回路 10 の XOR ゲート 12 の入力 1 に接続され、第 2 要素 4 のデータ経路回路 10 のマルチプレクサ 13 の出力が、第 3 要素 4 のデータ経路回路 10 の XOR ゲート 12 の入力 1 に接続され、以下同様に続く。この接続配置は、行の最終要素まで繰り返される。各行において、要素 4 の制御経路回路 11 のマルチプレクサ 15 の（Config Data と付けられた）入力のひとつは、設定信号の受信のため、共に接続されている。また、各列においては、列の各要素 4 が相互接続されることも見てわかる。各列において、要素 4 のデータ経路回路 10 の XOR ゲート 12 の入力 0 は、計算されるエラー検出コードのデータの受信のため、共に接続されている。各列において、設定制御信号の受信のため、要素 4 の制御経路回路 11 のマルチプレクサ 15 の制御入力 17 もまたお互いに接続されている。

40

【0032】

図 1 において、装置 1 の設定手段 3 は、複数のレジスタ 21 それぞれの入力に接続され

50

る、マイクロプロセッサ・インターフェース 20 を有する。設定手段 3 はさらに、各レジスタ 21 の出力に接続される設定データ計算機 22 を有する。設定手段 3 はまた、設定データ計算機 22 に接続される出力を持つプロセス制御信号発生器 23 を有する。設定手段 3 は、設定計算機 22 に接続されるカウンタ 24 を有する。設定手段 3 はさらに、設定回路 25 を有する。これは設定データ計算機 22 に接続される入力と、計算手段 2 に接続される複数の出力を有する。

【0033】

特有の CRC エラー検出方法論を参照して装置 1 の作用を説明する。CRC は全ての通信ネットワーク主要層 2 処理プロトコルに使われている主要なエラー検出方法論である。CRC はデータのエラーを検出する多項式ベースの方法である。エラー検出コードがデータのために計算される。そしてこれはデータと、送信される元のデータとエラー検出コードを含むメッセージと、に付加される。受信機では、メッセージはエラーを検査するために分析される。10

【0034】

この CRC エラー検出方法論は、元のデータと選ばれた CRC 生成多項式のモジュロ 2 割り算に基づく。前記 CRC 方法は、D マトリックスとして知られるマトリックスを発生させるために前記選ばれた CRC 生成多項式を使う必要がある。D マトリックスは、エラー検出コード計算手段の設定可能要素配列に必要な設定を決定する。D マトリックスは 0 s 及び 1 s の一配列を有し、1 s の位置は CRC エラー検出コードの計算においてデータを使用する配列の設定可能要素の所要位置を示し、0 s の位置は、前記 CRC エラー検出コードの計算においてデータを使用しない配列の設定可能要素の所要位置を示す。20 D マトリックスのサイズ、したがって設定可能要素の配列のサイズは、計算手段により供給された入力装置の数と、選ばれた CRC 生成多項式のサイズ、すなわち指数により決定される。入力装置の数は、配列における列の数を決定し、CRC 生成多項式の指数は、配列における行の数を決定する。

【0035】

本実施例の装置は再設定可能な CRC エラー検出装置を有し、その設定可能要素配列は 32 個の列と 32 個の行を持つ。本装置は、従って、4, 8, 16 及び 32 ビットのサイズで、最大 32 ビットのブロックのデータを受信することができ、最大指数 32 までのあらゆる CRC 生成多項式のエラー検出コード計算をサポートできる。30

【0036】

指数が 32 である CRC 生成多項式を使った 32 ビットを持つブロックに分けられたデータの、エラー検出コードの計算についてまず説明する。CRC エラー検出方法論のパラメータが、設定手段 3 のマイクロプロセッサ・インターフェース 20 に入力される。これらはサイズ、即ち、選ばれた生成多項式の指数 (32)、入力装置の数 (32)、そして CRC 生成多項式を含む。これらはレジスタ 21 に保存され、設定データ計算機 22 に出力される。プロセス制御信号発生器から信号が出力され、設定データを計算し、計算手段 2 の設定可能要素 4 の配列を設定するプロセスが開始される。設定手段 3 はレジスタ 21 に保存されたパラメータを使ってまず CRC エラー検出方法論 D マトリックスを計算する。40 そして D マトリックスが行ごとに計算される。マトリックスの各行 (第 1 行は除いて) の計算は、その前の行の計算結果に基づくので、これにより必要なメモリが削減される。そして設定手段 3 は D マトリックスの各行の計算を使って、計算手段 2 の設定可能要素 4 の配列の対応する各列の設定データを決定する。例えば、設定手段 3 は、D マトリックスの第 1 行の計算を使って、計算手段 2 の設定可能要素 4 の配列の第 1 列の設定データを決定する。D マトリックスの各行は、一連の 0 s と 1 s を有する。各行は、CRC エラー検出方法論により 0 s と 1 s の位置が指定される。0 s の位置は、エラー検出コードの計算においてデータの一部を使用しない、計算手段 2 の設定可能要素 4 の配列の対応列における設定可能要素 4 の位置を示す。1 s の位置は、エラー検出コードの計算においてデータの一部を使用する、計算手段 2 の設定可能要素 4 の配列の対応列における設定可能要素 4 の位置を示す。50

【0037】

前記配列の列の設定データが決定されたら、このデータは設定手段3の設定回路25に送られる。この回路は、例えば図3のラインC0からC3のような設定ラインを介して、設定データを使って設定可能要素4の配列の列を設定する。列の設定データは、配列における各列に提供されるが、図3のラインCE0からCE3のような設定制御信号ラインに提供された設定制御信号は、配列の望ましい列だけが設定されることを保証するために一度に一つずつ高にセットされる。列の各設定可能要素4は、制御経路回路11のマルチプレクサ15の制御入力17(Config Enable)が高設定制御信号を受信し、マルチプレクサ15がConfig Dataと付けられたその入力で設定信号を受信する。設定信号は、設定レジスタ16に送られ、設定信号(低または高信号)が要素4のデータ経路回路10のマルチプレクサ13の制御入力に出力される。設定信号の高低は、Dマトリックスの対応行の対応エントリが1か0かに依る。高設定信号は、要素4のマルチプレクサ13が入力0で受信したデータ信号と要素4のXORゲート12の入力1で受信した信号の間のXOR機能の結果を出力することを、決定する。低設定信号は、要素4のマルチプレクサ13が単純に要素4のXORゲート12の入力1で受信した信号を出力することを、決定する。

10

【0038】

計算手段2の配列における設定可能要素4のそれぞれは上述のように設定される。配列の各接続点にXORゲートを持ったり持たなかったりする代わりに、CRCエラー検出方法論によって決定されるように、XORゲートを有しXORゲートのXOR機能の結果を出力するか否かを設定できる、再設定可能な要素が提供される。このようにして、いかなるCRCエラー検出方法論も、配列の適切な要素のXORゲートを使うか否かによって、提供することができる。

20

【0039】

選ばれたCRCエラー検出方法論により、計算手段2の設定可能要素4の配列が一旦設定されると、計算手段2は、計算手段により受信されたデータのエラー検出コード計算に使われるようになる。データは入力ポート5を介して受信される。1ビットが各入力ポート5により受信されることにより、データは32ビットのブロックで受信される。各ブロックにおいて、着信データの各ビットは要素配列の全行でひとつの設定可能要素4に送られる。例えば、第1入力ポート5により受信されたデータのビットは、配列の各行の第1要素4に送られ、第2入力ポート5により受信されたデータのビットは、配列の各行の第2要素4に送られ、以下このように続く。データの各ブロックにおいて、データの各ビットは要素4のデータ経路回路のXORゲート12の入力0に送られる。

30

【0040】

各要素4は、エラー検出コードを計算する際に、入力データビットを使うか否かに設定されている。例えば、図3に示される要素4の配列の第1行を見てみると、(左から右方向で)最後の2つの要素4だけがそのXORゲートのXOR機能の結果を出力するよう設定されているとする。データの第1ビットは行の第1要素4のデータ経路回路10のXORゲート12の入力0に供給され、そして同様に、データの第2ビットは行の第2要素4のデータ経路回路10のXORゲート12の入力0に供給され、以下行の全要素4について同様のことが繰り返される。低信号(0)は行の第1要素4のデータ経路回路10のXORゲート12の入力0に供給される。第1要素4の出力は第2要素4のデータ経路回路10のXORゲート12の入力1に供給され、第2要素4の出力は第3要素4のデータ経路回路10のXORゲート12の入力1に供給され、第3要素4の出力は第4要素4のデータ経路回路10のXORゲート12の入力1に供給される。第4要素4の出力は、データ用に計算されたエラー検出コードの第1部分の第1ビットを有する。その行の第1要素4はXORゲート12の入力1で受信した信号を出力するよう設定され、つまり、この要素のXORゲート12の入力1で受信された低信号はその行の第2要素4に送られるよう、入出力コネクションとして作動する。よって、第1要素4のXORゲート12の入力0で受信された第1データビットはエラー検出コードの計算には使われない。その行の第2要素4もXORゲート12の入力1で受信した信号を出力するよう設定される、つまり、

40

50

低信号はその行の第3要素4に送られるよう、入出力コネクションとして作動する。よって、第2要素4のXORゲート12の入力0で受信された第2データビットはエラー検出コードの計算には使われない。その行の第3要素4はそのXORゲート12のXOR機能の結果を出力するよう設定されているので、この要素は、XORゲート12の入力0により受信された第3データビットとXORゲート12の入力1により受信された低信号が、共にXORされ、XOR機能の結果、つまり第3データビットが、その行の第4要素4に送られる。その行の第4要素4もそのXORゲートのXOR機能の結果を出力するよう設定されているので、この要素は、XORゲート12の入力0により受信された第4データビットとXORゲート12の入力1により受信された第3データビットが、共にXORされ、エラー検出コードの第1部分の第1ビットとしてその行の第4要素4から出力する。データの第1ブロックの第3データビットと第4データビットは、したがって、第1エラー検出コードの計算において使用される。

10

【0041】

各行の要素4の設定に応じて、図1の計算手段2の設定可能要素4の配列の各行について同じような処理が行われる。計算手段2への第1データブロック入力は、各行の出力が第1エラー検出コードの1ビットを形成する。これはレジスタ6に保存される。第1エラー検出コードは入力ポート5にフィードバックされる。データの第2ブロックは入力ポート5に供給される。第1エラー検出コードとデータの第2ブロックは入力ポート5でXORされる。その結果が、設定可能要素4の配列に送られ、前と同じく第2エラー検出コードの計算に使用される。第2エラー検出コードは出力レジスタ6に保存され、入力ポート5にフィードバックされる。データの第3ブロックは入力ポート5に供給される。第2エラー検出コードとデータの第3ブロックは入力ポート5でXORされる。その結果が設定可能要素4の配列に供給され、第3エラー検出コードの計算に使用される。第3エラー検出コードは出力レジスタ6に保存され、入力ポート5にフィードバックされる。この処理は、全てのデータが入力ポート5に供給され、エラー検出コードの計算に使用されるまで、続けられる。最終エラー検出コードは出力レジスタ6に保存される。こうして、全てのデータが最終エラー検出コードの計算に使用される。

20

【0042】

上述は、装置1のポートサイズが32ビットで、データが32ビットのブロックに分けられる、実施例について説明している。装置1は、他のサイズのブロックでのデータ受信用に、他のポートサイズも提供できる。これは、第5から第32入力ポート5のうち適切なもののマルチプレクサをプログラムすることにより実行できる。入力ポート5のマルチプレクサのプログラミングは、装置1の実行中に行うことができる。特に、装置1は4, 8, 12または24ビットのポートサイズの提供、したがって4, 8, 12または24ビットのデータブロックの受信が可能である。例えば、8ビットのみのブロックでのデータの受信を望む、つまりポートサイズを8ビットに変更するのであれば、設定可能要素4の配列に、データビットを送る代わりに、低信号(0)を送るよう、装置1の第9から第32入力ポート5のマルチプレクサはプログラムされる。装置1により「ポートサイズ設定」が発生され、ポートサイズ、つまり入力ポート5のマルチプレクサのプログラミング、が制御される。

30

【0043】

加えて、装置1は実行中に、可変数のバイトを有するデータを受信するようにプログラムできる。これは、装置1の、入力ポート5の適切なマルチプレクサをプログラムし、フィードバックマルチプレクサ7の適切なマルチプレクサをプログラムすることにより、実行できる。装置1により発生される「ポートサイズ設定」信号は、また、可変入力データバイトサイズを処理するように、入力ポート5のマルチプレクサと、フィードバックマルチプレクサ7をプログラムする。例えば、本装置は、指数が32であるCRC生成多項式を持つCRCエラー検出方法論を使ってエラー検出コードを計算するよう設定することができ、本装置のポートサイズは30ビットにプログラムできる。データの最終ブロックがプロセス用に16ビットのみ含む場合、「ポートサイズ設定」信号は、装置1がこの入力

40

50

データのビットもしくはバイトサイズの数の変動を処理するようにプログラムする。特に、第17から第32入力ポート5のマルチブレクサは、装置1の要素4の配列に低信号を送り込むようプログラムされ、列の左側には、下の16個のフィードバックマルチブレクサ7が既算のエラー検出コードを受信するようプログラムされ、配列の第17から第32行の既算のエラー検出コードは下の16個のフィードバックマルチブレクサ7に送られる。多くの通信ネットワークが可変サイズのバイトに向けたプロトコルを使用しており、装置1の可変バイト数を有するデータの受信能力は、周知のエラー検出装置に対して、本装置の重要な効果である。

【0044】

上述に詳細を説明した実施例は、エラー検出コードを、サイズつまり指數が32のCRC生成多項式を使って、計算する。本装置は、他のCRC生成多項式サイズのエラー検出コードも計算できる。そのサイズは本装置のポートサイズよりも大きくても小さくても良い。CRC生成多項式サイズが本装置のポートサイズよりも大きい場合、追加フィードバック・バスが提供される。このバスは装置1の設定可能要素4の配列の左側のフィードバックマルチブレクサ7の、適切なマルチブレクサに、計算されたエラー検出コードの一部を送る。フィードバックが必要とされない配列のどの行の第1要素4の入力1にも、低信号が供給される。装置1が「CRCサイズ設定」信号を発生し、フィードバックマルチブレクサ7のプログラミングを制御し、CRC多項式のサイズ要求を満たす。

10

【0045】

そして、装置1は、例えば指數が16のCRC生成多項式を使ったCRCエラー検出コードのような、異なるCRCエラー検出方法論のエラー検出コードの計算に使うことができる。新しいCRCエラー検出方法論が選ばれ、そしてこのCRC方法の設定データを計算するのに設定手段3が使用される。すると計算手段2は再設定され、新しいエラー検出コードの計算に使われる。装置1の再設定可能な性質によって、異なるCRCエラー検出方法論がひとつの装置のみを使って満たされることになる。

20

【0046】

数多くの可能CRC生成多項式サイズを、したがって、数多くの可能CRCエラー検出方法論を支援する、プログラム可能な装置は、本発明の重要な効果であり、データリンク層プロトコルのエラー検出支援だけでなく、上層プロトコル及びデータ暗号化にも望まれる。

30

【0047】

本装置は、固定ハードウェア・エンジンとして実装される。これは、設定可能要素の配列を設定するために使われ、つまり以前はソフトウェアを使って行わなければならなかつた機能を実行する。

【0048】

装置1の実装は、Altera Stratix II FPGAテクノロジを使って作られた。実装装置の最高速度は117MHzである。この速度では、フル・ポートサイズ使用(32ビット)で、このアーキテクチャは3.77Gbpsを処理できる。これはFPGA実装では非常にめざましいことである。こうした装置の設計は、技術縮小がフル・ポート使用の10Gbpsのパフォーマンス・ケイパビリティを容易に可能にする、ASICに実装されて最大の価値を持つことになる。しかしながら、装置1に他の実装を使用してもよい。

40

【0049】

装置1は、送信されるデータでも受信されたデータでも、エラー検出コードの計算に使うことができる。送信データについては、本装置は計算されたエラー検出コードをデータの最後に付加して、結合したデータとコードを送信することができる。受信データについては、本装置はデータのエラー検出コードを計算してこれをデータに付加されたエラー検出コードと比較することができる。これらが同じ値である場合、それはデータの送信にエラーは発生していないことを示す。これらが同じ値ではない場合は、本装置は、データは切り捨てとなり、データは再送されるべきであることを示す信号を発生することができる。

50

【図面の簡単な説明】

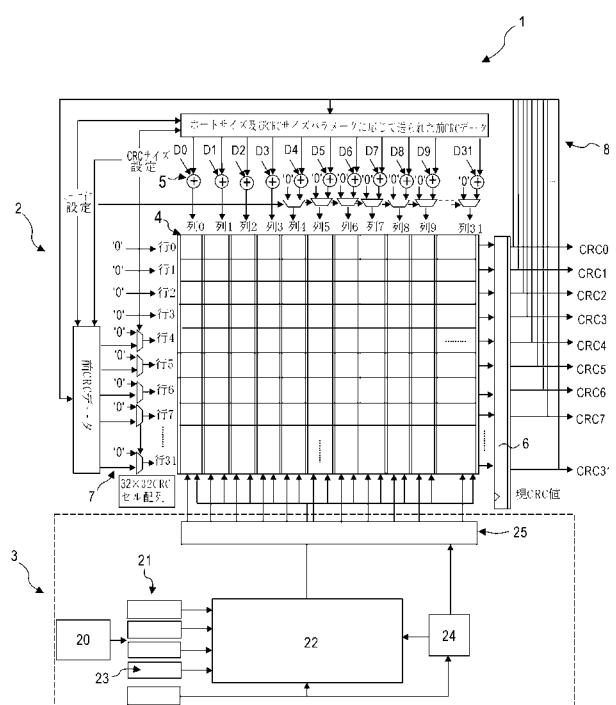
【0050】

【図1】本発明の第1の様態に係わるCRCエラー検出装置の配置図。

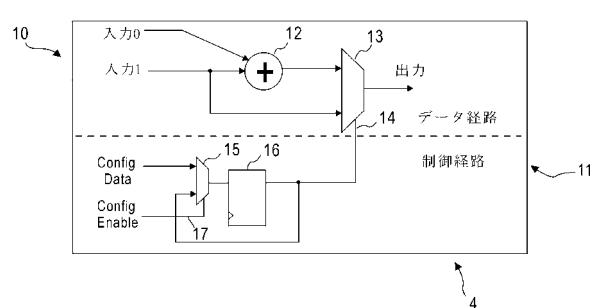
【図2】図1の装置の設定可能要素の配置図の1例を示す図。

【図3】図1の装置の設定可能要素配列の一部の配置図。

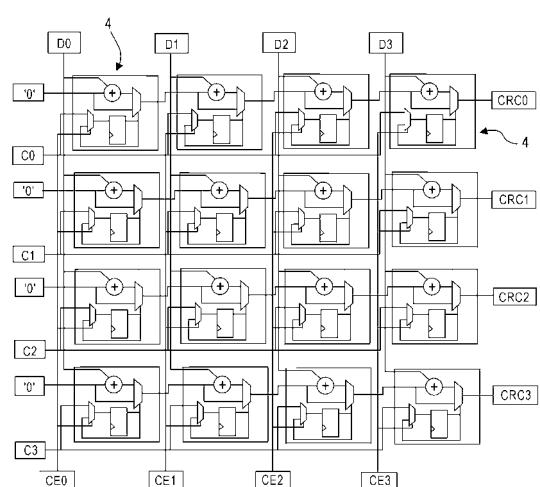
【図1】



【図2】



【図3】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/GB2007/001371

A. CLASSIFICATION OF SUBJECT MATTER
INV. H03M13/09

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, INSPEC, COMPENDEX, IBM-TDB, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SEZER S ET AL: "Reconfigurable architectures for network processing" PROC. INTERNATIONAL SYMPOSIUM ON VLSI DESIGN, AUTOMATION AND TEST, 27 April 2005 (2005-04-27), pages 75-83, XP010829534 Hsinchu, Taiwan ISBN: 0-7803-9060-1 page 78 figure 1; table 5	1-3, 16, 17, 19-28, 31-33
Y		29, 30
A	----- -/-	4-15, 18

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the International filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the International search

Date of mailing of the International search report

27 June 2007

19/07/2007

Name and mailing address of the ISA/
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Burkert, Frank

INTERNATIONAL SEARCH REPORT

International application No PCT/GB2007/001371

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2005/154960 A1 (SYDIR JAROSLAW J [US] ET AL) 14 July 2005 (2005-07-14)	1-6, 10-12, 16-22, 25,26, 28,31-33
A	abstract paragraph [0018] - paragraph [0020] paragraphs [0023], [0053], [0054] paragraph [0072] - paragraph [0106] figures 1,2,6A,6B,8	7-9, 13-15, 23,24, 27,29,30
X	BIRCH J ET AL: "A PROGRAMMABLE 800 MBIT/S CRC CHECK/GENERATOR UNIT FOR LANS AND MANS" COMPUTER NETWORKS AND ISDN SYSTEMS, NORTH HOLLAND PUBLISHING, AMSTERDAM, NL, vol. 24, no. 2, April 1992 (1992-04), pages 109-118, XP000257845 ISSN: 0169-7552	1,33
A	page 113, right-hand column - page 116, right-hand column figures 5-7	2-32
X	DATABASE WPI Week 199523 Derwent Publications Ltd., London, GB; AN 1995-174195 XP002439437 & JP 07 095096 A (FUJITSU LTD) 7 April 1995 (1995-04-07)	1,33
A	abstract	2-32
Y	ANONYMOUS: "Parallel Programmable Array Structured CRC Generator. October 1978." IBM TECHNICAL DISCLOSURE BULLETIN, vol. 21, no. 5, 1 October 1978 (1978-10-01), pages 2058-2059, XP002439386 New York, US the whole document	29,30
A	US 6 631 488 B1 (STAMBAUGH MARK A [US] ET AL) 7 October 2003 (2003-10-07) abstract column 13, line 30 - line 65 figure 7	1-33
A	US 4 712 215 A (JOSHI SUNIL P [US] ET AL) 8 December 1987 (1987-12-08) column 3, line 24 - column 3, line 29 figures 4A,4B	1-33

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/GB2007/001371

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2005154960	A1	14-07-2005	NONE	
JP 7095096	A	07-04-1995	NONE	
US 6631488	B1	07-10-2003	NONE	
US 4712215	A	08-12-1987	DE 3689285 D1 16-12-1993	
			DE 3689285 T2 11-05-1994	
			EP 0230730 A2 05-08-1987	
			ES 2046172 T3 01-02-1996	
			JP 8031802 B 27-03-1996	
			JP 62133825 A 17-06-1987	

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 トアル・シアラン

イギリス 北アイルランド B T 3 6 6 E S ベルファスト チャーチ クレセント 3 1

F ターム(参考) 5J065 AD04