

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年8月16日(16.08.2018)



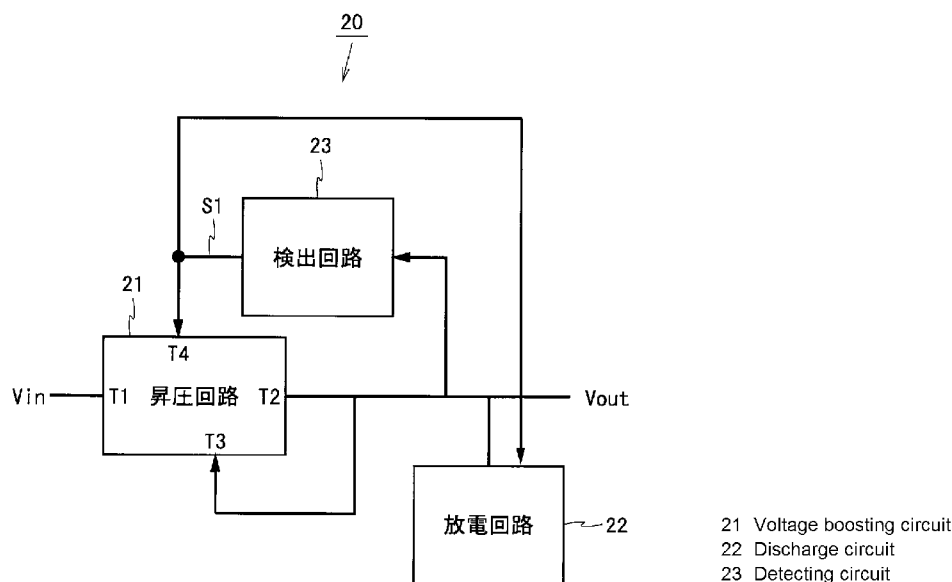
(10) 国際公開番号

WO 2018/147172 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2018/003510
- (22) 国際出願日: 2018年2月2日(02.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-021958 2017年2月9日(09.02.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 恒川 拓也(TSUNEKAWA, Takuya).
- (74) 代理人: 島田 明宏, 外 (SHIMADA, Akihiro et al.); 〒6340078 奈良県橿原市八木町1丁目10番3号 萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: POWER SUPPLY CIRCUIT

(54) 発明の名称: 電源回路



(57) **Abstract:** This power supply circuit 20 is provided with: a voltage boosting circuit 21 which boosts an input voltage Vin; a discharge circuit 22 which is connected to an output terminal of the voltage boosting circuit 21 and decreases the output voltage of the voltage boosting circuit 21 when power is turned off; and a detecting circuit 23 which is connected to the output terminal of the voltage boosting circuit 21 and detects, on the basis of the output voltage of the voltage boosting circuit 21, a discharge period that occurs while power is turned off. The voltage boosting circuit 21 stops an

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

operation during the discharge period, which occurs while power is turned off, detected by the detecting circuit 23. The power supply circuit may be provided with a voltage lowering circuit instead of the voltage boosting circuit. Thus, a power supply circuit is provided which correctly operates even when power is turned on immediately after being turned off.

(57) 要約: 電源回路 20 は、入力電圧 V_{in} を昇圧する昇圧回路 21 と、昇圧回路 21 の出力端子に接続され、電源オフ時に昇圧回路 21 の出力電圧を低下させる放電回路 22 と、昇圧回路 21 の出力端子に接続され、昇圧回路 21 の出力電圧に基づき電源オフ時の放電期間を検出する検出回路 23 とを備える。昇圧回路 21 は、検出回路 23 で検出された電源オフ時の放電期間では動作を停止する。電源回路は、昇圧回路に代えて、降圧回路を備えていてもよい。これにより、電源をオフした後にすぐに電源をオンしたときでも正しく動作する電源回路を提供する。

明 細 書

発明の名称 : 電源回路

技術分野

[0001] 本発明は、入力電圧を昇圧または降圧して出力する電源回路に関する。

背景技術

[0002] 電子機器に対して必要な電圧を供給するために、入力電圧を昇圧または降圧し、昇圧または降圧後の電圧を出力する電源回路が広く利用されている。このような電源回路には、電圧の入力が任意のタイミングで開始されたときでも昇圧または降圧を正しく行うことが必要とされる。

[0003] 本願発明に関連して、特許文献1には、図7に示す液晶パネル用の電源回路が記載されている。図7に示す電源回路では、動作開始が指示されると、ハイサイドトランジスタM1とローサイドトランジスタM2がオフし、レベルシフタ91の出力端子がハイインピーダンス状態になる。次に、入力電圧が所定レベルに到達すると、スイッチングレギュレータが動作を開始する。次に、電源回路の起動が完了すると、レベルシフタ91のハイインピーダンス状態が解除される。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開2013-9535号公報

発明の概要

発明が解決しようとする課題

[0005] 一般に、電源回路には、出力電圧を平滑化するためのコンデンサ（以下、出力平滑コンデンサという）が設けられる。電源回路の動作中に、出力平滑コンデンサには電荷が蓄積される。電源をオフした後は出力平滑コンデンサに蓄積された電荷が放電される経路がなくなるので、しばらくの間（例えば、数ミリ秒～数秒の間）、平滑コンデンサに電荷が蓄積された状態が続く。このとき、電源回路の出力電圧は0ではない。以下、電源をオフした後の

電源回路の出力電圧（非ゼロの出力電圧）を「残留電圧」という。

[0006] 電源をオフした後にすぐに電源をオンした場合、電源回路に含まれる電源ICが残留電圧の影響によって誤動作し、電源回路が昇圧または降圧を正しく行わないことがある。例えば、図8に示すように、時刻 t_1 で電源をオフし、時刻 t_3 で電源をオンする場合を考える。この場合、電源回路の入力電圧 V_{in} は時刻 t_1 から時刻 t_2 までの間に V_a から0まで低下し、電源回路の出力電圧 V_{out} は時刻 t_1 以降に V_b から低下する。しかし、出力電圧 V_{out} は、時刻 t_3 ではまだ0に到達していない。このため、入力電圧 V_{in} が電源オフ前のレベル V_a に到達した後でも、出力電圧 V_{out} が電源オフ前のレベル V_b よりも低いレベル V_c までしか上昇しないことがある。

[0007] 図7に示す電源回路では、電源をオフした後にすぐに電源をオンしたときに、出力前段の電圧が中間レベルになり、出力を行うか否かにかかわらず電圧のフィードバックが正常に動作しないために、昇圧や降圧を正しく行えないことがある。

[0008] それ故に、電源をオフした後にすぐに電源をオンしたときでも正しく動作する電源回路を提供することが課題として挙げられる。

課題を解決するための手段

[0009] 上記の課題は、例えば、入力電圧を昇圧または降圧する電圧変換回路と、前記電圧変換回路の出力端子に接続され、電源オフ時に前記電圧変換回路の出力電圧を低下させる放電回路とを備えた電源装置によって解決することができる。

発明の効果

[0010] 上記の電源装置によれば、電源オフ時に電圧変換回路の出力電圧を放電回路を用いて低下させることにより、電源オフ時に電源回路の出力電圧は速やかに0になる。したがって、電源をオフした後にすぐに電源をオンしたときでも、電源をオンするときに残留電圧が残っている場合を減らし、昇圧または降圧を正しく行える場合を増やすことができる。

図面の簡単な説明

[0011] [図1]第1の実施形態に係る電源回路の構成を示すブロック図である。

[図2]図1に示す電源回路の回路図である。

[図3]図1に示す電源回路において電源を再びオンしたときの入力電圧と出力電圧の変化を示す図である。

[図4]第2の実施形態に係る電源回路の構成を示すブロック図である。

[図5]図4に示す電源回路の回路図である。

[図6]図4に示す電源回路において電源を再びオンしたときの入力電圧と出力電圧の変化を示す図である。

[図7]従来の電源回路の回路図である。

[図8]従来の電源回路において電源を再びオンしたときの入力電圧と出力電圧の変化を示す図である。

発明を実施するための形態

[0012] (第1の実施形態)

図1は、第1の実施形態に係る電源回路の構成を示すブロック図である。

図1に示す電源回路10は、昇圧回路11と放電回路12を備えている。電源回路10には、外部から入力電圧 V_{in} が入力される。電源回路10は、入力電圧 V_{in} を昇圧し、昇圧後の電圧を出力電圧 V_{out} として出力する。電源回路10は、表示装置など、各種の電子機器に対して必要な電圧を供給するために使用される。

[0013] 昇圧回路11は、入力端子T1、出力端子T2、および、フィードバック端子T3を有する。昇圧回路11は、入力端子T1から入力された入力電圧 V_{in} を昇圧し、出力端子T2から昇圧後の電圧を出力する。昇圧後の電圧は、電源回路10の出力電圧 V_{out} となる。フィードバック端子T3には、出力端子T2から出力された昇圧後の電圧（出力電圧 V_{out} ）がフィードバック電圧として与えられる。

[0014] 図2は、電源回路10の回路図である。図2に示す電源回路10は、昇圧IC13、制御IC14、Nチャネル型のトランジスタQ1、ダイオードD

1、抵抗 $R_1 \sim R_4$ 、コイル L_1 、および、コンデンサ C_1 、 C_2 を含んでいる。昇圧IC13、ダイオード D_1 、抵抗 R_1 、 R_2 、コイル L_1 、および、コンデンサ C_1 、 C_2 は、昇圧回路11として機能する。制御IC14、トランジスタ Q_1 、および、抵抗 R_3 、 R_4 は、放電回路12として機能する。

[0015] 電源回路10は、入力端子15と出力端子16を有する。コイル L_1 の一端は、入力端子15に接続される。コイル L_1 の他端は、昇圧IC13の接続端子とダイオード D_1 のアノード端子に接続される。ダイオード D_1 のカソード端子は、出力端子16に接続される。抵抗 R_1 、 R_2 は直列に接続され、出力端子16と接地の間に設けられる。抵抗 R_1 、 R_2 の接続点は、昇圧IC13の制御端子に接続される。抵抗 R_3 とトランジスタ Q_1 と抵抗 R_4 は直列に接続され、出力端子16と接地の間に設けられる。制御IC14の入力端子は、入力端子15に接続される。制御IC14の出力端子は、トランジスタ Q_1 のゲート端子（制御端子）に接続される。コンデンサ C_1 は、入力端子15と接地との間に設けられる。コンデンサ C_2 は、出力端子16と接地との間に設けられ、出力平滑コンデンサとして機能する。

[0016] 昇圧IC13には、フィードバック電圧として、出力電圧 V_{out} を抵抗 R_1 、 R_2 を用いて抵抗分割した電圧が入力される。昇圧IC13は、ダイオード D_1 およびコイル L_1 と共に、フィードバック電圧を参照して入力電圧 V_{in} に基づき出力電圧 V_{out} を生成する。制御IC14は、通常動作時（入力電圧 V_{in} が所定の範囲内にあるとき）には、ローレベルの信号を出力する。このとき、トランジスタ Q_1 はオフする。

[0017] 電源をオフしたときに、入力電圧 V_{in} は低下する。制御IC14は、電源オフ時（入力電圧 V_{in} が所定の範囲外にあるとき）には、ハイレベルの信号を出力する。このとき、トランジスタ Q_1 はオンし、電源回路10の出力端子と接地との間に抵抗 R_3 、トランジスタ Q_1 、および、抵抗 R_4 を経由する電流経路が形成される。電源回路10の通常動作時にコンデンサ C_2 に蓄積された電荷は、この経路を通して速やかに放電される。

[0018] このように放電回路 12 は、電源オフ時に電源回路 10に残っていた電荷（出力平滑コンデンサ C2に蓄積されていた電荷）を速やかに放電する。このため、電源オフ時に、電源回路 10の出力電圧 V_{out} は速やかに 0 になる。したがって、電源回路 10によれば、電源をオフした後にすぐに電源をオンしたときでも、電源をオンするときに残留電圧が残っている場合を減らし、昇圧を正しく行える場合を増やすことができる。電源回路 10を表示装置の電源回路として使用した場合、表示装置における誤表示や電源回路の誤動作を防止することができる。

[0019] 図 3 は、電源回路 10において電源を再びオンしたときの入力電圧と出力電圧の変化を示す図である。ここでは、時刻 t_1 で電源をオフし、時刻 t_3 で電源をオンする場合を考える。この場合、電源回路 10の入力電圧 V_{in} は時刻 t_1 から時刻 t_2 までの間に V_a から 0 まで低下し、電源回路 10の出力電圧 V_{out} は時刻 t_1 以降に V_b から低下する。電源回路 10では、放電回路 12が電源オフ時に電源回路 10に残っていた電荷を速やかに放電するので、出力電圧 V_{out} は時刻 t_3 では既に 0 に到達している。したがって、入力電圧 V_{in} が電源オフ前のレベル V_a に到達した後に、出力電圧 V_{out} は電源オフ前のレベル V_b まで正しく上昇する。

[0020] 以上に示すように、本実施形態に係る電源回路 10は、入力電圧を昇圧する電圧変換回路（昇圧回路 11）と、電圧変換回路の出力端子に接続され、電源オフ時に電圧変換回路の出力電圧を低下させる放電回路 12とを備えている。電源回路 10では、電源オフ時に電圧変換回路の出力電圧を放電回路 12を用いて低下させることにより、電源オフ時に出力電圧 V_{out} は速やかに 0 になる。したがって、本実施形態に係る電源回路 10によれば、電源をオフした後にすぐに電源をオンしたときでも、電源をオンするときに残留電圧が残っている場合を減らし、昇圧を正しく行える場合を増やすことができる。

[0021] また、放電回路 12は、電圧変換回路の出力端子と接地との間に設けられ、電源オフ時にオンするトランジスタ Q1を含んでいる。このようなトラン

ジスタQ1を設けることにより、電源オフ時に電圧変換回路の出力電圧を低下させる放電回路12を構成することができる。

[0022] (第2の実施形態)

図4は、第2の実施形態に係る電源回路の構成を示すブロック図である。図4に示す電源回路20は、昇圧回路21、放電回路22、および、検出回路23を備えている。本実施形態の構成要素のうち第1の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0023] 昇圧回路21は、第1の実施形態に係る昇圧回路11と同様に、入力端子T1から入力された入力電圧 V_{in} を昇圧し、出力端子T2から昇圧後の電圧を出力する。検出回路23の入力端子は、昇圧回路21の出力端子T2に接続される。検出回路23の出力端子は、昇圧回路21の制御端子T4と放電回路22の制御端子に接続される。検出回路23は、出力端子T2から出力された昇圧後の電圧に基づき、電源オフ後の放電期間か否かを示す制御信号S1を出力する。制御信号S1は、例えば、電源オフ後の放電期間ではローレベルになり、それ以外の期間ではハイレベルになる。昇圧回路21は、制御信号S1がローレベルである間は昇圧を行わず、制御信号S1がハイレベルに変化した後に昇圧を開始する。放電回路22は、制御信号S1がローレベルである間は放電を行い、制御信号S1がハイレベルに変化すると放電を停止する。このように昇圧回路21と放電回路22は、制御信号S1に従い、互いに異なる期間で動作する。

[0024] 図5は、電源回路20の回路図である。図5に示す電源回路20は、図3に示す電源回路10において、制御IC14を制御IC24に置換し、トランジスタQ2、レベルシフタ25、および、比較回路26を追加したものである。レベルシフタ25と比較回路26は、検出回路23として機能する。

[0025] レベルシフタ25は、入力電圧 V_{in} と出力電圧 V_{out} を比較回路26で比較可能な電圧に変換する。比較回路26は、レベルシフタ25から出力された2つの電圧を比較することにより、電源オフ後の放電期間か否かを示す制御信号S1を出力する。

[0026] 昇圧回路 21 は、昇圧回路 11 に対してトランジスタ Q2 を追加したものである。トランジスタ Q2 のドレイン端子には、入力電圧 V_{in} が与えられる。トランジスタ Q2 のソース端子は、コイル L1 の一端に接続される。トランジスタ Q2 のゲート端子には、検出回路 23 から出力された制御信号 S1 が与えられる。

[0027] 上述したように、制御信号 S1 は、電源オフ時の放電期間ではローレベルになり、それ以外の期間ではハイレベルになる。制御信号 S1 がローレベルである間、トランジスタ Q2 はオフし、入力電圧 V_{in} は昇圧 IC13 に供給されない。制御信号 S1 がハイレベルになると、トランジスタ Q2 はオンし、入力電圧 V_{in} は昇圧 IC13 に供給される。昇圧 IC13 は、制御信号 S1 がローレベルである間（電源オフ後の放電期間）は昇圧を行わず、制御信号 S1 がハイレベルに変化した後に昇圧を開始する。

[0028] 制御 IC24 の制御端子には、検出回路 23 から出力された制御信号 S1 が与えられる。制御 IC24 の出力端子は、トランジスタ Q1 のゲート端子に接続される。制御 IC24 は、制御信号 S1 がハイレベルのときには、ローレベルの信号を出力する。このとき、トランジスタ Q1 はオフする。制御 IC24 は、制御信号 S1 がローレベルのときには、ハイレベルの信号を出力する。このとき、トランジスタ Q1 はオンし、電源回路 20 の出力端子と接地との間に抵抗 R3、トランジスタ Q1、および、抵抗 R4 を経由する電流経路が形成される。電源回路 20 の通常動作時にコンデンサ C2 に蓄積された電荷は、この経路を通して速やかに放電される。

[0029] このように検出回路 23 は昇圧回路 21 の出力電圧に基づき電源オフ後の放電期間を検出し、昇圧回路 21 は検出回路 23 で検出された電源オフ後の放電期間では昇圧を行わず、電源オフ後の放電期間が完了した後に昇圧を開始する。したがって、電源回路 20 によれば、電源をオフした後にすぐに電源をオンしたときでも、電源回路 20 の出力電圧 V_{out} が 0 になるまで待機し、出力電圧 V_{out} が 0 になった後に昇圧を正しく行うことができる。

[0030] 図 6 は、電源回路 20 において電源を再びオンしたときの入力電圧と出力

電圧の変化を示す図である。ここでは、時刻 t_1 で電源をオフし、時刻 t_4 で電源をオンする場合を考える。ただし、時刻 t_4 は、図 3 に示す時刻 t_3 よりも時刻 t_1 に近い。この場合も、電源回路 20 の入力電圧 V_{in} は時刻 t_1 から時刻 t_2 までの間に V_a から 0 まで低下し、電源回路 20 の出力電圧 V_{out} は時刻 t_1 以降に V_b から低下する。

[0031] 電源回路 20 では、放電回路 22 が電源オフ時に電源回路 20 に残っていた電荷を速やかに放電するが、それでも出力電圧 V_{out} は時刻 t_4 ではまだに 0 に到達してない。時刻 t_4 において電源をオンした場合、電源回路 20 は、出力電圧 V_{out} が 0 になる時刻 t_5 まで動作を停止し、時刻 t_5 以降に昇圧を行う。したがって、電源回路 20 によれば、入力電圧 V_{in} が電源オフ前のレベル V_a に到達した後に、出力電圧 V_{out} は電源オフ前のレベル V_b まで正しく上昇する。

[0032] 以上に示すように、本実施形態に係る電源回路 20 は、電圧変換回路（昇圧回路 21）の出力端子に接続され、電圧変換回路の出力電圧に基づき電源オフ時の放電期間を検出する検出回路 23 を備えている。電圧変換回路は、検出回路 23 で検出された電源オフ時の放電期間では動作を停止する。したがって、電源をオフした後にすぐに電源をオンしたときでも、電源回路 20 の出力電圧 V_{out} が 0 になるまで待機し、出力電圧 V_{out} が 0 になった後に昇圧を正しく行うことができる。

[0033] また、検出回路 23 は、入力電圧 V_{in} と電圧変換回路の出力電圧（出力電圧 V_{out} ）とを比較することにより、電源オフ時の放電期間を示す制御信号 S_1 を出力する。このように入力電圧 V_{in} と電圧変換回路の出力電圧を比較することにより、電源オフ時の放電期間を検出することができる。

[0034] なお、第 1 および第 2 の実施形態の変形例として、入力電圧 V_{in} を昇圧する昇圧回路に代えて、入力電圧 V_{in} を降圧する降圧回路を備えた電源回路を構成してもよい。

[0035] 以上に示すように、電源回路は、入力電圧を昇圧または降圧する電圧変換回路と、前記電圧変換回路の出力端子に接続され、電源オフ時に前記電圧変

換回路の出力電圧を低下させる放電回路とを備えていてもよい（第１の局面）。

[0036] 電源装置は、前記電圧変換回路の出力端子に接続され、前記電圧変換回路の出力電圧に基づき電源オフ時の放電期間を検出する検出回路をさらに備え、前記電圧変換回路は、前記検出回路で検出された電源オフ時の放電期間では動作を停止してもよい（第２の局面）。前記放電回路は、前記電圧変換回路の出力端子と接地との間に設けられ、電源オフ時にオンするトランジスタを含んでいてもよい（第３の局面）。前記検出回路は、前記入力電圧と前記電圧変換回路の出力電圧とを比較することにより、電源オフ時の放電期間を示す制御信号を前記電圧変換回路に対して出力してもよい（第４の局面）。

[0037] 第１の局面によれば、電源オフ時に電圧変換回路の出力電圧を放電回路を用いて低下させることにより、電源オフ時に電源回路の出力電圧は速やかに０になる。したがって、電源をオフした後にすぐに電源をオンしたときでも、電源をオンするときに残留電圧が残っている場合を減らし、昇圧または降圧を正しく行える場合を増やすことができる。

[0038] 第２の局面によれば、電圧変換回路は、検出回路で検出された電源オフ後の放電期間では動作せず、電源オフ後の放電期間が完了した後に昇圧または降圧を開始する。したがって、電源をオフした後にすぐに電源をオンしたときでも、電源回路の出力電圧が０になるまで待機し、出力電圧が０になった後に昇圧または降圧を正しく行うことができる。第３の局面によれば、電圧変換回路の出力端子と接地との間に電源オフ時にオンするトランジスタを設けることにより、電源オフ時に電圧変換回路の出力電圧を低下させる放電回路を構成することができる。第４の局面によれば、入力電圧と電圧変換回路の出力電圧とを比較することにより、電源オフ時の放電期間を検出することができる。

[0039] 本願は、２０１７年２月９日に出願された「電源回路」という名称の日本特願２０１７－２１９５８号に基づく優先権を主張する出願であり、この出願の内容は引用することによって本願の中に含まれる。

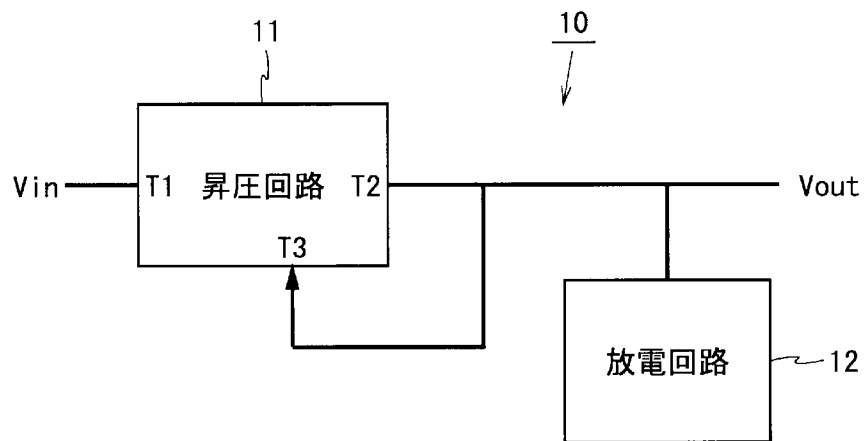
符号の説明

- [0040] 1 0、2 0…電源回路
 1 1、2 1…昇圧回路
 1 2、2 2…放電回路
 1 3…昇圧 I C
 1 4、2 4…制御 I C
 2 3…検出回路
 2 5…レベルシフタ
 2 6…比較回路

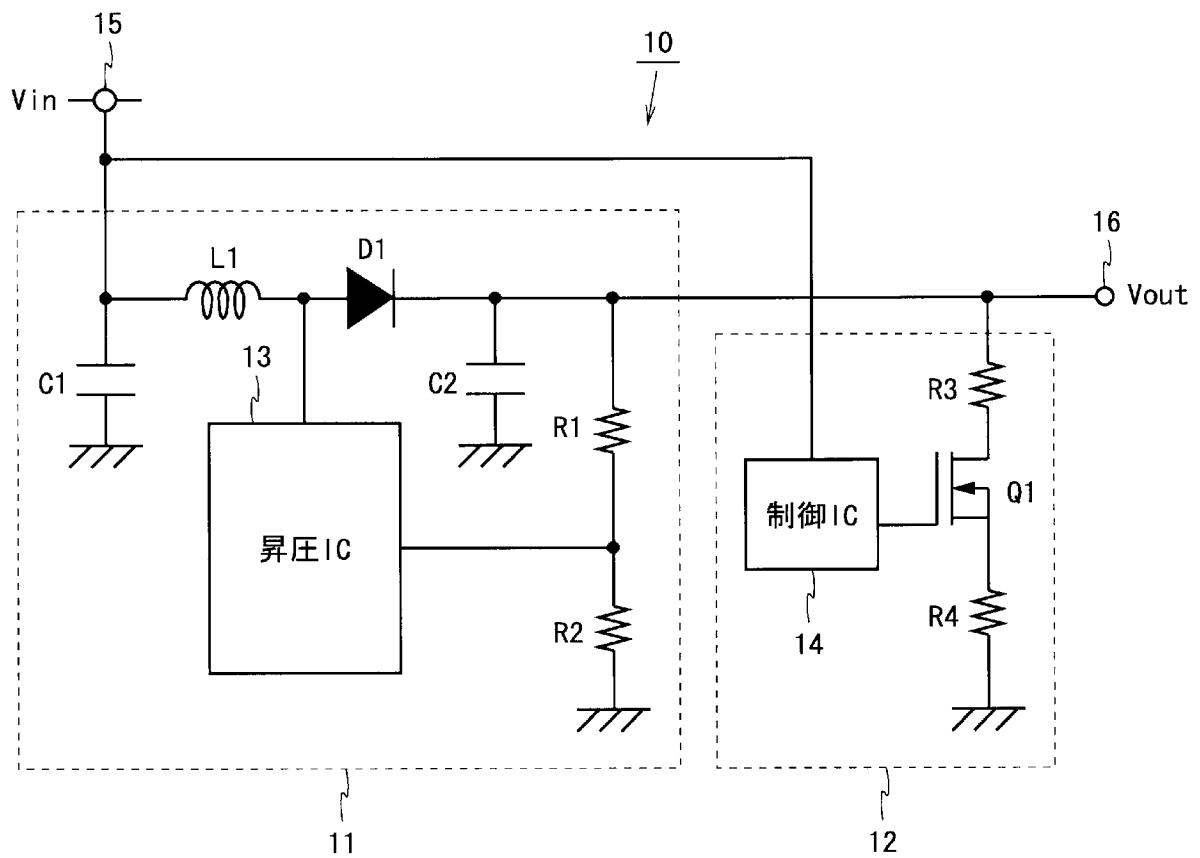
請求の範囲

- [請求項1] 入力電圧を昇圧または降圧する電圧変換回路と、
 前記電圧変換回路の出力端子に接続され、電源オフ時に前記電圧変換回路の出力電圧を低下させる放電回路とを備えた、電源回路。
- [請求項2] 前記電圧変換回路の出力端子に接続され、前記電圧変換回路の出力電圧に基づき電源オフ時の放電期間を検出する検出回路をさらに備え、
 前記電圧変換回路は、前記検出回路で検出された電源オフ時の放電期間では動作を停止することを特徴とする、請求項1に記載の電源回路。
- [請求項3] 前記放電回路は、前記電圧変換回路の出力端子と接地との間に設けられ、電源オフ時にオンするトランジスタを含むことを特徴とする、請求項1に記載の電源回路。
- [請求項4] 前記検出回路は、前記入力電圧と前記電圧変換回路の出力電圧とを比較することにより、電源オフ時の放電期間を示す制御信号を前記電圧変換回路に対して出力することを特徴とする、請求項2に記載の電源回路。

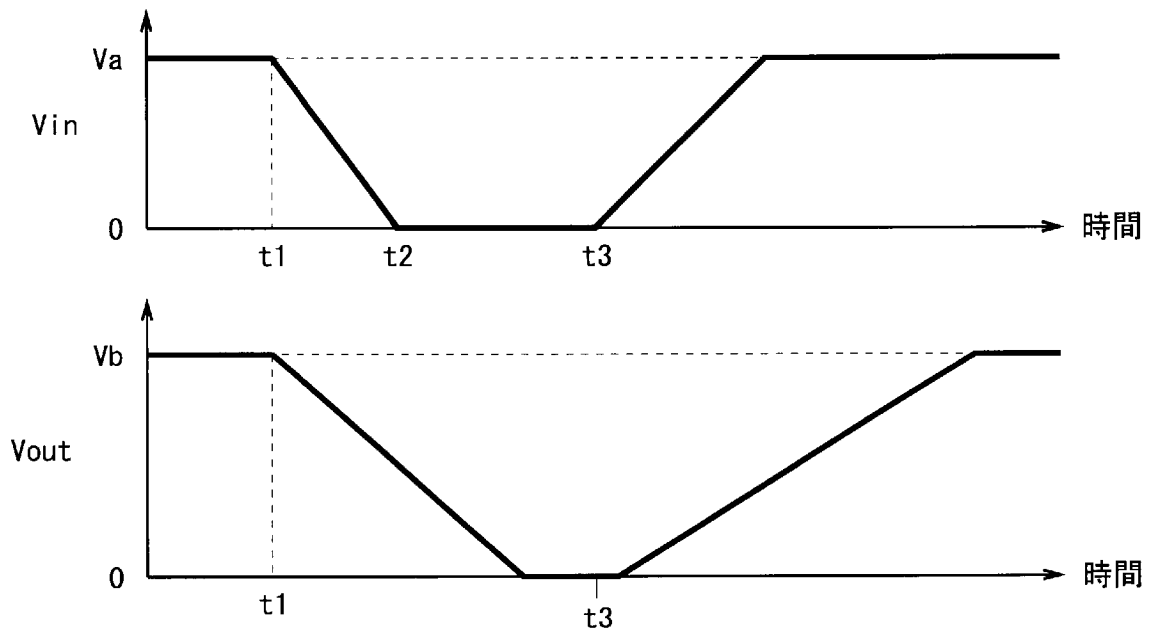
[図1]



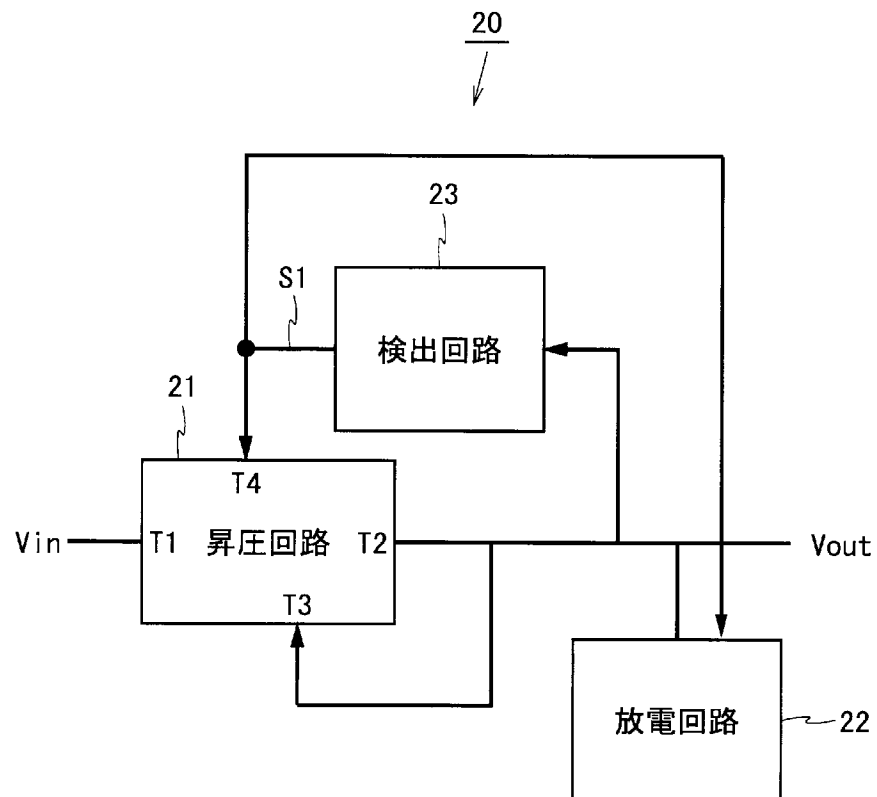
[図2]



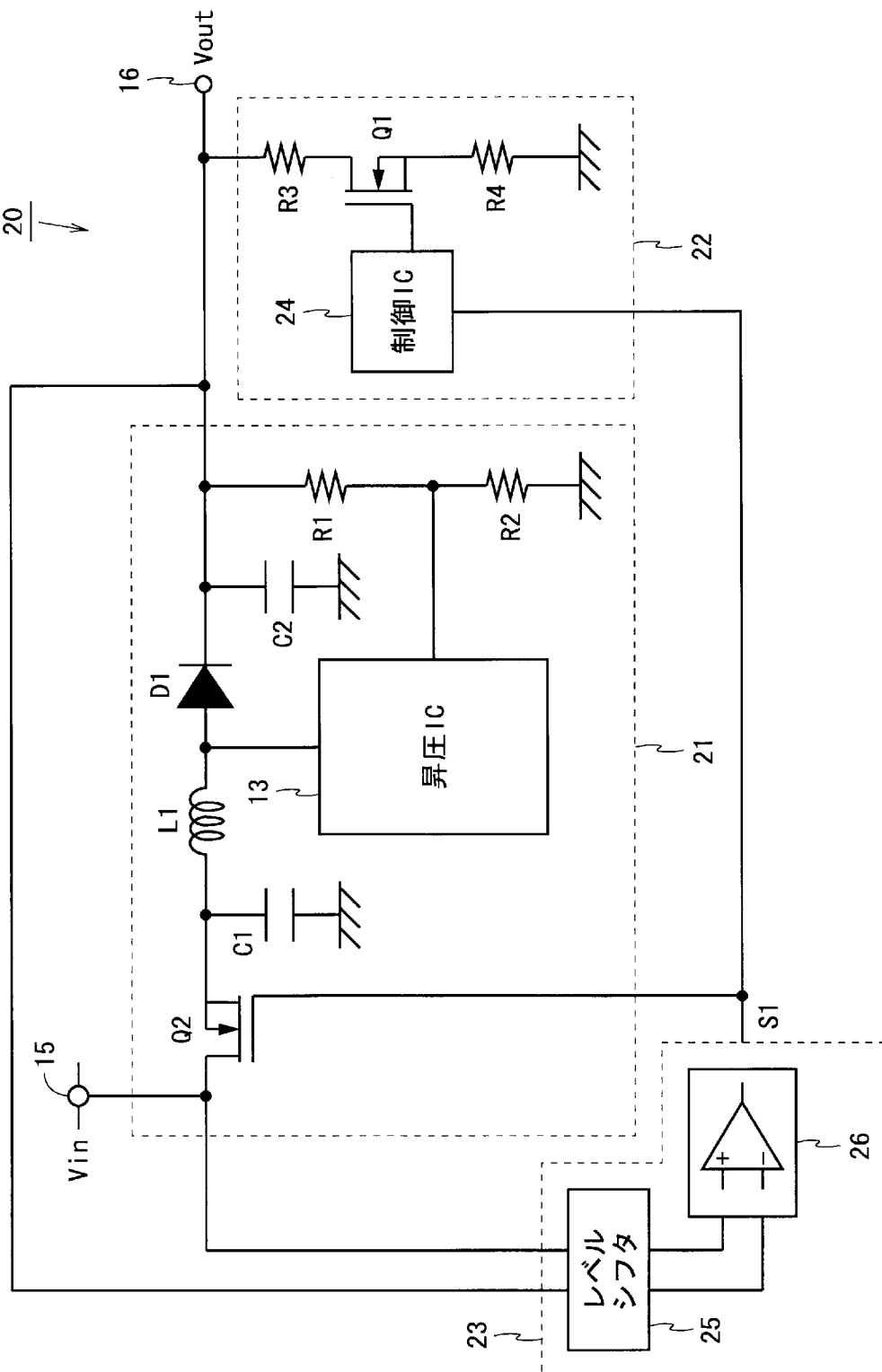
[図3]



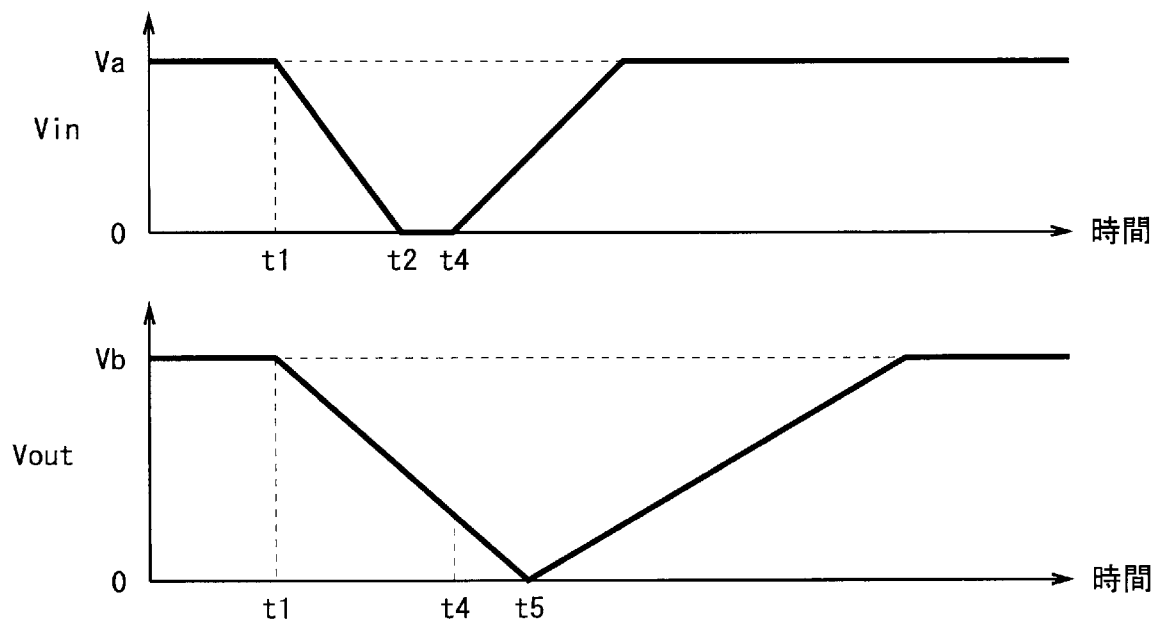
[図4]



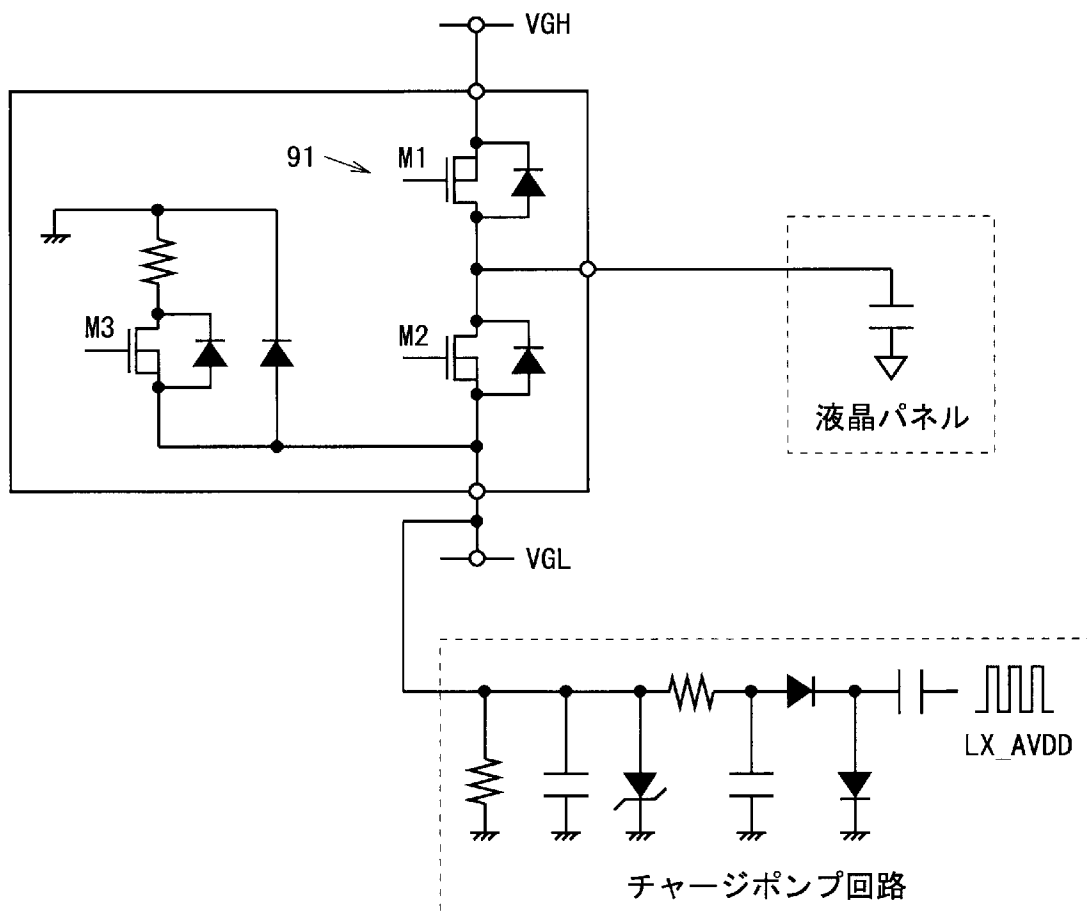
[図5]



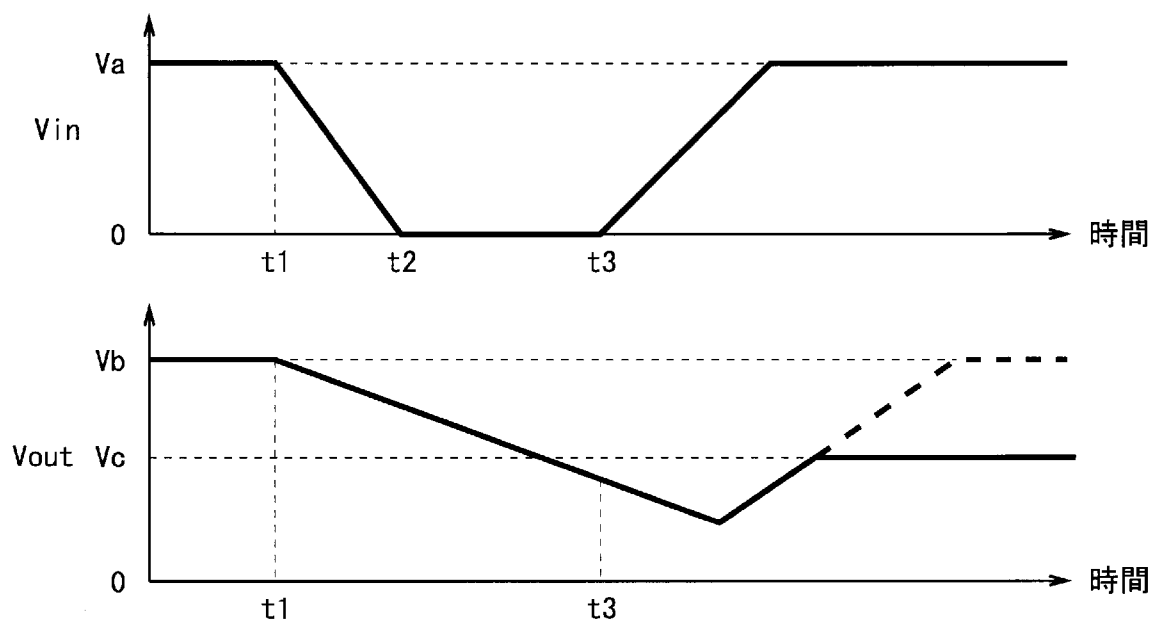
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/003510

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H02M3/155 (2006.01) i, G09G3/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H02M3/155, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2010-148234 A (SEIKO EPSON CORP.) 01 July 2010, paragraphs [0004], [0010]-[0031], fig. 1-3, (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.04.2018

Date of mailing of the international search report
17.04.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/003510

Scope of search

Claim 4 sets forth that "the detection circuit compares the input voltage and the output voltage of the voltage conversion circuit, and thereby outputs, to the voltage conversion circuit, a control signal indicative of a discharge duration with power off".

However, this wording does not make it clear specifically what kind of relationship must be established between the input voltage and output voltage when these voltages are compared, in order for the "control signal indicative of a discharge duration" to be outputted.

The above wording could be applicable, for example, to cases such as (A) "control signal indicative of a discharge duration" is outputted when "input voltage < output voltage", (B) "control signal indicative of a discharge duration" is outputted when "output voltage < input voltage", or (C) "control signal indicative of a discharge duration" is outputted when "input voltage < output voltage + α ", etc. However, when fig. 6 is consulted, it is found that "time t1 to t5" are undeniably when the "control signal indicative of a discharge duration" is outputted. None of the above-mentioned cases (A) to (C), which are possible cases one can think of from the wording of claim 4, would conform with the operation of the embodiment, in which the control signal is outputted for the duration of time t1 to t5 and the control signal is not outputted outside of this duration.

As such, the wording of claim 4 where "the detection circuit compares the input voltage and the output voltage of the voltage conversion circuit, and thereby outputs, to the voltage conversion circuit, a control signal indicative of a discharge duration with power off" does not make it clear specifically what relationship the input voltage and output voltage must have for the control signal indicative of the discharge duration to be outputted, and does not make it possible to identify the invention.

Accordingly, the invention as in claim 4 is not clear.

Moreover, because claim 4 is unclear, as stated above, a meaningful search cannot be conducted for the invention as in claim 4.

As such, the subject of the search for the invention as in claim 4 is "the power source circuit set forth in claim 2, characterized in that the detection circuit outputs, to the voltage conversion circuit, a control signal indicative of a discharge duration with power off on the basis of the input voltage and the output voltage of the voltage conversion circuit".

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M3/155(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M3/155, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2010-148234 A（セイコーエプソン株式会社）2010.07.01, 段落 [0004], [0010] - [0031], 図1-3（ファミリーな し）	1-4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|---|---|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日

05.04.2018

国際調査報告の発送日

17.04.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 秀一

5G

3357

電話番号 03-3581-1101 内線 3526

＜調査の対象について＞

請求項4には、「前記検出回路は、前記入力電圧と前記電圧変換回路の出力電圧とを比較することにより、電源オフ時の放電期間を示す制御信号を前記電圧変換回路に対して出力する」との記載がある。

しかしながら、この記載からは、入力電圧と出力電圧とを比較して、両者が具体的にどのような関係がある場合に「放電期間を示す制御信号」を出力することを意味するのかが不明確である。

上記記載に該当し得るものとしては、例えば（A）「入力電圧＜出力電圧」の場合に「放電期間を示す制御信号」を出力するものや、（B）「出力電圧＜入力電圧」の場合に「放電期間を示す制御信号」を出力するものや、（C）「入力電圧＜出力電圧＋ α 」の場合に「放電期間を示す制御信号」を出力するもの等が考えられる。しかしながら、図6を参照すると、「放電期間を示す制御信号」を出力するのは「時刻 $t_1 \sim t_5$ 」であると認めざるを得ない。そして、請求項4の記載を上記（A）～（C）のいずれに解したとしても、時刻 $t_1 \sim t_5$ の期間に制御信号を出力し、それ以外の期間に上記制御信号を出力しないという実施例の動作と整合しない。したがって、請求項4の「前記検出回路は、前記入力電圧と前記電圧変換回路の出力電圧とを比較することにより、電源オフ時の放電期間を示す制御信号を前記電圧変換回路に対して出力する」との記載が、入力電圧と出力電圧とが具体的にどのような関係である場合に放電期間を示す制御信号を出力することを意味するのかが不明確であり、発明を特定することができない。

よって、請求項4に係る発明は明確でない。

また、上記のとおり請求項4の上記は不明確であるため、請求項4に係る発明について有意義な調査を行うことができない。

したがって、請求項4に係る発明については、「前記検出回路は、前記入力電圧と前記電圧変換回路の出力電圧とに基づいて、電源オフ時の放電期間を示す制御信号を前記電圧変換回路に対して出力することを特徴とする、請求項2に記載の電源回路」を調査対象とした。