

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6236996号
(P6236996)

(45) 発行日 平成29年11月29日 (2017.11.29)

(24) 登録日 平成29年11月10日 (2017.11.10)

(51) Int.Cl.		F I			
G 0 6 F	9/50	(2006.01)	G 0 6 F	9/46	4 6 2 A
G 0 6 F	9/52	(2006.01)	G 0 6 F	9/46	4 7 5 A

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2013-176974 (P2013-176974)	(73) 特許権者	000005223
(22) 出願日	平成25年8月28日 (2013. 8. 28)		富士通株式会社
(65) 公開番号	特開2015-46020 (P2015-46020A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成27年3月12日 (2015. 3. 12)	(74) 代理人	100113608
審査請求日	平成28年5月10日 (2016. 5. 10)		弁理士 平川 明
前置審査		(74) 代理人	100105407
			弁理士 高田 大輔
		(74) 代理人	100175190
			弁理士 大竹 裕明
		(72) 発明者	加瀬 将
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 情報処理装置および情報処理装置の制御方法

(57) 【特許請求の範囲】

【請求項 1】

複数の演算処理装置と、
 前記複数の演算処理装置について共通に時間を計測する共通計時部と、
 前記複数の演算処理装置ごとにプログラムの実行時間を計測する個別計時部と、
 前記個別計時部による前記複数の演算処理装置のそれぞれのプログラムの実行時間と前記共通計時部による計測時間とを比較する比較部と、
 前記比較部による比較結果に基づき、前記複数の演算処理装置の処理を制御する制御部と、を備え、
 前記制御部は、
 前記比較部による比較結果に基づき、前記複数の演算処理装置のうち、前記共通計時部による計測時間よりも、個別計時部によるプログラムの実行時間が小さい演算処理装置の処理を促進させる、
 情報処理装置。

【請求項 2】

複数の演算処理装置と、前記複数の演算処理装置について共通に時間を計測する共通計時部と、前記複数の演算処理装置ごとにプログラムの実行時間を計測する個別計時部とを有する情報処理装置の制御方法において、

前記情報処理装置が有する比較する比較部が、前記個別計時部による前記複数の演算処理装置のそれぞれのプログラムの実行時間と前記共通計時部による計測時間と比較し、

前記比較部による比較結果に基づき、前記情報処理装置が有する制御部が、前記複数の演算処理装置の処理を制御し、

前記制御では、

前記制御部が、前記比較部による比較結果に基づき、前記複数の演算処理装置のうち、前記共通計時部による計測時間よりも、個別計時部によるプログラムの実行時間が小さい演算処理装置の処理を促進させる、

情報処理装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、情報処理装置、および情報処理装置の制御方法に関する。

【背景技術】

【0002】

近年、複数の演算処理装置としてのプロセッサを用いて、1つのタスクを分散して処理の高速化を図る並列コンピューティング技術が広く用いられている。このような並列コンピューティングシステムではプロセッサの接続方式に、複数のコンピュータをネットワークで接続した疎結合マルチプロセッサシステムや、プロセッサをバスレベルで結合した密結合マルチプロセッサシステムと呼ばれるものがある。また、同一チップ上に複数のプロセッサを集積したチップマルチプロセッサ（CMP）も実用化され普及に至っている。

【0003】

20

また、CMPにおいて、プロセッサ毎にそのクロック周波数や電圧を動的に変更して動作させるようなDVFS（Dynamic Voltage and Frequency Scaling）技術や、複数あるプロセッサの内の一部のプロセッサについてチップ全体の熱設計電力に余裕がある場合に定格動作周波数を超えて高速動作をさせるような技術（Intel Turbo Boost Technology）などが、市場に登場してきている。

【0004】

ここで、あるタスクを並列コンピューティングシステムで処理する際には、例えば、オペレーティングシステム（OS）が、まず、タスクを適当な処理単位に分割する。処理単位としてはプログラム、プロセス、スレッド等が考えられる。タスクがスレッドに分割されたとすると、このタスクは分割されたスレッドを複数のプロセッサに割り当て、並列に処理を行う。そして、タスクは各プロセッサでの処理が完了するのを待ち、次の処理へ移っていく。なお、タスク等が各プロセッサでの処理が完了するのを待つことを、同期をとる、ともいう。このように、複数のプロセッサがスレッド等の処理を並列して行う分散処理の方法によって、並列コンピューティングシステムは高速に処理を行うことができる。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平11-134804号公報

【特許文献2】特開2002-258980号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0006】

前述の並列処理の方法では、処理効率の観点から各プロセッサに割り当てた処理が、極力時間差なく完了することが望ましい。しかし、各プロセッサに均等に処理が割り当てられたとしても、プロセッサ間の通信、メモリ帯域の不均衡、キャッシュミス、オペレーティングシステムの処理などの要因により遅延が生じるため、すべてのプロセッサでの処理が同時に終了することはほとんどない。各プロセッサでの処理の完了に時間差が生じると、同期を待つ時間が増加するため、全体の処理性能が低下する。従って、各プロセッサでの処理の完了に時間差が生じない、または少ないことが望まれている。

【0007】

50

そこで、本発明の一態様は、複数のプロセッサで実行されるスレッドの実行時間差の低減、即ち同期待ち時間の低減を行い、並列コンピューティングシステム全体の処理性能を向上させることを目的とする。

【課題を解決するための手段】

【0008】

実施の形態の一側面は、情報処理装置によって例示される。本情報処理装置は、複数の演算処理装置と、前記複数の演算処理装置について共通に時間を計測する共通計時部と、前記複数の演算処理装置ごとにプログラムの実行時間を計測する個別計時部と、前記個別計時部による前記複数の演算処理装置のそれぞれのプログラムの実行時間と前記共通計時部による計測時間とを比較する比較部と、前記比較部による比較結果に基づき、前記複数の演算処理装置の処理を制御する制御部と、を備える。

10

【発明の効果】

【0009】

開示の技術によれば、複数のプロセッサで実行されるスレッドの実行時間差の低減、即ち同期待ち時間の低減を行い、並列コンピューティングシステム全体の処理性能を向上させることができる。

【図面の簡単な説明】

【0010】

【図1】 情報処理装置のハードウェア構成の一例を示す図である。

【図2】 実施例1における情報処理装置の機能ブロック図である。

20

【図3】 実施例1におけるプロセッサの実行制御処理手順の一例を示すフローチャートである。

【図4】 実施例2における情報処理装置の機能ブロック図である。

【図5】 実施例2におけるプロセッサの実行制御処理手順の一例を示すフローチャートである。

【発明を実施するための形態】

【0011】

以下、図面に基づいて、本発明の実施の形態を説明する。以下の実施形態の構成は例示であり、本発明は実施形態の構成に限定されない。

【0012】

30

< 発明の概要 >

本発明の実施の一態様である情報処理装置としてのコンピュータは、複数の演算処理装置としてのプロセッサを有する。また、情報処理装置が実行する1まとまりの処理の単位をタスクと呼ぶことにする。情報処理装置は、タスクをさらにスレッドと呼ばれる複数の処理単位に分割する。本実施例においては、処理単位をスレッドとするが、プログラム、プロセス等であってもよい。情報処理装置は、分割したスレッドを、各プロセッサに割り当てる。各プロセッサは、他のプロセッサとのスレッドの実行時間差を低減するため、自身のプロセッサのクロック周波数および電圧値を制御して、処理を促進させたり抑制させたりする。具体的には、各プロセッサは、スレッドの処理時間を計測し、処理が遅れている場合には処理を促進させる。一方、各プロセッサは、処理が進んでいる場合には処理を抑制させる。上記の処理速度の制御を一定間隔で行うことにより、各プロセッサ間のスレッドの実行時間差を低減させることができる。

40

【0013】

なお、本発明の実施に係る並列コンピューティングシステムにおいて、複数のプロセッサは、情報処理装置においてバスレベルで結合される場合に限られない。複数のプロセッサが、ネットワークで接続した複数のコンピュータに含まれる場合や、同一チップ上に含まれる場合のような並列コンピューティングシステムであってもよい。

【0014】

[実施例1]

実施例1では、複数のプロセッサは、それぞれの処理環境でのスレッドの実行時間を、

50

情報処理装置 1 において共通に時間を計測するグローバルタイマーによる計測時間と比較することにより、自身のプロセッサの処理が遅れているか否かを判断する。各プロセッサは、自身の処理が遅れていると判断した場合には、処理を促進させる。

【0015】

＜ハードウェア構成＞

図 1 は、情報処理装置 1 のハードウェア構成の一例を示す図である。図 1 において、情報処理装置 1 は、主記憶 2、メモリバス 3、メインクロック供給回路 4、グローバルタイムレジスタ 5、ローカルタイムレジスタ 6 a、6 b、6 c、プロセッサ 7 a、7 b、7 c、電力供給回路 8 a、8 b、8 c、クロック供給回路 9 a、9 b、9 c、クロック制御レジスタ 10 a、10 b、10 c および電圧制御レジスタ 11 a、11 b、11 c を備える。

10

【0016】

ローカルタイムレジスタ 6 a、6 b、6 c を総称する場合には、ローカルタイムレジスタ 6 という。また、プロセッサ 7 a、7 b、7 c を総称する場合には、プロセッサ 7 という。電力供給回路 8 a、8 b、8 c を総称する場合には、電力供給回路 8 という。クロック供給回路 9 a、9 b、9 c を総称する場合には、クロック供給回路 9 という。クロック制御レジスタ 10 a、10 b、10 c を総称する場合には、クロック制御レジスタ 10 という。電圧制御レジスタ 11 a、11 b、11 c を総称する場合には、電圧制御レジスタ 11 という。

20

【0017】

なお、各プロセッサ 7 は、特定のローカルタイムレジスタ 6、電力供給回路 8、クロック供給回路 9、クロック制御レジスタ 10 および電圧制御レジスタ 11 を使用して処理を行う。すなわち、プロセッサ 7 a は、ローカルタイムレジスタ 6 a、電力供給回路 8 a、クロック供給回路 9 a、クロック制御レジスタ 10 a および電圧制御レジスタ 11 a を使用する。また、プロセッサ 7 b は、ローカルタイムレジスタ 6 b、電力供給回路 8 b、クロック供給回路 9 b、クロック制御レジスタ 10 b および電圧制御レジスタ 11 b を使用する。プロセッサ 7 c は、ローカルタイムレジスタ 6 c、電力供給回路 8 c、クロック供給回路 9 c、クロック制御レジスタ 10 c および電圧制御レジスタ 11 c を使用する。

【0018】

主記憶 2 は、プロセッサ 7 に、プログラムをロードする記憶領域および作業領域を提供したり、バッファとして用いられる。主記憶 2 は、例えば、RAM (Random Access Memory) のような半導体メモリである。メモリバス 3 は、主記憶 2 とプロセッサ 7 との間の信号線で、データやアドレス等の信号をやりとりするために用いられる。メインクロック供給回路 4 は、複数のプロセッサから共通に参照できるメインクロックの時刻を供給する。

30

【0019】

グローバルタイムレジスタ 5 は、タスクの開始時点から、メインクロックの時刻を計数し、タスクの開始時点からの経過時間を、グローバルタイムとして記憶する。ローカルタイムレジスタ 6 は、プロセッサ 7 が実行するスレッドの実行時間を計測し、ローカルタイムとして記憶する。

40

【0020】

プロセッサ 7 は、情報処理装置 1 により割り当てられたスレッドを実行する。電力供給回路 8 は、プロセッサ 7 に電力を供給し、プロセッサ 7 を駆動する。クロック供給回路 9 は、プロセッサ 7 から参照できるクロックの時刻を供給する。クロック制御レジスタ 10 は、プロセッサ 7 が指定したクロック周波数を記憶する。電圧制御レジスタ 11 は、プロセッサ 7 が指定した電圧値を記憶する。

【0021】

なお、図 1 では、それぞれ 3 つのローカルタイムレジスタ 6、プロセッサ 7、電力供給回路 8、クロック供給回路 9、クロック制御レジスタ 10 および電圧制御レジスタ 11 が例示されているが、いずれも数に限定がある訳ではない。情報処理装置 1 は、複数のプロ

50

セッサ 7 を有し、各プロセッサ 7 はそれぞれにローカルタイムレジスタ 6、電力供給回路 8、クロック供給回路 9、クロック制御レジスタ 10 および電圧制御レジスタ 11 を有していればよい。

【0022】

＜情報処理装置の機能ブロック＞

図 2 は、実施例 1 における情報処理装置 1 の機能ブロック図である。図 2 において、試情報処理装置 1 は、主記憶 2、グローバルタイマー 50、プロセッサ 7 a、7 b、7 c、電源供給部 80 a、80 b、80 c、およびクロック供給部 90 a、90 b、90 c を有する。

【0023】

グローバルタイマー 50 は、複数のプロセッサについて共通に時間を計測する共通計時部である。グローバルタイマー 50 は、タスクの開始時点から、メインクロックの時刻を計数し、タスクの開始時点からの経過時間を、グローバルタイムとして計測する。グローバルタイムは、複数のプロセッサから共通に参照することができる。

【0024】

プロセッサ 7 a は、個々のプロセッサについての実行時間を計測する個別計時部であるローカルタイマー 60 a を有する。また、プロセッサ 7 b は、ローカルタイマー 60 b を有する。プロセッサ 7 c は、ローカルタイマー 60 c を有する。ローカルタイマー 60 a、60 b、60 c を総称する場合には、ローカルタイマー 60 という。なお、図 2 では、3 つのプロセッサ 7 が例示されているが、数に限定がある訳ではない。情報処理装置 1 は、複数のプロセッサ 7 を有し、各プロセッサは、それぞれのローカルタイマー 60 を有していればよい。

【0025】

ローカルタイマー 60 は、プロセッサ 7 のそれぞれの処理環境でのスレッドの実行時間を、ローカルタイムとして計測する。ローカルタイマー 60 は、以下のいずれかの方法によって、ローカルタイムを計測する。第 1 の方法では、ローカルタイマー 60 は、スレッドの実行開始時点でメインクロックの計数を開始し、OS 処理や IO 処理中はメインクロックの計数を停止することで、スレッドの実行時間を計測する。第 2 の方法では、ローカルタイマー 60 は、スレッドの実行開始時点からの実行時間を、独自に計測する。

【0026】

電源供給部 80 a は、プロセッサ 7 a に電力を供給する。また、電源供給部 80 b は、プロセッサ 7 b に電力を供給する。電源供給部 80 c は、プロセッサ 7 c に電力を供給する。電源供給部 80 a、80 b、80 c を総称する場合には、電源供給部 80 という。なお、情報処理装置 1 は、プロセッサ 7 と同数の電源供給部 80 を有する。各プロセッサ 7 は、独自の電源供給部から電力供給を受ける。

【0027】

クロック供給部 90 a は、プロセッサ 7 a にクロックを供給する。また、クロック供給部 90 b は、プロセッサ 7 b にクロックを供給する。クロック供給部 90 c は、プロセッサ 7 c にクロックを供給する。クロック供給部 90 a、90 b、90 c を総称する場合には、クロック供給部 90 という。なお、情報処理装置 1 は、プロセッサ 7 と同数のクロック供給部 90 を有する。各プロセッサ 7 は、独自のクロック供給部からクロック供給を受ける。

【0028】

主記憶 2 は、比較部 21 および制御部 22 として機能するプログラムモジュールを格納する。プログラムモジュールは、サブプログラムなどとも呼ばれる。但し、比較部 21 および制御部 22 のいずれかを、ハードウェア回路、専用 LSI 等で実現してもよい。

【0029】

比較部 21 は、グローバルタイマー 50 が計測するグローバルタイムと、ローカルタイマー 60 が計測するローカルタイムとを比較する。制御部 22 は、ローカルタイムがグローバルタイムより小さい場合に、処理が遅延しているプロセッサ 7 のクロック周波数およ

10

20

30

40

50

び電圧値を制御して、処理を促進させる。

【0030】

＜処理フロー＞

図3は、実施例1におけるプロセッサの実行制御処理手順の一例を示すフローチャートである。ステップS11において、プロセッサ7は、ローカルタイマー60が計測するローカルタイムと、グローバルタイマー50が計測するグローバルタイムとを比較する。

【0031】

ステップS12において、プロセッサ7は、ステップS11の比較により、自身のプロセッサ7の処理が、一定時間遅れているか否かを判定する。プロセッサ7は、自身のプロセッサ7の処理が一定時間遅れている場合にはステップS13に、遅れていない場合には

10

【0032】

ステップS13において、プロセッサ7は、自身のプロセッサのクロック周波数および電圧値の少なくとも一方を制御して、処理を促進させる。例えば、プロセッサ7は、クロック供給部90を制御して、クロックを所定値に増加させる。具体的には、プロセッサ7は、図示しないレジスタに設定されるクロック周波数の設定値を増加させる。クロック周波数の増加値に限定があるわけではない。例えば、プロセッサ7は、クロック周波数を固定値(Δf)増加させてもよい。また、プロセッサ7は、所定比 R ($1 < R$)により、クロック周波数 f を $f \times R$ に増加してもよい。プロセッサ7は、所定値 Δf または所定比 R を、図示しないレジスタまたは主記憶2にパラメータとして保持しておけばよい。また、

20

【0033】

ステップS14において、プロセッサ7は、各プロセッサでの処理がすべて完了したか否かを判定する。プロセッサ7は、各プロセッサでの処理がすべて完了していない場合には、ステップS11に戻る。プロセッサ7は、各プロセッサでの処理がすべて完了した場合には、プロセッサの実行制御処理を終了する。

【0034】

プロセッサ7は、自身のプロセッサが実行するスレッドの処理時間が、グローバルタイムと比較して一定時間遅れている場合には、処理を促進させる。その結果、複数のプロセッサにより処理を行う並列コンピューティングシステムにおいて、性能向上の阻害要因であったスレッド間での同期待ち時間が減少する。同期待ち時間の減少により、情報処理装置1は、並列コンピューティングシステム全体の処理性能を向上させることができる。

30

【0035】

[実施例2]

実施例2では、複数のプロセッサは、それぞれの処理環境でのスレッドの実行時間を、他のプロセッサの処理環境でのスレッドの実行時間と比較することにより、自身のプロセッサの処理が進んでいるか否かを判断する。各プロセッサは、自身の処理が進んでいると判断した場合には、処理を抑制させる。

【0036】

＜ハードウェア構成＞

実施例2における、情報処理装置1のハードウェア構成は、実施例1と同様であるため、その説明を省略する。

40

【0037】

＜情報処理装置の機能ブロック＞

図4は、実施例2における情報処理装置の機能ブロック図である。図4において、情報処理装置1は、グローバルタイマー50を有しない点を除いて実施例1と同様であるため、その説明を省略する。なお、実施例2において、プロセッサ7は、他のプロセッサが有するローカルタイマー60が計測するローカルタイムを参照することができるものとする。

50

【0038】

<処理フロー>

図5は、実施例2におけるプロセッサの実行制御処理手順の一例を示すフローチャートである。

【0039】

ステップS21において、プロセッサ7は、自身のプロセッサ7のローカルタイマー60が計測するローカルタイムと、他のプロセッサ7のローカルタイマー60が計測するローカルタイムとを比較する。例えば、プロセッサ7aは、ローカルタイマー60aが計測するローカルタイムと、他のプロセッサ7bのローカルタイマー60bが計測するローカルタイムとを比較する。また、プロセッサ7aは、ローカルタイマー60aが計測するローカルタイムと、他のプロセッサ7cのローカルタイマー60cが計測するローカルタイムとを比較する。

10

【0040】

ステップS22において、プロセッサ7は、ステップS21の比較により、自身のプロセッサの処理が、自身のローカルタイマー60bが計測するローカルタイムが、他のプロセッサのローカルタイマー60bが計測するローカルタイムよりも大きいことにより、他のプロセッサの処理と比べて一定時間進んでいるか否かを判定する。プロセッサ7は、自身のプロセッサ7の処理が一定時間進んでいる場合にはステップS23に、遅れていない場合にはステップS21に戻る。

20

【0041】

ステップS23において、プロセッサ7は、自身のプロセッサのクロック周波数および電圧値の少なくとも一方を制御して、処理を抑制させる。例えば、プロセッサ7は、クロック供給部90を制御して、クロックを所定値に減少させる。また、例えば、プロセッサ7は、電源電圧が可変の情報処理装置において、電源電圧を減少すればよい。例えば、プロセッサ7は、電源電圧を可変範囲での最小値としてもよい。

【0042】

ステップS24において、プロセッサ7は、各プロセッサでの処理がすべて完了したか否かを判定する。プロセッサ7は、各プロセッサでの処理がすべて完了していない場合には、ステップS21に戻る。プロセッサ7は、各プロセッサでの処理がすべて完了した場合には、プロセッサの実行制御処理を終了する。

30

【0043】

プロセッサ7は、自身のプロセッサが実行するスレッドの処理時間が、他のプロセッサのローカルタイムと比較して大きい場合には、処理を抑制させる。遅れが生じた他のプロセッサに合わせて処理を抑制させるため、プロセッサ7は、クロック周波数を下げる。その結果、並列コンピューティングシステム全体の消費電力を低減することができる。

【符号の説明】

【0044】

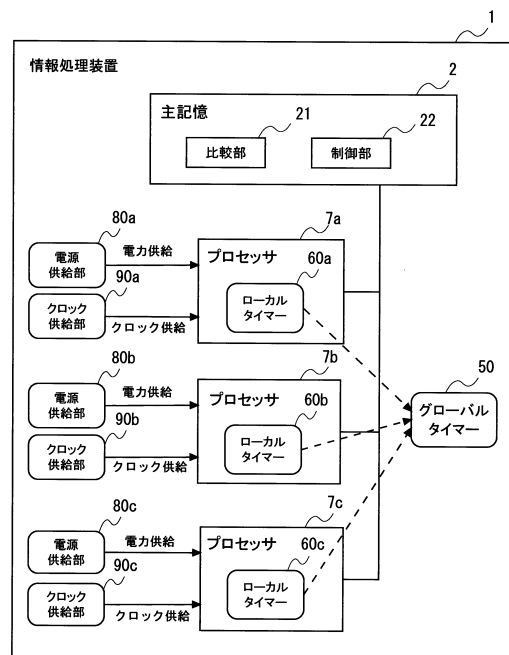
- 1 情報処理装置
- 2 主記憶
- 3 メモリバス
- 4 メインクロック供給回路
- 5 グローバルタイムレジスタ
- 6 a、6 b、6 c ローカルタイムレジスタ
- 7 a、7 b、7 c プロセッサ
- 8 a、8 b、8 c 電力供給回路
- 9 a、9 b、9 c クロック供給回路
- 10 a、10 b、10 c クロック制御レジスタ
- 11 a、11 b、11 c 電圧制御レジスタ
- 21 比較部
- 22 制御部

40

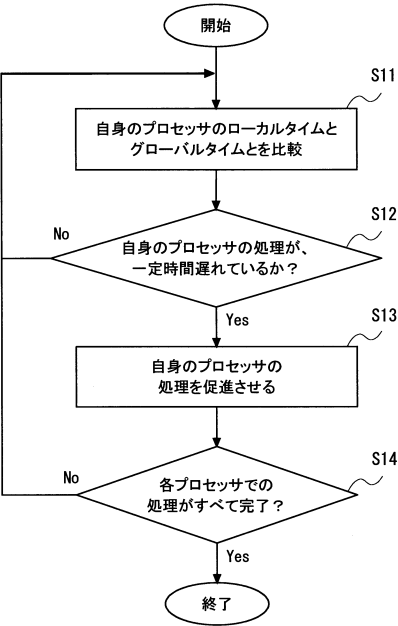
50

50	グローバルタイマー
60a、60b、60c	ローカルタイマー
80a、80b、80c	電源供給部
90a、90b、90c	クロック供給部

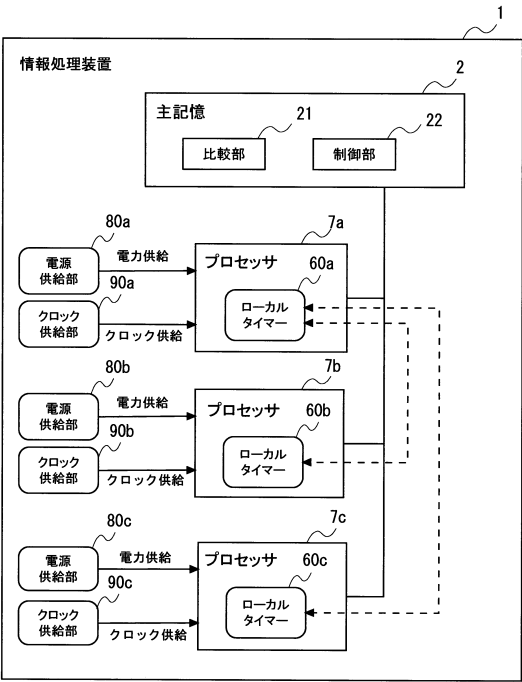
【図 2】



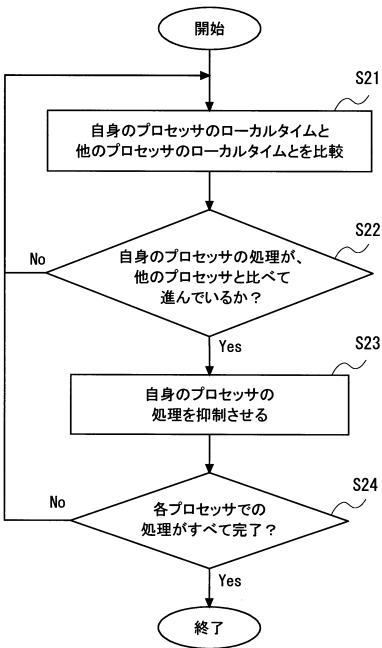
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 清水 俊幸
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 漆原 孝治

(56)参考文献 米国特許第08065459 (US, B1)
特開2006-172229 (JP, A)
国際公開第2007/141849 (WO, A1)

(58)調査した分野(Int.Cl., DB名)
G06F 9/50
G06F 9/52