

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成22年2月25日(2010.2.25)

【公開番号】特開2010-9612(P2010-9612A)

【公開日】平成22年1月14日(2010.1.14)

【年通号数】公開・登録公報2010-002

【出願番号】特願2009-193040(P2009-193040)

【国際特許分類】

G 0 6 F 13/36 (2006.01)

【F I】

G 0 6 F 13/36 3 1 0 E

【手続補正書】

【提出日】平成22年1月5日(2010.1.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

シングルチップで構成される第 1 データプロセッサと、  
 上記第 1 データプロセッサとは異なるシングルチップで構成される第 2 データプロセッサと、  
 外部デバイスと、  
 一方を前記第 1 データプロセッサに接続され、他方を前記第 2 データプロセッサに接続される第 1 外部バスと、  
 一方を前記第 2 データプロセッサに接続され、他方を前記外部デバイスに接続される第 2 外部バスと、を含むデータ処理システムであって、  
 前記第 2 データプロセッサは、  
 動作状態と待機状態との間で遷移され、  
 前記動作状態のとき、命令をフェッチし、実行可能な中央処理装置と、  
 前記中央処理装置が接続される内部バスと、  
 前記第 1 外部バスに一方が接続され、前記内部バスに他方が接続可能な第 1 外部インタフェース回路と、  
 前記第 2 データプロセッサの待機状態のとき、一方を前記第 1 外部バスに接続され、他方を前記第 2 外部バスに接続される内部経路と、を自らのシングルチップの内部に有し、  
 前記動作状態のとき、前記第 1 データプロセッサは前記第 1 外部インタフェース回路を介して前記第 2 データプロセッサにアクセス可能であり、前記第 2 データプロセッサは信号を前記第 2 外部バスへ供給可能であり、  
 前記待機状態のとき、前記第 1 データプロセッサは前記内部経路を介して前記第 2 データプロセッサの前記内部バスをバイパスさせて前記第 2 外部バスにアクセス可能であるデータ処理システム。

【請求項 2】

前記第 2 データプロセッサの待機状態とは、前記第 2 データプロセッサに含まれるクロック同期回路に対するクロック信号の供給が停止される状態である請求項 1 記載のデータ処理システム。

【請求項 3】

前記クロック同期回路の一つとして、前記中央処理装置を含む請求項 2 記載のデータ処理システム。

【請求項 4】

前記外部デバイスは、LCD コントローラであって、

前記待機状態のとき、前記第 1 データプロセッサは、前記第 2 データプロセッサの内部に配置される前記内部経路を介して前記 LCD コントローラに時間表示制御を行うことが可能である請求項 1 乃至 3 の何れか 1 項記載のデータ処理システム。

【請求項 5】

前記第 1 データプロセッサは、ベースバンド処理を行うプロセッサであって、

上記第 2 データプロセッサが待機状態の時、前記第 1 データプロセッサは前記内部経路を介して、前記第 2 外部バスへ画像表示情報の転送制御を行うことが可能である請求項 1 乃至 3 の何れか 1 項記載のデータ処理システム。

【請求項 6】

前記第 2 データプロセッサの待機状態に応答して、前記クロック同期回路の全部又は一部への動作電源の供給を停止させる電源制御回路を更に含んで成る請求項 4 または 5 記載のデータ処理システム。

【請求項 7】

第 1 データプロセッサと、

命令実行可能な CPU を含む第 2 データプロセッサと、

一端を前記第 1 データプロセッサに接続され、他端を前記第 2 データプロセッサに接続される第 1 外部バスと、

一端を前記第 2 データプロセッサに接続され、他端を外部デバイスに接続される第 2 外部バスと、を有し、

前記第 1 データプロセッサと、前記第 2 データプロセッサとは、それぞれ異なる半導体集積回路として構成され、

前記第 2 データプロセッサは、

前記 CPU に接続される内部バスと、

前記内部バスと前記第 1 外部バスとに接続される第 1 外部インタフェース回路と、

前記第 1 外部バスと前記第 2 外部バスと、に接続可能に配置された信号経路と、を有し、

前記第 2 データプロセッサは、前記 CPU が命令実行可能な第 1 状態と、前記 CPU の命令実行を抑止する第 2 状態とで遷移され、

前記第 2 状態のとき、前記第 2 データプロセッサの内部に配置される前記信号経路を介して前記第 1 外部バスと前記第 2 外部バスとが接続されるデータ処理システム。

【請求項 8】

前記第 2 状態のとき、クロック同期回路へのクロック信号の供給を停止し、

前記 CPU は、前記クロック同期回路の一つである請求項 7 記載のデータ処理システム。

【請求項 9】

前記第 1 状態のとき、前記第 2 データプロセッサは、前記第 2 外部バスを介して、前記外部デバイスへ画像を取り扱うための処理が行われた所定の情報を供給可能である請求項 8 記載のデータ処理システム。

【請求項 10】

前記第 2 状態のとき、前記第 1 データプロセッサは、前記第 2 プロセッサの前記信号経路を介して、時刻表示などの制御を行うことが可能な請求項 9 記載のデータ処理システム。

【請求項 11】

前記第 2 状態のとき、前記 CPU に対するクロック信号の供給が停止される請求項 7 記載のデータ処理システム。

【請求項 12】

前記第 1 状態のとき、前記第 2 データプロセッサは前記第 2 外部バスへアクセス可能であり、

前記第 2 状態のとき、前記第 1 データプロセッサは、前記信号経路および、前記第 2 データプロセッサの前記第 2 外部バスへ接続される外部端子を介して、前記第 2 外部バスへアクセス可能である請求項 1 1 記載のデータ処理システム。

【請求項 1 3】

前記第 1 状態のとき、前記第 2 データプロセッサは、画像を取り扱うための信号処理が可能で、

前記信号処理の結果を、前記外部端子を介して前記第 2 外部バスへ供給可能である請求項 1 2 記載のデータ処理システム。

【請求項 1 4】

前記第 2 データプロセッサは、さらに、

前記第 1 外部バスに接続可能な第 1 外部端子と、

前記第 2 外部バスに接続可能な第 2 外部端子と、

前記第 2 外部端子と前記内部バス、もしくは前記第 2 外部端子と前記信号経路との接続を切り換えるための切り換え回路と、を有し、

前記切り換え回路は、前記第 1 状態のとき、前記第 2 外部端子と前記内部バスとを接続し、前記第 2 状態のとき、前記第 2 外部端子と前記信号経路とを接続して前記データプロセッサの内部バスをバイパスする請求項 1 1 記載のデータ処理システム。

【請求項 1 5】

前記第 2 状態のとき、前記 CPU を含む内部回路の全部又は一部への電源供給を停止する請求項 1 0 または 1 4 記載のデータ処理システム。

【請求項 1 6】

第 1 半導体集積回路に形成される第 1 データプロセッサと、

中央処理装置、内部バスおよびメモリと、を内蔵し、第 2 半導体集積回路に形成される第 2 データプロセッサと、

第 3 半導体集積回路に形成される外部デバイスと、

前記第 1 データプロセッサと、前記第 2 データプロセッサとを接続する第 1 外部バスと、

前記第 2 データプロセッサと、前記外部デバイスとを接続する第 2 外部バスと、を含むデータ処理システムであって、

前記第 2 データプロセッサは、さらに、

前記第 1 外部バスと前記内部バスと、に接続可能な第 1 インタフェース回路と、

前記第 1 外部バスに接続される第 1 端子と、

前記第 2 外部バスに接続される第 2 端子と、

前記第 1 端子と前記第 2 端子とを半導体集積回路の内部で接続可能な信号経路と、を有し、

前記中央処理装置が命令を実行可能な第 1 状態と、前記中央処理装置が命令実行を抑制される第 2 状態とで動作状態を遷移可能とされ、

前記第 2 データプロセッサが前記第 1 状態のとき、前記第 1 データプロセッサは、前記第 1 外部バス及び前記第 1 端子を介して前記第 1 インタフェース回路へアクセス可能で、

前記第 2 データプロセッサが前記第 2 状態のとき、前記第 1 データプロセッサの制御に基づいて、前記信号経路を介して前記第 1 外部バスと前記第 2 外部バスと接続し、前記第 1 データプロセッサは前記信号経路を介して、前記第 2 外部バスに接続される前記外部デバイスにアクセス可能であるデータ処理システム。

【請求項 1 7】

前記第 2 データプロセッサは、さらに、前記内部バスと前記第 2 端子とに接続される第 2 インタフェース回路を有し、

前記第 1 状態のとき、前記中央処理装置は、前記第 2 インタフェース回路および前記第 2 端子を介して、前記第 2 外部バスにアクセス可能とされ、

前記第 2 状態のとき、前記中央処理装置へのクロック信号の供給が停止される状態である請求項 16 記載のデータ処理システム。

**【請求項 18】**

前記第 2 状態のとき、前記第 1 データプロセッサは、時刻表示制御の情報を前記第 1 外部バスへ出力し、前記第 1 端子、前記信号経路及び前記第 2 端子を介して前記第 2 外部バスへ出力する請求項 17 記載のデータ処理システム。

**【請求項 19】**

前記内部バスは、さらに、S D R A M に接続可能な S D R A M インタフェース回路、液晶ディスプレイ装置に接続可能な L C D インタフェース回路、メモリカードに接続可能なメモリカードインタフェース回路、シリアルインタフェース回路、揮発性メモリ、電气的に書き換え可能な不揮発性メモリ、及び汎用入出力ポート回路の中から選ばれた単数若しくは複数の回路が接続可能である請求項 18 記載のデータ処理システム。

**【請求項 20】**

前記第 2 状態のとき、前記中央処理装置に対する動作電源供給が停止され、前記信号経路は電源が供給される請求項 19 記載のデータ処理システム。