

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年2月25日(2010.2.25)

【公開番号】特開2010-9612(P2010-9612A)

【公開日】平成22年1月14日(2010.1.14)

【年通号数】公開・登録公報2010-002

【出願番号】特願2009-193040(P2009-193040)

【国際特許分類】

G 06 F 13/36 (2006.01)

【F I】

G 06 F 13/36 3 1 0 E

【手続補正書】

【提出日】平成22年1月5日(2010.1.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シングルチップで構成される第1データプロセッサと、

上記第1データプロセッサとは異なるシングルチップで構成される第2データプロセッサと、

外部デバイスと、

一方を前記第1データプロセッサに接続され、他方を前記第2データプロセッサに接続される第1外部バスと、

一方を前記第2データプロセッサに接続され、他方を前記外部デバイスに接続される第2外部バスと、を含むデータ処理システムであって、

前記第2データプロセッサは、

動作状態と待機状態との間で遷移され、

前記動作状態のとき、命令をフェッチし、実行可能な中央処理装置と、

前記中央処理装置が接続される内部バスと、

前記第1外部バスに一方が接続され、前記内部バスに他方が接続可能な第1外部インターフェース回路と、

前記第2データプロセッサの待機状態のとき、一方を前記第1外部バスに接続され、他方を前記第2外部バスに接続される内部経路と、を自らのシングルチップの内部に有し

前記動作状態のとき、前記第1データプロセッサは前記第1外部インターフェース回路を介して前記第2データプロセッサにアクセス可能であり、前記第2データプロセッサは信号を前記第2外部バスへ供給可能であり、

前記待機状態のとき、前記第1データプロセッサは前記内部経路を介して前記第2データプロセッサの前記内部バスをバイパスさせて前記第2外部バスにアクセス可能であるデータ処理システム。

【請求項2】

前記第2データプロセッサの待機状態とは、前記第2データプロセッサに含まれるクロック同期回路に対するクロック信号の供給が停止される状態である請求項1記載のデータ処理システム。

【請求項3】

前記クロック同期回路の一つとして、前記中央処理装置を含む請求項2記載のデータ処理システム。

【請求項4】

前記外部デバイスは、LCDコントローラであって、

前記待機状態のとき、前記第1データプロセッサは、前記第2データプロセッサの内部に配置される前記内部経路を介して前記LCDコントローラに時間表示制御を行うことが可能である請求項1乃至3の何れか1項記載のデータ処理システム。

【請求項5】

前記第1データプロセッサは、ベースバンド処理を行うプロセッサであって、

上記第2データプロセッサが待機状態の時、前記第1データプロセッサは前記内部経路を介して、前記第2外部バスへ画像表示情報の転送制御を行うことが可能である請求項1乃至3の何れか1項記載のデータ処理システム。

【請求項6】

前記第2データプロセッサの待機状態に応答して、前記クロック同期回路の全部又は一部への動作電源の供給を停止させる電源制御回路を更に含んで成る請求項4または5記載のデータ処理システム。

【請求項7】

第1データプロセッサと、

命令実行可能なCPUを含む第2データプロセッサと、

一端を前記第1データプロセッサに接続され、他端を前記第2データプロセッサに接続される第1外部バスと、

一端を前記第2データプロセッサに接続され、他端を外部デバイスに接続される第2外部バスと、を有し、

前記第1データプロセッサと、前記第2データプロセッサとは、それぞれ異なる半導体集積回路として構成され、

前記第2データプロセッサは、

前記CPUに接続される内部バスと、

前記内部バスと前記第1外部バスとに接続される第1外部インターフェース回路と、

前記第1外部バスと前記第2外部バスと、に接続可能に配置された信号経路と、を有し、

前記第2データプロセッサは、前記CPUが命令実行可能な第1状態と、前記CPUの命令実行を抑止する第2状態とで遷移され、

前記第2状態のとき、前記第2データプロセッサの内部に配置される前記信号経路を介して前記第1外部バスと前記第2外部バスとが接続されるデータ処理システム。

【請求項8】

前記第2状態のとき、クロック同期回路へのクロック信号の供給を停止し、

前記CPUは、前記クロック同期回路の一つである請求項7記載のデータ処理システム。

【請求項9】

前記第1状態のとき、前記第2データプロセッサは、前記第2外部バスを介して、前記外部デバイスへ画像を取り扱うための処理が行われた所定の情報を供給可能である請求項8記載のデータ処理システム。

【請求項10】

前記第2状態のとき、前記第1データプロセッサは、前記第2プロセッサの前記信号経路を介して、時刻表示などの制御を行うことが可能な請求項9記載のデータ処理システム。

【請求項11】

前記第2状態のとき、前記CPUに対するクロック信号の供給が停止される請求項7記載のデータ処理システム。

【請求項12】

前記第1状態のとき、前記第2データプロセッサは前記第2外部バスへアクセス可能であり、

前記第2状態のとき、前記第1データプロセッサは、前記信号経路および、前記第2データプロセッサの前記第2外部バスへ接続される外部端子を介して、前記第2外部バスへアクセス可能である請求項1記載のデータ処理システム。

【請求項13】

前記第1状態のとき、前記第2データプロセッサは、画像を取り扱うための信号処理が可能で、

前記信号処理の結果を、前記外部端子を介して前記第2外部バスへ供給可能である請求項12記載のデータ処理システム。

【請求項14】

前記第2データプロセッサは、さらに、

前記第1外部バスに接続可能な第1外部端子と、

前記第2外部バスに接続可能な第2外部端子と、

前記第2外部端子と前記内部バス、もしくは前記第2外部端子と前記信号経路との接続を切り換えるための切り換え回路と、を有し、

前記切り換え回路は、前記第1状態のとき、前記第2外部端子と前記内部バスとを接続し、前記第2状態のとき、前記第2外部端子と前記信号経路とを接続して前記データプロセッサの内部バスをバイパスする請求項1記載のデータ処理システム。

【請求項15】

前記第2状態のとき、前記CPUを含む内部回路の全部又は一部への電源供給を停止する請求項10または14記載のデータ処理システム。

【請求項16】

第1半導体集積回路に形成される第1データプロセッサと、

中央処理装置、内部バスおよびメモリと、を内蔵し、第2半導体集積回路に形成される第2データプロセッサと、

第3半導体集積回路に形成される外部デバイスと、

前記第1データプロセッサと、前記第2データプロセッサとを接続する第1外部バスと、

前記第2データプロセッサと、前記外部デバイスとを接続する第2外部バスと、を含むデータ処理システムであって、

前記第2データプロセッサは、さらに、

前記第1外部バスと前記内部バスと、に接続可能な第1インターフェース回路と、

前記第1外部バスに接続される第1端子と、

前記第2外部バスに接続される第2端子と、

前記第1端子と前記第2端子とを半導体集積回路の内部で接続可能な信号経路と、を有し、

前記中央処理装置が命令を実行可能な第1状態と、前記中央処理装置が命令実行を抑止される第2状態とで動作状態を遷移可能とされ、

前記第2データプロセッサが前記第1状態のとき、前記第1データプロセッサは、前記第1外部バス及び前記第1端子を介して前記第1インターフェース回路へアクセス可能で、

前記第2データプロセッサが前記第2状態のとき、前記第1データプロセッサの制御に基づいて、前記信号経路を介して前記第1外部バスと前記第2外部バスと接続し、前記第1データプロセッサは前記信号経路を介して、前記第2外部バスに接続される前記外部デバイスにアクセス可能であるデータ処理システム。

【請求項17】

前記第2データプロセッサは、さらに、前記内部バスと前記第2端子とに接続される第2インターフェース回路を有し、

前記第1状態のとき、前記中央処理装置は、前記第2インターフェース回路および前記第2端子を介して、前記第2外部バスにアクセス可能とされ、

前記第2状態のとき、前記中央処理装置へのクロック信号の供給が停止される状態である請求項16記載のデータ処理システム。

【請求項18】

前記第2状態のとき、前記第1データプロセッサは、時刻表示制御の情報を前記第1外部バスへ出力し、前記第1端子、前記信号経路及び前記第2端子を介して前記第2外部バスへ出力する請求項17記載のデータ処理システム。

【請求項19】

前記内部バスは、さらに、SDRAMに接続可能なSDRAMインターフェース回路、液晶ディスプレイ装置に接続可能なLCDインターフェース回路、メモリカードに接続可能なメモリカードインターフェース回路、シリアルインターフェース回路、揮発性メモリ、電気的に書き換え可能な不揮発性メモリ、及び汎用入出力ポート回路の中から選ばれた単数若しくは複数の回路が接続可能である請求項18記載のデータ処理システム。

【請求項20】

前記第2状態のとき、前記中央処理装置に対する動作電源供給が停止され、前記信号経路は電源が供給される請求項19記載のデータ処理システム。