

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45324
(P2010-45324A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード(参考)
H05K 3/34 (2006.01)	H05K 3/34 501D	5E319
H05K 1/18 (2006.01)	H05K 3/34 502D	5E336
H05K 1/02 (2006.01)	H05K 1/18 K	5E338
	H05K 3/34 507C	
	H05K 3/34 507G	

審査請求 未請求 請求項の数 17 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2009-9145 (P2009-9145)
 (22) 出願日 平成21年1月19日(2009.1.19)
 (31) 優先権主張番号 特願2008-163837 (P2008-163837)
 (32) 優先日 平成20年6月23日(2008.6.23)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2008-184204 (P2008-184204)
 (32) 優先日 平成20年7月15日(2008.7.15)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 100106149
 弁理士 矢作 和行
 (74) 代理人 100121991
 弁理士 野々部 泰平
 (74) 代理人 100145595
 弁理士 久保 貴則
 (72) 発明者 上田 浩二
 愛知県刈谷市昭和町1丁目1番地 株式会
 社デンソー内
 Fターム(参考) 5E319 AA03 AA06 AB01 AB06 AC11
 BB05 CC49 GG15

最終頁に続く

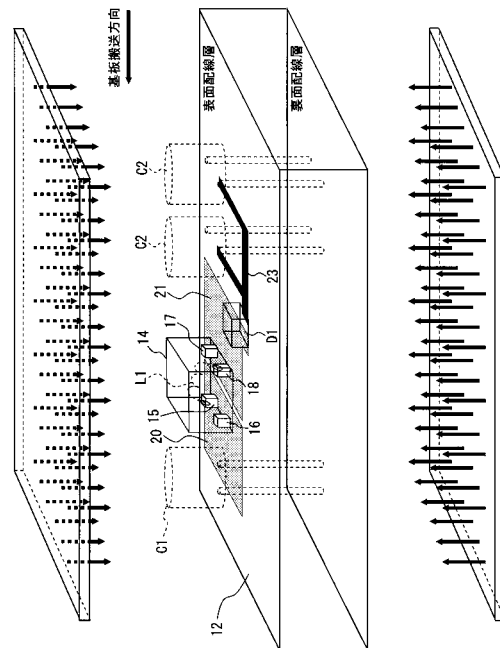
(54) 【発明の名称】 電子回路基板及び電子制御装置

(57) 【要約】

【課題】リフロー加熱時間を過度に長くすることなく、コイルを有する表面実装型素子をリフロー加熱により基板にはんだ付けしても、はんだ不濡れやはんだ溶融が不十分になるなどのはんだ付け品質の低下を抑制することが可能な電子回路基板を提供する。

【解決手段】電子回路基板12は、その表面に、表面実装型素子14に流すべき電流値を確保するための電流容量によって決まるパターン面積よりも大面積のパターン20、21を有しており、表面実装型素子14の接続端子15、18がはんだ接続されるランド25、28は、その大面積パターン20、21の一部として設けられている。このため、電子回路基板12がリフロー炉内を搬送される際、大面積パターン20、21の集熱効果により、ランド25、28、ひいては表面実装型素子14の接続端子15、18の温度をはんだが十分に溶融する温度まで高めることができる。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

リフロー炉における加熱によって溶融されるはんだにより接続される表面実装型素子を備えた電子回路基板であって、

前記電子回路基板には、前記表面実装型素子を含む複数の素子が実装され、前記表面実装型素子は、それら複数の素子において相対的に大きい熱容量を有するものであり、

前記電子回路基板の表面には、前記表面実装型素子の端子がはんだ接続されるランドが形成され、当該ランドは、前記表面実装型素子に流すべき電流値を確保するための電流容量によって決まるパターン面積よりも大面積のパターンの一部として設けられることを特徴とする電子回路基板。

10

【請求項 2】

前記表面実装型素子は、コイルを有する素子であることを特徴とする請求項 1 に記載の電子回路基板。

【請求項 3】

前記大面積のパターンは、レジスト膜によって覆われるとともに、当該レジスト膜が前記ランドに対応する開口部を有し、その開口部から露出された大面積のパターンの一部が前記ランドとなることを特徴とする請求項 1 又は請求項 2 に記載の電子回路基板。

【請求項 4】

前記表面実装型素子は、前記端子として、2 個の接続端子と、前記電子回路基板への固定を補助するための少なくとも 1 個の固定補助端子とを有し、これらの 2 個の接続端子及び少なくとも 1 個の固定補助端子が、前記ランドにそれぞれはんだ接続されることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の電子回路基板。

20

【請求項 5】

前記表面実装型素子は、前記端子として、前記コイルの両端にそれぞれ接続された 2 個の接続端子と、前記電子回路基板への固定を補助するための 2 個の固定補助端子とを有し、これらの 2 個の接続端子及び 2 個の固定補助端子が前記電子回路基板のランドにそれぞれはんだ接続されるものであって、前記 2 個の接続端子と前記 2 個の固定補助端子とは、隣接する端子同士を仮想線で結んだ場合、各々、仮想線により形成される矩形形状の頂点に位置するとともに、前記 2 個の接続端子が対角位置となり、かつ前記 2 個の固定補助端子が対角位置となるように、前記表面実装型素子の実装面に配置されることを特徴とする請求項 2 に記載の電子回路基板。

30

【請求項 6】

前記 2 個の接続端子の一方と、前記 2 個の固定補助端子の一方とが同じ大面積のパターンに設けられたランドにそれぞれはんだ接続され、前記 2 個の接続端子の他方と、前記 2 個の固定補助端子の他方とが同じ大面積のパターンに設けられたランドにそれぞれはんだ接続されることを特徴とする請求項 5 に記載の電子回路基板。

【請求項 7】

前記端子は、前記表面実装型素子の側面にも露出しており、その側面に露出した端子と前記ランドとによりはんだフィレットが形成されることを特徴とする請求項 1 乃至請求項 6 のいずれかに記載の電子回路基板。

40

【請求項 8】

前記大面積のパターンは、前記電子回路基板が前記表面実装型素子を搭載した状態で前記リフロー炉内を搬送される搬送方向と平行となるように、前記電子回路基板の表面に形成されることを特徴とする請求項 1 乃至請求項 7 のいずれかに記載の電子回路基板。

【請求項 9】

前記リフロー炉には、少なくとも前記表面実装型素子の表面側に向けて熱風を噴き出す複数のノズルが設けられ、前記大面積のパターンは、前記表面実装素子が前記リフロー炉内を搬送されるときに、前記ノズルからの熱風が直接当たる位置に設けられていることを特徴とする請求項 8 に記載の電子回路基板。

【請求項 10】

50

前記電子回路基板には、当該電子回路基板に形成されたスルーホールに端子が挿入される端子挿入型素子も実装され、当該端子挿入型素子は、前記表面実装型素子と隣接して設けられるものであって、前記大面積のパターンは、前記端子挿入型素子の端子との絶縁を確保しつつ、前記端子挿入型素子の直下の領域まで延びるように形成されることを特徴とする請求項 1 乃至請求項 9 のいずれかに記載の電子回路基板。

【請求項 1 1】

前記電子回路基板の裏面にも大面積のパターンが形成され、さらに、当該裏面に形成された大面積のパターンと表面に形成された大面積のパターンとを熱的に接続する、内部に金属材料が堆積されたビアホールを備えることを特徴とする請求項 1 乃至請求項 1 0 のいずれかに記載の電子回路基板。

10

【請求項 1 2】

前記電子回路基板の表面の大面積のパターンは、前記ビアホールに対して、所定の隙間を隔てて、その周囲を取り囲むように形成され、前記電子回路基板の表面の大面積のパターンと前記ビアホール内部の金属材料とは電気的に絶縁されていることを特徴とする請求項 1 1 に記載の電子回路基板。

【請求項 1 3】

前記表面実装型素子は熱容量の異なる複数の端子を有し、複数の端子の熱容量の差に応じて、各々の端子が接続される大面積のパターンの大きさに差を設けることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載の電子回路基板。

【請求項 1 4】

前記大面積のパターンは、隙間なく広がったベタパターンであることを特徴とする請求項 1 乃至請求項 1 3 のいずれかに記載の電子回路基板。

20

【請求項 1 5】

前記大面積パターンは、パターン内に、少なくとも 1 つのパターンが存在しない領域が形成されたものであることを特徴とする請求項 1 乃至請求項 1 3 のいずれかに記載の電子回路基板。

【請求項 1 6】

前記大面積パターンは、ジグザグに折り返されたジグザグパターンであることを特徴とする請求項 1 乃至請求項 1 3 のいずれかに記載の電子回路基板。

【請求項 1 7】

請求項 1 乃至請求項 1 6 のいずれかに記載の電子回路基板を有することを特徴とする電子制御装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表面実装型素子を実装する電子回路基板及び電子制御装置に関する。

【背景技術】

【0002】

ディーゼルエンジンやガソリン直噴エンジンにおいて、微小燃料の高精度な噴射を実現するためには、燃料噴射弁（インジェクタ）の開閉に高い応答性が求められる。そのため、特許文献 1 に記載されるように、インジェクタ駆動回路は、バッテリー電圧を昇圧する昇圧回路としての DC - DC コンバータ及び当該 DC - DC コンバータによって昇圧された電圧を蓄えるコンデンサを備えている。そして、インジェクタを駆動する駆動用トランジスタをオンさせる前に、DC - DC コンバータによってコンデンサを充電しておく。これにより、駆動用トランジスタをオンした時に、コンデンサからインジェクタへ大電流が通電されるので、インジェクタの開弁時に高速に開弁駆動することが可能になる。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2 0 0 0 - 1 1 0 6 4 0 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0004】

ここで、例えばエンジン回転速度が高くなったときなど、コンデンサからの放電頻度が高まったときにも、インジェクタへ大電流を安定的に供給することが必要である。このため、DC-DCコンバータは、大電流を通電しても磁気飽和しにくく、かつ高インダクタンスを有するパワーチョークコイルを備える必要があり、また、インジェクタに駆動電流を供給するコンデンサとしては、大きなエネルギー量を保持可能な大容量コンデンサを用いる必要がある。

【0005】

上述したパワーチョークコイルや大容量コンデンサは、体格の大きな大型部品となる。このような大型部品は、温度変化や振動といった厳しい車載環境条件においても、回路基板への実装状態及び電氣的接続を確実に維持すべく、通常、端子挿入型部品（THD）として構成される。

【0006】

しかしながら、端子挿入型部品（THD）の場合、基板裏面への部品実装や基板中間層へのパターン配置を行なうことができず、高密度実装による製品サイズの小型化を測る上で不利となる。そのため、パワーチョークコイルなどを、端子挿入型部品（THD）ではなく、表面実装型部品（SMD）として構成することが考えられる。

【0007】

ただし、パワーチョークコイルなどの大型部品を表面実装型部品として構成した場合、部品の体格が大きいため、またコイルの場合はコア及び巻き線で構成されるために、熱容量が大きい。このため、表面実装型部品の端子を回路基板のランドにリフロー加熱によってはんだ付けしようとしても、その端子の温度が上がりにくくなってしまふ。その結果、はんだ不濡れやはんだ溶融が不十分になるなどはんだ付け品質が低下しやすくなる。このようなことは、鉛フリーはんだを代表とする高融点はんだを用いた場合、より顕著に発生する。

【0008】

なお、上述した問題は、スポットリフローや手作業によるはんだ付けにより、表面実装型部品を搭載した回路基板を局部的に加熱したり、リフロー加熱時間を長くすることにより、解決できる可能性はあるが、製品加工費の増加や他部品に対する熱ストレスの増加といった問題を新たに生じさせてしまふ。

【0009】

本発明は、上述した点に鑑みてなされたものであり、リフロー加熱時間を過度に長くすることなく、表面実装型素子の端子をリフロー加熱により基板にはんだ付けしても、はんだ不濡れやはんだ溶融が不十分になるなどはんだ付け品質の低下を抑制することが可能な電子回路基板を提供することを目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、請求項1に記載の電子回路基板は、リフロー炉における加熱によって溶融されるはんだにより接続される表面実装型素子を備えた電子回路基板であって、

電子回路基板には、表面実装型素子を含む複数の素子を実装され、前記表面実装型素子は、それら複数の素子において相対的に大きい熱容量を有するものであり、

電子回路基板の表面には、表面実装型素子の端子がはんだ接続されるランドが形成され、当該ランドは、表面実装型素子に流すべき電流値を確保するための電流容量によって決まるパターン面積よりも大面積のパターンの一部として設けられることを特徴とする。

【0011】

上述したように、請求項1の電子回路基板は、その表面に、表面実装型素子に流すべき電流値を確保するための電流容量によって決まるパターン面積よりも大面積のパターンを

10

20

30

40

50

有しており、表面実装型素子の端子がはんだ接続されるランドは、その大面積のパターンの一部として設けられている。このため、電子回路基板がリフロー炉内を搬送される際、大面積のパターンの集熱効果により、ランド、ひいては表面実装型素子の端子の温度をはんだが十分に溶融する温度まで高めることができる。その結果、熱容量の大きな表面実装型素子をリフロー加熱により電子回路基板にはんだ付けする場合であっても、はんだ付け品質の低下を抑制することができる。

【0012】

請求項2に記載したように、表面実装型素子は、コイルを有する素子であっても良い。コイルを内蔵し、端子がそのコイルに接続されている場合、特に端子の熱容量が大きくなる傾向にあるが、請求項1に記載の電子回路基板により、その端子の温度を高めることができるためである。

10

【0013】

請求項3に記載したように、大面積のパターンは、レジスト膜によって覆われるとともに、当該レジスト膜がランドに対応する開口部を有し、その開口部から露出された大面積のパターンの一部がランドとなることが好ましい。これにより、大面積のパターンの任意の位置にランドを設けることができ、表面実装型素子の実装位置の設計自由度が向上できる。

【0014】

請求項4に記載したように、表面実装型素子は、端子として、2個の接続端子と、電子回路基板への固定を補助するための少なくとも1個の固定補助端子とを有し、これらの2個の接続端子及び少なくとも1個の固定補助端子が、ランドにそれぞれはんだ接続されることが好ましい。少なくとも1個の固定補助端子を設け、この固定補助端子をはんだ接続できるようにランドを設けることにより、接続端子による固定のみならず、固定補助端子を利用した固定も実現でき、より確実に表面実装型素子を基板に固定することができる。

20

【0015】

請求項5に記載したように、表面実装型素子は、端子として、コイルの両端にそれぞれ接続された2個の接続端子と、電子回路基板への固定を補助するための2個の固定補助端子とを有し、これらの2個の接続端子及び2個の固定補助端子が電子回路基板のランドにそれぞれはんだ接続されるものであって、2個の接続端子と2個の固定補助端子とは、隣接する端子同士を仮想線で結んだ場合、各々、仮想線により形成される矩形形状の頂点に位置するとともに、2個の接続端子が対角位置となり、かつ2個の固定補助端子が対角位置となるように、表面実装型素子の実装面に配置されることが好ましい。

30

【0016】

コイルの両端に接続された2個の接続端子と、電子回路基板への固定を補助するための2個の固定補助端子とでは、コイルとの接続の有無に応じて、熱容量が大きく異なる。すなわち、固定補助端子の熱容量は、接続端子の熱容量よりも小さいため、固定補助端子は、接続端子よりも早く温度が上昇する。すると、固定補助端子と接続端子とで、はんだが溶融するタイミングにずれが生じ、はんだ張力差などによって表面実装型素子の実装位置がずれてしまう可能性が生じる。そのため、請求項5では、2個の接続端子と2個の固定補助端子とが矩形形状の頂点に位置するとともに、2個の接続端子が対角位置となり、かつ2個の固定補助端子が対角位置となるように、表面実装型素子の実装面に配置した。このような配置構造を採用することにより、固定補助端子のはんだが溶融したとき、はんだ張力差などが表面実装型素子に対して対称的に作用するので、接続端子と固定補助端子とではんだの溶融タイミングがずれても、表面実装型素子の実装位置がずれてしまうことを極力抑制することができる。

40

【0017】

請求項6に記載したように、2個の接続端子の一方と、2個の固定補助端子の一方とが同じ大面積のパターンに設けられたランドにそれぞれはんだ接続され、2個の接続端子の他方と、2個の固定補助端子の他方とが同じ大面積のパターンに設けられたランドにそれ

50

それはんだ接続されても良い。固定補助端子は、接続端子と電氣的に無関係であるため、固定補助端子と接続端子を同一の大面積のパターンにはんだ接続してもなんら問題は生じない。逆に、同一の大面積のパターンにはんだ接続することにより、大面積のパターンを大きくすることが容易になる。

【0018】

請求項7に記載したように、端子は、表面実装型素子の側面にも露出しており、その側面に露出した端子とランドとによりはんだフィレットが形成されることが好ましい。これにより、端子のランドへのはんだ付け強度をより高めることができる。

【0019】

請求項8に記載したように、大面積のパターンは、電子回路基板が表面実装型素子を搭載した状態でリフロー炉内を搬送される搬送方向と平行となるように、電子回路基板の表面に形成されることが好ましい。これにより、電子回路基板がリフロー炉内を搬送される際に、効率的に大面積のパターンの温度を高めることができる。

【0020】

さらに、請求項9に記載したように、リフロー炉には、少なくとも表面実装型素子の表面側に向けて熱風を噴き出す複数のノズルが設けられ、大面積のパターンは、表面実装素子がリフロー炉内を搬送されるときに、ノズルからの熱風が直接当たる位置に設けられていることが好ましい。これにより、一層効果的に、大面積のパターンの温度を高めることができる。

【0021】

請求項10に記載したように、電子回路基板には、当該電子回路基板に形成されたスルーホールに端子が挿入される端子挿入型素子も実装され、当該端子挿入型素子は、表面実装型素子と隣接して設けられるものであって、大面積のパターンは、端子挿入型素子の端子との絶縁を確保しつつ、端子挿入型素子の直下の領域まで延びるように形成されることが好ましい。このように、大面積のパターンを設ける領域として、端子挿入型素子の直下の領域を利用することにより、電子回路基板表面を有効に活用し、各種素子を高密度に実装することが可能になる。なお、表面実装型素子がリフロー加熱により電子回路基板に実装されるときには、端子挿入型素子は、まだ電子回路基板に実装されておらず、表面実装型素子の実装後に、例えばはんだフロー工程により電子回路基板に実装される。

【0022】

請求項11に記載したように、電子回路基板の裏面にも大面積のパターンが形成され、さらに、当該裏面に形成された大面積のパターンと表面に形成された大面積のパターンとを熱的に接続する、内部に金属材料が堆積されたビアホールを備えることが好ましい。これにより、電子回路基板表面の大面積のパターンに加え、裏面の大面積のパターンも利用して集熱することができるので、ランド及び表面実装型素子の端子の温度をはんだが十分に溶融する温度まで容易に高めることができる。

【0023】

なお、請求項12に記載したように、電子回路基板の表面の大面積のパターンは、ビアホールに対して、所定の隙間を隔てて、その周囲を取り囲むように形成され、電子回路基板の表面の大面積のパターンとビアホール内部の金属材料とは電氣的に絶縁されていても良い。このようにすれば、電子回路基板の裏面側に、集熱専用の大面積のパターンを設けることなく、他の回路を構成する大面積のパターンを利用して、電子回路基板の表面の大面積のパターンの温度向上を促進することができる。

【0024】

請求項13に記載したように、表面実装型素子は熱容量の異なる複数の端子を有し、複数の端子の熱容量の差に応じて、各々の端子が接続される大面積のパターンの大きさに差を設けても良い。例えば、表面実装型素子として、コイルの巻き線数の異なるトランスを用いる場合、そのコイルの巻き線数に応じて、それぞれのコイルに接続された端子に対する大面積のパターンの大きさに差を設けても良い。具体的には、熱容量の小さい端子に対する大面積のパターンの大きさを、熱容量の大きい端子に対する大面積のパターンの大き

10

20

30

40

50

さよりも小さくする。これにより、それぞれの端子におけるはんだの溶融タイミングのずれを小さくすることができ、表面実装型素子の実装位置ずれを極力抑制することができる。

【0025】

上述した大面積のパターンは、請求項14に記載したように、隙間なく広がったベタパターンであっても良い。このように、大面積のパターンとしてベタパターンを用いることにより、簡単に大面積のパターンを形成することができる。

【0026】

しかし、大面積のパターンは、ベタパターン以外に、例えば請求項15に記載したように、パターン内に少なくとも1つのパターンが存在しない領域（例えば、スリットパターン）が形成されたものであっても良いし、請求項16に記載したように、ジグザグに折り返されたジグザグパターンであっても良い。このような大面積のパターンを採用することにより、電子回路基板と、その表面に形成される大面積のパターンとの間に線膨張係数差があっても、電子回路基板に対するパターンの偏りを調整することができるので、その線膨張係数差による電子回路基板の歪みの発生を軽減することができる。

10

【0027】

上述した電子回路基板により、はんだによる接続信頼性の低下を抑制しつつ、高密度実装が可能となる。従って、請求項17に記載したように、電子制御装置が、上述した電子回路基板を有することにより、信頼性が高く、体格の小型化を図ることが可能な電子制御装置を提供することができる。

20

【図面の簡単な説明】

【0028】

【図1】インジェクタ駆動回路に用いられるDC-DCコンバータ及び当該DC-DCコンバータによって昇圧された電圧を蓄えるコンデンサC2などからなる昇圧回路の一例を示す回路図である。

【図2】第1実施形態における、リフロー炉内を搬送される電子回路基板12を示す斜視図である。

【図3】回路基板12の表面配線層における配線パターンを示す平面図である。

【図4】表面実装型素子14の搭載面側を、ランド25～28とともに示した図である。

【図5】接続端子15とランド25とのはんだ接続の状態を示した図である。

30

【図6】第2実施形態における、リフロー炉内を搬送される電子回路基板12aを示す斜視図である。

【図7】第3実施形態における、リフロー炉内を搬送される電子回路基板12bを示す斜視図である。

【図8】第4実施形態における、リフロー炉内を搬送される電子回路基板12cを示す斜視図である。

【図9】第5実施形態における、リフロー炉内を搬送される電子回路基板12dを示す斜視図である。

【図10】変形例における、回路基板12の表面配線層の配線パターンを示す平面図である。

40

【図11】変形例における、回路基板12の表面配線層の配線パターンを示す平面図である。

【図12】変形例における、回路基板12の表面配線層の配線パターンを示す平面図である。

【図13】変形例における、回路基板12の表面配線層の配線パターンを示す平面図である。

【図14】変形例における、回路基板12の表面配線層の配線パターンを示す平面図である。

【発明を実施するための最良の形態】

【0029】

50

(第1実施形態)

以下、本発明の第1実施形態を図に基づいて説明する。本実施形態による電子回路基板は、例えばディーゼルエンジンやガソリン直噴エンジンに用いられる電子制御装置におけるインジェクタ駆動回路の回路基板として用いられる。ただし、インジェクタ駆動回路に限らず、コイルを内蔵する表面実装型素子を搭載する必要がある場合、本実施形態による電子回路基板を用いれば、表面実装型素子のリフロー加熱によるはんだ付け品質の低下を抑制することができるため好ましい。

【0030】

まず、本実施形態の電子回路基板に構成されるインジェクタ駆動回路について説明する。図1は、インジェクタ駆動回路に用いられるDC-DCコンバータ及び当該DC-DCコンバータによって昇圧された電圧を蓄えるコンデンサC2などからなる昇圧回路の一例を示す回路図である。図1に示すように、昇圧回路は、電源に接続されたコンデンサC1を有する。このコンデンサC1は、後述するDC-DCコンバータに大電流が流されたとき、電源電圧の変動を抑制するために設けられている。

10

【0031】

DC-DCコンバータは、パワーチョークコイルL1、スイッチング素子Tr、抵抗R、整流ダイオードD1、及び制御回路10などからなる。DC-DCコンバータにより昇圧された電圧は平滑コンデンサC2に蓄えられる。本実施形態においては、平滑コンデンサC2に高電圧が蓄積された状態で、図示しない放電回路がオンすることにより、平滑コンデンサC2から放電回路を介して図示しないインジェクタへ大電流が供給される。

20

【0032】

ここで、昇圧回路の動作について、簡単に説明する。制御回路10がスイッチング素子Trをオンすることにより、パワーチョークコイルL1、スイッチング素子Tr、及び抵抗Rを介して電流が流れる。このとき、抵抗Rの端子電圧から抵抗Rを流れる電流の電流値が所定値に達したと判定されると、制御回路10はスイッチング素子Trをオフする。すると、スイッチング素子Trがオフされるまでに通電されていた電流によりパワーチョークコイルL1に蓄えられた磁気エネルギーが電気エネルギーとして放電され、整流ダイオードD1を介して平滑コンデンサC2が充電される。

【0033】

制御回路10は、図示しない電圧検出回路を用いて、平滑コンデンサC2の電圧をモニタしており、平滑コンデンサC2の電圧が目標電圧に一致するように、スイッチング素子Trのオン・オフを制御する。

30

【0034】

上述した構成を有する昇圧回路においては、エンジン回転速度が高くなったときなど、平滑コンデンサC2からの放電頻度が高まったときにも、インジェクタへ大電流を安定的に供給する必要がある。このため、DC-DCコンバータは、大電流を通電しても磁気飽和しにくく、かつ高インダクタンスを有するパワーチョークコイルL1を備えており、その結果、パワーチョークコイルL1は比較的大型の部品となる。

【0035】

本実施形態では、そのような大型の部品であるため、また内部に配置されたコアやコイルのために熱容量が大きくなるパワーチョークコイルL1を表面実装型素子として、リフロー加熱により回路基板にはんだ付けする。ただし、上述したようにパワーチョークコイルL1は熱容量が大きいため、単に、リフロー加熱を行なっただけでは、パワーチョークコイルL1を内蔵する表面実装型素子の端子の温度上昇が不十分となり、はんだ付け品質が低下する虞がある。

40

【0036】

そのため、本実施形態では、パワーチョークコイルL1を内蔵する表面実装型素子をリフロー加熱により回路基板にはんだ付けしても、はんだ不濡れやはんだ溶融が不十分になるなどのはんだ付け品質の低下を抑制することができるように、回路基板の構成を工夫した。

50

【0037】

以下、図2及び図3を参照しつつ、昇圧回路が搭載される電子回路基板12の構成について詳しく説明する。なお、図2は、リフロー炉内を搬送される電子回路基板12を示す斜視図である。表面実装型素子14をリフロー加熱によりはんだ付けする際には、まだ、端子挿入型素子からなるコンデンサC1、C2は回路基板12に実装されていない。このため、図2においては、端子挿入型素子からなるコンデンサC1、C2は点線で示されている。また、図2及び後述する図6～図9では、回路基板12の構成を明瞭に図示すべく、例えば回路基板12が非常に厚く示されるなど、回路基板12を模式的に示している。図3は、回路基板12の表面配線層における配線パターンを示す平面図である。この図3においても、回路基板12に実装される表面実装型素子14、整流ダイオードD1、及び各コンデンサC1、C2が点線によって示されている

10

図2及び図3に示すように、コンデンサC1の一方の端子と、パワーチョークコイルL1を内蔵した表面実装型素子14の一方の接続端子15とは、共通の大面积パターン20に接続されている。この大面积パターン20は、銅やアルミニウムなどの熱伝導性の良好な金属材料によって形成され、図示しない配線を介して電源に接続されている。

【0038】

表面実装型素子14は、端子として、接続端子15に加え、表面実装型素子14の回路基板12への固定を補助するための固定補助端子16も有し、この固定補助端子16は、接続端子15と同じ大面积パターン20に接続されている。また、表面実装型素子14の他方の接続端子18ともう一つの固定補助端子17は、大面积パターン20と隣接して設けられた大面积パターン21にそれぞれ接続されている。固定補助端子16、17は、接続端子15、18と電氣的に無関係であるため、固定補助端子16、17と接続端子15、18を同一の大面积パターン20、21にはんだ接続してもなんら問題は生じない。逆に、同一の大面积パターン20、21にはんだ接続することにより、大面积パターン20、21の面積を大きくすることが容易になる。なお、本実施形態では、大面积パターン20、21が、隙間なく広がったベタパターンとなっている。

20

【0039】

ここで、大面积パターン20、21は、それぞれレジスト膜によって覆われている。そのレジスト膜には、大面积パターン20、21のランド25～28となる部分に対応して開口部が形成されている。すなわち、レジスト膜の開口部から露出された大面积パターン20、21の一部がランド25～28となる。これにより、大面积パターン20、21の任意の位置にランド25～28を設けることができ、表面実装型素子14の実装位置の設計自由度が向上する。

30

【0040】

レジスト膜の開口部により規定されるランド25～28には、予めペースト状のはんだが塗布されており、そのはんだがリフロー加熱により溶融されることにより、接続端子15、18及び固定補助端子16、17と、対応するランド25～28とがはんだ接続される。

【0041】

図4は、ランド25～28と、接続端子15、18及び固定補助端子16、17との相対的な位置関係等を表すべく、表面実装型素子14の搭載面側を、ランド25～28とともに示した図である。図4に示すように、接続端子15、18及び固定補助端子16、17は、対応する各ランド25～28上において、それらの中央ではなく、表面実装型素子14側に偏った位置に搭載されている。従って、表面実装型素子14の側面から、接続端子15、18や固定補助端子16、17が直接的に搭載されないランド部分が突出している。

40

【0042】

また、接続端子15、18及び固定補助端子16、17は、それらの一辺（一側面）が、表面実装型素子14の側面とほぼ同一面となるように設けられている。そして、接続端子15、18及び固定補助端子16、17は、図5に示すように、表面実装型素子14の

50

側面にも露出するように、表面実装型素子 14 の側面の高さ方向に伸びている。なお、接続端子 15, 18 及び固定補助端子 16, 17 は、表面実装型素子 14 に同様に設けられるので、図 5 では、代表として、接続端子 15 について示している。

【0043】

このように、接続端子 15, 18 及び固定補助端子 16, 17 が表面実装型素子 14 の側面に露出され、かつ、その側面からランド 25, 28 が突出していることにより、リフローによりランド 25 ~ 28 上のはんだが溶融されると、図 5 に示すように、表面実装型素子 14 の側面に露出した端子部分とランド 25 ~ 28 とによりはんだフィレットが形成される。これにより、接続端子 15, 18 及び固定補助端子 16, 17 のランドへのはんだ付け強度をより高めることができる。

10

【0044】

また、本実施形態では、図 2 ~ 図 4 に示すように、表面実装型素子 14 の 2 個の接続端子 15, 18 と 2 個の固定補助端子 16, 17 とは、隣接する端子同士を仮想線で結んだ場合、各々、仮想線により形成される矩形形状の頂点に位置するとともに、2 個の接続端子 15, 18 が対角位置となり、かつ 2 個の固定補助端子 16, 17 が対角位置となるように、表面実装型素子 14 の実装面に配置されている。

【0045】

パワーチョークコイル L1 の両端に接続された 2 個の接続端子 15, 18 と、回路基板 12 への固定を補助するための 2 個の固定補助端子 16, 17 とでは、パワーチョークコイル L1 との接続の有無に応じて、熱容量が大きく異なる。すなわち、固定補助端子 16, 17 の熱容量は、接続端子 15, 18 の熱容量よりも小さい。このため、固定補助端子 16, 17 は、接続端子 15, 18 よりも早く温度が上昇する。すると、固定補助端子 16, 17 と接続端子 15, 18 とではんだが溶融するタイミングにずれが生じ、はんだ張力差などによって表面実装型素子 14 の実装位置がずれてしまう可能性が生じる。その結果、表面実装型素子 14 の接続端子 15, 18 とランド 25, 28 とのはんだ接続が不十分となる虞が生じる。

20

【0046】

この点に関して、本実施形態では、2 個の接続端子 15, 18 と 2 個の固定補助端子 16, 17 とが矩形形状の頂点に位置するとともに、2 個の接続端子 15, 18 が対角位置となり、かつ 2 個の固定補助端子 16, 17 が対角位置となるように、表面実装型素子 14 の実装面に配置した。このような配置構造を採用することにより、固定補助端子 16, 17 のはんだが溶融したとき、はんだ張力差などが表面実装型素子 14 に対して対称的に作用するので、接続端子 15, 18 と固定補助端子 16, 17 とではんだの溶融タイミングがずれても、表面実装型素子 14 の実装位置がずれてしまうことを極力抑制することができる。

30

【0047】

大面積パターン 21 の一部と配線パターン 23 の端部とを跨ぐように、整流ダイオード D1 が配置されている。この整流ダイオード D1 も表面実装型素子として構成されており、パワーチョークコイル L1 を内蔵する表面実装型素子 14 と同様に、回路基板 12 がリフロー炉内を搬送されるときに、大面積パターン 21 と配線パターン 23 とにはんだ接続される。配線パターン 23 の他端側には、平滑コンデンサ C2 の一方の端子が接続され、整流コンデンサ D1 を介して充電可能となっている。

40

【0048】

リフロー炉は、図 2 に示すように、天井面及び床面に熱風を噴き出す多数のノズルが配置されたものである。なお、図 2 において、天井面及び床面に記載された矢印が、各ノズルから噴き出される熱風を示している。回路基板 12 がリフロー炉内を搬送される際に、各ノズルから噴き出される熱風が回路基板 12 の表面及び裏面に当たることで、表面配線層（及び裏面配線層）に塗布されたはんだが溶融し、各種の部品をはんだ接続する。

【0049】

本実施形態による電子回路基板 12 は、上述したように、パワーチョークコイル L1 を

50

内蔵する表面実装型素子 14 の接続端子 15 , 18 が接続される、回路基板 12 に形成されたランド 25 , 28 を、大面積パターン 20 , 21 の一部として設けた。

【 0050 】

ここで、図 3 に一点鎖線で示すように、パワーチョークコイル L1 に通電すべき必要電流値を確保するための電流容量によって決まるパターン面積は、各々の大面積パターン 20 , 21 の面積よりも狭く、必要電流値を通電するとの観点からすれば、大面積パターン 20 , 21 を設ける必要はない。

【 0051 】

しかしながら、本実施形態では、回路基板 12 の表面配線層に形成される金属パターンの良好な熱伝導性に着目し、パワーチョークコイル L1 への必要通電電流値を確保するための電流容量によって決まるパターン面積よりも大面積の大面積パターン 20 , 21 を設けたのである。これにより、表面実装型素子 14 を搭載した状態で電子回路基板 12 がリフロー炉内を搬送される際、大面積パターン 20 , 21 の集熱及び熱伝導効果により、ランド 25 , 28、ひいては表面実装型素子 14 の接続端子 15 , 18 (及び固定補助端子 16 , 17) の温度をはんだが十分に溶融する温度まで高めることができる。その結果、熱容量の大きな表面実装型素子 14 をリフロー加熱により電子回路基板 12 にはんだ付けする場合であっても、はんだ付け品質の低下を抑制することができるとの効果を得ることができる。

【 0052 】

また、大面積パターン 20、21 は、図 2 に示すように、電子回路基板 12 が表面実装型素子 14 を搭載した状態でリフロー炉内を搬送される際、その搬送方向と平行となるように、電子回路基板 12 の表面に形成される。これにより、電子回路基板 12 がリフロー炉内を搬送される際に、効率的に大面積パターン 20 , 21 の温度を高めることができる。

【 0053 】

なお、コンデンサ C1 , C2 は、パワーチョークコイル L1 を内蔵する表面実装型素子 14 がリフローはんだ付けされた後に、例えばフロー工程により回路基板にはんだ付けされる。

【 0054 】

(第 2 実施形態)

次に、本発明の第 2 実施形態について説明する。なお、本実施形態の電子回路基板 12 a 及びその搭載部品に関して、第 1 実施形態と同様の構成に対しては、同じ参照番号を付与することにより、説明を省略する。

【 0055 】

本実施形態による電子回路基板 12 a では、パワーチョークコイル L1 を内蔵する表面実装型素子 14 と隣接して設けられる、端子挿入型素子であるコンデンサ C2 の接続端子との絶縁を確保しつつ、コンデンサ C2 の直下の領域まで延びるように大面積パターン 21 a を形成した点が第 1 実施形態による電子回路基板 12 と異なる。

【 0056 】

すなわち、大面積パターン 21 a は、図 6 に示すように、コンデンサ C2 の実装位置まで延ばされている。ただし、平滑コンデンサ C2 の一方の端子に接続される配線パターン 23 及びコンデンサ C2 の両方の端子の周りにはスリット(隙間)が形成されており、大面積パターン 21 a と配線パターン 23 及びコンデンサ C2 の両端子との電気的な絶縁が確保されている。

【 0057 】

上述したように、コンデンサ C2 は、パワーチョークコイル L1 を内蔵する表面実装型素子 14 がリフローはんだ付けされた後に回路基板 12 に実装される。換言すれば、表面実装型素子 14 がリフロー加熱により回路基板 12 に実装されるときには、端子挿入型素子であるコンデンサ C2 は、まだ回路基板 12 に実装されていない。従って、大面積パターン 21 a のほぼ全面を用いて、リフロー炉内の熱風から集熱することができ、接続端子

10

20

30

40

50

17及び固定補助端子18、さらにそれらに対応するランド27、28の温度を効果的に高めることができる。

【0058】

また、大面積パターン21aを設ける領域として、端子挿入型素子であるコンデンサC2の直下の領域を利用することにより、回路基板12の表面を有効に活用し、各種素子を高密度に実装することが可能になる。

【0059】

(第3実施形態)

次に、本発明の第3実施形態について説明する。なお、本実施形態の電子回路基板12b及びその搭載部品に関して、第1実施形態及び第2実施形態と同様の構成に対しては、10

【0060】

本実施形態による電子回路基板12bでは、図7に示すように、回路基板12bの裏面にも大面積パターン24を形成するとともに、表面に形成された大面積パターン20aと裏面に形成された大面積パターン24とを繋ぐように、内部に銅などの金属材料が堆積されたビアホール22が形成されている点が、第2実施形態による電子回路基板12aと異なる。

【0061】

このような構成の回路基板12bは、まず基板12bに、エッチングやドリルによりビアホール22を形成し、そのビアホール22の内面に無電界めっき及び電界めっきなどによって銅などの金属材料を堆積させ、その後、回路基板12bの表面及び裏面に大面積パターン20a、24を形成することによって得られる。20

【0062】

このような構成を採用することにより、回路基板12bの表面の大面積パターン20aに加え、裏面の大面積パターン24も利用して集熱することができる。そして、裏面の大面積パターン24によって集められた熱は、ビアホール22を介して、表面の大面積パターン20aに伝えられる。このため、本実施形態の電子回路基板12bによれば、表面実装型素子の接続端子15及び固定補助端子16、さらにそれらに対応するランド25、26の温度をはんだが十分に溶融する温度まで容易に高めることができる。

【0063】

(第4実施形態)

次に、本発明の第4実施形態について説明する。なお、本実施形態の電子回路基板12c及びその搭載部品に関して、第1～第3実施形態と同様の構成に対しては、同じ参照番号を付与することにより、説明を省略する。30

【0064】

本実施形態による電子回路基板12cでは、図8に示すように、回路基板12cの表面に形成された大面積パターン20a及び大面積パターン21aにおいて、表面実装型素子14の固定補助端子16、17がはんだ接続されるランド26、27の周りにスリット29、30を形成した点が、第3実施形態による電子回路基板12bと異なる。

【0065】

つまり、本実施形態では、固定補助端子16がはんだ接続されるランド26の周りにスリット29を形成し、固定補助端子17がはんだ接続されるランド27の周りにスリット30を形成することにより、表面実装型素子14の接続端子15、18が接続される大面積パターン部分と、固定補助端子16、17が接続される大面積パターン部分とを分離した。その際、固定補助端子16、17が接続される大面積パターン部分の面積を、接続端子15、18が接続される大面積パターン部分の面積よりも小さくした。40

【0066】

上述したように、接続端子15、18はパワーチョークコイルL1に接続されるため、固定補助端子16、17よりも熱容量が大きい。従って、接続端子15、18は、固定補助端子16、17よりも温度が上がりにくい。この点を考慮し、本実施形態では、固定補50

助端子 16, 17 が接続される大面積パターン部分の面積を、接続端子 15, 18 が接続される大面積パターン部分の面積よりも小さくすることで、固定補助端子 16, 17 に対する大面積パターンによる集熱効果を、接続端子 15, 18 に対する大面積パターンによる集熱効果よりも小さくしたのである。この結果、接続端子 15, 18 と固定補助端子 16, 17 とで、はんだが溶融されるタイミングのずれを小さくすることができ、表面実装型素子 14 の実装位置ずれを極力抑制することができる。

【0067】

なお、熱容量が異なる端子の例として、表面実装型素子 14 の接続端子 15, 18 と固定補助端子 16, 17 とに関して説明したが、熱容量が異なる端子は、この例に限られない。例えば、表面実装型素子として、コイルの巻き線数の異なるトランスを用いる場合、そのコイルの巻き数に応じて、それぞれのコイルに接続された接続端子に対する大面積パターンの面積に差を設けても良い。具体的には、巻き数が少なく（コイルの長さが短く）熱容量の小さい接続端子に対する大面積パターンの面積を、巻き数が多く（コイルの長さが長く）熱容量の大きい接続端子に対する大面積パターンの面積よりも小さくしても良い。

10

【0068】

（第 5 実施形態）

次に、本発明の第 5 実施形態について説明する。なお、本実施形態の電子回路基板 12 d 及びその搭載部品に関して、第 1 ~ 第 4 実施形態と同様の構成に対しては、同じ参照番号を付与することにより、説明を省略する。

20

【0069】

本実施形態による電子回路基板 12 d では、図 9 に示すように、回路基板 12 d の裏面にも大面積パターン 24 が形成される点、及び、表面に形成された大面積パターン 20 a と裏面に形成された大面積パターン 24 とを繋ぐように、内部に銅などの金属材料が堆積されたビアホール 22 が形成される点は、第 3 実施形態による電子回路基板 12 b と同様である。しかし、複数のビアホール 22 の表面側端部を取り囲むように、表面の大面積パターン 20 a にスリット 31 が形成されている点が、第 3 実施形態による電子回路基板 12 b と異なる。

【0070】

電子回路基板 12 d の表面の一方の大面積パターン 20 a にスリット 31 を形成することにより、ビアホール 22 が接続される大面積パターン部分と、表面実装型素子 14 の接続端子 15 が接続される大面積パターン部分とを電氣的に絶縁することができる。換言すると、表面実装型素子 14 の接続端子が接続される大面積パターン部分を、ビアホール 22 に対して、スリット 31 による所定の隙間を隔てて、その周囲を取り囲むように配置することで、基板の表面側の大面積パターン 20 a と、裏面側の大面積パターン 24 とを電氣的に絶縁している。

30

【0071】

ただし、表面側の大面積パターン 20 a において、表面実装型素子 14 の接続端子 15 が接続された大面積パターン部分と、ビアホール 22 が接続された大面積パターン部分とは近接しているため、熱的には連結した状態となる。

40

【0072】

このため、電子回路基板 12 d の裏面側に集熱専用の大面積パターンを設けることなく、他の回路を構成するための大面積パターン 24 を利用して、電子回路基板 12 の表面の大面積パターン 20 a の温度向上を促進することができる。なお、図 9 には、大面積パターン 24 と接続され、当該他の回路を構成するためのいくつかの回路素子 32 が示されている。

【0073】

さらに、本実施形態の電子回路基板 12 では、図 9 に示すように、表面に形成されたもう 1 つの大面積パターン 21 b が、表面実装側素子 14 から離れた領域で、短冊状に形成されている点も、第 3 実施形態の電子回路基板 12 b などと異なる。

50

【0074】

ここで、大面積パターン21bにおいて短冊状に形成される短冊部21b1, 21b2は、リフロー炉の天井面に設けられた複数のノズルのそれぞれの直下に位置するように配置される。従って、回路基板12の搬送方向と直交する方向に隣接するノズルの間隔(ピッチ)は、隣接する短冊部21b1, 21b2の間隔と同じである。

【0075】

大面積パターン21bをこのように形成、配置することにより、ノズルから噴き出された熱風が直接大面積パターン21b(の短冊部21b1, 21b2)に当たるので、大面積パターン21bの面積を過度に広げることなく、ノズルから噴き出される熱風からの熱を効率的に受けることができる。

10

【0076】

以上、本発明の好ましい実施形態について説明したが、本発明は上述した実施形態に何ら制限されることなく、本発明の主旨を逸脱しない範囲において、種々変形して実施することができる。

【0077】

例えば、上述した実施形態では、表面実装型素子14に2個の固定補助端子を設け、回路基板12の大面積パターン20, 21の対応するランド26, 27にそれぞれはんだ接続したが、固定補助端子の数は2個に限られず、1個でも、あるいは3個以上であっても良い。少なくとも1個の固定補助端子を設けることにより、接続端子15, 18による固定のみならず、固定補助端子を利用した固定も実現でき、より確実に表面実装型素子14を回路基板12に固定することができる。

20

【0078】

また、上述した第1実施形態では、表面実装型素子14の2個の接続端子15, 18がそれぞれはんだ接続される大面積パターン20, 21の形状及び面積をほぼ同一のものとしたが、それらの大面積パターン20, 21の形状及び/又は面積が異なっても良い。これにより、表面実装型素子14のための大面積パターン20, 21を回路基板12に配置する際に、大面積パターンの配置位置に関する自由度を向上することができる。つまり、隣接する配線パターンや搭載される他の素子との関係から、大面積パターン20, 21を配置できる領域が制限される場合であっても、大面積パターン20, 21の形状を異ならせたり、面積を異ならせることにより、必要な集熱面積を確保しつつ、回路基板12に大面積パターン20, 21を設けることができる。

30

【0079】

また、上述した第1実施形態では、隙間なく広がったベタパターンにより、大面積パターン20, 21を構成した。このように、大面積のパターンとしてベタパターンを用いることにより、簡単に大面積のパターンを形成することができる。しかしながら、大面積パターンは、ベタパターン以外に、各種の形態が考えられる。図10~図14に、大面積パターンの具体的な変形例を示す。

【0080】

図10に示す例では、大面積パターン20c, 21c内に、長方形のパターンが存在しない領域(具体的には、スリットパターン)がそれぞれ複数形成されている。また、図11に示すように、大面積パターン20d, 21dにおいて、よりサイズの小さいパターンが存在しない領域50, 51を格子状に配列するように形成しても良い。さらに、図12に示すように、大面積パターン20e, 21eを、ジグザグに折り返されたジグザグパターンとして形成しても良い。

40

【0081】

すなわち、大面積パターン20c~20e, 21c~21eは、素子間の必要通電電流値から決まるパターン面積よりも大面積であれば、ベタパターンでなくとも構わない。さらに、図10~図12に示されたような大面積パターン20c~20e, 21c~21eを採用することにより、電子回路基板12と、その表面に形成される大面積のパターン20c~20e, 21c~21eを含む各種のパターンとの間に線膨張係数差があっても、

50

電子回路基板 1 2 に対するパターンの偏りを調整することができるので、その線膨張係数差による電子回路基板 1 2 の歪みの発生を軽減することができるとの付随的な効果も得られる。

【 0 0 8 2 】

さらに、上述した第 1 実施形態では、例えば大面積パターン 2 1 は、表面実装型素子 1 4 に内蔵されるパワーチョークコイル L 1 と整流ダイオード D 1 とを接続するものであったが、この大面積パターン 2 1 に、他の素子（ダミー素子を含む）を接続するためのランドを設けても良い。図 1 3 に示す例では、大面積パターン 2 1 に形成されたランドを用いて、整流ダイオード D 1 に加えて、他の素子 D 2 , D 3 が接続されている。さらに、このような他の素子 D 2 , D 3 は、図 1 4 に示すように、大面積パターン 2 1 から延長した延長部 2 1 f に設けたランドを用いて接続することも可能である。

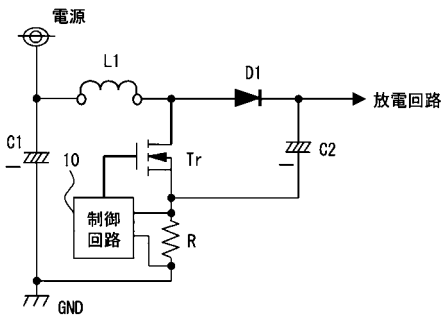
10

【 符号の説明 】

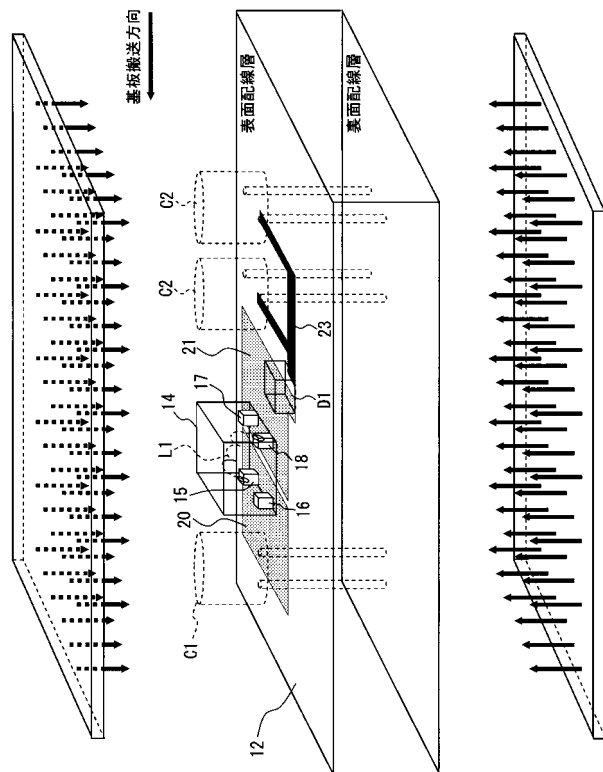
【 0 0 8 3 】

1 0 ... 制御回路、 1 2 ... 電子回路基板、 1 4 ... 表面実装型素子、 1 5 , 1 8 ... 接続端子、 1 6 , 1 7 ... 固定補助端子、 2 0 , 2 1 ... 大面積パターン、 2 3 ... 配線パターン、 2 5 ~ 2 8 ... ランド、 2 9 , 3 0 , 3 1 ... スリット

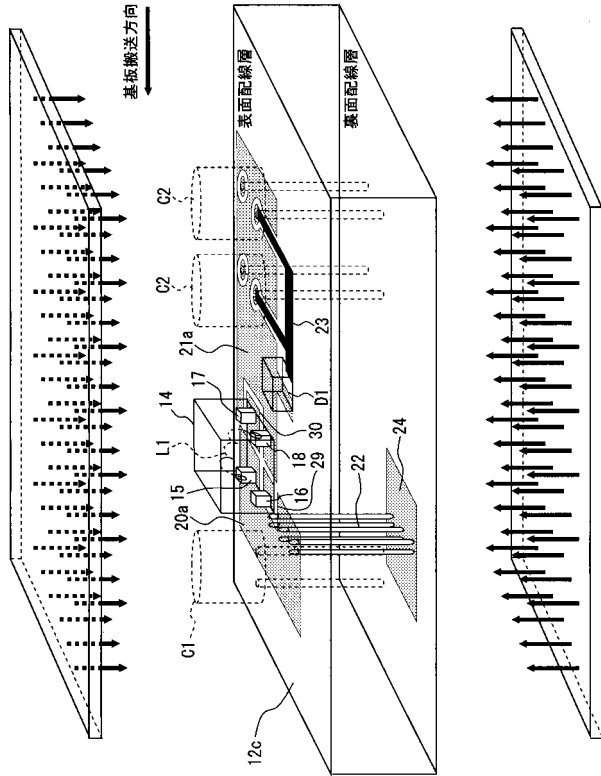
【 図 1 】



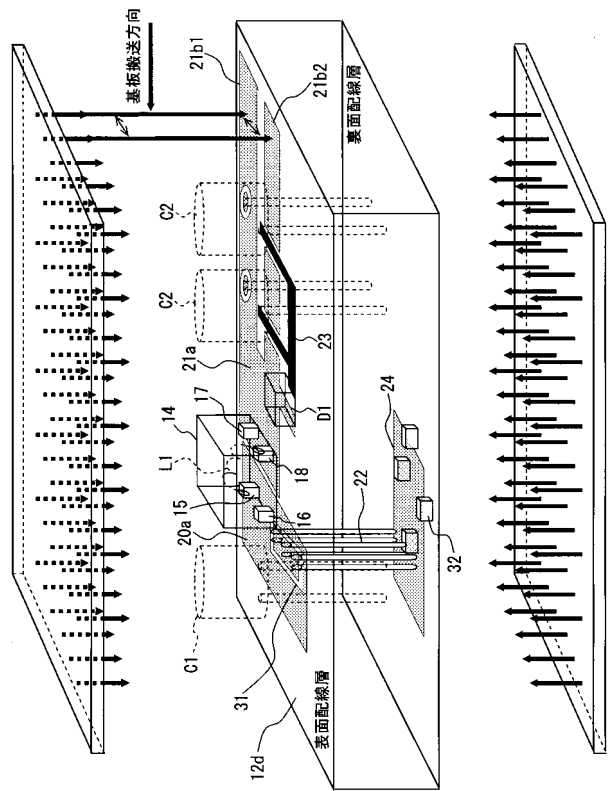
【 図 2 】



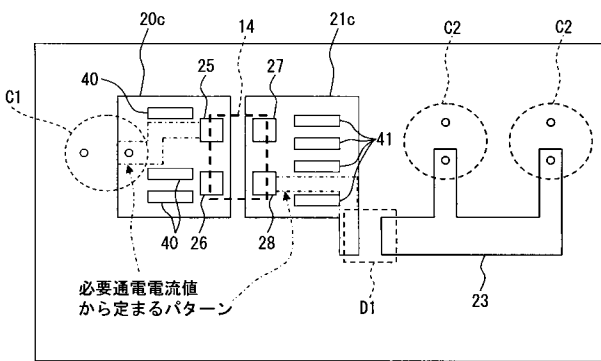
【 図 8 】



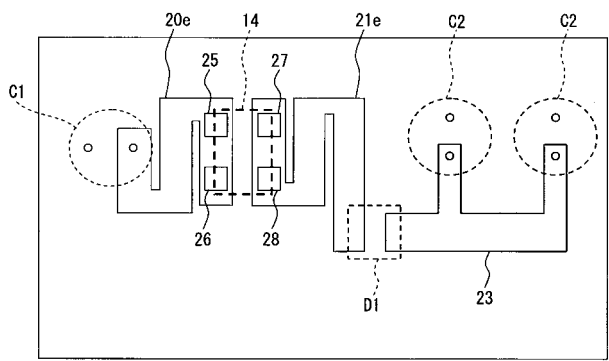
【 図 9 】



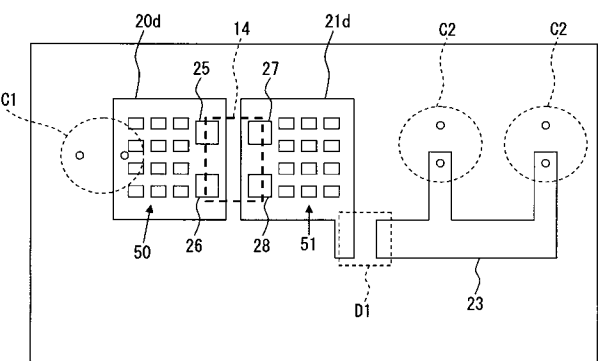
【 図 10 】



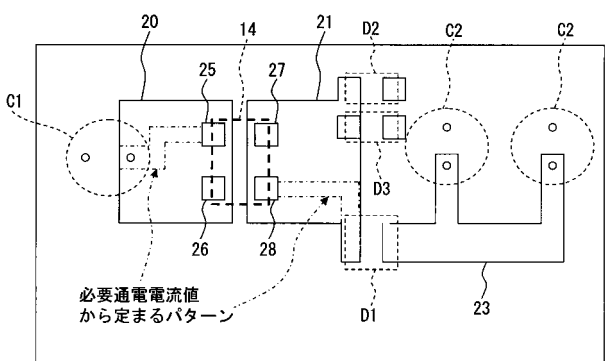
【 図 12 】



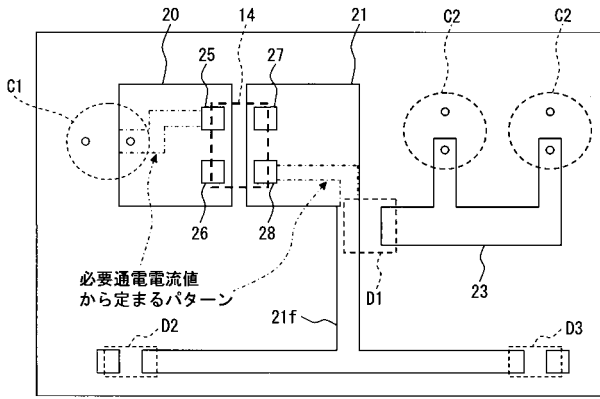
【 図 11 】



【 図 13 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.	F I		テーマコード(参考)
	H 0 5 K	1/18	S
	H 0 5 K	1/02	J

Fターム(参考) 5E336 AA05 AA12 BC04 CC01 CC32 CC50 CC51 EE03 GG05
5E338 CD23 CD25 CD32 CD40 EE01 EE51