



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I784180 B

(45) 公告日：中華民國 111 (2022) 年 11 月 21 日

(21) 申請案號：108123220

(22) 申請日：中華民國 108 (2019) 年 07 月 02 日

(51) Int. Cl. : **H01L27/108 (2006.01)**

(30) 優先權：2019/04/30 世界智慧財產權組織 PCT/CN2019/085237

(71) 申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72) 發明人：劉峻 LIU, JUN (US)；程衛華 CHENG, WEIHUA (SG)

(74) 代理人：吳豐任；戴俊彥

(56) 參考文獻：

TW 201824513A

TW 201913966A

CN 109155301A

US 2015/0340366A1

US 2019/0123022A1

WO 2018/071143A2

審查人員：陳聖

申請專利範圍項數：11 項 圖式數：10 共 57 頁

(54) 名稱

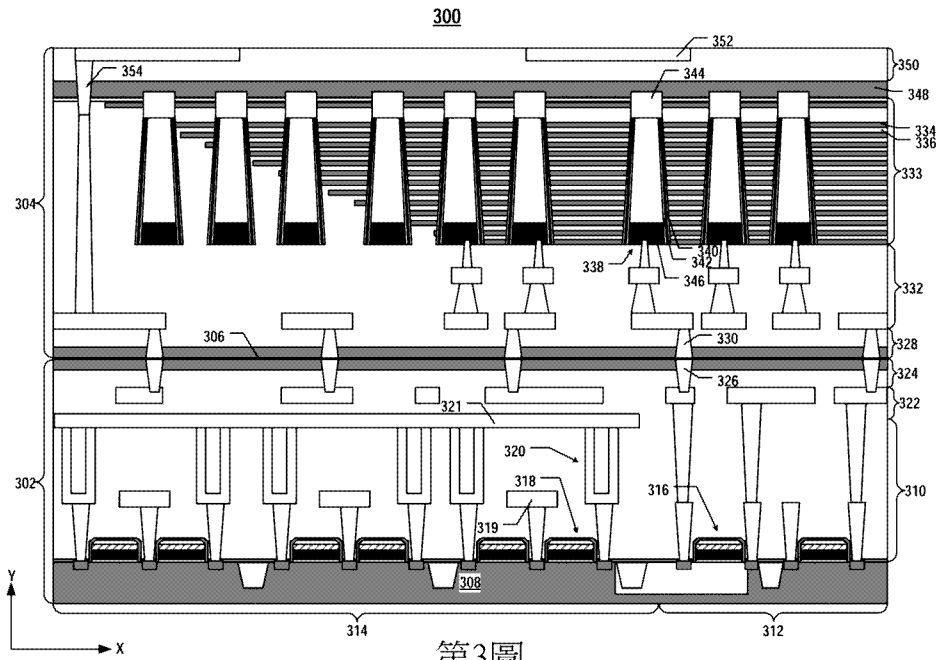
具有嵌入式動態隨機存取記憶體之三維記憶體元件

(57) 摘要

本發明公開了具有嵌入式動態隨機存取記憶體(DRAM)之三維(3D)記憶體元件以及用於形成所述 3D 記憶體元件的方法的實施例。在示例中，一種 3D 記憶體元件包括第一半導體結構，所述第一半導體結構包括週邊電路、嵌入式 DRAM 單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層。所述 3D 記憶體元件還包括第二半導體結構，所述第二半導體結構包括 3D NAND 記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層。所述 3D 記憶體元件還包括在所述第一鍵合層與所述第二鍵合層之間的鍵合介面。所述第一鍵合觸點在所述鍵合介面處與所述第二鍵合觸點相接觸。

Embodiments of a three-dimensional (3D) memory device and a forming method thereof are disclosed. In an example, a 3D memory device comprises a first semiconductor structure, wherein the first semiconductor structure comprises peripheral circuits, an array of embedded dynamic random access memory (DRAM) units and a first bonding layer comprising a plurality of first bonding contacts. The 3D memory device further comprises a second semiconductor structure, wherein the second semiconductor structure comprises an array of 3D NAND memory strings and a second bonding layer comprising a plurality of second bonding contacts. The 3D memory device further comprises a bonding interface located between the first bonding layer and the second bonding layer. The first bonding contacts are in contact with the second bonding contacts in the bonding interface.

指定代表圖：



第3圖

符號簡單說明：

- 300:3D 記憶體元件
- 302:第一半導體結構
- 304:第二半導體結構
- 306:鍵合介面
- 308:基底
- 310:元件層
- 312:週邊電路
- 314:嵌入式 DRAM 單元
- 316:週邊電晶體
- 318:DRAM 選擇電晶體
- 319:位元線
- 320:電容器
- 321:共同板
- 322、332:互連層
- 324、328:鍵合層
- 326、330:鍵合觸點
- 333:記憶堆疊層
- 334:導體層
- 336:介電質層
- 338:3D NAND 記憶體串
- 340:記憶體膜
- 342:半導體通道
- 344、346:插塞
- 348:半導體層
- 350:焊墊引出互連層
- 352:接觸焊墊
- 354:觸點
- x、y:方向



I784180

## 【發明摘要】

公告本

【中文發明名稱】具有嵌入式動態隨機存取記憶體之三維記憶體元件

【英文發明名稱】THREE DIMENSIONAL MEMORY DEVICE HAVING  
EMBEDDED DYNAMIC RANDOM ACCESS MEMORY UNITS

## 【中文】

本發明公開了具有嵌入式動態隨機存取記憶體（DRAM）之三維（3D）記憶體元件以及用於形成所述3D記憶體元件的方法的實施例。在示例中，一種3D記憶體元件包括第一半導體結構，所述第一半導體結構包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層。所述3D記憶體元件還包括第二半導體結構，所述第二半導體結構包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層。所述3D記憶體元件還包括在所述第一鍵合層與所述第二鍵合層之間的鍵合介面。所述第一鍵合觸點在所述鍵合介面處與所述第二鍵合觸點相接觸。

## 【英文】

Embodiments of a three-dimensional (3D) memory device and a forming method thereof are disclosed. In an example, a 3D memory device comprises a first semiconductor structure, wherein the first semiconductor structure comprises peripheral circuits, an array of embedded dynamic random access memory (DRAM) units and a first bonding layer comprising a plurality of first bonding contacts. The 3D memory device further comprises a second semiconductor structure, wherein the second semiconductor structure comprises an array of 3D NAND memory strings and a second bonding layer comprising a plurality of second bonding contacts. The 3D

第 1 頁，共 4 頁(發明摘要)

memory device further comprises a bonding interface located between the first bonding layer and the second bonding layer. The first bonding contacts are in contact with the second bonding contacts in the bonding interface.

【指定代表圖】第(3)圖。

【代表圖之符號簡單說明】

300	3D記憶體元件
302	第一半導體結構
304	第二半導體結構
306	鍵合介面
308	基底
310	元件層
312	週邊電路
314	嵌入式DRAM單元
316	週邊電晶體
318	DRAM選擇電晶體
319	位元線
320	電容器
321	共同板
322、332	互連層
324、328	鍵合層
326、330	鍵合觸點
333	記憶堆疊層
334	導體層
336	介電質層
338	3D NAND記憶體串
340	記憶體膜
342	半導體通道

344、346	插塞
348	半導體層
350	焊墊引出互連層
352	接觸焊墊
354	觸點
x、y	方向

**【特徵化學式】**

無

## 【發明說明書】

【中文發明名稱】 具有嵌入式動態隨機存取記憶體之三維記憶體元件

【英文發明名稱】 THREE DIMENSIONAL MEMORY DEVICE HAVING  
EMBEDDED DYNAMIC RANDOM ACCESS MEMORY UNITS

【技術領域】

【0001】 本發明的實施例涉及三維（3D）記憶體元件及其製造方法。

【先前技術】

【0002】 透過改進處理技術、電路設計、程式設計演算法和製造製程，將平面記憶單元縮放到更小的尺寸。然而，隨著記憶單元的特徵尺寸接近下限，平面處理和製造技術變得具有挑戰性並且成本高。結果，平面記憶單元的儲存密度接近上限。

【0003】 3D記憶體架構能夠解決平面記憶單元中的密度限制。3D記憶體架構包括記憶體陣列以及用於控制輸入記憶體陣列和記憶體陣列輸出的訊號的週邊元件。

【發明內容】

【0004】 在本文中公開了具有嵌入式動態隨機存取記憶體（DRAM）的3D記憶體元件及其製造方法的實施例。

【0005】 在一個示例中，一種3D記憶體元件包括：第一半導體結構，其包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合

層。所述3D記憶體元件還包括：第二半導體結構，其包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層。所述3D記憶體元件還包括在所述第一鍵合層與所述第二鍵合層之間的鍵合介面。所述第一鍵合觸點在所述鍵合介面處與所述第二鍵合觸點相接觸。

**【0006】** 在另一示例中，公開了一種用於形成3D記憶體元件的方法。所述方法包括：形成第一半導體結構，所述第一半導體結構包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層；形成第二半導體結構，所述第二半導體結構包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層；以面對面的方式鍵合所述第一半導體結構和所述第二半導體結構，使得所述第一鍵合觸點在鍵合介面處與所述第二鍵合觸點相接觸。

**【0007】** 在又一示例中，公開了一種用於操作3D記憶體元件的方法，所述3D記憶體元件包括在同一晶片中的輸入/輸出電路、嵌入式DRAM單元的陣列以及3D NAND記憶體串的陣列。所述方法包括：透過所述輸入/輸出電路將資料傳輸到所述嵌入式DRAM單元的陣列；在所述嵌入式DRAM單元的陣列中快取所述資料；將所述資料從所述嵌入式DRAM單元的陣列儲存到3D NAND記憶體串的陣列中。

### **【圖式簡單說明】**

### **【0008】**

併入本文並且形成說明書的一部分的圖式示出了本發明的實施例，並且與說明書一起進一步用於解釋本發明的原理，並且使得本領域技術人員能夠製造

和使用本發明。

第1A圖示出了根據一些實施例的具有嵌入式DRAM的示例性3D記憶體元件的剖面的示意性視圖。

第1B圖示出了根據一些實施例的具有嵌入式DRAM的另一示例性3D記憶體元件的剖面的示意性視圖。

第2圖示出了根據一些實施例的具有週邊電路和嵌入式DRAM的示例性半導體結構的示意性平面視圖。

第3圖示出了根據一些實施例的具有嵌入式DRAM的示例性3D記憶體元件的剖視示意圖。

第4圖示出了根據一些實施例的具有嵌入式DRAM的另一示例性3D記憶體元件的剖視示意圖。

第5A-5C圖示出了根據一些實施例的用於形成具有週邊電路和嵌入式DRAM的示例性半導體結構的製造製程。

第6A圖和第6B圖示出了根據一些實施例的用於形成具有3D NAND記憶體串的示例性半導體結構的製造製程。

第7A圖和第7B圖示出了根據一些實施例的用於形成具有嵌入式DRAM的示例性3D記憶體元件的製造製程。

第8圖示出了根據一些實施例的具有嵌入式DRAM的3D記憶體元件的示例性操作。

第9圖示出了根據一些實施例的用於形成具有嵌入式DRAM的3D記憶體元件的示例性方法的流程示意圖。

第10圖示出了根據一些實施例的用於操作具有嵌入式DRAM的3D記憶體元件的示例性方法的流程示意圖。

將參考圖式來描述本發明的實施例。

**【實施方式】**

**【0009】** 儘管討論了特定的配置和佈置，但是應當理解，這僅僅是出於例示說明的目的而進行的。相關領域的技術人員將認識到，在不背離本發明的主旨和範圍的情況下，能夠使用其他配置和佈置。對於相關領域的技術人員顯而易見的是，本發明還能夠被用在各種其他應用中。

**【0010】** 應當注意，在說明書中對「一個實施例」、「實施例」、「示例性實施例」、「一些實施例」等的引用指示所描述的實施例可以包括特定特徵、結構或特性，但是不一定每個實施例都包括所述特定特徵、結構或特性。此外，這樣的術語不一定指代同一實施例。此外，當結合實施例來描述特定特徵、結構或特性時，無論是否明確描述，相關領域的技術人員將知道結合其他實施例來實現這樣的特徵、結構或特性。

**【0011】** 通常，術語可以至少部分地根據在上下文中的使用來理解。例如，如在本文中所使用的術語「一個或複數個」至少部分地取決於上下文可以被用於以單數意義來描述任何特徵、結構或特性，或者可以被用於以複數意義來描述特徵、結構或特性的組合。類似地，諸如「一」、「一個」或「該」的術語同樣可以至少部分地基於上下文被理解為傳達單數用法或者傳達複數用法。另外，術語「基於」可以至少部分地取決於上下文被理解為不一定旨在傳達一組排他性因素，而是可以替代地允許存在不一定明確描述的其他因素。

**【0012】** 應當容易理解，本發明中的「...上」、「...上方」和「...之上」的含義應當以最廣泛的方式來解釋，使得「...上」不僅意指直接在事物上，而且還包括

在事物上並且在其之間具有中間特徵或層的含義，並且「...上方」或「...之上」不僅意指在事物的「上方」或「之上」的含義，而且還能夠包括在事物的「上方」或「之上」並且在其之間沒有中間特徵或層（即，直接在事物上）的含義。

**【0013】** 此外，在本文中可以使用空間相對術語，諸如「...之下」、「...下方」、「...下面」、「...之上」、「...上方」等，以便於說明書描述如在圖式中所圖示的一個元件或特徵相對於另外的（一個或複數個）元件或（一個或複數個）特徵的關係。除了在圖式中所描繪的取向之外，空間相對術語旨在涵蓋在使用或操作中的元件的不同取向。裝置可以以其他方式來取向（旋轉90度或者在其他取向上），並且同樣可以相應地解釋在本文中所使用的空間相對描述符。

**【0014】** 如在本文中所使用的，術語「基底」是指在其上添加後續材料層的材料。基底自身能夠被圖案化。添加在基底的頂部上的材料能夠被圖案化或者能夠保持未圖案化。此外，基底能夠包括廣泛的半導體材料，諸如矽、鍺、砷化鎵、磷化銻等。或者，基底能夠由非導電材料製成，諸如玻璃、塑膠或藍寶石晶圓。

**【0015】** 如在本文中所使用的，術語「層」是指包括具有厚度的區域的材料部分。層能夠在整個下層結構或上層結構上延伸，或者可以具有小於下層結構或上層結構的範圍。此外，層能夠是均勻或不均勻連續結構的區域，其厚度小於連續結構的厚度。例如，層能夠位於連續結構的頂表面和底表面處或者其之間的任何一對水平平面之間。層能夠水平、垂直及/或沿著錐形表面延伸。基底能夠是層，能夠在其中包括一個或複數個層，及/或能夠在其上、其之上及/或在其之下具有一個或複數個層。層能夠包含複數個層。例如，互連層能夠包括一

個或複數個導體和觸點層（在其中形成互連線及/或通孔觸點）以及一個或複數個介電質層。

**【0016】** 如在本文中所使用的，術語「標稱/名義上」是指在產品或製程的設計階段期間所設置的部件或處理步驟的特性或參數的期望值或目標值，以及高於及/或低於期望值的值的範圍。值的範圍可能是由於製造製程或公差的微小變化而引起的。如在本文中所使用的，術語「約」表示能夠基於與主題半導體元件相關聯的特定技術節點而變化的給定量的值。基於特定技術節點，術語「約」能夠表示給定量的值，其例如在值的10-30%內變化（例如，值的±10%、±20%或±30%）。

**【0017】** 如在本文中所使用的，術語「3D記憶體元件」是指在橫向方向的基底上具有垂直方向的記憶單元電晶體串（在本文中被稱為「記憶體串」，諸如NAND記憶體串）使得記憶體串相對於基底在垂直方向上延伸的半導體元件。如在本文中所使用的，術語「垂直」/「垂直地」意指名義上垂直於基底的側表面。

**【0018】** 在習知的3D記憶體元件中，在同一平面上的記憶陣列元件外部形成的週邊電路會佔據元件晶片較大的面積，由此導致不良的陣列效率、大的管芯尺寸和高成本。而且，與處理所述記憶陣列元件相關聯的熱預算限制了週邊電路的性能要求，使得3D記憶體元件的高輸入/輸出（I/O）速度難以實現。此外，對於3D NAND記憶體元件，與諸如DRAM和靜態RAM（SRAM）的其他類型的記憶體元件相比，NAND記憶單元程式設計、擦除和讀取速度基本上是緩慢的。

**【0019】** 根據本發明的各種實施例提供了一種3D記憶體元件，其具有片上嵌

入式DRAM，所述片上嵌入式DRAM具有經改善的I/O速度、輸送量和儲存密度。在一些實施例中，3D NAND記憶體的週邊電路（例如，控制電路和感測電路）是使用高速高級邏輯元件製程而在單獨的基底上形成的。嵌入式DRAM單元能夠被形成在與週邊電路相同的基底上，以利用空的晶圓空間並且用作3D NAND記憶體的高速記憶快取元件。3D NAND記憶體能夠被形成在另一基底上，並且被鍵合到在其上形成有週邊電路和嵌入式DRAM單元的基底。結果，提高了記憶陣列效率並且減小了管芯尺寸和位成本，由此極大提升了記憶體元件性能。3D記憶體元件的I/O速度和輸送量能夠與DRAM和週邊邏輯元件的速度和輸送量相匹配。透過在一個晶片中集成高速揮發性記憶體（例如，DRAM）和高密度/容量非揮發性記憶體（例如，3D NAND記憶體），能夠實現高速非揮發性資料儲存。例如，由於在本文中所公開的具有嵌入式DRAM的3D記憶體元件的高速非揮發性資料儲存能力，能夠在移動設備或電腦上實現即時啟動功能。

**【0020】** 第1A圖示出了根據一些實施例的具有嵌入式DRAM的示例性3D記憶體元件100的剖面的示意性視圖。3D記憶體元件100表示非單片3D記憶體元件的示例。術語「非單片」意指3D記憶體元件100的部件（例如，週邊電路/嵌入式DRAM和3D NAND記憶體）能夠在不同的基底上單獨地形成，並且然後被接合以形成3D記憶體元件。3D記憶體元件100能夠包括第一半導體結構102，第一半導體結構102包括週邊電路和嵌入式DRAM單元的陣列。週邊電路和嵌入式DRAM單元的陣列兩者都能夠利用先進的邏輯製程來實施（例如，90 nm(奈米)、80 nm、65 nm、55 nm、45 nm、40 nm、32 nm、28 nm、22 nm、20 nm、16 nm、14 nm、10 nm、7 nm、5 nm、3nm等的技術節點）以實現高速。在一些實施例中，在第一半導體結構102中的週邊電路和嵌入式DRAM單元陣列使用互補金屬氧化物半導體（CMOS）技術。

【0021】 在一些實施例中，所述週邊電路包括用於促進3D記憶體元件100的操作的任何合適的數位、類比及/或混合訊號週邊電路。例如，所述週邊電路能夠包括以下中的一個或複數個：頁面快取元件、解碼器（例如，行解碼器和列解碼器）、感測放大器、驅動器、電荷泵、電流或電壓參考、或者電路的任何主動或被動部件（例如，電晶體、二極體、電阻器或電容器）。嵌入式DRAM是被集成在邏輯電路（例如，週邊電路）的相同管芯上的DRAM，其允許更寬的匯流排和更高的操作速度。與所有類型的DRAM一樣，嵌入式DRAM需要定期刷新所述記憶單元。用於刷新嵌入式DRAM的記憶體控制器能夠作為週邊電路的一部分而嵌入。在一些實施例中，每個嵌入式DRAM單元包括用於將資料的位元串化為正電荷或負電荷的電容器以及控制對其的訪問的一個或複數個電晶體。在一個示例中，每個嵌入式DRAM單元是單晶體管、單電容器（1T1C）單元。

【0022】 3D記憶體元件100還能夠包括第二半導體結構104，第二半導體結構104包括3D NAND記憶體串的陣列。亦即，第二半導體結構104能夠是NAND快閃記憶體元件，其中，記憶單元是以NAND記憶體串的陣列的形式來提供的。在一些實施例中，取決於NAND技術（例如，在記憶體堆疊中的級別/層的數量），3D NAND記憶體串通常包含32到256個NAND記憶單元。能夠將3D NAND記憶體串組織成頁面，然後將所述頁面組織成塊，其中，每個3D NAND記憶體串被連接到被稱為位元線（BL）的單獨的線。在3D NAND記憶體串中具有相同位置的所有單元能夠由字元線（WL）透過控制閘極相連接。在一些實施例中，平面包含透過相同位元線相連接的一定數量的塊。第二半導體結構104能夠包括一個或複數個平面，並且執行所有讀/寫/擦除操作所需的週邊電路能夠被包含在第一半導體結構102中。

【0023】 如在第1A圖中所示的，3D記憶體元件100還包括垂直地處在第一半導體結構102與第二半導體結構104之間的鍵合介面106。如下文詳細描述的，第一半導體結構102和第二半導體結構104能夠單獨地製造（而在一些實施例中並行地製造），使得製造第一半導體結構102和第二半導體結構104中的一個半導體結構的熱預算不限制製造第一半導體結構102和第二半導體結構104中的另一半導體結構的製程。此外，大量互連部（例如，經由混合鍵合的鍵合觸點）能夠透過鍵合介面106來形成，以在第一半導體結構102與第二半導體結構104之間形成直接的短的電連接，這與電路板上的長距離晶片到晶片資料匯流排相反，由此消除了晶片介面延遲並且實現了高速I/O輸送量，同時降低了功耗。在第二半導體結構104中的3D NAND記憶體串的陣列與在第一半導體結構102中的嵌入式DRAM單元的陣列之間的資料傳輸能夠透過跨鍵合介面106的互連部（例如，經由混合鍵合的鍵合觸點）來執行。此外，透過垂直地集成第一半導體結構102和第二半導體結構104，能夠減小晶片尺寸，並且能夠增加記憶單元密度。

【0024】 應當理解，堆疊的第一半導體結構102和第二半導體結構104的相對位置不受限制。第1B圖示出了根據一些實施例的具有嵌入式DRAM的另一示例性3D記憶體元件101的剖面的示意性視圖。在第1A圖中的3D記憶體元件100中，包括3D NAND記憶體串的陣列的第二半導體結構104在包括週邊電路和嵌入式DRAM單元的陣列的第一半導體結構102之上，而與之不同的是，在第1B圖中的3D記憶體元件101中，包括週邊電路和嵌入式DRAM單元的陣列的第一半導體結構102在包括3D NAND記憶體串的陣列的第二半導體結構104之上。然而，根據一些實施例，鍵合介面106垂直地形成在3D記憶體元件101中的第一半導體結構102與第二半導體結構104之間，並且第一半導體結構102和第二半導體結構104

透過鍵合(例如,混合鍵合)而垂直地接合。在第二半導體結構104中的3D NAND記憶體串的陣列與在第一半導體結構102中的嵌入式DRAM單元的陣列之間的資料傳輸能夠透過跨鍵合介面106的互連部(例如,經由混合鍵合的鍵合觸點)來執行。

**【0025】** 第2圖示出了根據一些實施例的具有週邊電路和嵌入式DRAM的示例性半導體結構200的示意性平面視圖。半導體結構200可以是第一半導體結構102的一個示例。半導體結構200能夠包括用於控制和感測3D NAND記憶體的週邊電路,包括字元線驅動器202、頁面快取元件204以及任何其他合適的電路。半導體結構200還能夠包括與週邊電路在同一管芯上的嵌入式DRAM 206,並且使用與週邊電路相同的邏輯製程來製造。第2圖示出了週邊電路(例如,字元線驅動器202、頁面快取元件204)和嵌入式DRAM 206的示例性佈局,其中,週邊電路(例如,字元線驅動器202、頁面快取元件204)和嵌入式DRAM 206被形成在相同平面上的不同區域中。例如,嵌入式DRAM 206可以被形成在週邊電路(例如,字元線驅動器202、頁面快取元件204)的外部。應當理解,半導體結構200的佈局並不限於第2圖中的示例性佈局。在一些實施例中,週邊電路(例如,字元線驅動器202、頁面快取元件204)和嵌入式DRAM 206(例如,嵌入式DRAM單元的陣列)被堆疊在彼此之上,即在不同的平面上。例如,嵌入式DRAM 206(例如,嵌入式DRAM單元的陣列)可以被形成在週邊電路(例如,字元線驅動器202、頁面快取元件204)之上或之下,以進一步減小晶片尺寸。

**【0026】** 第3圖示出了根據一些實施例的具有嵌入式DRAM的示例性3D記憶體元件300的剖視示意圖。作為上文關於第1A圖所描述的3D記憶體元件100的一個示例,3D記憶體元件300是非單片3D記憶體元件,其包括第一半導體結構302

和堆疊在第一半導體結構302之上的第二半導體結構304。第一半導體結構302和第二半導體結構304在其之間的鍵合介面306處接合。如在第3圖中所示的，第一半導體結構302能夠包括基底308，基底308能夠包括矽（例如，單晶矽）、矽鍺（SiGe）、砷化鎵（GaAs）、鍺（Ge）、絕緣體上矽（SOI）或者任何其他合適的材料。

**【0027】** 3D記憶體元件300的第一半導體結構302能夠包括基底308上方的元件層310。應當注意，在第3圖中添加了x軸和y軸，以進一步圖示在3D記憶體元件300中的各部件的空間關係。基底308包括在x方向（橫向方向或寬度方向）上橫向地延伸的兩個側表面（例如，頂表面和底表面）。如在本文中所使用的，一個部件（例如，層或元件）是否在半導體元件的另一部件（例如，層或元件）「上」、「上方」或「下方」（例如，3D記憶體元件300）是當基底在y方向上位於半導體元件的最低平面中時相對於半導體元件的基底（例如，基底308）在y方向（垂直方向或厚度方向）上確定的。在整個本發明中應用了用於描述空間關係的相同概念。

**【0028】** 在一些實施例中，元件層310包括在基底308上的週邊電路312以及在基底308上並且在週邊電路312外部的嵌入式DRAM單元314的陣列。在一些實施例中，週邊電路312包括複數個週邊電晶體316，所述複數個週邊電晶體316形成用於促進3D記憶體元件300的操作的任何合適的數位、類比及/或混合訊號週邊電路，包括但不限於頁面快取元件、解碼器（例如，行解碼器和列解碼器）、感測放大器、驅動器、電荷泵、電流或電壓參考。週邊電晶體316能夠被形成在基底308「上」，其中，週邊電晶體316的整體或部分被形成在基底308中（例如，在基底308的頂表面下方）及/或直接被形成在基底308上。隔離區域（例如，淺

溝槽隔離 (STI)) 和摻雜區域 (例如, 週邊電晶體316的源極區域和汲極區域) 也能夠被形成在基底308中。

**【0029】** 在一些實施例中, 每個嵌入式DRAM單元314包括DRAM選擇電晶體318和電容器320。嵌入式DRAM單元314能夠是由一個電晶體和一個電容器組成的1T1C單元。應當理解, 嵌入式DRAM單元314可以具有任何合適的配置, 諸如2T1C單元、3T1C單元等。在一些實施例中, DRAM選擇電晶體318被形成在基底308「上」, 其中, DRAM選擇電晶體318的整體或部分被形成在基底308中 (例如, 在基底308的頂表面下方) 及/或直接被形成在基底308上。隔離區域 (例如, 淺溝槽隔離 (STI)) 和摻雜區域 (例如, DRAM選擇電晶體318的源極區域和汲極區域) 也能夠被形成在基底308中。如在第3圖中所示的, DRAM選擇電晶體318和週邊電晶體316能夠被形成在相同平面上、例如在基底308上的不同區域中。亦即, DRAM選擇電晶體318能夠被形成在週邊電路312被形成在基底308上的區域的外部。在一些實施例中, 電容器320被形成在DRAM選擇電晶體318上方。根據一些實施例, 每個電容器320包括兩個電極, 其中的一個電極被電連接到相應DRAM選擇電晶體318的一個端點。根據一些實施例, 每個DRAM選擇電晶體318的另一端點被電連接到嵌入式DRAM的位元線319。每個電容器320的另一電極能夠被電連接到共同板321, 例如共同接地。應當理解, 嵌入式DRAM單元314的結構和配置並不限於第3圖中的示例, 並且可以包括任何合適的結構和配置。例如, 電容器320可以是平面電容器、堆疊電容器、多鰭電容器、圓柱電容器、溝槽電容器或者基底平板電容器。

**【0030】** 在一些實施例中, 3D記憶體元件300的第一半導體結構302還包括在元件層310上方的互連層322以傳輸去往和來自週邊電路312以及嵌入式DRAM

單元314的陣列的電訊號。互連層322能夠包括複數個互連部（在本文中也被稱為「觸點」），包括橫向互連線和垂直互連接入（通孔）觸點。如在本文中所使用的，術語「互連部」能夠廣泛地包括任何合適類型的互連部，諸如線路中間段（MEOL）互連部和線路後段（BEOL）互連部。互連層322還能夠包括一個或複數個層間介電質（ILD）層（也被稱為「金屬間介電質（IMD）層」），在其中能夠形成互連線和通孔觸點。亦即，互連層322能夠包括在複數個ILD層中的互連線和通孔觸點。在互連層322中的互連線和通孔觸點能夠包括導電材料，所述導電材料包括但不限於：鎢（W）、鈷（Co）、銅（Cu）、鋁（Al）、矽化物或者其任何組合。在互連層322中的ILD層能夠包括介電質材料，所述介電質材料包括但不限於：氧化矽、氮化矽、氮氧化矽、低介電常數（低k）介電質或者其任何組合。

**【0031】** 如在第3圖中所示的，3D記憶體元件300的第一半導體結構302還能夠包括在鍵合介面306處並且在互連層322和元件層310（包括週邊電路312和嵌入式DRAM單元314的陣列）上方的鍵合層324。鍵合層324能夠包括複數個鍵合觸點326以及電隔離鍵合觸點326的介電質。鍵合觸點326能夠包括導電材料，所述導電材料包括但不限於：W、Co、Cu、Al、矽化物或者其任何組合。鍵合層324的剩餘區域能夠利用介電質來形成，所述介電質包括但不限於：氧化矽、氮化矽、氮氧化矽、低k介電質或者其任何組合。鍵合觸點326和在鍵合層324中的周圍介電質可用於混合鍵合。

**【0032】** 類似地，如在第3圖中所示的，3D記憶體元件300的第二半導體結構304還能夠包括在鍵合介面306處並且在第一半導體結構302的鍵合層324上方的鍵合層328。鍵合層328能夠包括複數個鍵合觸點330以及電隔離鍵合觸點330的

介電質。鍵合觸點330能夠包括導電材料，所述導電材料包括但不限於：W、Co、Cu、Al、矽化物或者其任何組合。鍵合層328的剩餘區域能夠利用介電質形成，所述介電質包括但不限於氧化矽、氮化矽、氮氧化矽、低k介電質或者其任何組合。鍵合觸點330以及在鍵合層328中的周圍介電質能夠用於混合鍵合。

**【0033】** 如上文所描述的，第二半導體結構304能夠在鍵合介面306處以面對面的方式鍵合在第一半導體結構302的頂部上。在一些實施例中，鍵合介面306由於混合鍵合（也被稱為「金屬/介電質混合鍵合」）而被設置在鍵合層324與鍵合層328之間，這是一種直接鍵合技術（例如，在不使用諸如焊料或黏合劑的中間層的情況下在表面之間形成鍵合），並且能夠同時獲得金屬-金屬鍵合以及介電質-介電質鍵合。在一些實施例中，鍵合介面306是鍵合層324與鍵合層328相遇並且鍵合的位置。在實踐中，鍵合介面306能夠是具有特定厚度的層，其包括第一半導體結構302的鍵合層324的頂表面以及第二半導體結構304的鍵合層328的底表面。

**【0034】** 在一些實施例中，3D記憶體元件300的第二半導體結構304還包括在鍵合層328上方的互連層332以傳輸電訊號。互連層332能夠包括複數個互連部，諸如MEOL互連部和BEOL互連部。互連層332還能夠包括一個或複數個ILD層，在其中能夠形成互連線和通孔觸點。互連層332中的互連線和通孔觸點能夠包括導電材料，所述導電材料包括但不限於：W、Co、Cu、Al、矽化物或者其任何組合。在互連層332中的ILD層能夠包括介電質材料，所述介電質材料包括但不限於氧化矽、氮化矽、氮氧化矽、低k介電質或者其任何組合。

**【0035】** 在一些實施例中，3D記憶體元件300的第二半導體結構304包括

NAND快閃記憶體元件，其中，以在互連層332和鍵合層328上方的3D NAND記憶體串338的陣列的形式來提供記憶單元。根據一些實施例，每個3D NAND記憶體串338垂直延伸通過均包括導體層334和介電質層336的複數個對。堆疊並且交錯的導體層334和介電質層336在本文中也被稱為記憶堆疊層333。根據一些實施例，在記憶堆疊層333中的交錯的導體層334和介電質層336在垂直方向上交替。換言之，除了在記憶堆疊層333的頂部或底部的導體層之外，每個導體層334能夠在兩側與兩個介電質層336鄰接，並且每個介電質層336能夠在兩側與兩個導體層334鄰接。導體層334能夠均具有相同的厚度或不同的厚度。類似地，介電質層336能夠均具有相同的厚度或不同的厚度。導體層334能夠包括導體材料，所述導體材料包括但不限於：W、Co、Cu、Al、摻雜矽、矽化物或者其任何組合。介電質層336能夠包括介電質材料，所述介電質材料包括但不限於：氧化矽、氮化矽、氮氧化矽或者其任何組合。

**【0036】** 在一些實施例中，每個3D NAND記憶體串338是「電荷捕獲」類型的NAND記憶體串，其包括半導體通道342和記憶體膜340。在一些實施例中，半導體通道342包括矽，諸如非晶矽、多晶矽或單晶矽。在一些實施例中，記憶體膜340是複合介電質層，其包括穿隧層、儲存層（也被稱為「電荷捕獲/儲存層」）和阻隔層。每個3D NAND記憶體串338能夠具有圓柱形狀（例如，柱形）。根據一些實施例，記憶體膜340的半導體通道342、穿隧層、儲存層和阻隔層沿著從柱的中心朝向外表面的方向以該次序佈置。所述穿隧層能夠包括氧化矽、氮氧化矽或者其任何組合。所述儲存層能夠包括氮化矽、氮氧化矽、矽或者其任何組合。所述阻隔層能夠包括氧化矽、氮氧化矽、高介電常數（高k）介電質或者其任何組合。在一個示例中，阻隔層可以包括氧化矽/氧氮化矽/氧化矽（ONO）的複合層。在另一示例中，阻隔層能夠包括高k介電質層，諸如氧化鋁（ $\text{Al}_2\text{O}_3$ ），

或氧化鈺 ( $\text{HfO}_2$ ) 或氧化鉭 ( $\text{Ta}_2\text{O}_5$ ) 層等。

**【0037】** 在一些實施例中，3D NAND記憶體串338還包括複數個控制閘極（每個控制閘極是字元線的一部分）。在記憶堆疊層333中的每個導體層334能夠用作3D NAND記憶體串338的每個記憶單元的控制閘極。在一些實施例中，每個3D NAND記憶體串338包括在垂直方向上的相應端部處的兩個插塞（plug）344和346。插塞344能夠包括從半導體層348磊晶生長的半導體材料，諸如單晶矽。插塞344能夠用作由3D NAND記憶體串338的源選擇閘極控制的通道。插塞344能夠在3D NAND記憶體串338的上端，並且與半導體通道342相接觸。如在本文中所使用的，當基底308位於3D記憶體元件300的最低平面中時，部件（例如，3D NAND記憶體串338）的「上端」是在y方向上更遠離基底308的端部，而部件（例如，3D NAND記憶體串338）的「下端」是在y方向更靠近基底308的端部。另一插塞346能夠包括半導體材料（例如，多晶矽）或導體材料（例如，金屬）。在一些實施例中，插塞346包括填充有鈦/氮化鈦（Ti/TiN作為阻擋層）和鎢（作為導體）的開口。透過在3D記憶體元件300的製造期間覆蓋3D NAND記憶體串338的上端，插塞346能夠用作蝕刻停止層以防止對填充在3D NAND記憶體串338中的介電質（諸如氧化矽和氮化矽）進行蝕刻。在一些實施例中，插塞346用作3D NAND記憶體串338的汲極。

**【0038】** 在一些實施例中，第一半導體結構302還包括被設置在記憶堆疊層333和3D NAND記憶體串338上方的半導體層348。半導體層348能夠是減薄的基底，在所述減薄的基底上形成有記憶堆疊層333和3D NAND記憶體串338。在一些實施例中，半導體層348包括單晶矽，插塞344能夠從該單晶矽磊晶地生長。在一些實施例中，半導體層348能夠包括多晶矽、非晶矽、SiGe、GaAs、Ge或

者任何其他合適的材料。半導體層348還能夠包括隔離區域和摻雜區域（例如，用作3D NAND記憶體串338的陣列共源極，未示出）。隔離區域（未示出）能夠跨半導體層348的整個厚度或部分而延伸，以電隔離摻雜區域。在一些實施例中，包括氧化矽的襯盤氧化物層被設置在記憶堆疊層333與半導體層348之間。

**【0039】** 應當理解，3D NAND記憶體串338並不限於「電荷捕獲」類型的3D NAND記憶體串，並且在其他實施例中可以是「浮動閘極」類型的3D NAND記憶體串。半導體層348可以包括多晶矽作為「浮動閘極」類型的3D NAND記憶體串的源極板。

**【0040】** 如在第3圖中所示的，3D記憶體元件300的第二半導體結構304還能夠包括在半導體層348上方的焊墊引出（pad-out）互連層350。焊墊引出互連層350包括在一個或複數個ILD層中的互連部，例如接觸焊墊352。焊墊引出互連層350和互連層332能夠被形成在半導體層348的相對側。在一些實施例中，例如出於焊墊引出目的，在焊墊引出互連層350中的互連部能夠在3D記憶體元件300與外部電路之間傳輸電訊號。

**【0041】** 在一些實施例中，第二半導體結構304還包括延伸通過半導體層348的一個或複數個觸點354，以電連接焊墊引出互連層350與互連層332和322。結果，嵌入式DRAM單元314的陣列能夠透過互連層322和332以及鍵合觸點326和330被電連接到3D NAND記憶體串338的陣列。此外，週邊電路312、嵌入式DRAM單元314的陣列以及3D NAND記憶體串338的陣列能夠透過觸點354和焊墊引出互連層350被電連接到外部電路。

【0042】 第4圖示出了根據一些實施例的具有嵌入式DRAM的另一示例性3D記憶體元件400的剖視示意圖。類似於上文在第3圖中所描述的3D記憶體元件300，3D記憶體元件400表示非單片3D記憶體元件的示例，其中，包括3D NAND記憶體串的第一半導體結構402以及包括週邊電路和嵌入式DRAM單元的第二半導體結構404單獨地形成，並且以面對面的方式被鍵合在鍵合介面406處。上文在第3圖中所描述的3D記憶體元件300中，包括週邊電路和嵌入式DRAM單元的第二半導體結構302位於包括3D NAND記憶體串的第二半導體結構304下方，而與之不同的是，在第4圖中的3D記憶體元件400包括具有週邊電路和嵌入式DRAM單元的第二半導體結構404被設置在包括3D NAND記憶體串的第一半導體結構402上方。應當理解，在3D記憶體元件300和400兩者中的類似結構（例如，材料、製造製程、功能等）的細節在下文可以不再重複。

【0043】 3D記憶體元件400的第一半導體結構402能夠包括基底408和記憶堆疊層410，記憶堆疊層410包括在基底408上方的交錯的導體層412和介電質層414。在一些實施例中，3D NAND記憶體串416的陣列均垂直延伸通過在基底408上方的記憶堆疊層410中的交錯的導體層412和介電質層414。每個3D NAND記憶體串416能夠包括半導體通道420和記憶體膜418。每個3D NAND記憶體串416還包括分別在其下端和上端的兩個插塞422和424。3D NAND記憶體串416能夠是「電荷捕獲」類型的3D NAND記憶體串或「浮動閘極」類型的3D NAND記憶體串。在一些實施例中，包括氧化矽的襯墊氧化物層被設置在記憶堆疊層410與基底408之間。

【0044】 在一些實施例中，3D記憶體元件400的第一半導體結構402還包括在記憶堆疊層410和3D NAND記憶體串416上方的互連層426，以傳輸去往和來自

3D NAND記憶體串416的電訊號。互連層426能夠包括複數個互連部，其包括互連線和通孔觸點。在一些實施例中，在互連層426中的互連部還包括局部互連部，諸如位元線觸點和字元線觸點。在一些實施例中，3D記憶體元件400的第一半導體結構402還包括在鍵合介面406處並且在互連層426和記憶堆疊層410上方的鍵合層428。鍵合層428能夠包括複數個鍵合觸點430以及圍繞並且電隔離鍵合觸點430的介電質。

**【0045】** 如在第4圖中所示的，3D記憶體元件400的第二半導體結構404包括在鍵合介面406處並且在鍵合層428上方的另一鍵合層432。鍵合層432能夠包括複數個鍵合觸點434以及圍繞並且電隔離鍵合觸點434的介電質。在一些實施例中，3D記憶體元件400的第二半導體結構404還包括在鍵合層432上方的互連層436以傳輸電訊號。互連層436能夠包括複數個互連部，其包括互連線和通孔觸點。

**【0046】** 3D記憶體元件400的第二半導體結構404還能夠包括在互連層436和鍵合層432上方的元件層438。在一些實施例中，元件層438包括在互連層436和鍵合層432上方的週邊電路442以及在互連層436和鍵合層432上方並且在週邊電路442外部的嵌入式DRAM單元444的陣列。在一些實施例中，週邊電路442包括複數個週邊電晶體446，其形成任何合適的數位、類比及/或混合訊號週邊電路，用於促進3D記憶體元件400的操作，包括但不限於：頁面快取元件、解碼器（例如，行解碼器和列解碼器）、感測放大器、驅動器、電荷泵、電流或電壓參考。週邊電晶體446能夠被形成在半導體層440「上」，其中，週邊電晶體446的整體或部分被形成在半導體層440中及/或被直接形成在半導體層440上。隔離區域（例如，淺溝槽隔離（STI））和摻雜區域（例如，週邊電晶體446的源極區域和汲極

區域) 也能夠被形成在半導體層440中。

**【0047】** 在一些實施例中，每個嵌入式DRAM單元444包括DRAM選擇電晶體448和電容器450。嵌入式DRAM單元444能夠是包括一個電晶體和一個電容器的1T1C單元。應當理解，嵌入式DRAM單元444可以具有任何合適的配置，諸如2T1C單元、3T1C單元等。在一些實施例中，DRAM選擇電晶體448被形成在半導體層440「上」，其中，DRAM選擇電晶體448的整體或部分被形成在半導體層440中及/或被直接形成在半導體層440上。隔離區域（例如，淺溝槽隔離（STI））和摻雜區域（例如，DRAM選擇電晶體448的源極區域和汲極區域）也能夠被形成在半導體層440中。如在第4圖中所示的，DRAM選擇電晶體448和週邊電晶體446能夠被形成在同一平面、例如半導體層440上的不同區域中。亦即，DRAM選擇電晶體448能夠被形成在週邊電路442被形成在半導體層440上的區域的外部。在一些實施例中，電容器450被設置在DRAM選擇電晶體448下方。根據一些實施例，每個電容器450包括兩個電極，其中的一個電極被電連接到相應DRAM選擇電晶體448的一個端點。根據一些實施例，每個DRAM選擇電晶體448的另一端點被電連接到嵌入式DRAM的位元線449。每個電容器450的另一電極能夠被電連接到共同板451，例如共同接地。應當理解，嵌入式DRAM單元444的結構和配置並不限於第4圖中的示例，並且可以包括任何合適的結構和配置。例如，電容器450可以是平面電容器、堆疊電容器、多鰭電容器、圓柱電容器、溝槽電容器或基底平板電容器。

**【0048】** 在一些實施例中，第二半導體結構404還包括被設置在元件層438上方的半導體層440。半導體層440能夠是減薄的基底，在所述減薄的基底上形成有週邊電晶體446和DRAM選擇電晶體448。在一些實施例中，半導體層440包括

單晶矽。在一些實施例中，半導體層440能夠包括多晶矽、非晶矽、SiGe、GaAs、Ge或者任何其他合適的材料。半導體層440還能夠包括隔離區域和摻雜區域。

**【0049】** 如在第4圖中所示的，3D記憶體元件400的第二半導體結構404還能夠包括在半導體層440上方的焊墊引出互連層452。焊墊引出互連層452包括在一個或複數個ILD層中的互連部，例如接觸焊墊454。在一些實施例中，例如出於焊墊引出的目的，在焊墊引出互連層452中的互連部能夠在3D記憶體元件400與外部電路之間傳輸電訊號。在一些實施例中，第二半導體結構404還包括延伸通過半導體層440的一個或複數個觸點456，以電連接焊墊引出互連層452與互連層436和426。結果，嵌入式DRAM單元444的陣列能夠透過互連層426和436以及鍵合觸點430和434被電連接到3D NAND記憶體串416的陣列。此外，週邊電路442、嵌入式DRAM單元444的陣列以及3D NAND記憶體串416的陣列能夠透過觸點456和焊墊引出互連層452被電連接到外部電路。

**【0050】** 第5A-5C圖示出了根據一些實施例的用於形成具有週邊電路和嵌入式DRAM的示例性半導體結構的製造製程。第6A圖和第6B圖示出了根據一些實施例的用於形成具有3D NAND記憶體串的示例性半導體結構的製造製程。第7A圖和第7B圖示出了根據一些實施例的用於形成具有嵌入式DRAM的示例性3D記憶體元件的製造製程。第9圖示出了根據一些實施例的用於形成具有嵌入式DRAM的3D記憶體元件的示例性方法900的流程示意圖。在第5-7圖和第9圖中所描繪的3D記憶體元件的示例包括在第3圖中所描繪的3D記憶體元件300以及在第4圖中所描繪的3D記憶體元件400。以下將一起描述第5-7圖和第9圖。應當理解，在方法900中示出的步驟並不是窮舉的，而是能夠在所圖示的步驟中的任何步驟之前、之後或之間執行其他步驟。此外，所述步驟中的一些步驟可以同時

地執行，或者以與在第9圖中所示的不同的次序執行。

**【0051】** 如在第5A-5C圖中所描繪的，形成第一半導體結構，所述第一半導體結構包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層。如在第6A圖和第6B圖中所描繪的，形成第二半導體結構，所述第二半導體結構包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層。如在第7A圖和第7B圖中所描繪的，所述第一半導體結構和所述第二半導體結構以面對面的方式鍵合，使得第一鍵合觸點在鍵合介面處與第二鍵合觸點相接觸。

**【0052】** 參照第9圖，方法900開始於步驟902，其中，週邊電路和嵌入式DRAM單元的陣列被形成在第一基底上。所述第一基底能夠是矽基底。在一些實施例中，為了形成週邊電路和嵌入式DRAM單元的陣列，在第一基底上形成複數個電晶體，並且在所述電晶體中的一些電晶體上方形成複數個電容器並與其相接觸。

**【0053】** 如在第5A圖中所圖示的，複數個電晶體（例如，週邊電晶體504和DRAM選擇電晶體506）被形成在矽基底502上。週邊電晶體504和DRAM選擇電晶體506能夠透過複數個製程來形成，包括但不限於：微影、乾/濕蝕刻、薄膜沉積、熱生長、佈植、化學機械拋光（CMP）以及任何其他合適的製程。在一些實施例中，透過離子佈植及/或熱擴散在矽基底502中形成摻雜區域，其例如用作週邊電晶體504和DRAM選擇電晶體506的源極區域及/或汲極區域。在一些實施例中，還透過濕/乾蝕刻和薄膜沉積在矽基底502中形成隔離區域（例如，STI）。

【0054】 如在第5B圖中所示的，複數個電容器508被形成在DRAM選擇電晶體506上方並且與其相接觸。每個電容器508能夠透過攝影進行圖案化以與相應DRAM選擇電晶體506對準，從而形成1T1C記憶單元，例如透過將電容器508的一個電極與相應DRAM選擇電晶體506的一個端點電連接。在一些實施例中，還形成位元線507和共同板509，用於連接DRAM選擇電晶體506與電容器508。電容器508能夠由複數個製程來形成，包括但不限於：微影、乾/濕蝕刻、薄膜沉積、熱生長、佈植、CMP以及任何其他合適的製程。由此形成包括週邊電路（具有週邊電晶體504）和嵌入式DRAM單元的陣列（每個均具有DRAM選擇電晶體506和電容器508）的元件層510。

【0055】 方法900進行到步驟904，如在第9圖中所示的，其中，第一互連層被形成在週邊電路和嵌入式DRAM單元的陣列上方。所述第一互連層能夠包括在一個或複數個ILD層中的第一多個互連部。如在第5C圖中所示的，互連層512能夠被形成在元件層510上方，元件層510包括週邊電路（具有週邊電晶體504）和嵌入式DRAM單元的陣列（每個均具有DRAM選擇電晶體506和電容器508）。互連層512能夠包括在複數個ILD層中的MEOL及/或BEOL的互連部，以與元件層510進行電連接。在一些實施例中，互連層512包括在複數個製程中形成的複數個ILD層和互連部。例如，在互連層512中的互連部能夠包括透過一種或複數種薄膜沉積製程而沉積的導電材料，所述薄膜沉積製程包括但不限於：CVD、PVD、ALD、電鍍、無電鍍或者其任何組合。形成互連部的製造製程還能夠包括：微影、CMP、濕/乾蝕刻或者任何其他合適的製程。ILD層能夠包括透過一種或複數種薄膜沉積製程而沉積的介電質材料，所述薄膜沉積製程包括但不限於：CVD、PVD、ALD或者其任何組合。在第5C圖中所圖示的ILD層和互連部可以被統稱為互連層512。

【0056】 方法900進行到步驟906，如在第9圖中所圖示的，其中，第一鍵合層被形成在第一互連層上方。所述第一鍵合層能夠包括複數個第一鍵合觸點。如在第5C圖中所圖示的，鍵合層514被形成在互連層512上方。鍵合層514能夠包括由介電質圍繞的複數個鍵合觸點516。在一些實施例中，透過一種或複數種薄膜沉積製程在互連層512的頂表面上沉積介電質層，所述薄膜沉積製程包括但不限於：CVD、PVD、ALD或者其任何組合。然後，透過使用圖案化製程（例如，對介電質層中的介電質材料的微影和乾/濕蝕刻）首先圖案化通過介電質層的接觸孔，能夠形成通過介電質層並且與互連層512中的互連部相接觸的鍵合觸點516。所述接觸孔能夠被填充有導體（例如，銅）。在一些實施例中，填充所述接觸孔包括在沉積所述導體之前沉積阻擋層、黏著層及/或種子層。

【0057】 方法900進行到步驟908，如在第9圖中所圖示的，其中，記憶堆疊層被形成在第二基底上方。所述第二基底能夠是矽基底。如在第6A圖中所圖示的，交錯的犧牲層（未示出）和介電質層608被形成在矽基底602上方。交錯的犧牲層和介電質層608能夠形成介電質堆疊層（未示出）。在一些實施例中，每個犧牲層包括氮化矽層，並且每個介電質層608包括氧化矽層。交錯的犧牲層和介電質層608能夠透過一種或複數種薄膜沉積製程來形成，所述薄膜沉積製程包括但不限於：CVD、PVD、ALD或者其任何組合。在一些實施例中，記憶堆疊層604能夠透過閘極替換製程形成，例如，使用對介電質層608具有選擇性的犧牲層的濕/乾蝕刻而利用導體層606替換犧牲層，並且利用導體層606來填充所得到的溝槽。結果，記憶堆疊層604能夠包括交錯的導體層606和介電質層608。在一些實施例中，每個導體層606包括金屬層，諸如鎢層。應當理解，在其他實施例中，可以透過交替地沉積導體層（例如，摻雜的多晶矽層）和介電質層（例如，氧

化矽層)來形成記憶堆疊層604，而無需閘極替換製程。在一些實施例中，在記憶堆疊層604與矽基底602之間形成包括氧化矽的襯墊氧化物層。

**【0058】** 方法900進行到步驟910，如在第9圖中所圖示的，其中，形成垂直延伸通過記憶堆疊層的3D NAND記憶體串的陣列。如在第6A圖中所圖示的，3D NAND記憶體串610被形成在矽基底602上方，其中的每個垂直地延伸通過記憶堆疊層604的交錯的導體層606和介電質層608。在一些實施例中，形成3D NAND記憶體串610的製造製程包括使用乾蝕刻/及/或濕蝕刻(諸如深反應離子蝕刻(DRIE))來形成通過記憶堆疊層604並且進入矽基底602的通道孔，然後從矽基底602在通道孔的下部磊晶生長插塞612。在一些實施例中，形成3D NAND記憶體串610的製造製程還包括隨後使用諸如ALD、CVD、PVD或者其任何組合的薄膜沉積製程，利用複數個層，諸如記憶體膜614(例如，穿隧層、儲存層和阻隔層)和半導體層616，來填充所述通道孔。在一些實施例中，形成3D NAND記憶體串610的製造製程還包括透過在3D NAND記憶體串610的上端處蝕刻溝槽，隨後使用薄膜沉積製程(諸如ALD、CVD、PVD或者其任何組合)利用半導體材料來填充所述溝槽，而在通道孔的上部形成另一插塞618。

**【0059】** 方法900進行到步驟912，如在第9圖中所圖示的，其中，第二互連層被形成在3D NAND記憶體串的陣列上方。所述第二互連層能夠包括在一個或複數個ILD層中的第二多個互連部。如在第6B圖中所圖示的，互連層620能夠被形成在記憶堆疊層604和3D NAND記憶體串的陣列610上方。互連層620能夠包括在複數個ILD層中的MEOL及/或BEOL的互連部，以與3D NAND記憶體串610進行電連接。在一些實施例中，互連層620包括在複數個製程中形成的複數個ILD層和互連部。例如，在互連層620中的互連部能夠包括透過一種或複數種薄膜沉積

製程（包括但不限於CVD、PVD、ALD、電鍍、無電鍍或者其任何組合）沉積的導電材料。形成互連部的製造製程還能夠包括微影、CMP、濕/乾蝕刻或者任何其他合適的製程。ILD層能夠包括透過一種或複數種薄膜沉積製程（包括但不限於CVD、PVD、ALD或者其任何組合）沉積的介電質材料。在第6B圖中所圖示的ILD層和互連部能夠被統稱為互連層620。

**【0060】** 方法900進行到步驟914，如在第9圖中所圖示的，其中，第二鍵合層被形成在第二互連層上方。所述第二鍵合層能夠包括複數個第二鍵合觸點。如在第6B圖中所圖示的，鍵合層622被形成在互連層620上方。鍵合層622能夠包括由介電質圍繞的複數個鍵合觸點624。在一些實施例中，透過一種或複數種薄膜沉積製程在互連層620的頂表面上沉積介電質層，所述薄膜沉積製程包括但不限於：CVD、PVD、ALD或者其任何組合。然後，透過使用圖案化製程（例如，對介電質層中的介電質材料的微影和乾/濕蝕刻）首先圖案化通過介電質層的接觸孔，能夠形成通過介電質層並且與互連層620中的互連部相接觸的鍵合觸點624。所述接觸孔能夠被填充有導體（例如，銅）。在一些實施例中，填充所述接觸孔包括在沉積所述導體之前沉積阻擋層、黏著層及/或種子層。

**【0061】** 方法900進行到步驟916，如在第9圖中所圖示的，其中，第一基底和第二基底以面對面的方式鍵合，使得第一鍵合觸點在鍵合介面處與第二鍵合觸點相接觸。所述鍵合能夠是混合鍵合。在一些實施例中，在所述鍵合之後，在其上形成有週邊電路和嵌入式DRAM單元的第一基底（例如，第一半導體結構）被設置在其上形成有3D NAND記憶體串的第二基底上方（例如，第二半導體結構）上方。在一些實施例中，在鍵合之後，其上形成有3D NAND記憶體串的第二基底（例如，第二半導體結構）被設置在其上形成有週邊電路和嵌入式DRAM

單元的第一基底（例如，第一半導體結構）上方。

**【0062】** 如在第7A圖中所圖示的，矽基底602以及在其上形成的部件（例如，3D NAND記憶體串610）被顛倒翻轉。面向下的鍵合層622與面向上的鍵合層514鍵合，即以面對面的方式鍵合，由此形成鍵合介面702（如在第7B圖中所示的）。在一些實施例中，在鍵合之前，將處理製程（例如，等離子體處理、濕處理及/或熱處理）施加到所述鍵合表面。儘管在第7A圖中未示出，但是矽基底502和在其上形成的部件（例如，元件層510）可以上下翻轉，並且面向下的鍵合層514可以與面向上的鍵合層622鍵合，即以面對面的方式鍵合，由此形成鍵合介面702。在鍵合之後，在鍵合層622中的鍵合觸點624以及在鍵合層514中的鍵合觸點516彼此對準並且相接觸，使得元件層510（例如，週邊電路以及其中的嵌入式DRAM單元）能夠被電性連接到3D NAND記憶體串610。應當理解，在鍵合元件中，3D NAND記憶體串610可以在元件層510（例如，週邊電路以及其中的嵌入式DRAM單元）上方或下方。然而，如在第7B圖中所圖示的，在鍵合之後，能夠在3D NAND記憶體串610與元件層510（例如，其中的週邊電路與嵌入式DRAM單元）之間形成鍵合介面702。

**【0063】** 方法900進行到步驟918，如在第9圖中所圖示的，其中，使第一基底或第二基底減薄以形成半導體層。在一些實施例中，在鍵合之後，位於第二半導體結構的第二基底上方的第一半導體結構的第一基底被減薄以形成半導體層。在一些實施例中，在鍵合之後，位於第一半導體結構的第一基底上方的第二半導體結構的第二基底被減薄以形成半導體層。

**【0064】** 如在第7B圖中所圖示的，在鍵合的3D記憶體元件的頂部上的基底

(例如，如在第7A圖中所示的矽基底602)被減薄，使得減薄的頂部基底能夠用作半導體層704，例如，單晶矽層。減薄的基底的厚度能夠在約200 nm與約5 μm(微米)之間，例如在200 nm與5 μm之間，或者在約150 nm與約50 μm之間，諸如在150 nm與50 μm之間。矽基底602能夠透過包括但不限於晶圓研磨、乾蝕刻、濕蝕刻、CMP、任何其他合適的製程或者其任何組合的製程來減薄。應當理解，當矽基底502是在鍵合的3D記憶體元件的頂部上的基底時，可以透過減薄矽基底502來形成另一半導體層。

**【0065】** 方法900進行到步驟920，如在第9圖中所圖示的，其中，焊墊引出互連層被形成在半導體層上方。如在第7B圖中所圖示的，焊墊引出互連層706被形成在半導體層704(減薄的頂部基底)上方。焊墊引出互連層706能夠包括被形成在一個或複數個ILD層中的互連部，諸如襯墊觸點708。襯墊觸點708能夠包括導電材料，所述導電材料包括但不限於：W、Co、Cu、Al、摻雜矽、矽化物或者其任何組合。ILD層能夠包括介電質材料，所述介電質材料包括但不限於氧化矽、氮化矽、氮氧化矽、低k介電質或者其任何組合。在一些實施例中，在鍵合和減薄之後，例如透過濕/乾蝕刻，然後透過沉積導電材料，來形成垂直延伸通過半導體層704的觸點710。觸點710能夠與焊墊引出互連層706中的互連部相接觸。

**【0066】** 第8圖示出了根據一些實施例的具有嵌入式DRAM 806的3D記憶體元件800的示例性操作。第10圖是根據一些實施例的用於操作具有嵌入式DRAM的3D記憶體元件的示例性方法1000的流程示意圖。在第8圖中所描繪的3D記憶體元件800的示例包括在第3圖中所描繪的3D記憶體元件300以及在第4圖中所描繪的3D記憶體元件400。以下將一起描述第8圖和第10圖。應當理解，在方法1000

中所示的步驟並不是窮舉的，而是能夠在所圖示的步驟中的任意步驟之前、之後或之間執行其他步驟。此外，所述步驟中的一些步驟可以同時執行，或者以與第10圖中所示的不同的次序來執行。如在第8圖中所圖示的，3D記憶體元件800包括：輸入/輸出電路804（例如，其週邊電路的一部分），具有嵌入式DRAM單元的陣列的嵌入式DRAM 806，以及具有3D NAND記憶體串的陣列的3D NAND記憶體808。輸入/輸出電路804、嵌入式DRAM 806以及3D NAND記憶體808能夠如上文詳細描述的被形成在同一晶片中。

**【0067】** 參考第10圖，方法1000在步驟1002處開始，其中，透過輸入/輸出電路將資料傳輸到嵌入式DRAM單元的陣列。如在第8圖中所圖示的，由主機802生成的任何合適類型的資料透過輸入/輸出電路804被傳輸到3D記憶體元件800的嵌入式DRAM 806中。主機802能夠是生成資料的任何合適的設備，諸如一個或複數個處理器。在一些實施例中，主機802包括中央處理單元（CPU）、圖形處理器（例如，圖形處理單元（GPU））、應用處理器（AP）、通用處理器（例如，APU、加速處理單元；GPGPU、GPU上的通用計算）或者任何其他合適的處理器。輸入/輸出電路804能夠是高速、高輸送量輸入/輸出電路，作為週邊電路的一部分。主機802和3D記憶體元件800能夠是任何合適的裝置的一部分，例如，虛擬實境（VR）/增強現實（AR）設備（例如，VR耳機等）、掌上型設備（例如，非智慧或智慧型電話、平板電腦等）、可穿戴設備（如眼鏡、手錶等）、汽車控制站、遊戲機、電視機、膝上型電腦、臺式電腦、上網本電腦、媒體中心、機上盒、全球定位系統（GPS）、印表機或者任何其他合適的設備。

**【0068】** 方法1000進行到步驟1004，如在第10圖中所圖示的，其中，資料被快取(cache)在嵌入式DRAM單元的陣列中。如在第8圖中所圖示的，嵌入式

DRAM 806能夠用作3D記憶體元件800的集成高速片上快取元件，其用於快取透過輸入/輸出電路804從主機802傳輸的資料。

**【0069】** 方法1000進行到步驟1006，如在第10圖中所圖示的，其中，將資料從嵌入式DRAM單元的陣列儲存到3D NAND記憶體串的陣列中。如在第8圖中所圖示的，3D NAND記憶體808，在嵌入式DRAM 806中快取的資料能夠被儲存在3D NAND記憶體808中。在一些實施例中，資料被快取在嵌入式DRAM 806中，並且被並行地儲存在3D NAND記憶體808中。

**【0070】** 方法1000進行到步驟1008，如在第10圖中所圖示的，其中，資料透過複數個鍵合觸點在3D NAND記憶體串的陣列與嵌入式DRAM單元的陣列之間傳輸。在一些實施例中，回應於對3D記憶體元件的通電或斷電而觸發所述傳輸。如在第8圖中所圖示的，透過複數個鍵合觸點的直接電連接能夠在嵌入式DRAM 806與3D NAND記憶體808之間傳輸資料，如上文詳細描述的，與常規的板載晶片到晶片資料匯流排相比，其具有縮短的距離、更高的輸送量以及更低的功耗。能夠透過在嵌入式DRAM 806與3D NAND記憶體808之間傳輸的資料來實現主機802的即時啟動功能。在一些實施例中，回應於對主機802及/或3D記憶體元件800的斷電，在嵌入式DRAM 806中快取的使用者資料及/或作業系統資料的快照被立即傳輸到3D NAND記憶體808，3D NAND記憶體808能夠在斷電之後保留。回應於對主機802及/或3D記憶體元件800的通電，儲存在3D NAND記憶體808中的使用者資料及/或作業系統資料的快照能夠被立即傳輸回嵌入式DRAM 806，以恢復在斷電之前的主機802的最後狀態。

**【0071】** 根據本發明的一個方面，一種3D記憶體元件包括：第一半導體結構，  
第 30 頁，共 37 頁(發明說明書)

其包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層。所述3D記憶體元件還包括：第二半導體結構，其包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層。所述3D記憶體元件還包括在所述第一鍵合層與所述第二鍵合層之間的鍵合介面。所述第一鍵合觸點在所述鍵合介面處與所述第二鍵合觸點相接觸。

**【0072】** 在一些實施例中，所述第一半導體結構包括：基底；在所述基底上的週邊電路；在所述基底上並且在所述週邊電路的外部的嵌入式DRAM單元的陣列；以及在所述週邊電路和所述嵌入式DRAM單元的陣列上方的第一鍵合層。

**【0073】** 在一些實施例中，所述第二半導體結構包括：在所述第一鍵合層上方的第二鍵合層；在所述第二鍵合層上方的記憶堆疊層；垂直延伸通過所述記憶堆疊層的3D NAND記憶體串的陣列；以及在所述3D NAND記憶體串的陣列上方並且與其相接觸的半導體層。在一些實施例中，3D記憶體元件還包括在所述半導體層上方的焊墊引出互連層。

**【0074】** 在一些實施例中，所述半導體層包括多晶矽。在一些實施例中，所述半導體層包括單晶矽。

**【0075】** 在一些實施例中，所述第二半導體結構包括：基底；在所述基底上方的記憶堆疊層；垂直延伸通過所述記憶堆疊層的3D NAND記憶體串的陣列；以及在所述記憶堆疊層和所述3D NAND記憶體串的陣列上方的第二鍵合層。

**【0076】** 在一些實施例中，所述第一半導體結構包括：在所述第二鍵合層上

方的第一鍵合層；在所述第一鍵合層上方的週邊電路；在所述第一鍵合層上方並且在所述週邊電路的外部的嵌入式DRAM單元的陣列；以及在所述週邊電路和所述嵌入式DRAM單元的陣列上方並且與其相接觸的半導體層。在一些實施例中，所述3D記憶體元件還包括在所述半導體層上方的焊墊引出互連層。

【0077】 在一些實施例中，所述週邊電路和所述嵌入式DRAM單元的陣列彼此堆疊。

【0078】 在一些實施例中，每個嵌入式DRAM單元包括電晶體和電容器。

【0079】 在一些實施例中，所述第一半導體結構包括垂直地處在所述第一鍵合層與所述嵌入式DRAM單元的陣列之間的第一互連層，並且所述第二半導體結構包括垂直地處在所述第二鍵合層與所述3D NAND記憶體串的陣列之間的第二互連層。

【0080】 在一些實施例中，所述嵌入式DRAM單元的陣列透過所述第一互連層和所述第二互連層以及所述第一鍵合觸點和所述第二鍵合觸點被電性連接到所述3D NAND記憶體串的陣列。

【0081】 根據本發明的另一方面，公開了一種用於形成3D記憶體元件的方法。所述方法包括：形成第一半導體結構，所述第一半導體結構包括週邊電路、嵌入式DRAM單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層；形成第二半導體結構，所述第二半導體結構包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層；以面對面的方式鍵合所述第一半導體結構

和所述第二半導體結構，使得所述第一鍵合觸點在鍵合介面處與所述第二鍵合觸點相接觸。

**【0082】** 在一些實施例中，為了形成所述第一半導體結構：在第一基底上形成所述週邊電路和所述嵌入式DRAM單元的陣列；在所述週邊電路和所述嵌入式DRAM單元的陣列上方形成第一互連層；以及在所述第一互連層上方形成所述第一鍵合層。

**【0083】** 在一些實施例中，為了形成所述週邊電路和所述嵌入式DRAM單元的陣列：在所述第一基底上方形成複數個電晶體；以及在所述電晶體中的一些電晶體上方形成複數個電容器並且與其相接觸。

**【0084】** 在一些實施例中，為了形成所述第二半導體結構：在第二基底上方形成記憶堆疊層；形成垂直延伸通過所述記憶堆疊層的3D NAND記憶體串的陣列；在所述3D NAND記憶體串的陣列上方形成第二互連層；以及在所述第二互連層上方形成第二鍵合層。

**【0085】** 在一些實施例中，所述第二半導體結構在所述鍵合之後在所述第一半導體結構上方。在一些實施例中，在所述鍵合之後，使所述第二基底減薄以形成半導體層；以及在所述半導體層上方形成焊墊引出互連層。

**【0086】** 在一些實施例中，在所述鍵合之後，所述第一半導體結構在所述第二半導體結構上方。在一些實施例中，在所述鍵合之後，使所述第一基底減薄以形成半導體層；以及在所述半導體層上方形成焊墊引出互連層。

【0087】 在一些實施例中，所述鍵合包括混合鍵合。

【0088】 根據本發明的又一方面，公開了一種用於操作3D記憶體元件的方法。所述3D記憶體元件包括在同一晶片中的輸入/輸出電路、嵌入式DRAM單元的陣列以及3D NAND記憶體串的陣列。透過所述輸入/輸出電路將資料傳輸到所述嵌入式DRAM單元的陣列。在所述嵌入式DRAM單元的陣列中快取資料。將資料從所述嵌入式DRAM單元的陣列儲存到3D NAND記憶體串的陣列中。

【0089】 在一些實施例中，透過複數個鍵合觸點在所述3D NAND記憶體串的陣列與所述嵌入式DRAM單元的陣列之間傳輸資料。

【0090】 在一些實施例中，回應於對所述3D記憶體元件的通電或斷電而觸發所述傳輸。

【0091】 對具體實施例的前述描述將揭示本發明的一般性質，他人能夠透過應用本領域技術範圍內的知識針對各種應用來容易地修改及/或調整這樣的具體實施例，而無需過多的實驗，並且不背離本發明的一般概念。因此，基於本文提出的教導和指導，這樣的調整和修改旨在落入所公開的實施例的等同物的含義和範圍之內。應當理解，本文中的措辭或術語是出於描述而非限制的目的，使得本說明書的術語或措辭將由本領域技術人員根據教導和指導來解釋。

【0092】 上文已經借助於圖示特定功能以及其關係的實現方式的功能方塊描述了本發明的實施例。為了便於描述，在本文中任意定義了這些功能方塊的邊

界。能夠定義替代邊界，只要適當地執行指定的功能以及其關係即可。

**【0093】** 發明內容和摘要部分可以闡述發明人所預期的本發明的一個或複數個但是並不是所有示例性實施例，因此，並不旨在以任何方式限制本發明和所附的請求項。

**【0094】** 本發明的廣度和範圍不應當受任何上述示例性實施例的限制，而是應當僅根據所附的請求項以及其等同物來限定。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

**【符號說明】**

**【0095】**

100、101、300、400、800	3D記憶體元件
102、302、402	第一半導體結構
104、304、404	第二半導體結構
106、306、406、702	鍵合介面
200	半導體結構
202	字元線驅動器
204	頁面快取元件
308、408	基底
310、438、510	元件層
312、442	週邊電路
314、444	嵌入式DRAM單元

316、446、504	週邊電晶體
318、448、506	DRAM選擇電晶體
319、449、507	位元線
320、450、508	電容器
321、451、509	共同板
322、332、426、436、512、620	互連層
324、328、428、432、514、622	鍵合層
326、330、430、434、516、624	鍵合觸點
333、410、604	記憶堆疊層
334、412、606	導體層
336、414、608	介電質層
338、416、610	3D NAND記憶體串
340、418、614	記憶體膜
342、420	半導體通道
344、346、422、424、612、618	插塞
348、440、616、704	半導體層
350、452、706	焊墊引出互連層
352、454	接觸焊墊
354、456、710	觸點
502、602	矽基底
708	襯盤觸點
802	主機
804	輸入/輸出電路
808	3DNAND記憶體

900、1000	方法
902、904、906、908、910、912、914、 916、918、920、1002、1004、1006、1008	步驟
206、806	嵌入式DRAM
x、y	方向

## 【發明申請專利範圍】

【第1項】 一種三維（3D）記憶體元件，包括：

第一半導體結構，其包括週邊電路、嵌入式動態隨機存取記憶體（DRAM）單元的陣列、包括複數個第一鍵合觸點的第一鍵合層以及半導體層，其中所述週邊電路和所述嵌入式DRAM單元的陣列彼此堆疊；

第二半導體結構，其包括基底、在所述基底上方的記憶堆疊層、垂直地延伸通過所述記憶堆疊層的3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層，其中所述第二鍵合層在所述記憶堆疊層和所述3D NAND記憶體串的陣列上方；以及

在所述第一鍵合層與所述第二鍵合層之間的鍵合介面，其中，所述第一鍵合觸點在所述鍵合介面處與所述第二鍵合觸點相接觸；

其中，所述第一鍵合層在所述第二鍵合層上方，所述週邊電路在所述第一鍵合層上方，所述嵌入式DRAM單元的陣列在所述第一鍵合層上方並且在所述週邊電路的外部，且所述半導體層在所述週邊電路和所述嵌入式DRAM單元的陣列上方並且與所述週邊電路和所述嵌入式DRAM單元的陣列相接觸。

【第2項】 根據請求項1所述的3D記憶體元件，其中，所述半導體層包括多晶矽。

【第3項】 根據請求項1所述的3D記憶體元件，其中，所述半導體層包括單晶矽。

【第4項】 根據請求項1所述的3D記憶體元件，還包括在所述半導體層上方的焊墊引出互連層。

【第5項】 根據請求項1所述的3D記憶體元件，其中，每個嵌入式DRAM單元包括電晶體和電容器。

【第6項】 根據請求項1所述的3D記憶體元件，其中，所述第一半導體結構包括在垂直方向上位在所述第一鍵合層與所述嵌入式DRAM單元的陣列之間的第一互連層，並且所述第二半導體結構包括在所述垂直方向上位在所述第二鍵合層與所述3D NAND記憶體串的陣列之間的第二互連層。

【第7項】 根據請求項6所述的3D記憶體元件，其中，所述嵌入式DRAM單元的陣列透過所述第一互連層和所述第二互連層以及所述第一鍵合觸點和所述第二鍵合觸點被電連接到所述3D NAND記憶體串的陣列。

【第8項】 一種用於形成三維（3D）記憶體元件的方法，包括：

形成第一半導體結構，所述第一半導體結構包括第一基底、週邊電路、嵌入式動態隨機存取記憶體（DRAM）單元的陣列以及包括複數個第一鍵合觸點的第一鍵合層；

形成第二半導體結構，所述第二半導體結構包括3D NAND記憶體串的陣列以及包括複數個第二鍵合觸點的第二鍵合層；

以面對面的方式鍵合所述第一半導體結構和所述第二半導體結構，使得所述第一鍵合觸點在鍵合介面處與所述第二鍵合觸點相接觸，在所述鍵合之後，所述第一半導體結構處在所述第二半導體結構上方；

在所述鍵合之後，使所述第一基底減薄以形成半導體層；以及  
在所述半導體層上方形成焊墊引出互連層。

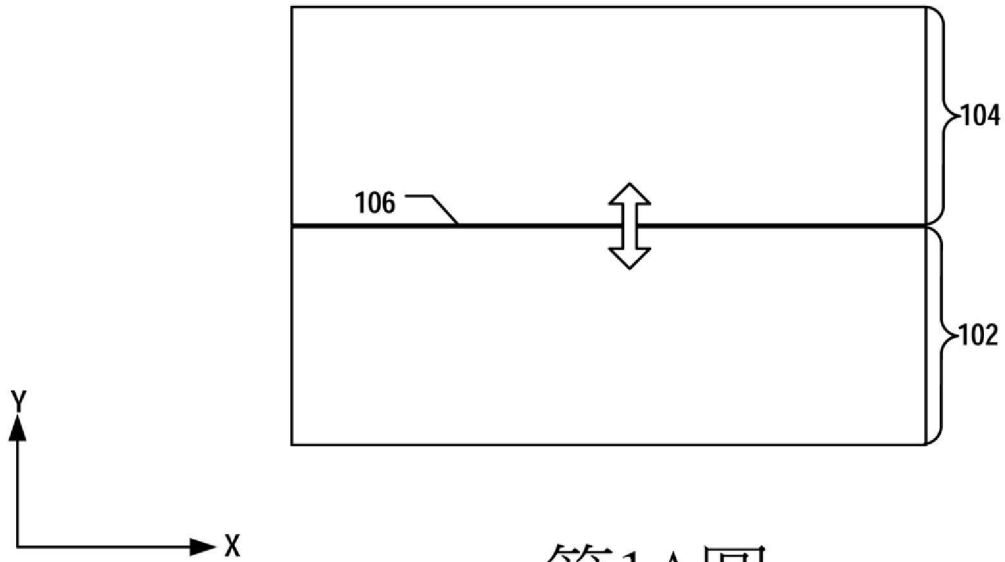
【第9項】 根據請求項8所述的方法，其中，形成所述第一半導體結構包括：  
在所述第一基底上形成所述週邊電路和所述嵌入式DRAM單元的陣列；  
在所述週邊電路和所述嵌入式DRAM單元的陣列上方形成第一互連層；以  
及  
在所述第一互連層上方形成所述第一鍵合層。

【第10項】 根據請求項9所述的方法，其中，形成所述週邊電路和所述嵌入式  
DRAM單元的陣列包括：  
在所述第一基底上方形成複數個電晶體；以及  
形成複數個電容器，所述複數個電容器在所述電晶體中的一些電晶體上方  
並且與所述電晶體中的一些電晶體相接觸。

【第11項】 根據請求項8所述的方法，其中，形成所述第二半導體結構包括：  
在第二基底上方形成記憶堆疊層；  
形成垂直地延伸通過所述記憶堆疊層的所述3D NAND記憶體串的陣列；  
在所述3D NAND記憶體串的陣列上方形成第二互連層；以及  
在所述第二互連層上方形成所述第二鍵合層。

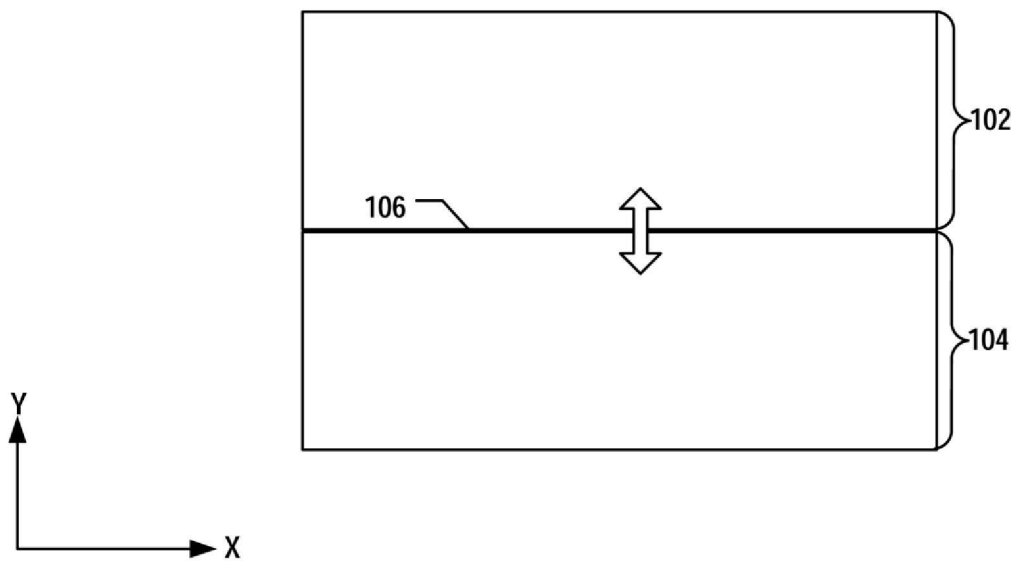
【發明圖式】

100



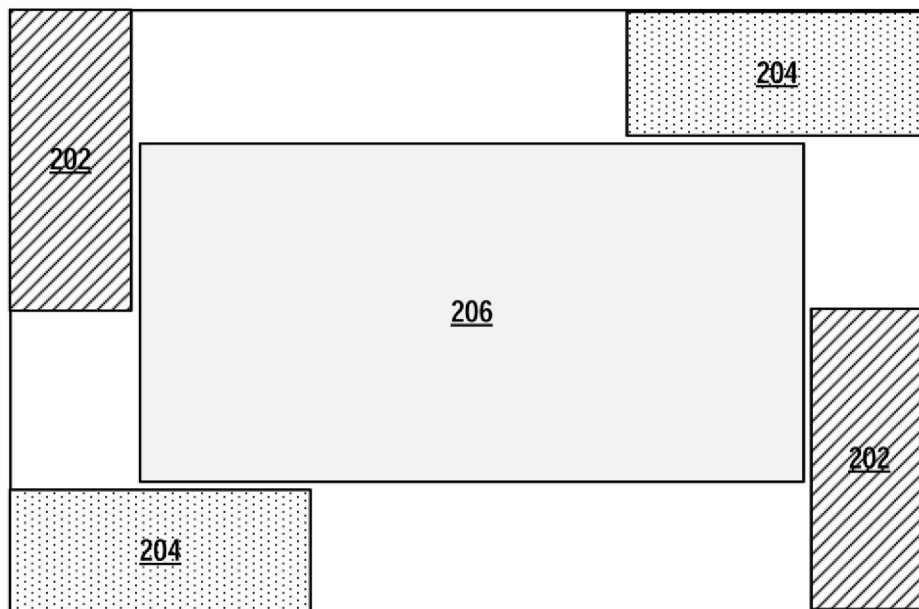
第1A圖

101

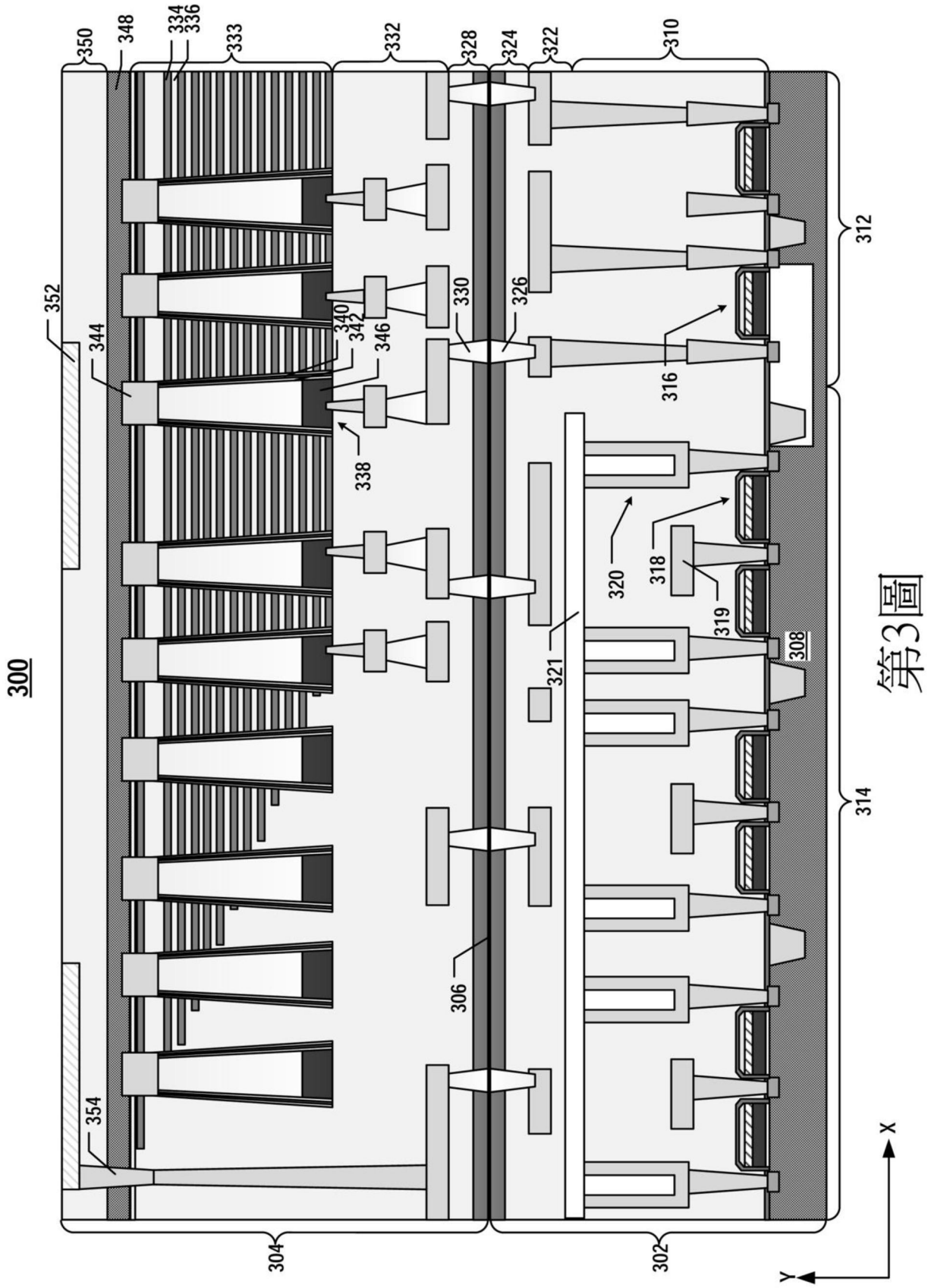


第1B圖

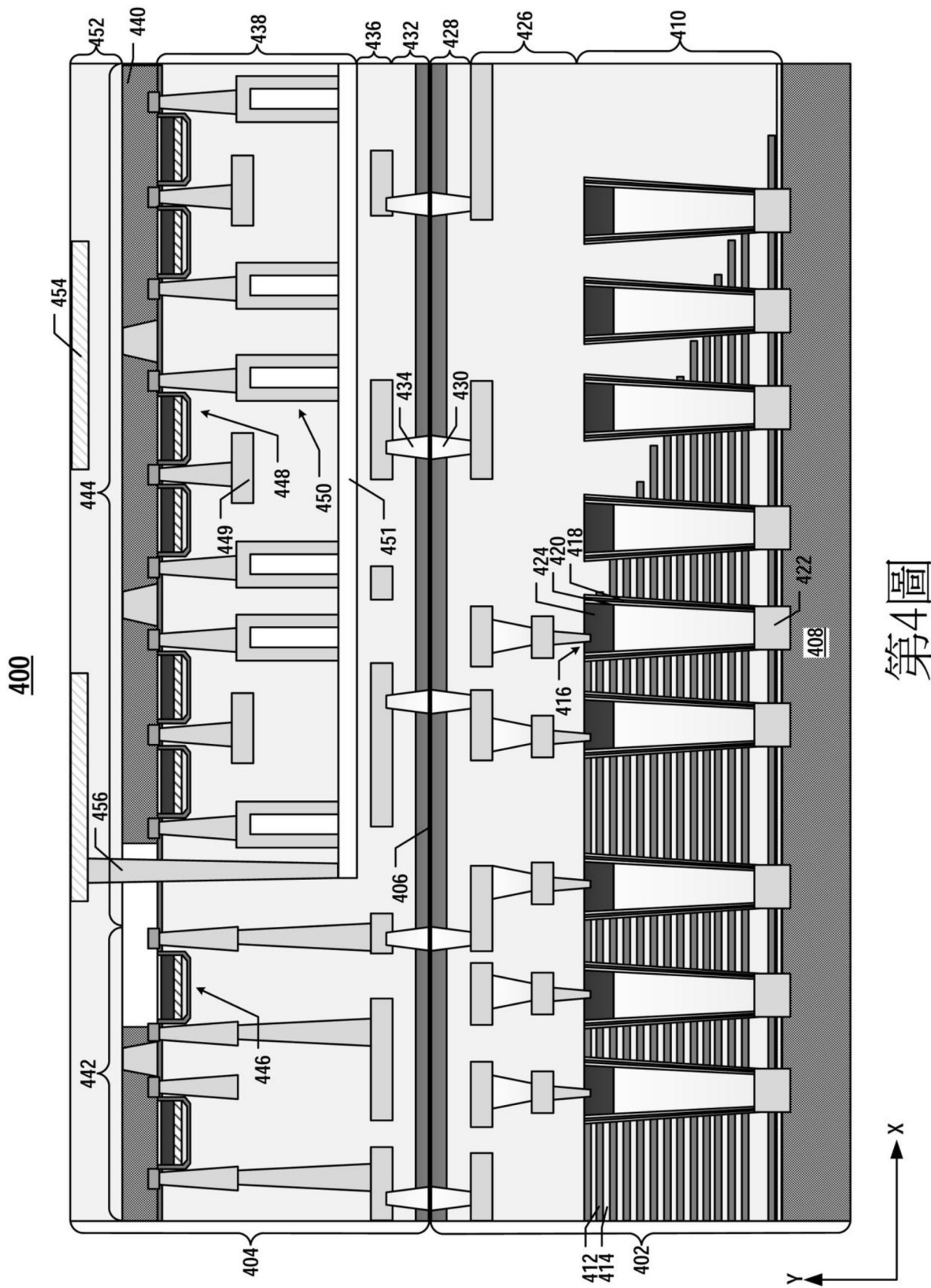
200



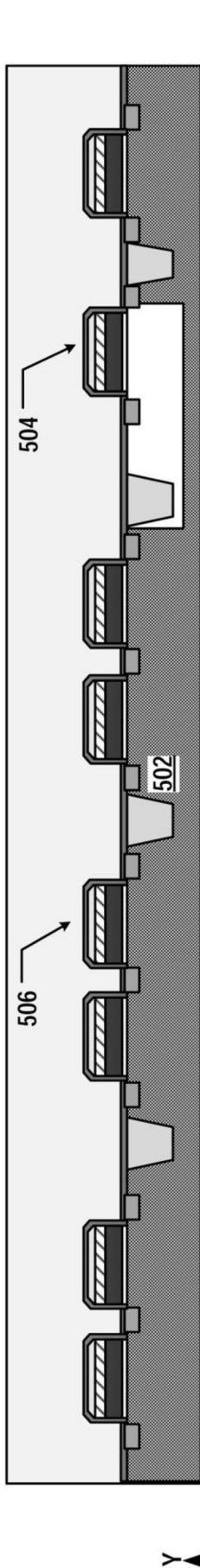
第2圖



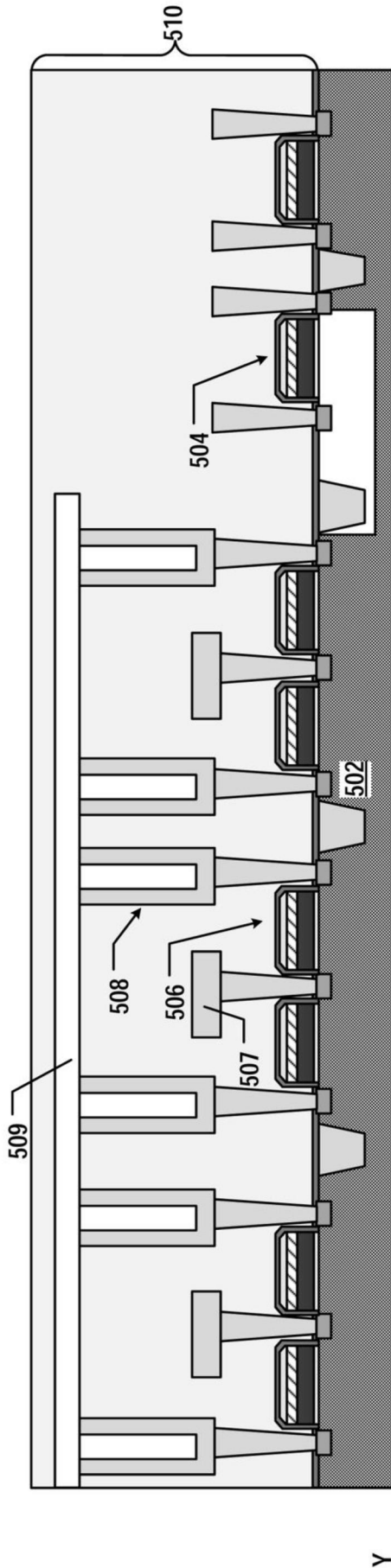
第3圖



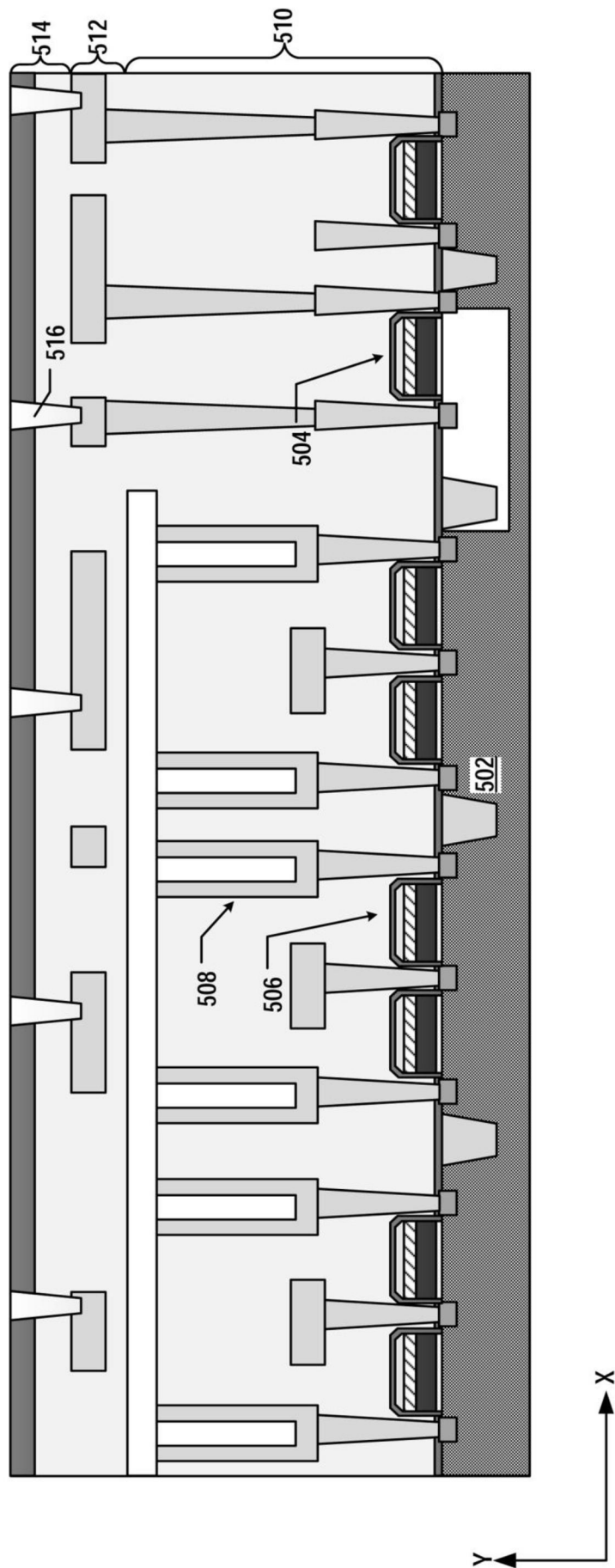
第4圖



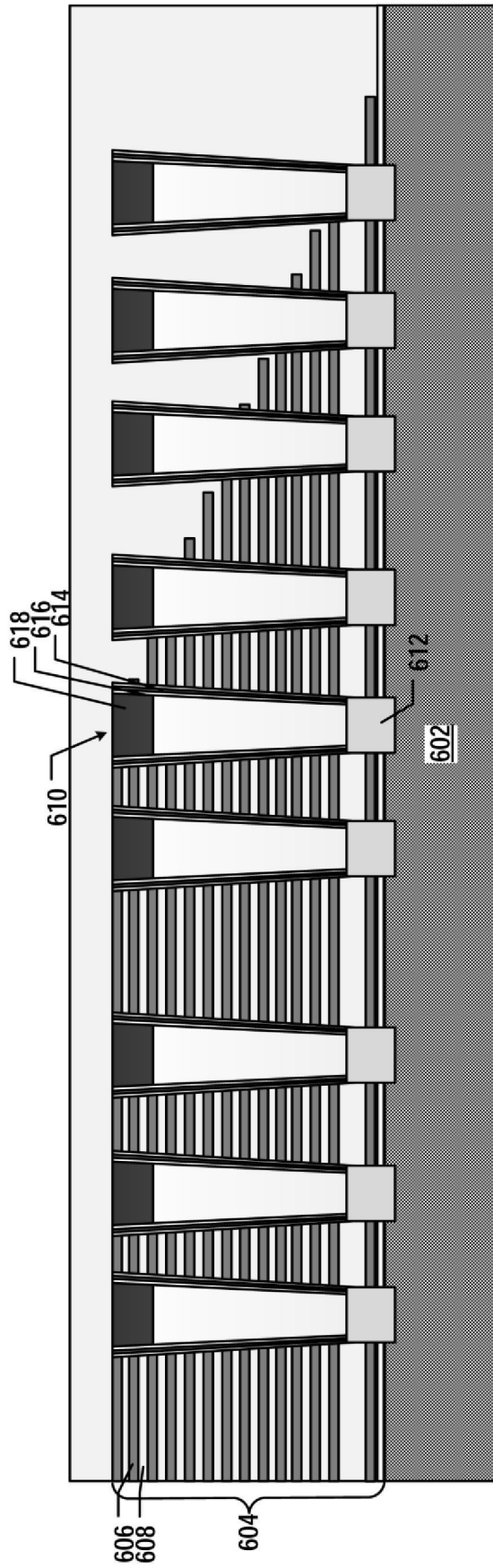
第5A圖



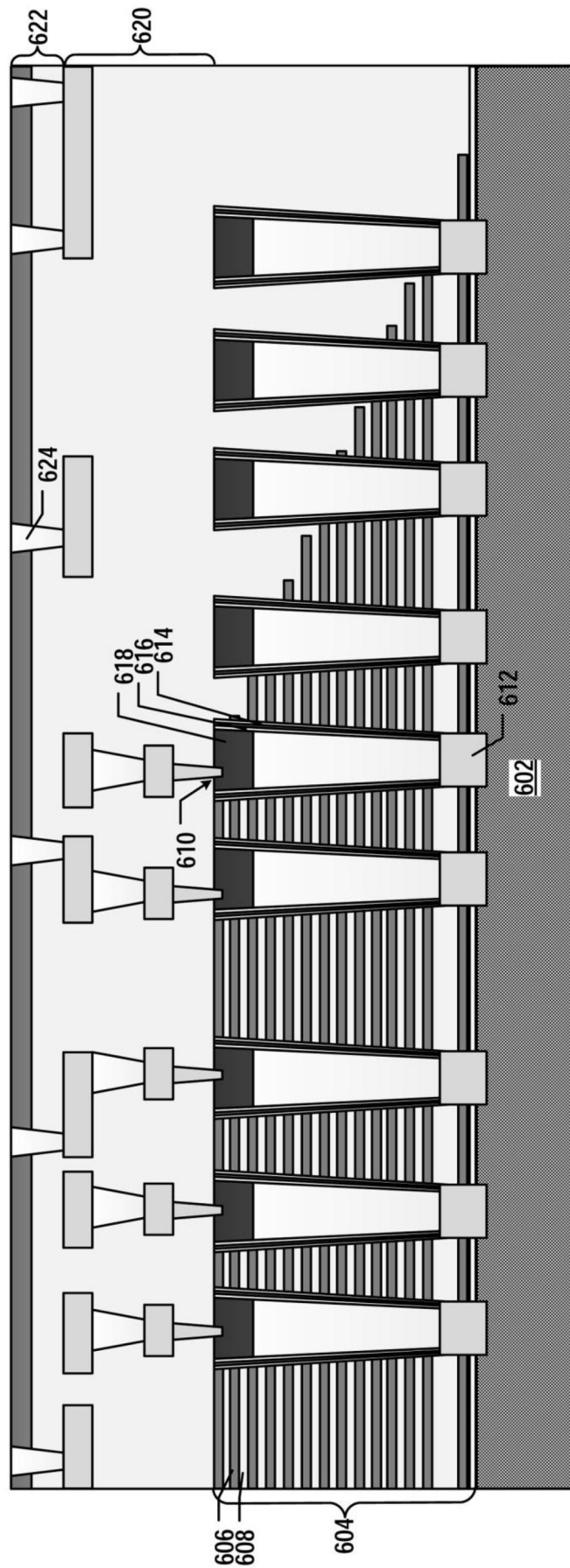
第5B圖



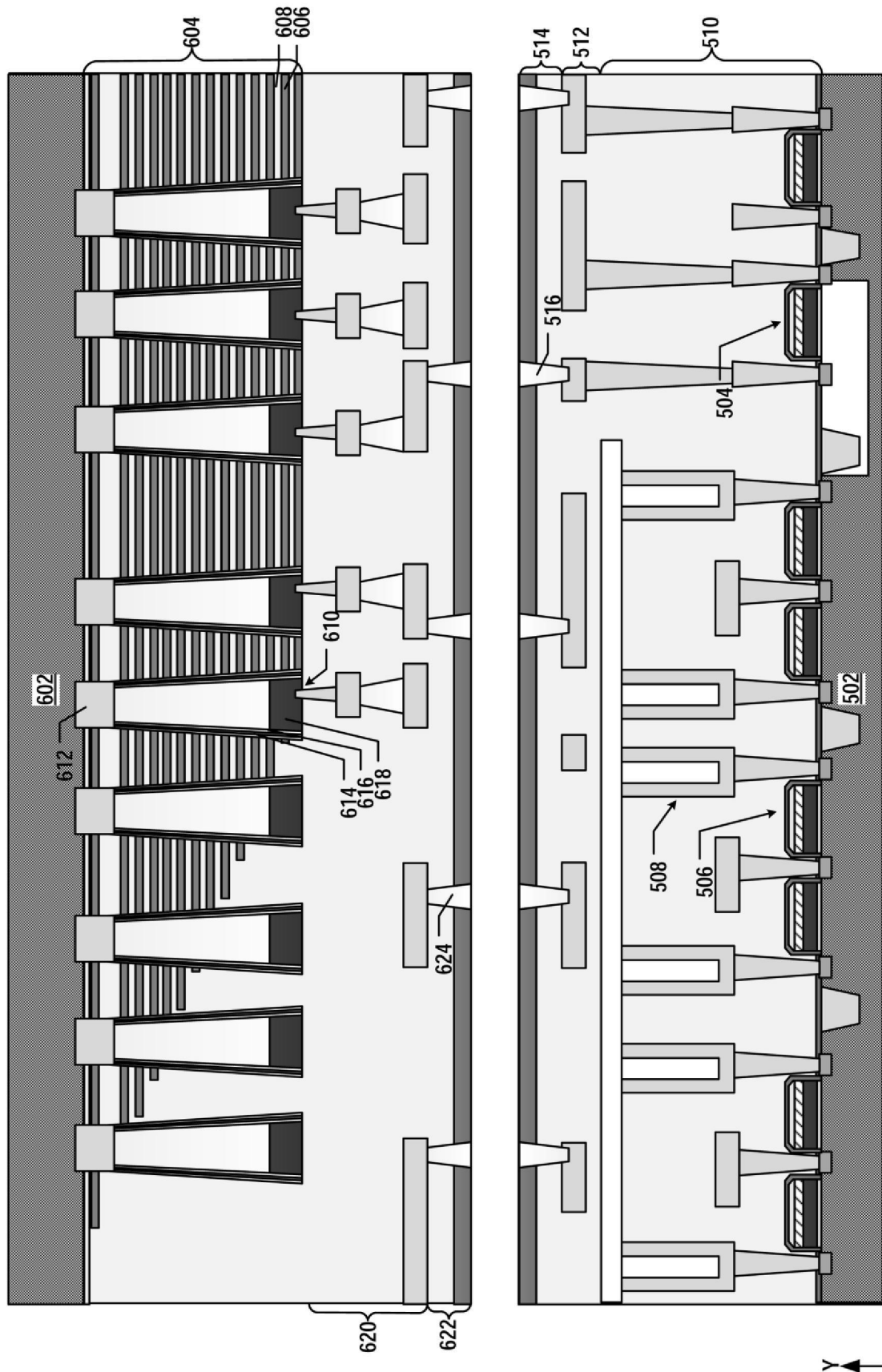
第5C圖



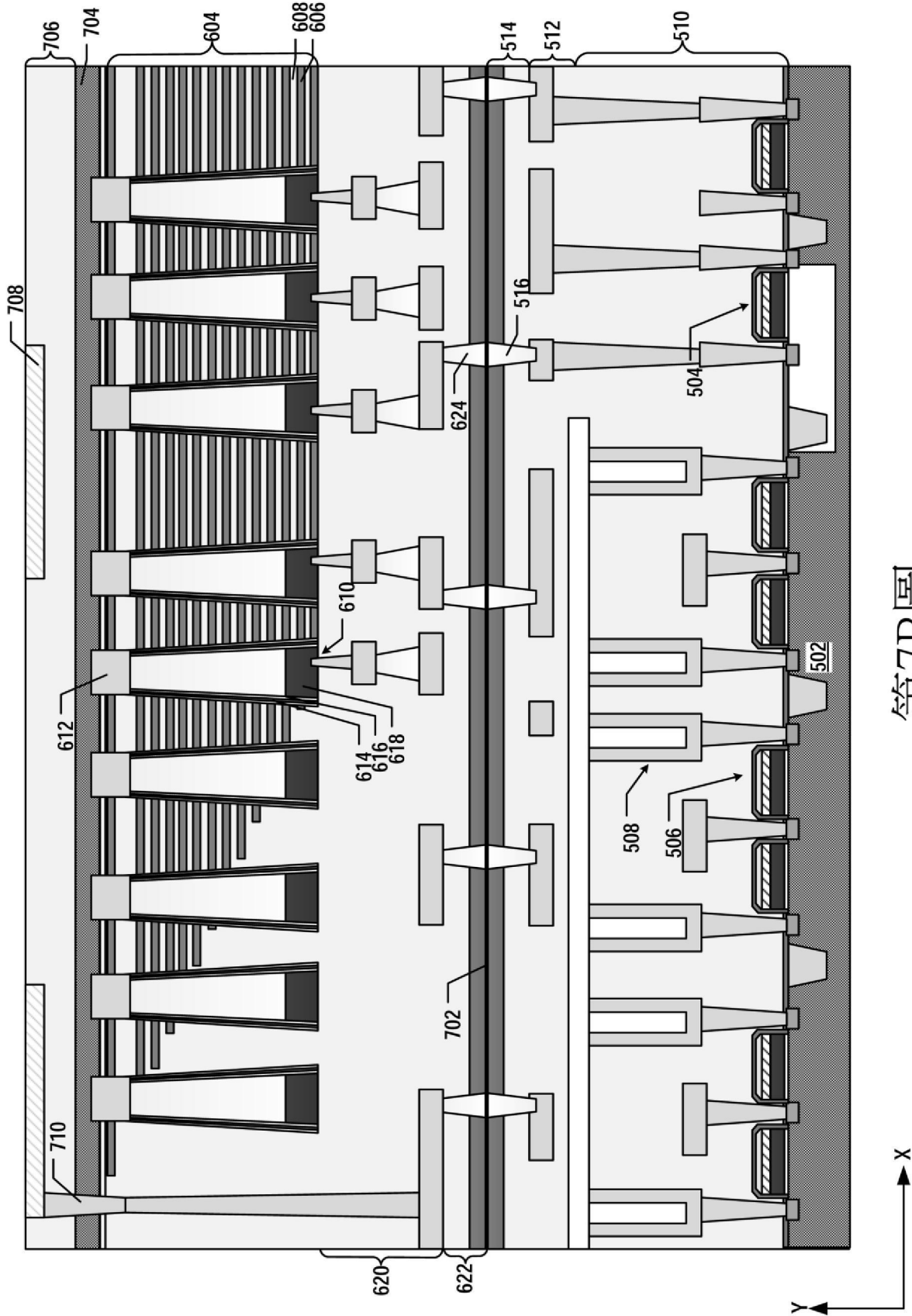
第6A圖



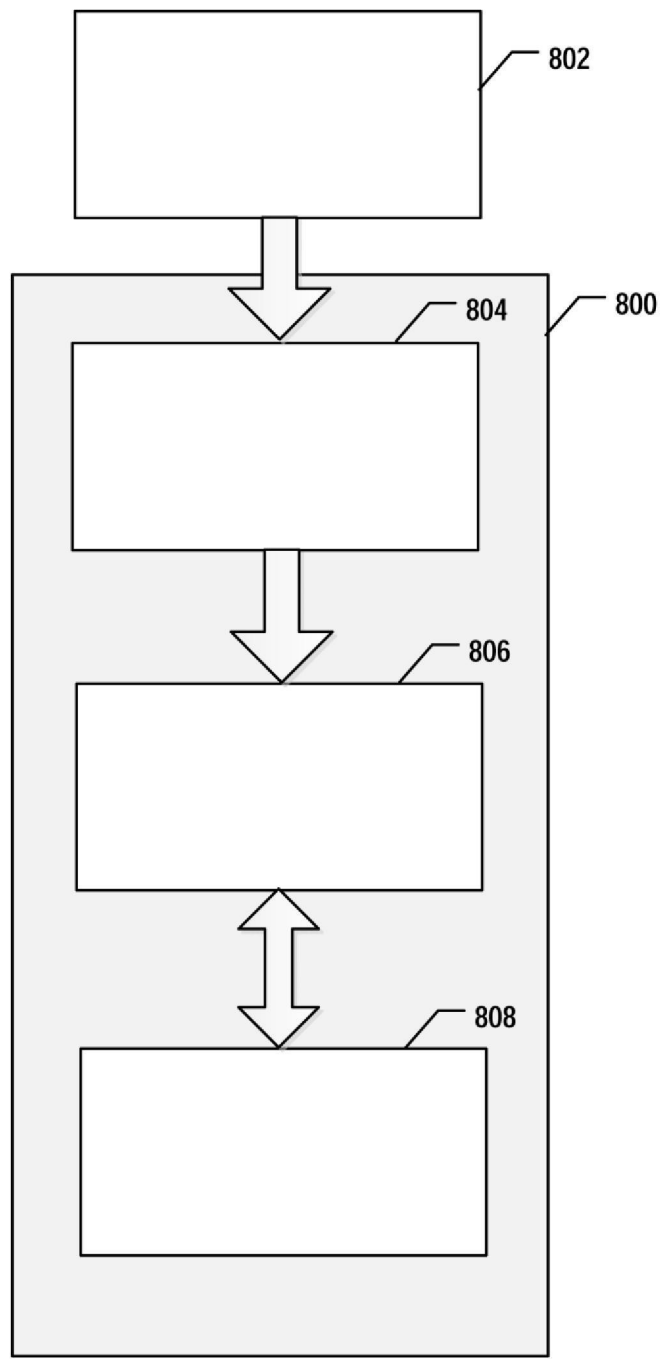
第6B圖



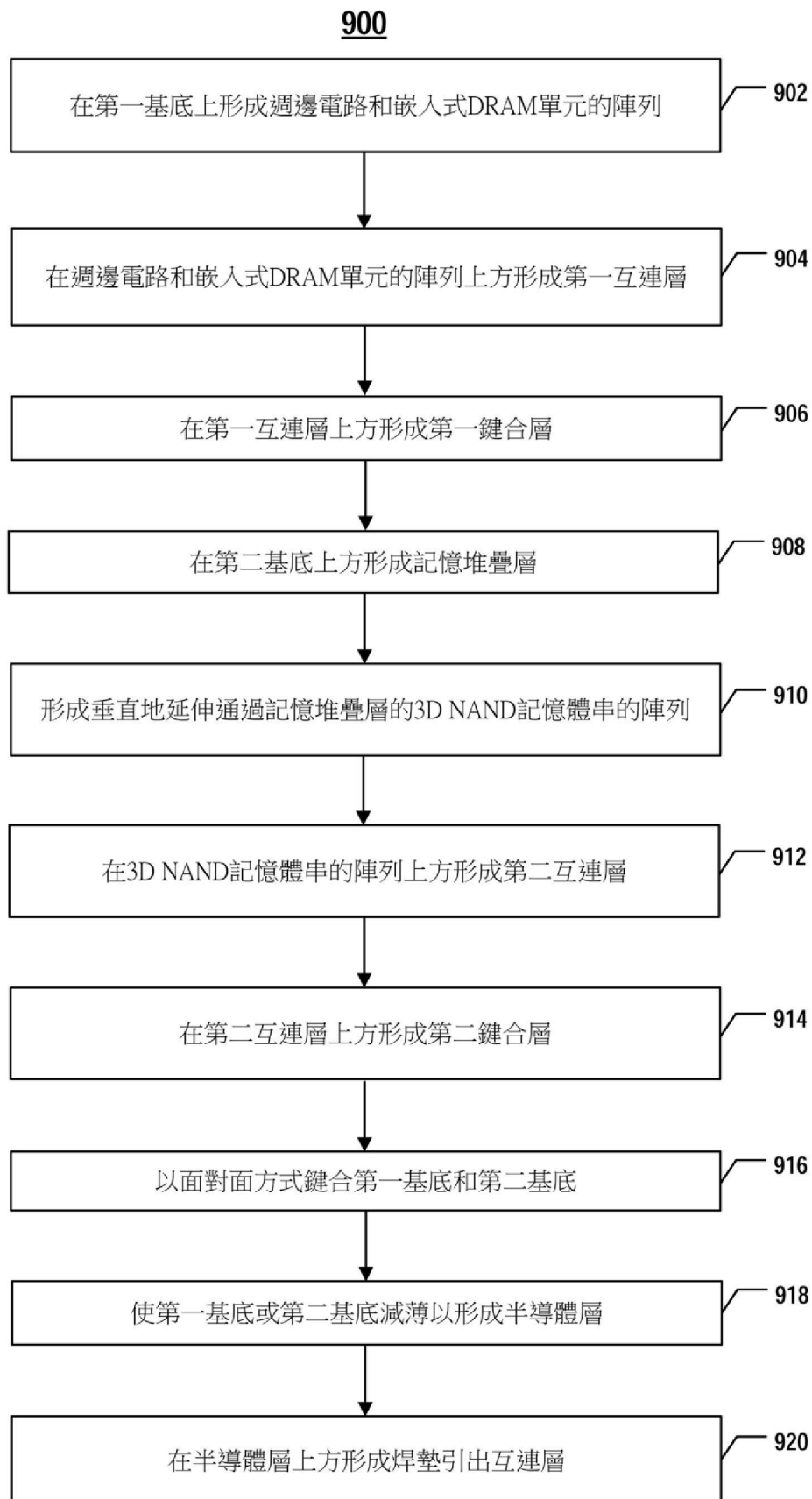
第7A圖



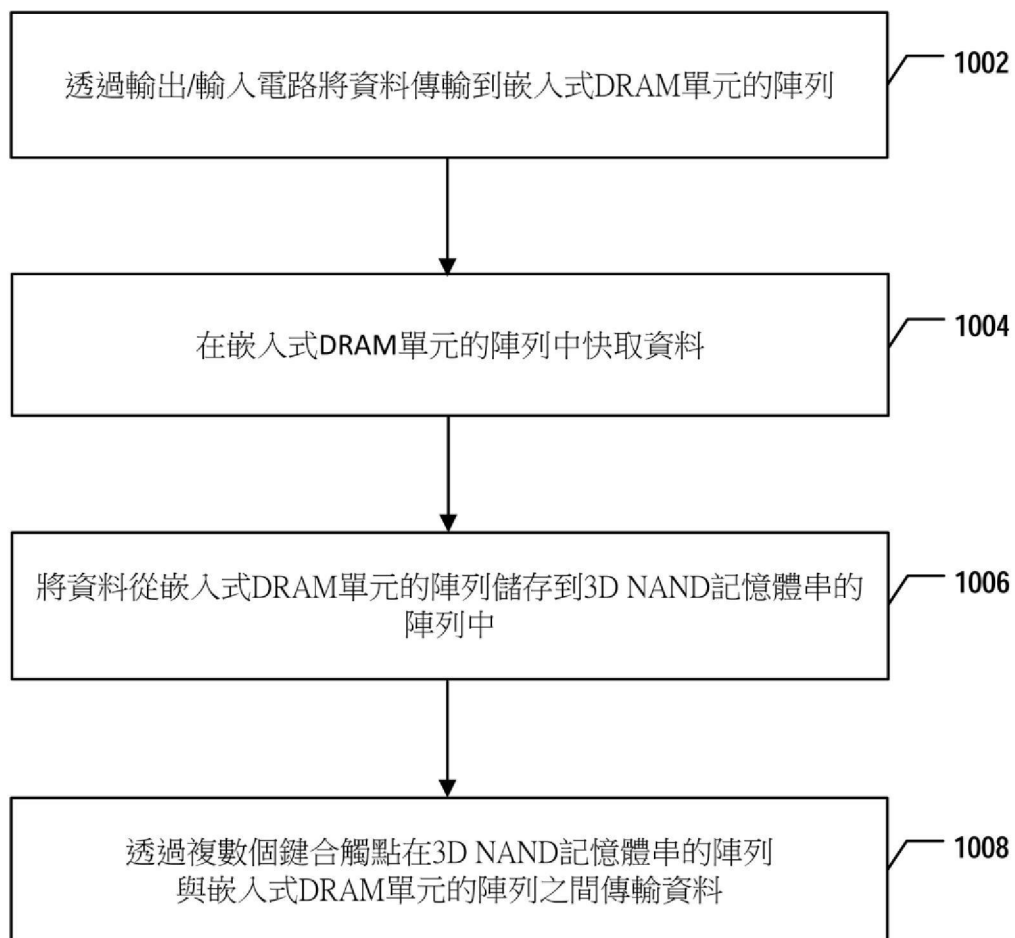
第7B圖



第8圖

**第9圖**

第 12 頁，共 13 頁(發明圖式)

**1000****第10圖**