(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101465364 B
(45)授权公告日 2011.06.08

(21)申请号 200810183590.0

(22)申请日 2008.12.18

(30)优先权数据
2007-326175 2007.12.18 JP

(73)专利权人 索尼株式会社
地址 日本东京

(72)发明人 广田功 原田耕一 唐泽信浩
丸山康 新田嘉一 寺笼博裕
高岛大 野村秀雄

(74)专利代理机构 北京康信知识产权代理有限责任公司 11240
代理人 余刚 吴孟秋

(51)Int.Cl.
H01L 27/146(2006.01)
H04N 5/225(2006.01)

(56)对比文件
US 2007/0215912 A1,2007.08.20, 全文.
US 2007/0080419 A1,2007.04.12, 全文.
JP 2007-294552 A,2007.11.08, 全文.
US 2007/0164384 A1,2007.07.19, 全文.

审查员 朱永全

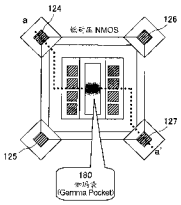
权利要求书 2 页 说明书 22 页 附图 46 页

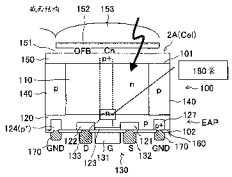
(54)发明名称

固态成像装置和相机

(57)摘要

本发明公开了一种固态成像装置和相机，其中，该固态成像装置包括：像素单元，形成在基板上，该基板具有光照射于其上的第一基板表面侧和其上形成多个元件的第二基板表面侧，并且对于作为一个单位的像素单元中的每一个或者多个像素单元，像素单元被相邻的单元组和元件分隔层所分隔。每个像素单元均具有形成在第一基板面侧上的第一导电阱和形成在第二基板面侧上的第二导电阱。第一导电阱接收来自第一基板面侧的光并具有用于所接收光的光电转换功能和电荷累积功能。在第二导电阱中形成有检测第一导电阱中的累积电荷并具有阈值调制功能的晶体管。本发明可以有效且迅速地执行一系列操作，例如，光电载流子的生成和累积、电荷的读出以及剩余电荷的传输。





CN 101465364 B

1. 一种固态成像装置，包括：像素单元，形成在基板上，该基板具有光照射于其上的第一基板表面侧和其上形成多个元件的第二基板表面侧，并且，以所述像素单元中的每一个或者多个像素单元为单位，所述像素单元被相邻的单元组和元件分隔层所分隔，其中，

所述像素单元中的每一个均包括：

第一导电阱，形成在所述第一基板表面侧上；以及

第二导电阱，形成在所述第二基板表面侧上，

所述第一导电阱接收来自所述第一基板表面侧的光，并具有用于所接收光的光电转换功能和电荷累积功能，以及在所述第二导电阱中形成有检测所述第一导电阱中的累积电荷并具有阈值调制功能的晶体管。

2. 根据权利要求 1 所述的固态成像装置，其中，所述累积电荷和信号电荷是相同载流子。

3. 根据权利要求 1 所述的固态成像装置，其中，所述晶体管具有读出晶体管的功能、复位晶体管的功能以及选择晶体管的功能。

4. 根据权利要求 1 所述的固态成像装置，其中，所述像素单元具有当亮度低时调制程度增加的伽玛特性。

5. 根据权利要求 4 所述的固态成像装置，其中，所述像素单元具有在大信号输出期间容量增加的结构，并具有根据所述伽玛特性实现高动态范围的功能。

6. 根据权利要求 1 所述的固态成像装置，其中，至少在所述第一导电阱和所述第二导电阱中的所述第一导电阱一侧上形成第二导电分隔层。

7. 根据权利要求 6 所述的固态成像装置，其中，

在所述第二导电阱或所述第二导电分隔层中形成第一导电源极区和第一导电漏极区，以及

在所述基板的所述第二基板表面侧上的源极区和漏极区之间的所述第二导电阱中的沟道形成区上形成栅电极。

8. 根据权利要求 7 所述的固态成像装置，其中，多个所述像素单元以阵列形式配置，并与相邻的像素单元共用一部分或多个漏极、源极、阱或栅极的接触。

9. 根据权利要求 7 所述的固态成像装置，其中，

多个所述像素单元以阵列形式配置，

在像素阵列的一个方向上，以条纹形状对所述像素单元共同形成所述像素单元的栅电极，以及

在源极区侧或漏极区侧上形成阱接触。

10. 根据权利要求 9 所述的固态成像装置，其中，在所述第二导电分隔层中形成阱接触区。

11. 根据权利要求 10 所述的固态成像装置，其中，所述阱接触区形成在所述第一基板表面侧上的所述第二导电分隔层中。

12. 根据权利要求 9 所述的固态成像装置，其中，当所述阱接触形成在漏极侧上时，以随漏极宽度的减小而收缩的形状形成所述阱接触。

13. 根据权利要求 1 所述的固态成像装置，其中，在阵列形式的所述像素单元的配置中，漏极接触按列分为两个以上的组，并共用信号读出处理系统的列电路。

14. 根据权利要求 3 所述的固态成像装置，其中，在所述第二基板表面侧上的所述晶体管的栅电极或所述栅电极的更前部中，所述固态成像装置具有反射体，所述反射体反射透射过所述基板的光并使所述光入射到所述基板的所述第二导电阱和所述第一导电阱上。

15. 根据权利要求 14 所述的固态成像装置，其中，所述反射体还用作预定配线层。

16. 根据权利要求 3 所述的固态成像装置，其中，在像素复位前，电荷被立即从漏极注入所述像素，然后所述像素被复位。

17. 根据权利要求 4 所述的固态成像装置，还包括：逆伽玛校正电路，使用具有与所述像素单元的晶体管相同结构的背栅终端的晶体管来执行逆伽玛校正。

18. 根据权利要求 16 所述的固态成像装置，还包括：用于从所述像素单元读出信号的信号处理系统，其中，

所述信号处理系统包括比较器，并将先前线的复位电平用作所述比较器的参考电平。

19. 根据权利要求 1 所述的固态成像装置，还包括：信号处理系统，在从所述像素读出信号期间，执行用于继续光电转换而不复位所述像素的破坏性读出。

20. 一种相机，包括：

固态成像装置，从基板的第一基板表面侧接收光；

光学系统，将入射光导向所述固态成像装置的所述第一基板表面侧；以及

信号处理电路，处理所述固态成像装置的输出信号，其中

所述固态成像装置包括：像素单元，形成在基板上，该基板具有光照射于其上的第一基板表面侧和其上形成有多个元件的第二基板表面侧，并且，以所述像素单元中的每一个或者多个像素单元为单位，所述像素单元被相邻的单元组和元件分隔层所分隔，

所述像素单元中的每一个均包括：

第一导电阱，形成在所述第一基板表面侧上；以及

第二导电阱，形成在所述第二基板表面侧上，

所述第一导电阱接收来自所述第一基板表面侧的光，并具有用于所接收光的光电转换功能和电荷累积功能，以及

在所述第二导电阱中形成有检测所述第一导电阱中的累积电荷并具有阈值调制功能的晶体管。

固态成像装置和相机

[0001] 相关申请的交叉参考

[0002] 本发明包含于2007年12月18日向日本专利局提交的日本专利申请JP 2007-326175的主题，其全部内容结合于此作为参考。

技术领域

[0003] 本发明涉及一种具有光电转换元件的固态成像装置和相机。

背景技术

[0004] 众所周知，在诸如CCD图像传感器和CMOS图像传感器的固态成像装置中，作为感光部的光电转换元件的光电二极管中的晶体缺陷以及感光部和其上的绝缘膜之间界面中的深度缺陷会引起暗电流。

[0005] 作为抑制由于界面状态密度而产生暗电流的方法，嵌入(embedded)光电二极管的结构是有效的。例如，为了抑制n型半导体区域表面（即，n型半导体区域和绝缘膜之间的界面）附近的暗电流，通过形成n型半导体区域以及以高杂质密度形成浅的p型半导体区域（孔累积区域），来构成嵌入光电二极管。

[0006] 作为嵌入光电二极管的制造方法，通常是离子注入用作p型杂质的B或BF_2并对其进行退火，然后在形成光电二极管的n型半导体区域和绝缘膜之间的界面附件形成p型半导体区域。

[0007] 在CMOS图像传感器中，每个像素均包括光电二极管以及诸如读出、复位和放大晶体管的各种晶体管。通过这些晶体管来处理经过光电二极管光电转换的信号。在每个像素上形成包括多层金属配线的配线层。在配线层上形成指定入射到光电二极管上的光的波长的滤色片和使光会聚在光电二极管上的微型镜头(on-chip lens)。

[0008] 作为这种CMOS图像传感器，提出了具有各种特性的装置结构。

[0009] 具体地，提出了各种装置，例如，在光电转换元件结构中采用CCD类特性的电荷调制装置(CMD，参见日本专利第1938092号，JP-A-6-120473和JP-A-60-140752)、体充电调制装置(BCMD，参见JP-A-64-14959)、浮阱放大器(FWA，参见日本专利第2692218号和日本专利第3752773号)(其中，根据累积至最高点的光电空穴(photo-hole)的电荷量，在其表面上形成沟道，根据表面上的电荷量改变源极到漏极的电流，结果，可以对应于信号电荷进行读出)以及Vth调制图像传感器(VMIS，参见JP-A-2-304973、JP-A-2005-244434、日本专利第2935492号和JP-A-2005-85999)(其中，感光部和信号检测部被分开并配置为彼此邻近)。

[0010] 还提出了以下固态成像装置：具有使用入射光执行光电转换、累积通过光电转换获得的信号电荷以及根据所累积的信号电荷的电荷量输出信号电压的所有功能的感光元件具有利于在根据平面的相同位置累积信号电荷并利于表面沟道电流流动的电位分布(参见JP-A-2003-31785)。

[0011] 这些CMOS图像传感器基本上是从装置前侧照射光的前照式固态成像装置。

[0012] 另一方面，提出了背（后）照式固态成像装置，其具有其上形成有光电二极管和各种晶体管、接地而变薄的硅基板的后侧，并使从基板的后侧入射的光执行光电转换（参见，JP-A-10-65138）。

发明内容

[0013] 在前照式 CMD、BCMD、FWA、VMIS 等中，由于基板被用作溢流（overflow），所以背（后）照式比较困难且复位电压较高。

[0014] 在前照式 CMD、BCMD、FWA、VMIS 等中，由于感光部被配置在拾取晶体管旁边，所以存在孔径比降低的缺点。

[0015] 在现有的光栅结构中，由于通过薄膜栅极接收光，所以存在蓝色灵敏度降低的缺点。

[0016] 当在如 BCMD 的前照型中的 n^- 层上形成光栅型 MOS 晶体管时，在半导体表面附近执行由光照射生成载流子（carrier）。因此，存在以下缺点，通过在半导体和绝缘膜之间的界面中存在的陷阱（trap）来捕获载流子，即使施加了复位电压也不能立即释放所累积的载流子，并且影响了装置的性能。

[0017] 当在如 VMIS 的前照型中彼此邻近地配置感光光电二极管区域和信号检测晶体管时，用于通过接收光生成的电荷的累积和调制操作并不是动态行为而是按时间分别执行。这不利于高速信号处理。

[0018] 类似地，当在前照型中彼此邻近地配置感光光电二极管区域和信号检测晶体管时，诸如在信号检测部上设置遮光膜的发明是很必要的。因此，存在元件制造处理复杂的缺点。

[0019] 在前照式 BCMD 图像传感器中，由于光栅电极下的整个沟道区域是电荷累积层，所以电流－电压特性（ID-VDD）不是饱和特性而是三极管特性。因此，存在当在源极跟随型中使用图像传感器时，难以使用图像传感器的缺点。

[0020] 此外，在前照式 CMOS 图像传感器中，存在以下缺点：通过像素上面的配线遮蔽光，每个像素的灵敏度降低，并且当被配线反射的光入射到相邻像素上时，引起颜色混合等问题。

[0021] 在 JP-A-2003-31785 中公开的固态成像装置中，为了实现具有单个阱的晶体管，使用了两层栅极的结构。因此，例如，存在元件分隔区域需要特定工作且元件制造处理复杂的缺点。

[0022] 由于该固态成像装置同样是前照型的，所以固态成像装置同样具有诸如蓝色灵敏度降低以及前照型的颜色混合的问题。

[0023] 在 JP-A-10-65138 中公开的背照式固态成像装置的情况下，在基板的前侧和后侧上形成空穴累积区域。然而，存在对通过离子注入形成的 p 型半导体区域较浅和密集的限制。因此，当为了抑制暗电流而试图进一步增加 p 型半导体区域的杂质密度时，p 型半导体区域加深。当 p 型半导体区域加深时，由于光电二极管的 pn 结与传输栅极被分离，所以可能降低传输栅极的读出能力。

[0024] 因此，期望提供一种固态成像装置和相机，它们可以有效迅速地执行一系列操作（例如，光电载流子的生成和累积、电荷的读出和剩余电荷的传输（复位）），防止由于光而

使陷阱对硅界面中的载流子产生影响，并实现了灵敏度的提高和像素尺寸减小，而不会劣化蓝色光的灵敏度。

[0025] 根据本发明的一个实施例，提供了一种固态成像装置，包括：像素单元，形成在具有光照射于其上的第一基板表面侧和其上形成多个元件的第二基板表面侧的基板上，并对于作为一个单位的像素单元中的每一个或者多个像素单元，被相邻的单元组和元件分隔层所分隔。每个像素单元均具有形成在第一基板面侧上的第一导电阱和形成在第二基板面侧上的第二导电阱。第一导电阱接收来自第一基板面侧的光，并具有用于所接收光的光电转换功能和电荷累积功能。在第二导电阱中形成检测第一导电阱中的累积电荷并具有阈值调制功能的晶体管。

[0026] 优选地，累积电荷和信号电荷是相同载流子。

[0027] 优选地，晶体管具有读出晶体管的功能、复位晶体管的功能和选择晶体管的功能。

[0028] 优选地，晶体管具有源极和漏极以及形成在源极和漏极之间的沟道形成区上的栅电极，并且像素信号复位是用于丢弃在漏极中的电荷的操作。

[0029] 优选地，像素单元具有当亮度低时调制度增加的伽玛特性。

[0030] 优选地，像素单元具有在大信号输出期间容量增加的结构并具有根据伽玛特性实现高动态范围的功能。

[0031] 优选地，至少在第一导电阱和第二导电阱中的第一导电阱一侧形成第二导电分隔层。

[0032] 优选地，在第二导电阱或第二导电分隔层中形成第一导电源极区和第一导电漏极区，并在基板的第二基板面侧上的源极区和漏极之间的第二导电阱中的沟道形成区上形成栅电极。

[0033] 优选地，多个像素单元以阵列形式配置，并与相邻的像素单元共用一部分或多个漏极、源极、阱或栅极的接触。

[0034] 优选地，漏极、源极、阱和栅极的接触配置在栅极的像素阵列的四个方向上。

[0035] 优选地，多个像素单元以阵列形式配置，在像素阵列的一个方向上，以条纹形状对像素单元共同形成像素单元的栅电极，并在源极区侧或漏极区侧上形成阱接触。

[0036] 优选地，在第二导电分隔层中形成阱接触区。

[0037] 优选地，阱接触区形成在第一基板面侧上的第二导电分隔层中。

[0038] 优选地，当阱接触形成在漏极侧上时，以随着漏极宽度的减小而收缩的形状形成阱接触。

[0039] 优选地，在阵列形式的像素单元的配置中，漏极接触按列分为两个以上的组，并共用信号读出处理系统的列电路。

[0040] 优选地，为了减少阻抗，通过导体支持漏极线配线。

[0041] 优选地，在第二基板面侧上的晶体管的栅电极或栅电极的更前部分中，固态成像装置具有反射体，该反射体反射透射过基板的光并使光入射到基板的第二导电阱和第一导电阱上。

[0042] 优选地，将基板的厚度设为可将近红外光用作反射体的反射光的厚度。

[0043] 优选地，将基板的厚度设为可将红 (R) 光用作反射体的反射光的厚度。

[0044] 优选地，电极配线由具有高可见光透射率的透明膜形成。

[0045] 优选地，反射体还用作预定配线层。

[0046] 优选地，在像素复位前。电荷被立即从漏极注入像素，然后像素被复位。

[0047] 优选地，固态成像装置包括：逆 γ 校正电路，使用具有与像素单元的晶体管相同结构的背栅终端的晶体管执行逆伽玛校正。

[0048] 优选地，固态成像装置包括用于从像素单元读出信号的信号处理系统，并且信号处理系统包括比较器并将先前线的复位电平用作比较器的参考电平。

[0049] 优选地，信号处理系统具有在 D 相读出期间执行模拟采样而在 P 相读出期间执行数字采样的功能。

[0050] 优选地，以阵列形式配置像素单元，从而用多个像素获得一个输出信号。

[0051] 优选地，以阵列形式配置像素单元并以多个像素为单位被元件分隔层分隔，以获得一个输出信号。

[0052] 优选地，固态成像装置包括：信号处理系统，在从像素读出信号期间，执行用于继续光电转换而不复位像素的破坏性读出。

[0053] 根据本发明的另一实施例，提供了一种相机，包括：固态成像装置，从基板的第一基板面侧接收光；光学系统，将入射光导向固态成像装置的第一基板面侧；以及信号处理电路，处理固态成像装置的输出信号。固态成像装置包括像素单元，像素单元形成在具有其上照射光的第一基板面侧和其上形成元件的第二基板面侧的基板上，并对于作为一个单位的像素单元的每一个或者多个像素单元，被相邻的单元组和元件分隔层所分隔。每个像素单元均具有形成在第一基板面侧上的第一导电阱和形成在第二基板面侧上的第二导电阱。第一导电阱接收来自第一基板面侧的光并具有用于所接收光的光电转换功能和电荷累积功能。在第二导电阱中形成检测第一导电阱中的累积电荷并具有阈值调制功能的晶体管。

[0054] 根据本发明的实施例，从基板后表面（第一基板面）侧对单元结构的像素照射光，在第一导电阱中执行所接收光的光电转换，并累积光的电荷。

[0055] 检测电荷累积并执行形成在第二导电阱中的晶体管的阈值调制，以提取信号。

[0056] 以这种方式，像素单元具有背照型的双阱结构。累积电荷和沟道电流（信号电荷）是相同载流子。

[0057] 根据本发明的实施例，可以有效且迅速地执行一系列操作，例如，光电载流子的生成和累积、电荷的读出以及剩余电荷的传输（复位）。

[0058] 此外，可以防止陷阱由于光而对硅界面中的载流子产生影响，并实现了灵敏度的提高和像素尺寸减小，而不会使对蓝光的灵敏度劣化。

附图说明

[0059] 图 1 是根据本发明实施例的固态成像装置的示意性结构的框图；

[0060] 图 2A 和图 2B 是根据该实施例的固态成像装置的像素部的基本结构的示图；

[0061] 图 3 是根据该实施例的像素单元的等效电路的示图；

[0062] 图 4 是用于说明在前照式 BMCD 的情况下入射光的波长与晶体管的配置具有的关系的示图；

[0063] 图 5 是在前照型的情况下由透明电极、栅极二氧化硅膜和单晶硅形成的能带状态的概况的示图；

[0064] 图 6 是根据图 2A 和图 2B 所示装置的电位状态的变化的相对于在每个区域中垂直于半导体基板表面的方向上的半导体基板中的电子的电位变化的示图；

[0065] 图 7 是图 2A 和图 2B 所示的 a-a’线的电位分布实例的示图；

[0066] 图 8 是根据实施例的信号读出处理系统的结构的示意图；

[0067] 图 9 是根据实施例的像素部中的像素单元的布局实例的示图；

[0068] 图 10A 和图 10B 是沿图 9 所示的 a-a’线和 b-b’线截取的简化截面图；

[0069] 图 11 是像素单元被配置为从图 9 所示布局旋转 45 度的结构的示图；

[0070] 图 12 是在 X 方向（水平方向）条纹中共同使用栅极的布局实例的示图；

[0071] 图 13 是缩小了漏极侧的布局实例的示图；

[0072] 图 14 是根据实施例的像素部中的像素单元的布局实例的示图；

[0073] 图 15A 和图 15B 是沿图 14 所示的 a-a’线和 b-b’线截取的简化截面图；

[0074] 图 16A 和图 16B 是在具有不同厚度的像素单元中设置反射体的实例的示图；

[0075] 图 17A 和图 17B 是接触共用像素部的像素单元阵列的实例的示图；

[0076] 图 18 是采用图 17 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图；

[0077] 图 19A 和图 19B 是图 17A 和图 17B 所示的方形阵列中的信号输出顺序的示图；

[0078] 图 20A 和图 20B 是通过将图 17A 和图 17B 所示的方形阵列旋转 45 度而形成的锯齿形阵列的示图；

[0079] 图 21 是采用图 20A 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图；

[0080] 图 22A 和图 22B 是通过将图 17A 和图 17B 所示的方形阵列旋转 45 度而形成的另一锯齿形阵列的示图；

[0081] 图 23 是采用图 22A 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图；

[0082] 图 24A 和图 24B 是图 20A 和图 20B 所示的锯齿形阵列中的信号输出顺序的示图；

[0083] 图 25A 和图 25B 是图 22A 和图 22B 所示的锯齿形阵列中的信号输出顺序的示图；

[0084] 图 26A 和图 26B 是用于说明当采用方形阵列时的反射体的形成实例的示图；

[0085] 图 27 是反射体和配线共用布局的第一实例的示图；

[0086] 图 28 是反射体和配线共用布局的第二实例的示图；

[0087] 图 29 是反射体和配线共用布局的第三实例的示图；

[0088] 图 30A 和图 30B 是用于说明预线复位 (pre-line reset) 的基本概念的示图；

[0089] 图 31A 和图 31B 是对应于根据实施例的硬复位功能的信号处理系统的概念图；

[0090] 图 32 是用于说明包括逆 γ 校正电路的信号处理系统的基本概念的等效电路图；

[0091] 图 33A ～图 33C 是预线复位系统、两列共用和 2×2 像素定时的电平图的示图；

[0092] 图 34 是以阵列形式配置多个像素并通过多个像素获得一个输出信号的结构实例的平面图；

[0093] 图 35 是多个像素以阵列形式配置并以多个像素为单位执行元件分隔以获得一个输出信号的结构实例的平面图；

[0094] 图 36A 和图 36B 是多个像素以阵列形式配置并以多个像素为单位执行元件分隔以

获得一个输出信号的结构实例的截面图；

[0095] 图 37 是多个像素以阵列形式配置并以多个像素为单位执行元件分隔以获得一个输出信号的另一结构实例的平面图；

[0096] 图 38A 和图 38B 是沿图 37 所示的 a-a’线和 b-b’线截取的简化截面图；

[0097] 图 39 是非破坏性读出的宽动态范围（宽 D 范围）序列的实例的示图；

[0098] 图 40 是非破坏性读出的低速实时取景序列的实例的示图；以及

[0099] 图 41 是应用根据实施例的固态成像装置的相机系统的结构实例的示图。

具体实施方式

[0100] 将在下文参照附图说明本发明的实施例。

[0101] 图 1 是根据本发明实施例的固态成像装置的示意性结构的框图。

[0102] 如图 1 所示，固态成像装置 1 包括作为感应部的像素部 2、行方向（Y 方向）控制电路 3、列（X 方向）方向控制电路 4 以及定时控制电路 5。

[0103] 在像素部 2 中，如稍后所详细描述的，例如，以矩阵形状配置多个像素单元 2A。

[0104] 根据实施例的像素部 2 的像素单元 2A 被配置为具有双阱结构的阈值调制（CMD）系统的后（背）照式图像传感器。

[0105] 根据实施例的像素部 2 采用双阱结构。在像素部 2 中，累积电荷和沟道电流是相同载流子。像素部 2 具有一个晶体管的架构（结构），其中，一个晶体管具有读出晶体管、复位晶体管和选择晶体管的功能。

[0106] 在像素部 2 的像素阵列中，配置在同一行中的像素单元 2A 连接至公共行线 H0、H1 等，以及配置在同一列中的像素单元 2A 连接至公共列线 V0、V1 等。

[0107] 在固态成像装置 1 中，生成内部时钟的定时控制电路 5、控制行寻址和行扫描的行方向（Y 方向）控制电路 3 和控制列寻址和列扫描的列方向（X 方向）控制电路 4 被配置为用于顺序读出像素部 2 的信号的控制电路。

[0108] 行方向（Y 方向）控制电路 3 接收定时控制电路 5 的定时控制脉冲，并驱动预定行线 H0、H1 等。

[0109] 列方向（X 方向）控制电路 4 接收定时控制电路 5 的定时控制脉冲，接收读出至预定列线 V0、V1 等的信号，并执行预定处理（CDS（相关双采样）处理）、模数转换处理等。

[0110] 稍后将详细描述关于列方向控制电路 4 中从像素单元 2A 读出信号的处理的结构和功能。

[0111] 下面说明根据该实施例的固态成像装置的像素部的特定驱动结构。

[0112] 图 2A 和图 2B 是根据该实施例的固态成像装置的像素部的基本结构的示图。图 2A 是平面图，而图 2B 是沿图 2A 所示的 a-a’线截取的简化截面图。

[0113] 如图 2B 所示，固态成像装置 1 被形成为后（背）照式装置，其中，光从基板（硅基板）100 的第一基板面 101 侧（后侧）入射，并在第二基板面 102 侧（前侧）上形成其中形成有 MOS 晶体管的元件区域部 EAP。

[0114] 通过对硅晶片进行镀薄膜形成基板 100，使得光可以从后侧入射。根据固态成像装置 1 的类型，基板 100 的厚度是用于可见光的 2μm～6μm 以及用于近红外光的 6μm～10μm。

[0115] 以这种方式，基板 100 具有其上照射光的第一基板面 101 侧和其上形成元件的第二基板面 102 侧。在基板 100 上形成通过相邻的单元和元件分隔层所分隔的多个单元 Cel(2A)。

[0116] 在该实施例中，在基板 100 上，对于作为一个单位的像素单元的每一个或者多个像素单元形成被相邻单元组和元件分隔层分隔的多个像素单元 Cel(2A)。

[0117] 每个像素单元 Cel 均包括形成在第一基板面 101 侧上的第一导电（在该实施例中为 n 型）阱（下文称作第一阱）110 和与第一阱 110 相比进一步形成在第二基板面 102 侧上的第二导电（p 型）阱（下文称作第二阱）120。

[0118] n 型第一阱 110 用作从第一基板面 101 侧接收光的感光部，并具有针对所接收光的光电转换功能和电荷累积功能。

[0119] 在第二阱 120 中形成检测第一阱 110 的感光部中的累积电荷并具有阈值调制功能的 MOS 晶体管。

[0120] 与第一导电型（在该实施例中为 n 型）相对的第二导电型的 p 型元件分隔层（导电层）140 被形成为环绕第一阱 110 的侧壁。在第一基板面 101 上形成作为基板 100 的光入射面的 p^+ 层 150。

[0121] 在 p^+ 层 150 的光入射面侧上形成例如由二氧化硅形成的绝缘膜和保护膜 151。在保护膜 151 上形成仅透射期望波长区域中的光的滤色片 152。在滤色片 152 上形成在第一阱 110 的感光部上会聚入射光的微透镜 153。

[0122] 在 p 型第二阱 120 中，在其中心以彼此远离的预定空间形成通过 n^+ 层形成的源极区 121 和漏极区 122。在源极区 121 和漏极区 122 之间形成沟道形成区 123。

[0123] 在没有与第一阱 110 重叠的第二阱 120 的区域（底侧区域）中形成由 p^+ 层形成的阱（基板）接触区 124 ～ 127。

[0124] 在形成有源极区 121、漏极区 122 和阱接触区 124 ～ 127 的基板 100 的第二基板面 102 的表面上通过预定处理选择性地形成二氧化硅等的绝缘膜 160。

[0125] 经由绝缘膜 160 在基板 100 的第二基板面 102 侧的源极区 121 和漏极区 122 之间的沟道形成区 123 上形成晶体管 130 的栅电极 131。

[0126] 通过打开源极区 121 上的绝缘膜 160 的一部分形成连接至源极区 121 的晶体管 130 的源电极 132。

[0127] 类似地，通过打开漏极区 122 上的绝缘膜 160 的一部分形成连接至漏极区 122 的晶体管 130 的漏电极 133。

[0128] 通过打开阱接触区 124 ～ 127 上的绝缘膜 160 的一部分形成连接至阱接触区 124 ～ 127 的阱接触电极 170。例如，将阱接触电极 170 的电平设为接地电位 GND(0V) 或 -1.2V。

[0129] 在上述配置中，通过形成在第二基板面 102 侧上的第二阱 120 中的源极区 121、漏极区 122 和沟道形成区 123 以及形成在第二基板面 102 的表面侧上形成的栅电极 131、源电极 132 和漏电极 133 形成包括绝缘栅场效应晶体管（称作 MOS 晶体管）的晶体管 130。

[0130] 在图 2B 中，参考标号 S 表示晶体管 130 的源极，D 表示 130 的漏极，以及 G 表示 130 的栅极。

[0131] 以这种方式，根据该实施例的每个像素单元 Cel(2A) 被形成为具有双阱结构的阈

值调制(CMD)系统的后(背)照式图像传感器。

[0132] 图3是根据该实施例的像素单元的等效电路的示图。

[0133] 如图3所示,像素单元Cel(2A)包括形成在第一阱110中的光电转换和电荷累积元件部111以及由第二阱120和第二基板面102侧上的电极形成的一个晶体管130。

[0134] 如上所述,根据该实施例的像素单元Cel是背照型并具有双阱结构。在像素单元Cel中,累积电荷和沟道电流是相同载流子。此外,像素单元Cel具有一个晶体管的架构(结构),其中,一个晶体管具有读出晶体管、复位晶体管和选择晶体管的功能。

[0135] 换句话说,在该实施例中,像素单元Cel是背照型的并采用双阱结构而没有采用单阱调制系统。以下说明了这样做的原因。

[0136] 当采用单阱调制系统时,需要用于线性提高的袋注入(pocketimplantation)。这使得在为了减小累积区域而缩小像素尺寸期间难以获得饱和的电荷Qs。

[0137] 即使单阱结构具有高调制度和高转换效率,但单阱结构易受缺陷的影响。在单阱结构中,线性(非线性如同猫爪)的像素波动趋于频繁发生,并且当发生像素波动时,难以校正像素波动。

[0138] 由于在读出期间发生闭合(pinning),所以单阱结构与列数字CDS并不相符。在模拟CDS中,容量的增加阻碍像素尺寸的减小。

[0139] 即使将单阱结构与背照式相结合,但由于复位晶体管是必需的且像素单元具有两个晶体管,所以这不利于像素尺寸的减小。

[0140] 另一方面,在该实施例中,像素单元Cel是背照型的并具有双阱结构,累积电荷和沟道电流是相同载流子,并且可以通过独立的载流子执行像素分隔。因此,晶体管结构不必非要是环。可以通过与普通晶体管结构相同的所谓的漏极(D)/栅极(G)/源极(S)的单向结构来配置晶体管。

[0141] 在该实施例中,采用了用于向晶体管130的漏极释放信号载流子的结构。这实现了完整的一个晶体管和横向复位结构,其中,一个晶体管用作读出(拾取)晶体管、复位晶体管和选择晶体管。

[0142] 换句话说,由于根据该实施例的像素单元结构仅需要是单层栅极结构而不是双层栅极结构,所以元件分隔区并不需要特定工作。

[0143] 在相邻的像素之间可以共用漏极、源极和栅极。因此,可以显著地提高布局效率并执行像素尺寸的减小。

[0144] 由于采用了晶体管漏极的横向复位,所以可以共用一列并通过使用漏极的横向配线以及使用共用像素单位中的分隔配线来缩小列电路。

[0145] 由于在晶体管的栅极上形成了一定空间,所以可以在该空间中设置使用配线金属等的反射体结构。结果,可以反射透过硅(Si)基板的光,再次光电转换Si中的光,并例如提高近红外灵敏度。

[0146] 在现有结构中,通过在发光期间截止栅极并闭合硅(Si)基板的表面,在界面中生成的暗电流与空穴再结合。因此,没有完全再结合的部件引起暗电流的不均匀和白点缺陷。

[0147] 另一方面,在根据该实施例的结构中,由于采用了双阱结构,所以具有可以从沟道向漏极释放在Si表面上生成的暗电流电子并完全消除在界面中引起的暗电流和白点的优势。

[0148] 结果，即使在列读出期间栅极导通，暗电流和白点也不会引发任何问题。因此，可以执行信号的非破坏性读出。

[0149] 稍后将详细描述用于实现像素尺寸减小的阵列结构、包括反射体的结构、信号读出处理系统的结构和功能以及信号的非破坏性读出处理。

[0150] 下面说明具有上述结构的像素单元中的操作。

[0151] 使光从后侧的第一基板面（后表面）101 入射到像素单元。主要通过像素单元的 n 型第一阱 110 中的光电效应生成电子和空穴对。通过形成单元的壁表面的 p 型元件分隔层 140 向外部释放所生成的空穴。

[0152] 电子仅累积在 n 型第一阱 110 中并累积在作为 MOS 晶体管的晶体管 130 的源极和漏极之间的栅极区半导体表面附近形成的势阱中。累积电荷的信号被放大并被晶体管 130 检测到，适当地释放累积电荷，并执行颜色混合和饱和电荷量的控制。

[0153] 固态成像装置 1 的传感器的半导体层的厚度约为 2μm ～ 10μm，这是足以显示光波长范围中的光电转换的量子效率的厚度。

[0154] 另一方面，在前照型的情况下，通常，半导体基板的厚度需要保持在元件不太容易破裂的厚度（达到几百 μm）。因此，不能忽视源极和漏极之间通过元件基板的漏电流，并且可能引起问题。

[0155] 另一方面，在该实施例中，由于元件厚度足够小，所以可以减少通过基板的漏电流并防止出现任何问题。

[0156] 上面说明了根据该实施例的固态成像装置 1 的结构和功能。

[0157] 下面更加详细地说明固态成像装置 1。

[0158] 图 4 是用于说明在前照式 BMCD 的情况下入射光的波长与晶体管的配置具有的关系的示图。

[0159] 在图 4 所示的前照式 BMCD 10 中，在基板前表面侧上形成绝缘膜 11、透明电极 12、遮光电极 13 等。参考数字 14 表示横向漏极，15 表示栅极绝缘膜，以及 16 表示硅基板。

[0160] 在图 4 所示的前照型的情况下，光从设置晶体管的一侧进入。由于横向漏极区 14 被遮光电极 13 覆盖，所以光从除横向漏极区 14 之外的开口进入硅基板 16 同时透过绝缘膜 11、透明电极 12、栅极绝缘膜 15 等。具有大波长的红光和近红外光从硅表面进入的相对较深。然而，蓝光和近紫外光在不那么深的位置进行了光电转换。当具有小波长的光穿过基板上的绝缘多层膜时，光由于界面表面上的散射、吸收、反射等而趋于损失能量。

[0161] 另一方面，在根据图 2B 所示实施例的后照式的情况下，光从没有配置晶体管 130 的一侧进入基板（硅基板）100。大部分具有大波长的光到达晶体管 130 的附近，但是仅有一部分具有小波长的光到达晶体管 130 的附近。

[0162] 关于为了使包括入射光波长的量子效率最大而应该如何形成源极和漏极的漫射层和阱层，提出了各种建议。

[0163] 然而，关于穿过二氧化硅膜（绝缘膜）的光影响晶体管特性的可能性存在一点争议。在该实施例中，尽管是定性地，但在某种程度上阐明了关于该要点的机构。

[0164] 图 5 是在前照型的情况下通过透明电极、栅极二氧化硅膜和单晶硅形成的能带状态的概况的示图。

[0165] 栅极氧化膜的特性会随制造方法或处理而显著不同。当没有很好地控制处理的制

造方法时，在二氧化硅膜中残留下捕获电子和空穴的陷阱。在图中，在二氧化硅膜导带下的2.0eV的位置中存在捕获电子的陷阱。

[0166] 在硅热氧化膜的情况下，带隙约为8.0eV。当ITO用作透明电极时，溢出功约为4.3eV～4.7eV。因此，透明电极的费米能级位于硅热氧化膜的能隙中心的下面一点。

[0167] 当关注入射光中的蓝光分量时，例如450nm的波长λ，根据爱因斯坦光电定律E＝hv，其等于E＝2.76eV。如图所示，这个能量基本等于由透明电极的费米能级测量的氧化膜中的电子陷阱的能级位置。

[0168] 对于这一点，如果与施加给硅基板的电压相比，将较大的负电压施加给透明栅电极，则通过光电效应从金属表面（透明电极）排出的电子在氧化膜中被激发并被陷阱所捕获。

[0169] 被陷阱捕获的电子通过电场再次排出，根据漂移电导流入硅单晶的导带，使栅电极和硅进入弱导电状态，并引起晶体管特性和信号量的波动。

[0170] 在根据该实施例的后照式中，具有大能量和小波长的光为硅基板中的光电载流子生成消耗其大部分能量，直到光到达晶体管区域。因此，后照式没有前照型的缺点。

[0171] 图6是根据图2A和图2B所示装置的电位状态变化相的对于每个区域中垂直于半导体基板表面的方向上的半导体基板中的电子的电位变化的示图。

[0172] 在所有状态中，阱接触电极170的电压VGND被设为0伏。

[0173] (i) 栅极读出

[0174] 当将晶体管130的栅极电压VG设为1.0伏而将其漏极电压VD设为1.8伏时，其源极电压VS约为1.6V～1.4V。累积电荷（电子）减少且从源极流向漏极的沟道电子电流被调制并随累积电荷的减少而减少。如果测量到该电流发生变化，则获得累积电子的电荷变化量。

[0175] (ii) 栅极累积（非读出状态）

[0176] 当将晶体管130的栅极电压VG设为0伏而将其漏极电压VD设为1.8伏时，其源极电压VS等于或低于1.2V。在晶体管130的源极和漏极之间的栅极区中的半导体表面附近形成的势阱中累积电子。

[0177] (iii) 栅极累积（非复位状态，硬复位）

[0178] 当将晶体管130的栅极电压VG设为0V伏～-1.0V而将其漏极电压VD设为1.8V时，其源极电压VS具有高阻抗Hi-Z或LD。累积电子溢出。换句话说，像素单元Cel饱和。就此，信号被保持。

[0179] (iv) 复位

[0180] 当将晶体管130的栅极电压VG设为0V～-1.0V而将其漏极电压VD设为等于或大于3.0V，例如设为3.7V时，其源极电压VS具有高阻抗Hi-Z或LD。通过漏电极向外部释放存在于累积阱中的电子。

[0181] 如上所述，在该实施例中，当像素信号复位时，漏极电压VD被调制，并且在某些情况下，漏极电压VD和栅极电压VG均被调制（在图6所示的实例中，漏极和栅极之间的电位差增加）以释放在漏电极中累积的信号电荷（电子）。

[0182] 在该实施例中，当亮度低时，对像素单元给出所谓的伽玛（γ）特性，以增加调制度和转换效率。

[0183] 在该实施例中，向高动态范围 (DR) 应用 γ 特性。

[0184] 以下说明像素单元的 γ 特性。

[0185] 图 7 是图 2A 所示的 a-a’线中的电位分布实例的示图。

[0186] 作为双阱的一个特性，如图 7 所示，传感器累积区域具有宽阔的电位形状。因此，双阱的容量随信号量改变并具有非线性（γ 特性）。

[0187] 然而，在 γ 特性的情况下，即增益在小信号输出期间响应于单阱结构的非线性而增加并且在小信号输出期间缺乏信号的情况下，由于可以进行逆 γ 校正并且增益在低亮度期间是负的，所以与信号同时压缩噪声。这可以减少噪声。

[0188] 以这种方式，在该实施例中，正面利用了 γ 特性，并且如图 2B 所示，设置了用于累积小信号的相当深的 n 型伽玛袋 (gammapocket)180。

[0189] 在伽玛袋 180 中，信号载流子和信号电流集中在一点并提高了小信号的调制度。

[0190] 可以在执行信号处理的后级中在 DSP 中执行逆伽玛校正，并实现总的噪声压缩。

[0191] 如图 7 所示，像素单元 Cel 具有其容量在大信号输出期间增加以及根据 γ 特性实现高动态范围 (DR) 的结构。

[0192] 图 8 是根据该实施例的信号读出处理系统的结构的示意图。

[0193] 列 (X) 方向控制电路 4 包括 CDS 电路 41。将处于开 (ON) 状态的像素单元 Cel 的累积信号通过信号传输线 SL 和开关 SW 传送给 CDS 电路 41。参考符号 IS 表示用于形成源极跟随器的电流源。

[0194] 上面说明了根据该实施例的像素单元的结构和功能。

[0195] 下面说明像素部 2 的像素单元阵列、包括反射体的结构等。

[0196] 图 9 是根据该实施例的像素部中的像素单元的布局实例的示图。图 10A 是沿图 9 所示的 a-a’线截取的简化截面图。10B 是沿图 9 所示的 b-b’线截取的简化截面图。

[0197] 在该实施例中，以矩阵形状配置像素单元 Cel。采用了 Bayer 阵列。

[0198] 在第一阱 110 和第二阱 120 的侧壁上形成 p 型元件分隔层（导电层）140A。在 p 型元件分隔层 140A 中形成包括形成晶体管 130 的 n^+ 层的源极区 141 和漏极区 142。在源极区 141 侧或漏极区 142 侧上形成阱接触区 143。在该实例中，在源极区 141 侧形成阱接触区 143。

[0199] 在与 p 型元件分隔层 140A 相对的位置形成栅极接触电极 190。

[0200] 在除元件分隔层 140A 之外的像素单元 Cel 的栅电极 131 的前侧（没有照射光的一侧）上形成反射体 200。

[0201] 以这种方式，配置像素单元以与相邻的像素单元共用部分或多个漏极、源极、阱或栅极的接触。这可以提高布局效率。

[0202] 换句话说，由于可以通过一个晶体管来配置像素单元，所以在像素分隔层的四个方向上配置漏极、源极、栅极和阱的接触，并且栅极占据整个像素。因此，晶体管的随机噪声显著减少。

[0203] 在图 9 所示的布局实例中，通过附图所示的 X 和 Y 方向中的 Y 方向（垂直方向或行方向）上彼此相邻的像素单元共用漏极接触 DCNT 和源极接触 SCNT。栅极接触 GCNT 和阱接触 WCNT 被 X 方向（水平方向或列方向）上彼此相邻的像素单元共用。

[0204] 以这种方式，可以在像素分割层的四个方向上配置漏极接触 DCNT、源极接触

SCNT、栅极接触 GCNT 和阱（基板）接触 WCNT。因此，如图 11 所示，这种布局也可以用在所谓的锯齿形阵列中。

[0205] 在图 11 所示的实例中，将图 9 所示的配置旋转了 45 度。

[0206] 图 12 是在 X 方向（水平方向）条纹中共用栅极的布局实例的示图。

[0207] 如图所示，在这种布局中，在水平条纹中共用栅极并在源极侧或漏极侧上设定阱（基板）接触 WCNT。这样就可以容易地形成反射体 200。

[0208] 在这种情况下，可以在 X（水平）方向上每隔一列配置阱（基板）接触 WCNT。

[0209] 可以根据抗压或布局来确定是否应在漏极侧或源极侧设置阱（基板）接触 WCNT。

[0210] 当在源极侧上设定阱（基板）接触 WCNT 时，由于电位差减小，所以具有可以容易地执行像素尺寸缩小的优点。

[0211] 图 13 是缩小漏极侧的布局实例的示图。

[0212] 当在漏极侧上设置阱（基板）接触 WCNT 时，漏极宽度减小，即，被缩小以确保抗压力。

[0213] 因此，由于源极侧的沟道加宽，所以源极侧加深且累积信号的部分和趋于被施加调制的部分彼此一致，并获得了高调制特性。

[0214] 图 14 是根据该实施例的像素部中的像素单元的布局实例的示图。图 15A 是沿图 14 所示的 a-a'线截取的简化截面图。图 15B 是沿图 14 所示的 b-b'线截取的简化截面图。

[0215] 图 14 所示的布局与图 9 所示实例的布局相同。然而，在该实例中，在第一基板面 101（后表面）侧而不是第二基板面 102 侧上形成阱（基板）接触 WCNT。在第二基板面 102 侧上包括 p 型元件分隔层 140A 的整个像素单元上形成栅电极 131。

[0216] 在这种情况下，用于防止颜色混合的未示出的遮光膜还可以用作未示出的配线。

[0217] 通过采用这种结构，对称地形成反射体 200 的配线。这在抗压方面是有利的。

[0218] 以下更加详细地说明反射体 200。

[0219] 在根据作为背照型并采用双阱结构的该实施例的像素单元 Ce1 中，在晶体管 130 的栅电极 131 上形成了一定空间。因此，可以在该空间中设置利用了配线金属等的反射体结构。

[0220] 透过硅基板 100 的光被反射体 200 反射并在硅基板 100 的第一阱 110 中再次光电转换。例如，这可以提高近红外灵敏度。

[0221] 在这种情况下，如图 16A 所示，基板相对较厚（大约 6μm～10μm），并且例如可以通过使用反射体 200 对近红外光的反射而施加给夜视监控相机。

[0222] 此外，如图 16B 所示，如果基板 100 的厚度正减小以反射 G 光至 R 光，则因为仅需要大约一半的基板厚度，所以还可以进一步将像素尺寸减半。

[0223] 通常，对于可视光，需要硅基板必须具有 2μm～3μm 的厚度，并且以达到约 25 度的入射角来接收光。限制约 1 ： 2 的纵横比。因此，约 1μm～1.5μm 是像素尺寸的限制。

[0224] 然而，如在该实施例中，如果使用反射体 200，则硅基板必须仅具有 1μm～1.5μm 的一半厚度。因此，作为像素尺寸，亚微米像素是可能的。

[0225] 在这种情况下，电极期望使用具有高可见光透射率的 ITO 膜。

[0226] 在该实施例中，反射体 200 是金属（铝，等）的配线。稍后描述该结构实例。

[0227] 尽管没有具体说明，但反射体可以由非导电绝缘膜等形成。

[0228] 下面说明通过共用列电路实现尺寸减小的结构。

[0229] 在这种情况下，在像素部 2 的像素单元的矩阵阵列中，将漏极接触在列中被分为两个以上的组以共用列方向（X 方向）控制电路 4 中的列电路，并实现了尺寸的减小。

[0230] 图 17A 和图 17B 是接触共用像素部的像素单元阵列实例的示图。图 17A 是像素单元布局实例的示图。图 17B 是对应于图 17A 的图样布局的示图。

[0231] 图 18 是采用图 17 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图。

[0232] 在下面的说明中，假设信号 Sel 被提供给晶体管的所选栅极。

[0233] 在该实例中，两条垂直线共用漏极。

[0234] 在图 17A 所示的实例中，以矩阵形状配置所选择并示出的 16 个单元 Cel。

[0235] 基本上，采用了 Bayer 阵列。在第一行第一列中配置 G（绿色，Gr）像素单元 Cel11，在第一行第二列中配置 B（蓝色）像素单元 Cel12，在第二行第一列中配置 R（红色）像素单元 Cel21，以及在第二行第二列中配置 G(Gb) 像素单元 Cel22。

[0236] 类似地，在第一行第三列中配置 G(Gr) 像素单元 Cel13，在第一行第四列中配置 B 像素单元 Cel14，在第二行第三列中配置 R 像素单元 Cel23，以及在第二行第四列中配置 G(Gb) 像素单元 Cel24。

[0237] 在第三行第一列中配置 G 像素单元 Cel31，在第三行第二列中配置 B 像素单元 Cel32，在第四行第一列中配置 R 像素单元 Cel41，以及在第四行第二列中配置 G(Gb) 像素单元 Cel42。

[0238] 类似地，在第三行第三列中配置 G(Gr) 像素单元 Cel33，在第三行第四列中配置 B 像素单元 Cel34，在第四行第三列中配置 R 像素单元 Cel43，以及在第四行第四列中配置 G(Gb) 像素单元 Cel44。

[0239] 在像素单元阵列的每列中，彼此相邻的奇数行和偶数行中的像素单元共用了漏极接触。

[0240] 在图 17A 所示的实例中，像素单元 Cel11 和 Cel21 共用漏极接触 DCNT，以及像素单元 Cel31 和 Cel41 共用漏极接触 DCNT。

[0241] 类似地，像素单元 Cel12 和 Cel22 共用漏极接触 DCNT，以及像素单元 Cel32 和 Cel42 共用漏极接触 DCNT。

[0242] 像素单元 Cel13 和 Cel23 共用漏极接触 DCNT，以及像素单元 Cel33 和 Cel43 共用漏极接触 DCNT。

[0243] 像素单元 Cel14 和 Cel24 共用漏极接触 DCNT，以及像素单元 Cel34 和 Cel44 共用漏极接触 DCNT。

[0244] 在图 17A 所示的实例中，通过共用漏极接触 DCNT 的第一行中的像素单元 Cel11 ～ Cel14 以及第二行中的像素单元 Cel21 ～ Cel24 形成组 GRP1。

[0245] 类似地，通过共用漏极接触 DCNT 的第三行中的像素单元 Cel31 ～ Cel34 以及第四行中的像素单元 Cel41 ～ Cel44 形成组 GRP2。

[0246] 在彼此相邻的组之间的每列中，彼此相邻的像素单元共用源极接触 SCNT。

[0247] 在图 17A 所示的实例中，组 GRP1 的像素单元 Cel21 与组 GRP2 的像素单元 Cel31 共用源极接触 SCNT。

[0248] 组 GRP1 的像素单元 Ce122 与组 GRP2 的像素单元 Ce132 共用源极接触 SCNT。

[0249] 组 GRP1 的像素单元 Ce123 与组 GRP2 的像素单元 Ce133 共用源极接触 SCNT。

[0250] 组 GRP1 的像素单元 Ce124 与组 GRP2 的像素单元 Ce134 共用源极接触 SCNT。

[0251] 在图 17B 中，参考符号 LGND1 ～ LGND5 等表示连接至阱接触 WCNT 的地线，LSGN1 ～ LSGN4 等表示连接至源极接触 SCNT 的信号线，LGT1 ～ LGT3 等表示连接至栅极接触的栅极线，以及 LDRN1 ～ LDRN2 等表示连接至漏极接触的漏极线。

[0252] 为 Y 方向（行方向）上的每列配置地线 LGND 和信号线 LSGN。

[0253] 为 X 方向（列方向）上的每行配置栅极线 LGT 和漏极线 LDRN。

[0254] 通过配线的层叠结构形成地线 LGND、信号线 LSGN、栅极线 LGT 和漏极线 LDRN。

[0255] 例如，通过底层中的第一金属配线（1MT）形成地线 LGND。

[0256] 通过从底部开始的第二层中的第二金属配线（2MT）形成信号线 LSGN。

[0257] 通过从底部开始的第三层中的第三金属配线（3MT）经由设置在线之间同时保持绝缘特性的绝缘膜来形成栅极线 LGT 和漏极线 LDRN。

[0258] 在该实施例中，通过例如 A1 配线 La1 来支持（back）由第三金属配线形成的漏极线 LDRN，以减少阻抗作为防备 IR 降低的措施。

[0259] 在该实施例中，如图 17A、图 17B 和图 18 所示，在组 GR1 ～ GRP3 的每个组中，在共用漏极接触的像素单元中，栅极接触 GCNT 和阱（基板）接触 WCNT 被形成为在 X 方向（列方向）上面向相反方向。

[0260] 在奇数列和偶数列中，栅极接触 GCNT 和阱（基板）接触 WCNT 被形成为也面向相反方向。

[0261] 具体地，在组 GRP1 中，在 X 方向上，在图中的左侧形成第一列中像素单元 Ce111 中的栅极接触 GCNT，以及在 X 方向上，图中的右侧形成阱接触 WCNT。

[0262] 在第一列中的像素单元 Ce121 上，在 X 方向上图中的右侧形成栅极接触 GCNT，以及在 X 方向上图中的左侧形成阱接触 WCNT。

[0263] 像素单元 Ce111 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第二列中的地线 LGND2。

[0264] 像素单元 Ce121 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第一列中的地线 LGND1。

[0265] 在第二列中的像素单元 Ce112 上，在 X 方向上，在图中的右侧形成栅极接触 GCNT。在 X 方向上，在图中的左侧形成阱接触 WCNT。

[0266] 在 X 方向上，在图中的左侧形成第二列中的像素单元 Ce122 的栅极接触 GCNT。在 X 方向上，在图中的右侧形成阱接触 WCNT。

[0267] 像素单元 Ce112 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第二列中的地线 LGND2。

[0268] 像素单元 Ce122 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第三列中的地线 LGND3。

[0269] 在 X 方向上，在图中的左侧形成第三列中的像素单元 Ce113 的栅极接触 GCNT，以及在 X 方向上，在图中的右侧形成阱接触 WCNT。

[0270] 在 X 方向上，在图中的右侧形成第三列中的像素单元 Ce123 的栅极接触 GCNT，以及

在 X 方向上，在图中的左侧形成阱接触 WCNT。

[0271] 像素单元 Ce113 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第四列中的地线 LGND4。

[0272] 像素单元 Ce123 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第三列中的地线 LGND3。

[0273] 在 X 方向中上，在图中的右侧形第四列中的像素单元 Ce114 栅极接触 GCNT。在 X 方向上，在图中的左侧形成阱接触 WCNT。

[0274] 在 X 方向上，在图中的左侧形成第四列中的像素单元 Ce124 的栅极接触 GCNT，以及在 X 方向上，在图中的右侧形成阱接触 WCNT。

[0275] 像素单元 Ce114 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第四列中的地线 LGND4。

[0276] 像素单元 Ce124 的晶体管 130 的栅极经由栅极接触 GCNT 连接至栅极线 LGT1。阱接触 WCNT 连接至配置在第五列中的地线 LGND5（未示出）。

[0277] 组 GRP2 和 GRP3 基本上以相同的模式形成。因此，省略组 GRP2 和 GRP3 的详细说明。

[0278] 如图 18 所示，对于顶部读出和底部读出，将信号线 LSGN1 ～ LSGN4 等分别分为两种信号线 LSGN1-T 和 LSGN1-B、LSGN2-T 和 LSGN2-B、LSGN3-T 和 LSGN3-B 以及 LSGN4-T 和 LSGN4-B 等。

[0279] 设置奇数组选择开关（顶部开关）OGSW1 和偶数组选择开关（底部开关）EGSW1，并以两列为单位设置顶部开关 OGSW2 和底部开关 EGSW2。

[0280] 信号线 LSGN1-T 和 LSGN2-T 连接至顶部开关 OGSW1 的两个切换端。信号线 LSGN1-B 和 LSGN2-B 连接至底部开关 EGSW1 的两个切换端。信号线 LSGN1-T 和 LSGN2-T 连接至奇数组 GRP1、GRP3 等的源极接触 SCNT。信号线 LSGN1-B 和 LSGN2-B 连接至偶数组 GRP2、GRP4 等的源极接触 SCNT。

[0281] 类似地，信号线 LSGN3-T 和 LSGN4-T 连接至顶部开关 OGSW2 的两个切换端。信号线 LSGN3-B 和 LSGN4-B 连接至底部开关 EGSW2 的两个切终端。信号线 LSGN3-T 和 LSGN4-T 连接至奇数组 GRP1、GRP3 等的源极接触 SCNT。信号线 LSGN3-B 和 LSGN4-B 连接至偶数组 GRP2、GRP4 等的源极接触 SCNT。

[0282] 顶部开关 OGSW1、OGSW2 等的固定端连接至第一信号传输线 LSTM1。底部开关 EGSW1、EGSW2 的固定端连接至第二信号传输线 LSTM2。

[0283] 电流源 I401 连接至第一信号传输线 LSTM1。电流源 I401 与第一信号传输线 LSTM1 的连接点经由电容器 C401 连接至列电路 400 的比较器 401。

[0284] 比较器 401 的反相输入 (-) 连接至电容器 C401。将基准电位给予其非反相输入 (+)。

[0285] 在比较器 401 的反相输入 (-) 和输出之间连接复位开关 402。通过例如 MOS 晶体管形成开关 402。

[0286] 电流源 I411 连接至第二信号传输线 LSTM2。电流源 I401 与第二信号传输线 LSTM2 的连接点经由电容器 C411 连接至列电路 410 的比较器 411。

[0287] 比较器 411 的反相输入端 (-) 连接至电容器 C411。将基准电位提供给其非反相输

入端 (+)。

[0288] 在比较器 411 的反相输入端 (-) 和输出之间连接复位开关 412。通过例如 MOS 晶体管形成开关 412。

[0289] 在这种结构中，可以分别为奇数和偶数采样信号以奇数的 D 相 Do、奇数的 P 相 Po、偶数的 D 相 De 和偶数的 P 相 Pe 的顺序执行复位。在垂直和水平方向上，可以用数字相加（垂直方向上，相反增加）执行来自相同颜色像素的信号的任意相加处理。

[0290] 图 19A 和图 19B 是图 17A 和图 17B 所示的方形阵列中的信号输出顺序的示图。图 19A 是当不共用水平列时用于输出信号的信号输出顺序的示图。图 19B 是当共用水平列时用于输出信号的信号输出顺序的示图。

[0291] 在图 19A 和图 19B 中，为了以信号输出顺序配置像素单元，从布局图所示垂直反转像素单元的配置。

[0292] 在该实例中，行和列表示为 V 行和 H 列，并为各行和各列附加上数字。向输出信号给出对应于像素单元 RGB 和矩阵阵列的数字。例如，第一行、第一列中的信号表示为 R11，以及第一行、第二列中的信号表示为 G12。

[0293] 在图 19A 所示实例的情况下，以根据底侧和顶侧上的像素单元阵列的顺序来输出信号。

[0294] 在图 19B 所示实例的情况下，以时分方式输出信号。

[0295] 例如，首先，在底侧读出像素单元 G12、G14 等的信号以及在顶侧读出像素单元 B22 和 B24 的信号，然后，在底侧读出像素单元 R11、R13 等的信号以及在顶侧读出像素单元 G21 和 G23 的信号。

[0296] 以这种方式，可以为每种相同颜色执行信号读出并执行来自相同颜色像素的信号的任意相加处理。

[0297] 如上所述，在图 17A、图 17B 和图 18 所示实例中，为每两条线交替读出以及在奇数列和偶数列中分开读出 Gb 和 Gr。

[0298] 在该实例中，由于通过两条线共用漏极，所以根据上部和下部列阵列的平行处理（双倍速度）是必要的。此外，由于为每两条线从上面和下面交替输出 Gr/Gb 的信号，所以垂直执行数字相加或 2/4 稀疏。

[0299] 可以根据水平复位漏极的分离（即，分为奇数列和偶数列）共用两个以上的列 (1/n 减速）。

[0300] 此外，可以执行列减少。

[0301] 此外，在颜色编码同步中，可以通过同一列信号中的数字相加执行来自相同颜色像素的任意的信号相加处理。

[0302] 此外，由于通过用于减小阻抗的 A1 支持漏极线 LDRN 的水平配线，所以可以防止传输至漏极线的信号电压的降低。

[0303] 图 20A 和图 20B 是通过将图 17A 和图 17B 所示的方形阵列旋转 45 度而形成的锯齿形阵列的示图。图 20A 是像素单元的布局实例的示图。图 20B 是对应于图 20A 的图案布局的示图。

[0304] 图 21 是采用图 20A 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图。

[0305] 通过简单地将电极和电极下的结构旋转 45 度并为锯齿形阵列设计配线，可以实现锯齿形阵列。

[0306] 在这种情况下，基本操作与图 17A、图 17B 和图 18 所示方形阵列的情况下的操作相同。可以分别为奇数和偶数采样信号以奇数的 D 相 Do、奇数的 P 相 Po、偶数的 D 相 De 和偶数的 P 相 Pe 的顺序执行复位。在垂直和水平方向上，可以用数字相加（垂直方向上，相反增加）执行来自相同颜色像素的信号的任意相加处理。

[0307] 图 22A 和图 22B 是通过旋转图 17A 和图 17B 所示的方形阵列而形成的另一锯齿形阵列的示图。图 22A 是像素单元的布局实例的示图。图 22B 是对应于图 22A 的图案布局的示图。

[0308] 图 23 是采用图 22A 所示的布局并简化了共用列电路的信号处理系统和像素部的等效电路的示图。

[0309] 在图 20A、20B 和图 21 所示的实例中，信号读出的形式与图 17A、图 17B 和图 18 的情况相同。然而，在图 22A、图 22B 和图 23 所示的实例中，交替配置底部的各列和顶部的各列。

[0310] 在这种情况下，基本操作与在图 17A、图 17B 和图 18 所示方形阵列情况下的操作相同。可以分别为奇数和偶数采样信号以奇数的 D 相 Do、奇数的 P 相 Po、偶数的 D 相 De 和偶数的 P 相 Pe 的顺序执行复位。在垂直和水平方向上，可以用数字相加（垂直方向上，相反增加）执行来自相同颜色像素的信号的任意相加处理。

[0311] 图 24A 和图 24B 是图 20A 和图 20B 所示的锯齿形阵列中的信号输出顺序的示图。图 24A 是当不共用水平列时用于输出信号的信号输出顺序的示图。图 24B 是当共用水平列时用于输出信号的信号输出顺序的示图。

[0312] 在该实例中，行和列被表示为 V 行和 H 列，并为各行和各列附加上数字。为输出信号给出对应于像素单元 RGB 和矩阵阵列的数字。

[0313] 在图 24A 所示实例的情况下，以根据底侧和顶侧上的像素单元阵列的顺序输出信号。

[0314] 在图 24B 所示实例的情况下，以时分方式输出信号。

[0315] 例如，首先，在底侧读出像素单元 R11、R13 等的信号以及在顶侧读出像素单元 G22 和 G24 的信号，然后，在底侧读出像素单元 B12、B14 等的信号以及在顶侧读出像素单元 G23 和 G25 的信号。

[0316] 以这种方式，可以为每种相同颜色执行信号读出以及执行来自相同颜色像素的信号的任意相加处理。

[0317] 图 25A 和图 25B 是图 22A 和图 22B 所示的锯齿形阵列中的信号输出顺序的示图。图 25A 是当不共用水平列时用于输出信号的信号输出顺序的示图。图 24B 是当共用水平列时用于输出信号的信号输出顺序的示图。

[0318] 在该实例中，行和列被表示为 V 行和 H 列，并为各行和各列附加上数字。向输出信号给出对应于像素单元 RGB 和矩阵阵列的数字。

[0319] 在图 25A 所示实例的情况下，以根据底侧和顶侧上的像素单元阵列的顺序输出信号。

[0320] 在图 25B 所述实例的情况下，以时分方式输出信号。

[0321] 例如，首先，在底侧读出像素单元 R11、R13、R15 等的信号以及在顶侧读出像素单元 G21、G23 和 G25 的信号，然后，在底侧读出像素单元 G22、G24、G26 等的信号以及在顶侧读出像素单元 B12、B14 和 B16 的信号。

[0322] 以这种方式，可以为每种相同颜色执行信号读出以及执行来自相同颜色像素的信号的任意相加处理。

[0323] 上面说明了像素单元阵列的具体实例。

[0324] 下面说明当采用图 17A 和图 17B 所示的方形阵列时的反射体的形成实例。

[0325] 在根据该实施例的像素单元阵列中，可以在栅极的四个方向上配置漏极接触 DCNT、源极接触 SCNT、栅极接触 GCNT 和阱（基板）接触 WCNT。因此，如图 26A 所示，整个感光区都是栅极区。

[0326] 因此，如图 26B 所示，反射体 200 基本上可以被形成为叠加在整个栅极区上。

[0327] 换句话说，当采用图 17A 和图 17B 所示的方形阵列时，可以通过使用层叠结构的任意配线来形成反射体。

[0328] 下面说明第一至第三实例。

[0329] 图 27 是反射体和配线共用布局的第一实例的示图。

[0330] 图 28 是反射体和配线共用布局的第二实例的示图。

[0331] 图 29 是反射体和配线共用布局的第三实例的示图。

[0332] 在图 27 所示的第一实例中，不同于图 17A 和图 17B 所示的实例，栅极线 LGT 是第一金属配线，漏极线 LDRN 是第二金属配线，以及信号线 LSGN 和地线 LGND 是第三金属配线。

[0333] 在这种情况下，栅极线 LGT 的第一金属配线用作反射体 200。与栅极区相关联并且选择性地形成反射体 200。

[0334] 在图 28 所示的第二实例中，如图 17A 和图 17B 所示的实例，地线 LGND 是第一金属配线，信号线 LSGN 是第二金属配线，以及栅极线 LGT 和漏极线 LDRN 是第三金属配线。

[0335] 在这种情况下，地线 LGND 的第一金属配线用作反射体 200。

[0336] 在图 29 所示的第三实例中，如图 27 所示的实例，栅极线 LGT 是第一金属配线，漏极线 LDRN 是第二金属配线，以及信号线 LSGN 和地线 LGND 是第三金属配线。

[0337] 在这种情况下，栅极线 LGT 的第一金属配线被用作反射体 200。以条纹状形成反射体 200。

[0338] 上面说明了像素单元结构、阵列和反射体形成的实例。

[0339] 下面说明包括列电路侧的信号处理系统的特性结构和功能。

[0340] 首先，在该实施例中，固态成像装置 1 具有预线复位功能，用于将先前线的复位电平用作列电路 400(410) 的比较器 401(411) 的参考电平来提高大光量阻抗。

[0341] 图 30A 和图 30B 是用于说明预线复位的基本概念的示图。图 30A 是等效电路的示图。图 30B 是时序图。

[0342] 在这种情况下，在比较器 401(411) 中与斜坡波形 VRAMP 的比较操作之前 (D 相读出之前)，接通列电路 400(410) 的开关 (SW)402(412)，并连接比较器的输入和输出以执行电路复位。

[0343] 因此，通过将先前线的复位电平用作列电路 400(410) 的比较器 401(411) 的参考电平来提高大光量阻抗。

[0344] 该实施例采用了通过在像素复位使像素单元饱和紧前从漏极向像素注入电荷之后执行复位操作（硬复位像素单元）减少残留图像的功能。

[0345] 图 31A 和图 31B 是根据该实施例的对应于硬复位功能的信号处理系统的示意图。图 31A 是等效电路的示图。图 31B 是时序图。

[0346] 在这种情况下，在开关 SW401 与配置在信号传送线和列线 400(410) 之间的电容器 C401(C411) 之间设置晶体管 Q401（漏极连接至电源电位，源极连接至比较器 401(411)）、经由开关 SW402 连接在晶体管 Q401 与地线之间的连接点的比较器 C402、经由开关 W403 连接至晶体管 Q401 的源极的电流源 I402 以及连接至晶体管 Q401 的栅极的电流源 I403。晶体管 Q401 的栅极连接至开关 SW401。

[0347] 在硬复位中，当晶体管 130 的栅极电压 VG 设为 0V ～ -1.0V 而漏极电压 VD 设为 1.8V 时，其源极电压 VS 为高阻抗 Hi-Z 或 LD。累积的电子溢出 (OF)。换句话说，像素单元 Cel 饱和。为此，信号被保持。

[0348] 在下面的复位操作中，当晶体管 130 的栅极电压 VG 设为 0V ～ -1.0V 且其漏极电压 VD 设为等于或高于 3.0V，例如，设为 3.7V 时，其源极电压 VS 为高阻抗 Hi-Z 或 LD。通过漏电极向外部释放存在于累积阱中的电子。

[0349] 在这种情况下，为了防止消耗采样时间的信号侧的泄漏，例如，仅在信号侧执行模拟采样并数字地执行 CDS。结果，通过增加一个电容器获得了显著的改善效果。

[0350] 例如，可以通过结合用于 D 相的模拟采样和用于 P 相的数字采样而以小尺寸提高大光量阻抗。

[0351] 也可以对所谓的浮置扩散 (FD) 结构的像素单元施加对应于模拟 SHD 和数字 CDS 的电路结构。

[0352] 在该实施例中，确实向像素单元给出 γ 特性。与 γ 特性相结合，通过使用具有与像素单元的晶体管 130 相同结构的背栅极终端的晶体管来配置逆 γ 校正电路。

[0353] 图 32 是用于说明包括逆 γ 校正电路的信号处理系统的基本概念的等效电路图。

[0354] 逆 γ 校正电路 420 包括具有背栅极终端的晶体管 421、配置电流反射镜的晶体管 422 和 423、开关 SW421、电容器 C421 以及电流源 I421、I422 和 I423。

[0355] 连接晶体管 421 的源极和电流源 I421。晶体管 421 的源极与电流源 I421 的连接点连接至开关 SW401。晶体管 421 的漏极连接至晶体管 422 的源极。连接晶体管 422 的栅极和漏极。栅极和漏极的连接点连接至电流源 I422、晶体管 423 的栅极和开关 SW421。

[0356] 晶体管 423 的漏极连接至电源电位。晶体管 423 的源极连接至电流源 I423。晶体管 423 的源极与电流源 I423 的连接点连接至晶体管 421 的基板和电容器 C401。电容器 C421 连接至开关 SW421。

[0357] 由于信号处理系统的时序图与图 31B 所示相同，所以在图中没有示出时序图。

[0358] 通过逆 γ 校正电路 420 降低 γ 特性，即，γ 特性的非线性被改变为线性以执行模数转换。

[0359] 根据该实施例的信号处理系统具有如上所述的特性。

[0360] 在通常的列数字 CDS 或 ADC 中，在一个 H（水平）周期内缓慢执行 CDS 或 ADC。假设在 FD 中存储信号。

[0361] 然而，在阈值调制系统中，即使在 CDS 或 ADC 期间也会通过所接收的光引起信号改

变。因此，当以大光量使用高速电子快门时，可能发生信号错误和黑浮（floating black）。

[0362] 通常，通过高速模拟 CDS 来防止这种问题。在该系统中，可以考虑快门速度和信号量来校正黑电平。不考虑特定范围内的电子快门速度明确引起问题。

[0363] 为了防止消耗采样时间的信号侧的泄漏，如上所述，例如，仅在信号侧执行模拟采样。结果，通过增加一个电容器获得了显著的提高效果。

[0364] 使用先前线的复位电平的预线复位系统可以处理列 CDS 的复位。

[0365] 图 33A ～图 33C 是预线系统、两列共用以及 2×2 像素定时的电平图的示图。图 33A 是工作电压实例的示图。图 33B 是两列共用中的静态图像顺序实例的示图。图 33C 是 2×2 像素相加顺序实例的示图。

[0366] 在该实施例中，例如，如图 34 所示，以阵列形状配置像素单元（晶体管）以获得具有多个像素的一个输出信号。这可以获得高 -Qs 和低噪声动态范围。

[0367] 在固态成像元件或元件外部的信号处理 IC 中，可以执行获得一个输出信号的方法。当在元件外部的信号处理 IC 中执行该方法时，存在例如可以校正缺陷像素的优点。

[0368] 在该实施例中，例如，如图 35 的平面图和图 36 的简化截面图所示，如果最终获得一个输出，则以多个像素为单位执行元件分隔，以准备在以阵列形状配置的多个像素中混合信号。因此，传感器累积区域进一步被扩展，并且可以获得高动态范围（D 范围）。

[0369] 在该实施例中，例如，如图 36B 的简化截面图所示，如果滤色片译码在以阵列形状配置的多个像素中不是相同颜色，而是例如为原色 B(Blue) 和 R(Red)，则获得补色品红色。因此，可以使用在凸轮编码器等中使用的补色信号处理。结果，颜色再现性与原色相同，并且可以获得通过共用滤色片材料提高大规模生产力。

[0370] 在该实施例中，例如，如图 37 以及图 38A 和 38B 所示，在共用一部分或多个与相邻像素单元的漏极、源极、基板（阱）或栅极的接触的像素中，当以多个像素为单位执行元件分隔时，由于可以消除复位漏极下的元件分隔 p 阱，所以具有可以减小复位电压的效果。

[0371] 在根据该实施例的固态成像装置 1 中，通过连续光电转换而不在从像素读出信号的过程中复位像素，可以执行非破坏性读出而不使暗电流劣化。

[0372] 例如，根据非破坏性读出，可以在低速曝光和阀曝光（valveexposure）期间实现高 -S/N 宽动态范围（宽 D 范围）和实时取景。

[0373] 根据非破坏性读出，还可以实现各种形式，例如，可以执行静态图像低速曝光以及运动图像的异步和同步同时操作，AE 和 AF 的同时使用成为可能，并且可以在整个区域通过高速局部扫描随机地执行实时 AE/AF。

[0374] 图 39 是根据非破坏性读出的宽动态范围（宽 D 范围）序列的实例的示图。

[0375] 在图 39 中，垂直方向表示信号电平，水平方向表示曝光时间。

[0376] <步骤 ST1>

[0377] 对信号电平进行复位并执行黑扫描。拍摄阈值 Vh 变化图像。

[0378] <步骤 ST2>

[0379] 在时间 t1，执行第一中间扫描（SCAN#1）。拍摄高亮度图像并获得 Vth 差。

[0380] <步骤 ST3>

[0381] 在时间 t2，执行第二中间扫描（SCAN#2）。拍摄中等亮度图像并获得 Vth 差。

[0382] <步骤 ST4>

[0383] 在时间 t3，执行最终扫描以复位信号电平。拍摄低亮度图像 (CDS)。

[0384] 尽管图中没有示出，但如步骤 ST5，通过对高亮度图像、中等亮度图像和低亮度图像进行图像组合来成像实现宽动态范围。（各个图像与时间比率相乘并通过电平进行组合以获得高 DR 图像。）

[0385] 图 40 是根据非破坏性读出的低速实时取景序列的实例的示图。

[0386] 在图 40 中，垂直方向表示信号电平，水平方向表示曝光时间。

[0387] <步骤 ST11>

[0388] 对信号电平进行复位并执行黑扫描。拍摄阈值 Vh 变化图像。

[0389] <步骤 ST12>

[0390] 执行第一中间扫描 (SCAN#1)。拍摄 #1 图像并获得 #0Vth 差，并例如进行显示用于监控。

[0391] <步骤 ST13>

[0392] 执行第二中间扫描 (SCAN#2)。拍摄 #2 图像并获得 #1Vth 差，并例如进行显示用于监控。

[0393] <步骤 ST14>

[0394] 执行最终扫描。获取 #n 图像并获得 #nVth 差，并例如进行显示用于监控。

[0395] <步骤 ST15>

[0396] 执行拍摄扫描以复位信号电平。执行最终图像拍摄 CDS 和存储器中的记录。

[0397] <步骤 ST16>

[0398] 在异步型的情况下，按照 1/30s 显示步骤 ST15 中拍摄的图像（静态图像）。

[0399] 以这种方式，根据非破坏性读出，可以在低速曝光和阀曝光期间实现例如高 -S/N 宽动态范围（宽 D 范围）和实时取景。

[0400] 如上所述，根据该实施例，基板 100 包括其上照射光的第一基板面 101 侧和其上形成元件的第二基板面 102 侧。形成通过相邻单元组和元件分隔层分隔的多个像素单元 Cel(2A)。每个像素单元 Cel 均包括形成在第一基板面 101 侧上的第一导电（该实施例中为 n 型）阱（第一阱）110 和与第一阱 110 相比进一步形成在第二基板面 102 侧上的第二导电 (p 型）阱（第二阱）120。n 型第一阱 110 用作接收来自第一基板面 101 侧的光的感光部，并具有用于所接收光的光电转换功能和电荷累积功能。在第二阱 120 中形成检测第一阱 110 的感光部中的累积电荷并具有阈值调制功能的 MOS 晶体管 130。在第一阱 110 和第二阱 120 的侧壁上形成与第一导电类型（在该实施例中为 n 型）相反的第二导电类型的 p 型元件分隔层（导电层）140 以环绕侧壁。

[0401] 可以通过漏极 (D)/ 栅极 (G)/ 源极 (S) 结构的一个晶体管形成像素。因为像素结构与逻辑处理是兼容的，所以可以使步骤数量的增加最小化。

[0402] 因为可以共用漏极、源极、栅极和阱的接触，所以布局效率较高，并且可以实现微像素。

[0403] 由于栅极区较大，所以晶体管噪声非常小。

[0404] 由于整个像素都是累积区域，斯普哦饱和信号量较大，并且可以实现高动态范围 (DR)。

[0405] 由于向漏极释放从界面生成的暗电流，所以不会发生界面中的暗电流图像缺陷。

[0406] 可以执行非破坏性读出，其中，不管栅极是导通还是截止，暗电流都没有恶化。

[0407] 整个感光部都是栅极。当安装反射体时，可以实现近红外高灵敏度和超好像素。

[0408] 通过逆 γ 校正功能可以减少噪声。

[0409] 可将具有上述特性的固态成像装置应用为数码相机和摄像机的成像装置。

[0410] 图 41 是应用根据该实施例的固态成像装置的相机系统的结构实例的示图。

[0411] 如图 41 所示，相机系统 500 包括：成像装置 510，可应用根据该实施例的固态成像装置 1；光学系统，将入射光引导至成像装置 510 的像素区（聚焦目标图像），例如，在成像面上会聚入射光（图像光）的透镜 520；驱动电路 (DRV)530，驱动成像装置 510；以及信号处理电路 (PRC)540，处理成像装置 510 的输出信号。

[0412] 驱动电路 530 包括定时生成器（未示出），其生成各种定时信号，包括用于驱动成像装置 510 中的电路的开始脉冲和时钟脉冲。驱动电路 530 通过预定的定时信号驱动成像装置 510。

[0413] 信号处理电路 540 对成像装置 510 的输出信号应用诸如 CDS（相关双采样）的信号处理。

[0414] 在诸如存储器的记录介质中记录被信号处理电路 540 处理的图像信号。记录在记录介质中的图像信号通过打印机等进行硬拷贝。在包括液晶显示器的监控器上显示被信号处理电路 540 处理的图像信号作为运动图像。

[0415] 如上所述，在诸如数码相机、监控相机、安装在便携电话上的相机、单镜头反光相机和扫描仪的成像装置和电子设备中，可以通过安装固态成像装置 1 作为成像装置 510 来实现高精度的相机。

[0416] 本发明不受实施例说明的限制。

[0417] 例如，在实施例中描述的数值和材料仅仅是实例。本发明不限于这些数值和材料。

[0418] 此外，在不背离本发明精神范围的情况下可以进行各种改进。

[0419] 此外，在不背离本发明精神的范围内可以有各种改进。本领域技术人员应理解，根据设计要求和其他因素，可以在所附权利要求书的范围内或其等同范围内，进行各种修改、组合、再组合以及改进。

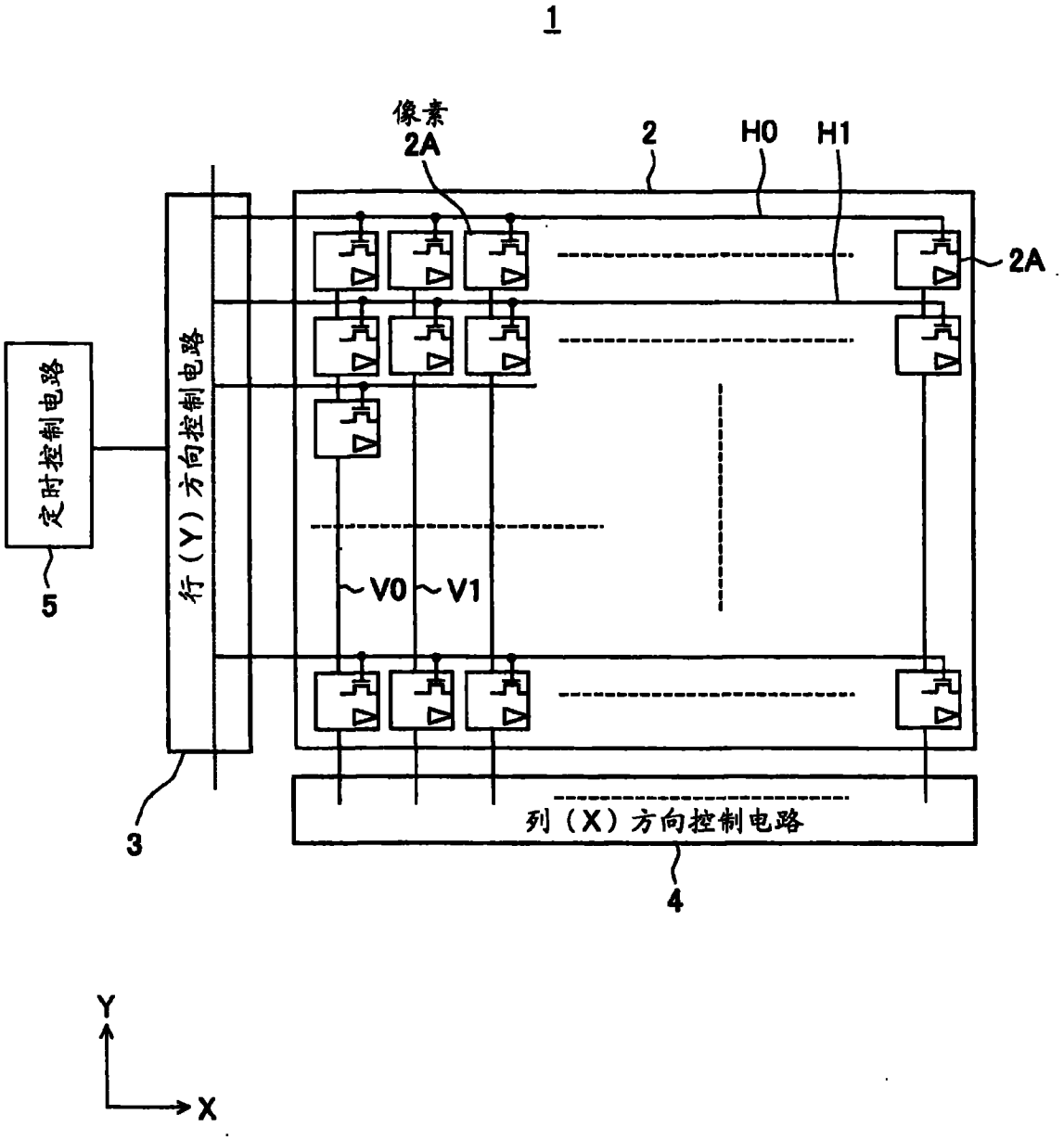


图 1

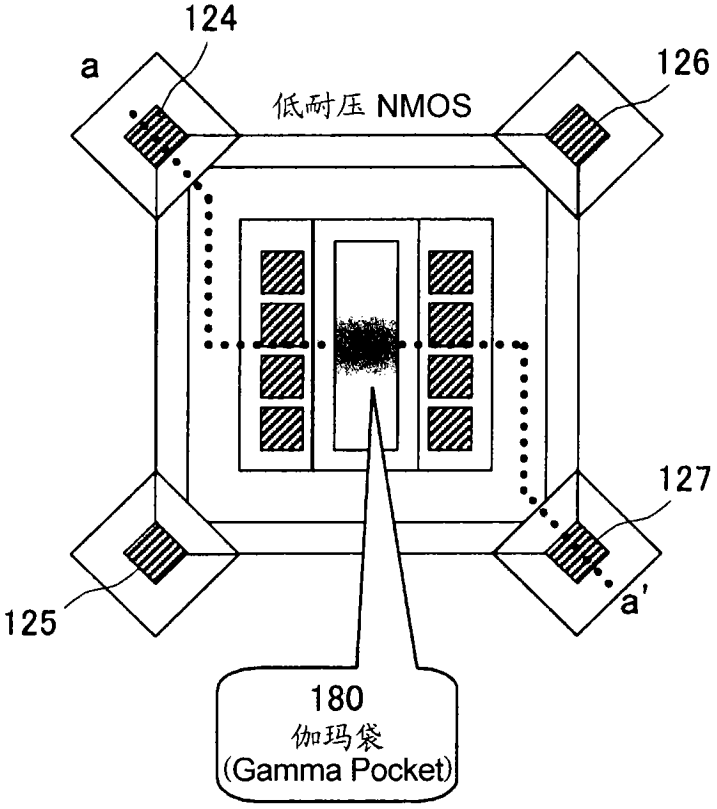

124
a
126
低耐压 NMOS
127
125
a'
180
伽玛袋
(Gamma Pocket)

图 2A

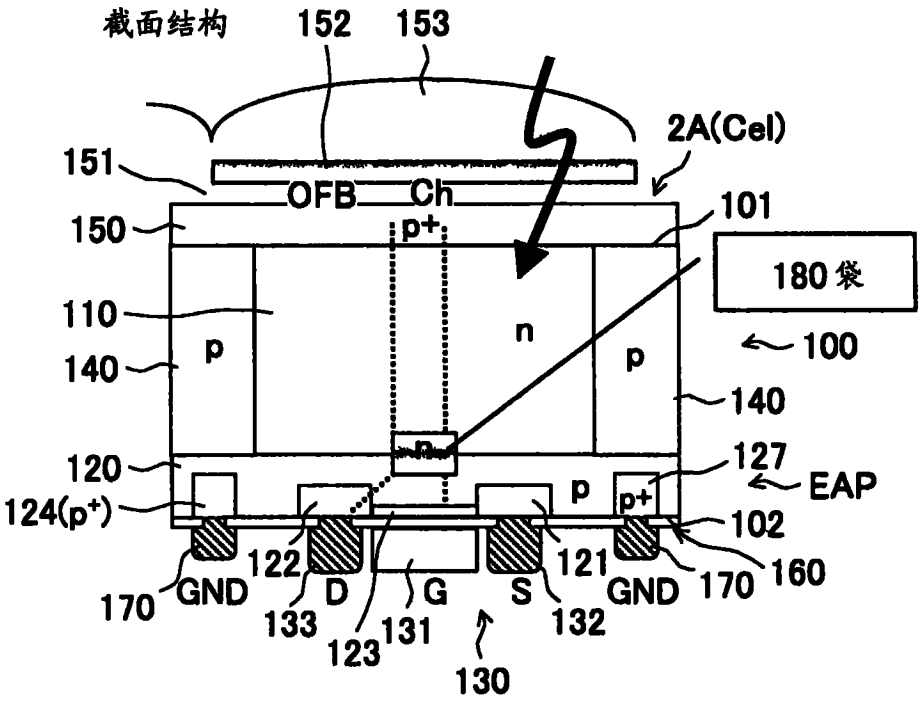

截面结构
152
153
2A(Cel)
151
OFB
Ch
150
p+
101
180袋
110
n
100
p
p
140
140
120
n
127
EAP
124(p+)
p
p+
102
122
121
160
170
GND
D
G
S
GND
170
133
123
131
132
130

图 2B

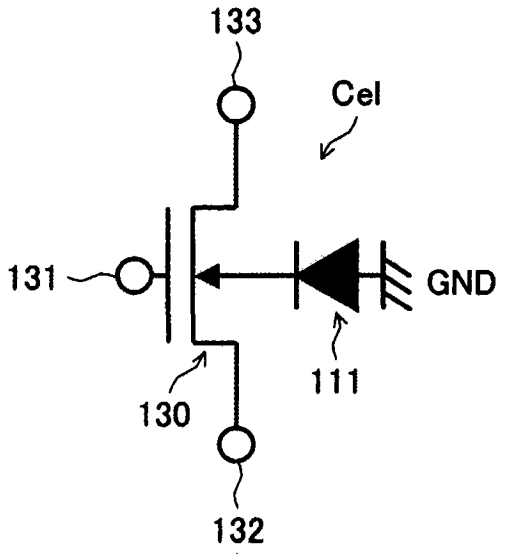

133
Cel
131
GND
111
130
132

图 3

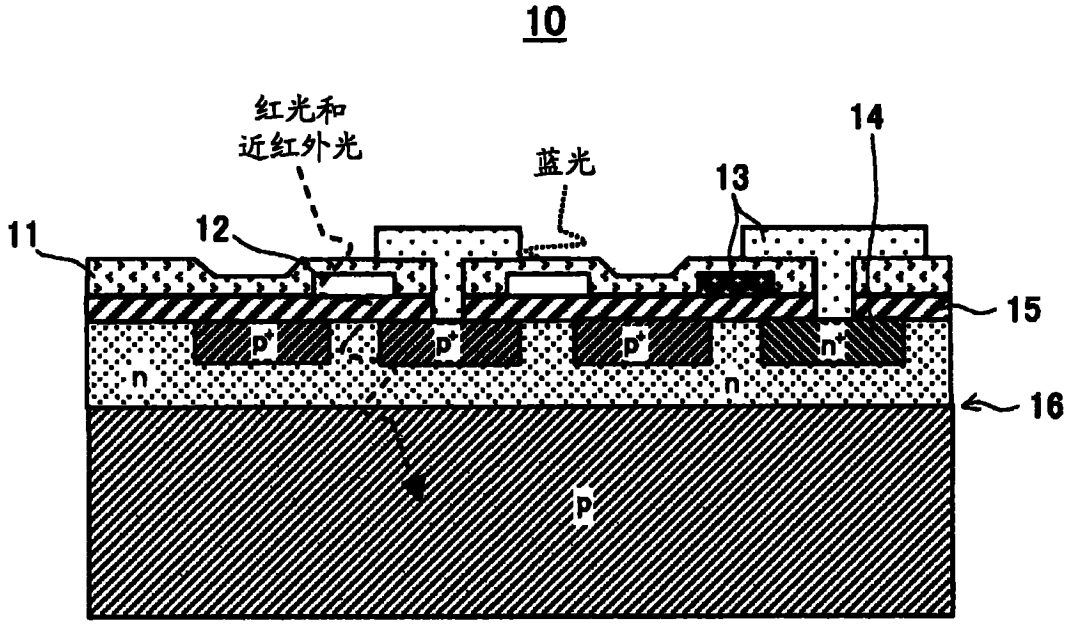

在前照 BMCD 的情况下
10
红光和
近红外光
蓝光
14
13
11
12
15
p+
p+
p+
n+
n
n
16
p

图 4

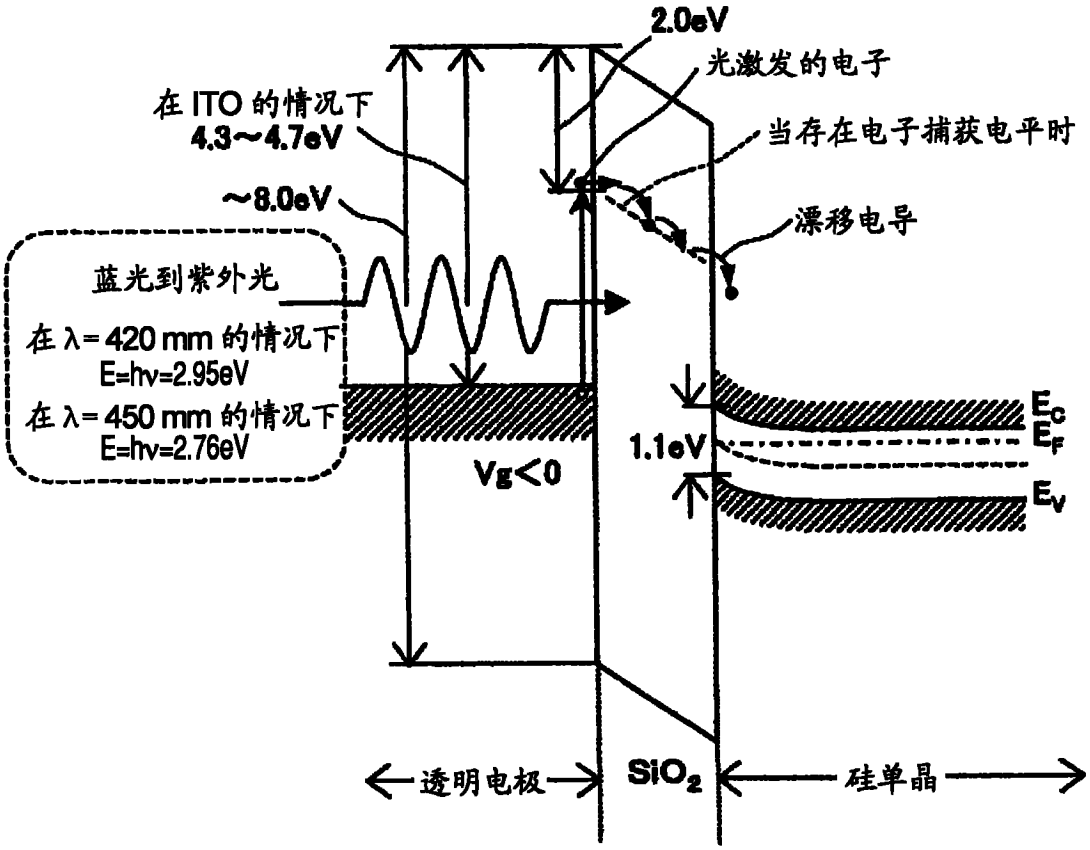

2.0eV
光激发的电子
在 ITO 的情况下
4.3～4.7eV
当存在电子捕获电平时
～8.0eV
漂移电导
蓝光到紫外光
在 λ= 420 mm 的情况下
E=hν=2.95eV
在 λ= 450 mm 的情况下
E=hν=2.76eV
Ec
EF
1.1eV
Vg<0
Ev
透明电极
SiO2
硅单晶

图 5

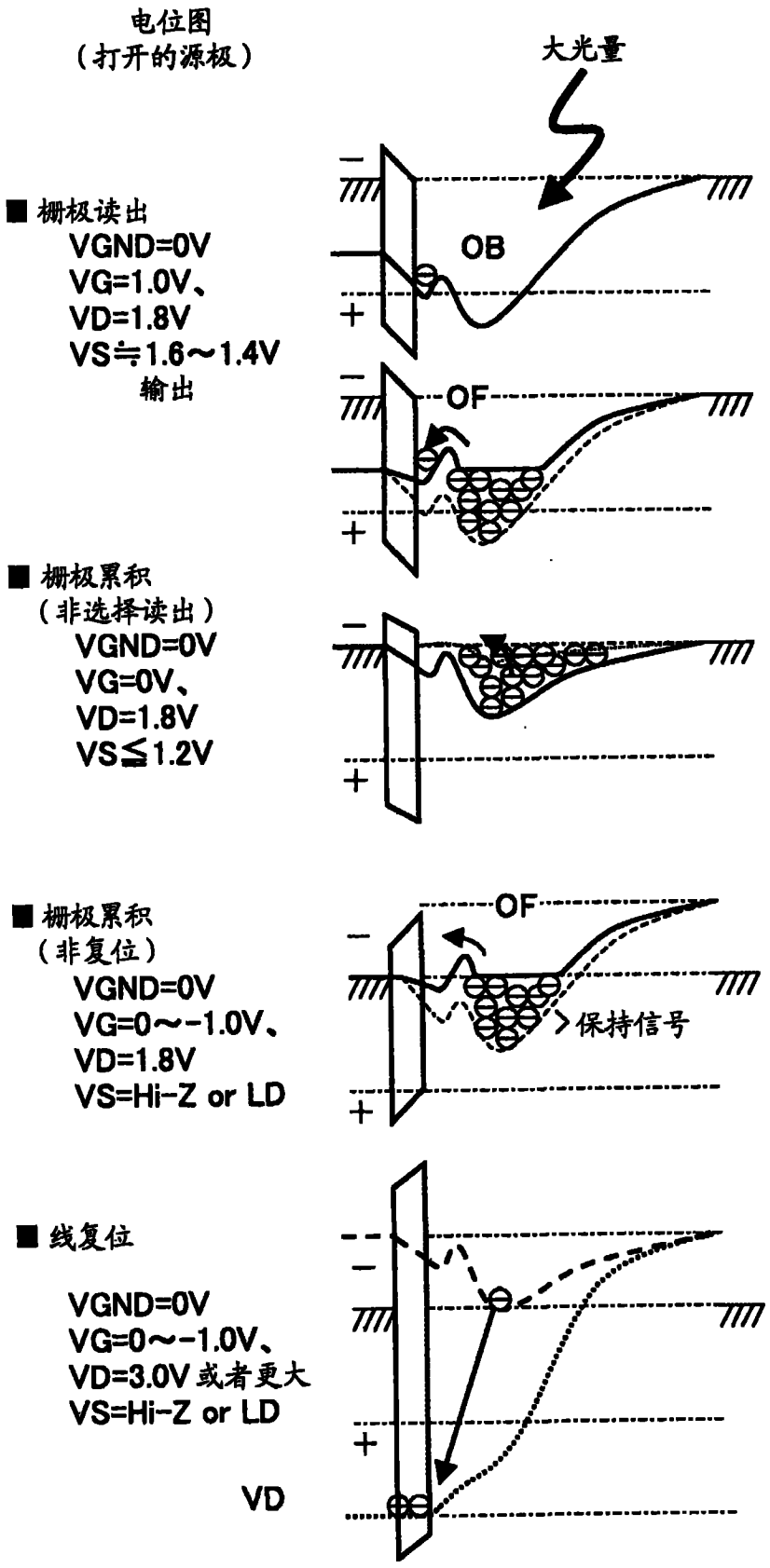
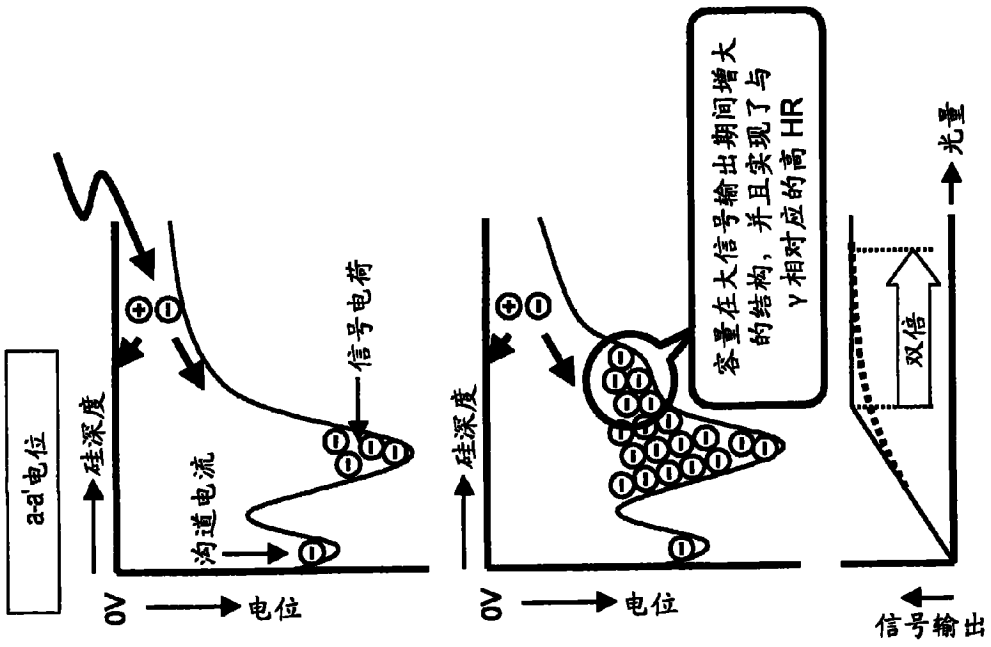

电位图
（打开的源极）
大光量
■ 栅极读出
VGND=0V
VG=1.0V、
VD=1.8V
VS≒1.6～1.4V
输出
OB
OF
■ 栅极累积
（非选择读出）
VGND=0V
VG=0V、
VD=1.8V
VS≦1.2V
■ 栅极累积
（非复位）
VGND=0V
VG=0～-1.0V、
VD=1.8V
VS=Hi-Z or LD
OF
保持信号
■ 线复位
VGND=0V
VG=0～-1.0V、
VD=3.0V 或者更大
VS=Hi-Z or LD
VD

图 6


a-a'电位
硅深度
沟道电流
信号电荷
0V
电位
硅深度
0V
电位
容量在大信号输出期间增大的结构，并且实现了与γ相对应的高HR
双倍
光量
信号输出

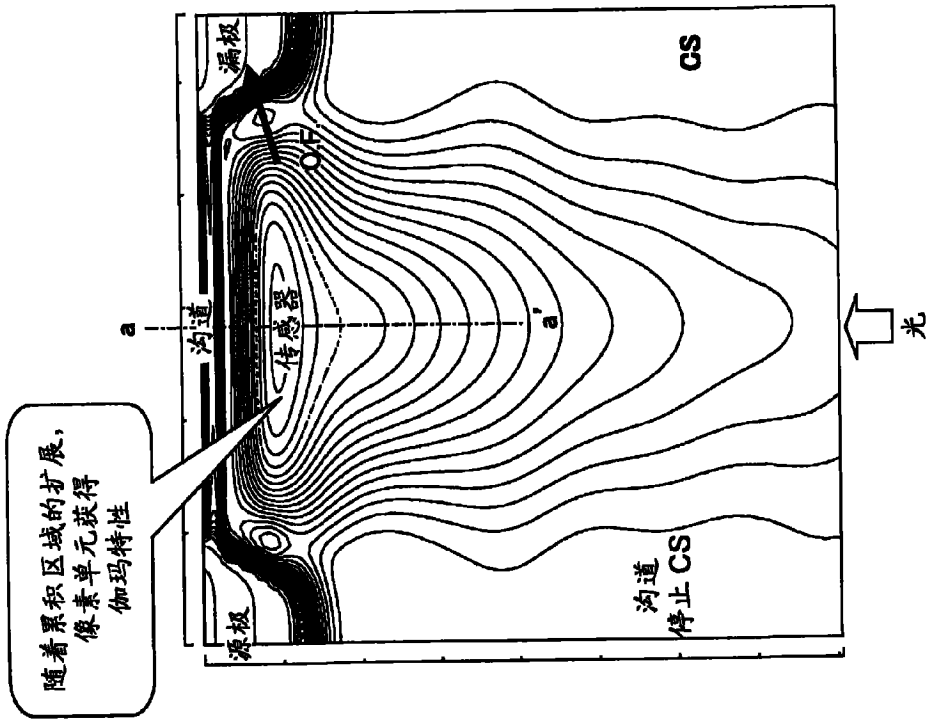

随着累积区域的扩展，像素单元获得伽玛特性
a
沟道
源极
漏极
传感器
O.F
a'
CS
沟道停止CS
光

图 7

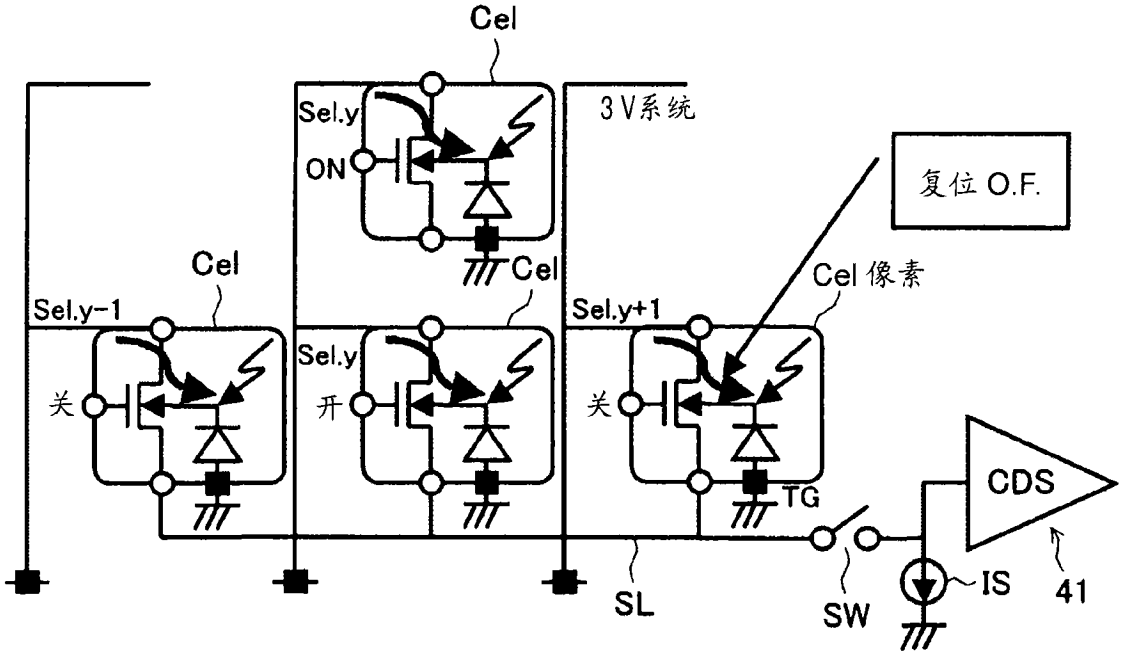

Cel
Sel.y
ON
3 V系统
复位 O.F.
Cel
Cel
Cel 像素
Sel.y-1
Sel.y+1
Sel.y
关
开
关
TG
CDS
SL
SW
IS
41

图 8

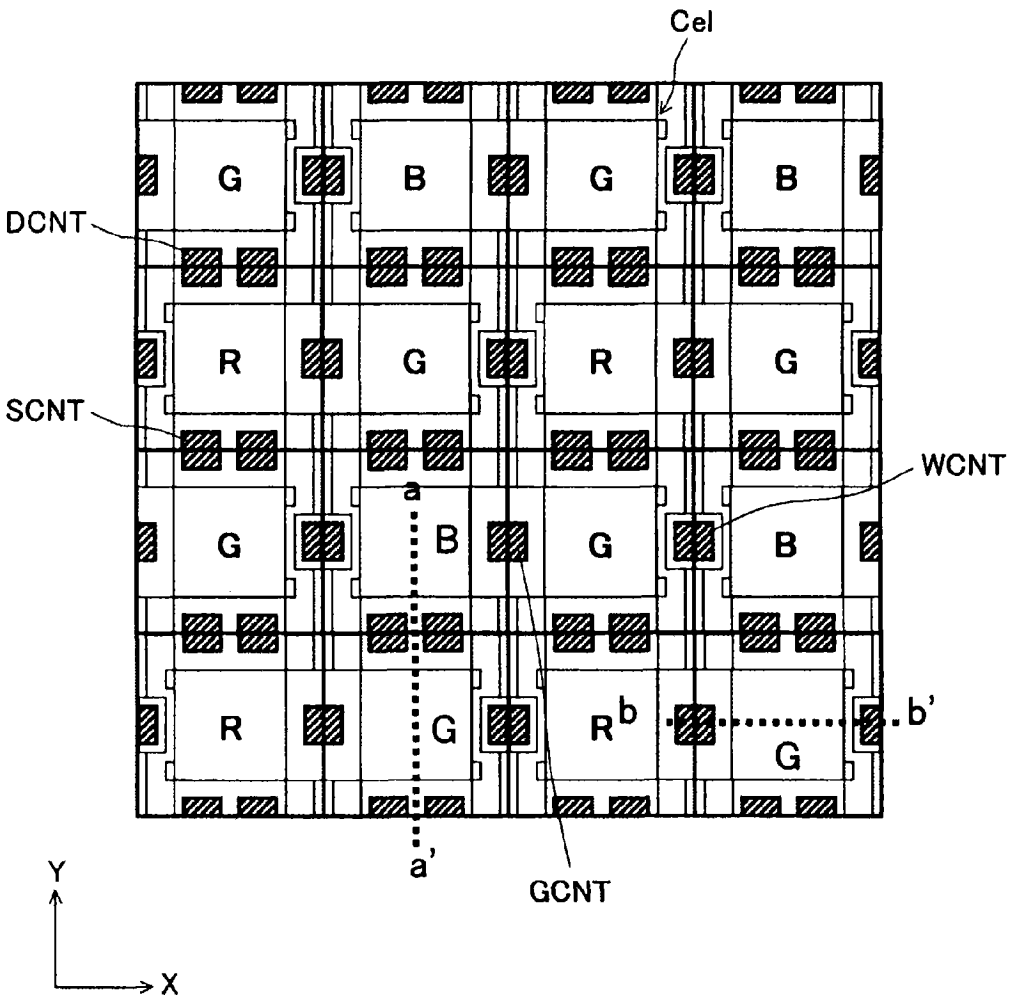


图 9

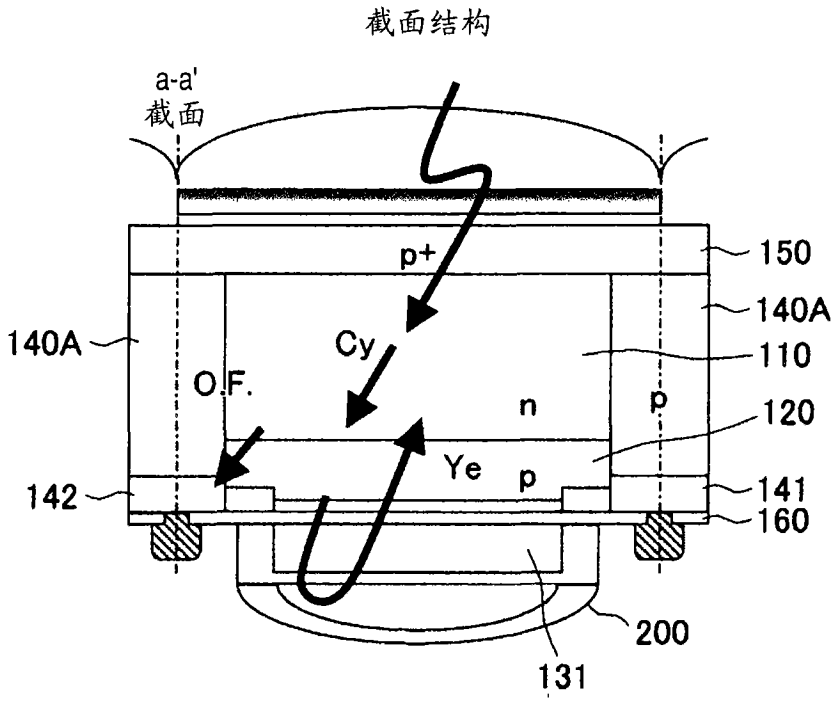

截面结构
a-a'
截面
p+
150
140A
140A
Cy
110
O.F.
n
p
120
Ye
p
142
141
160
200
131

图 10A

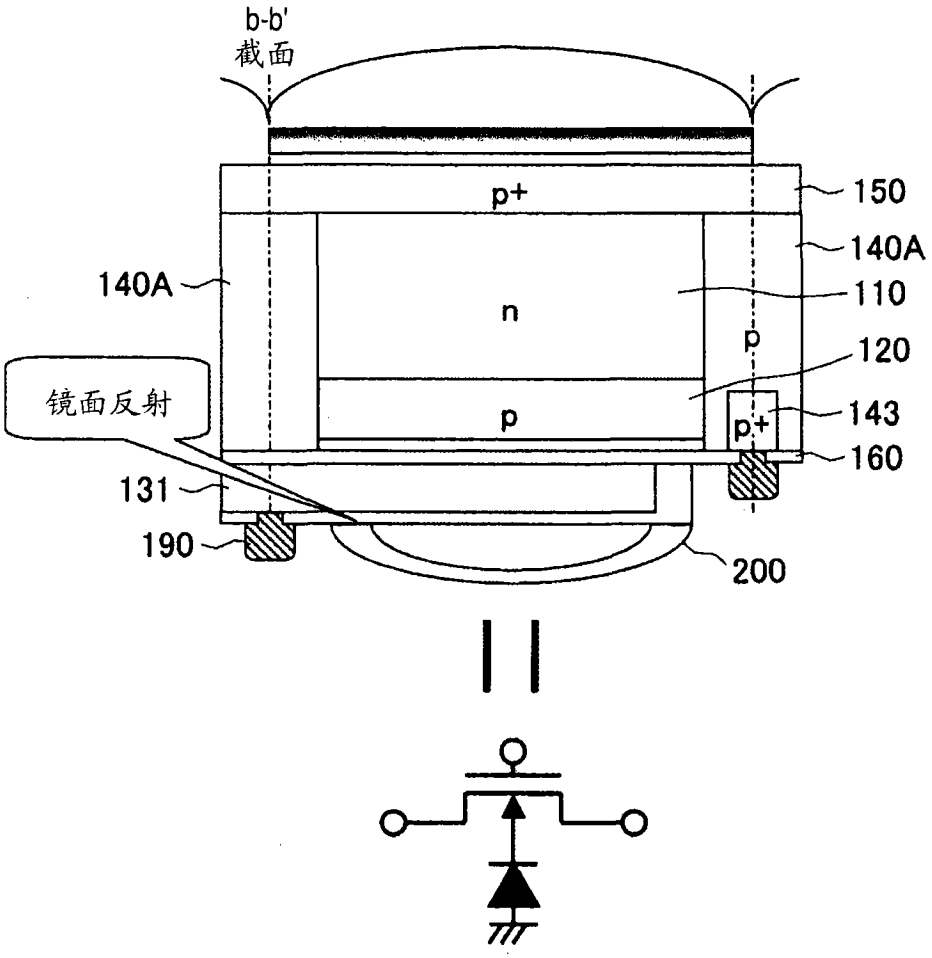


图 10B

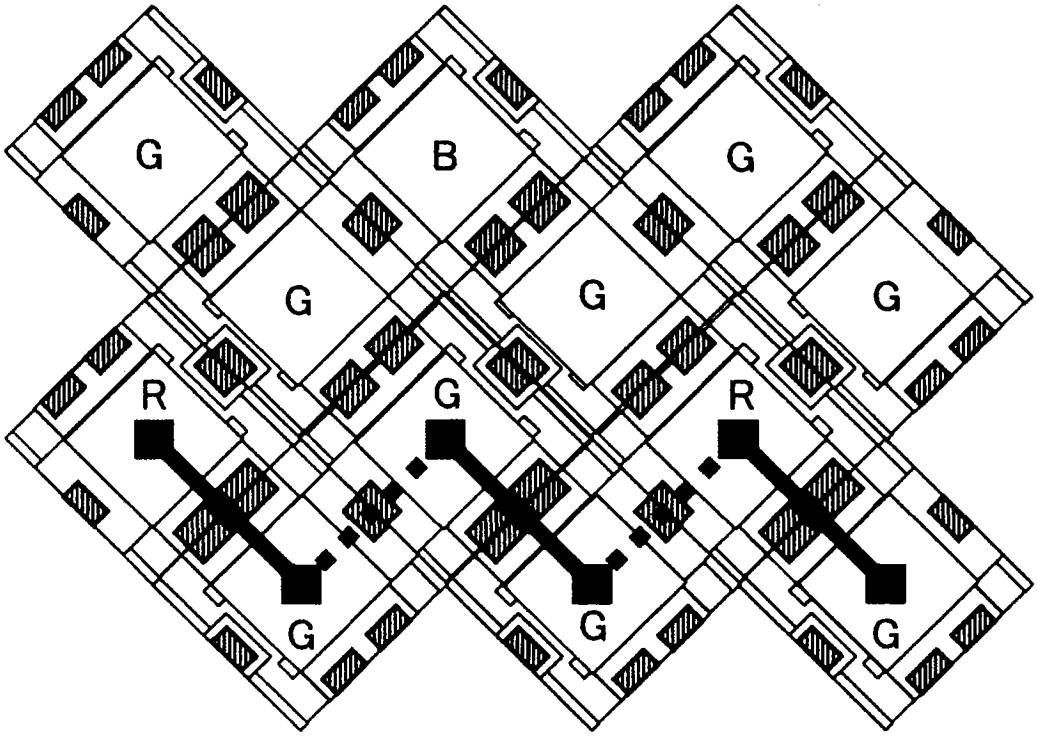


图 11

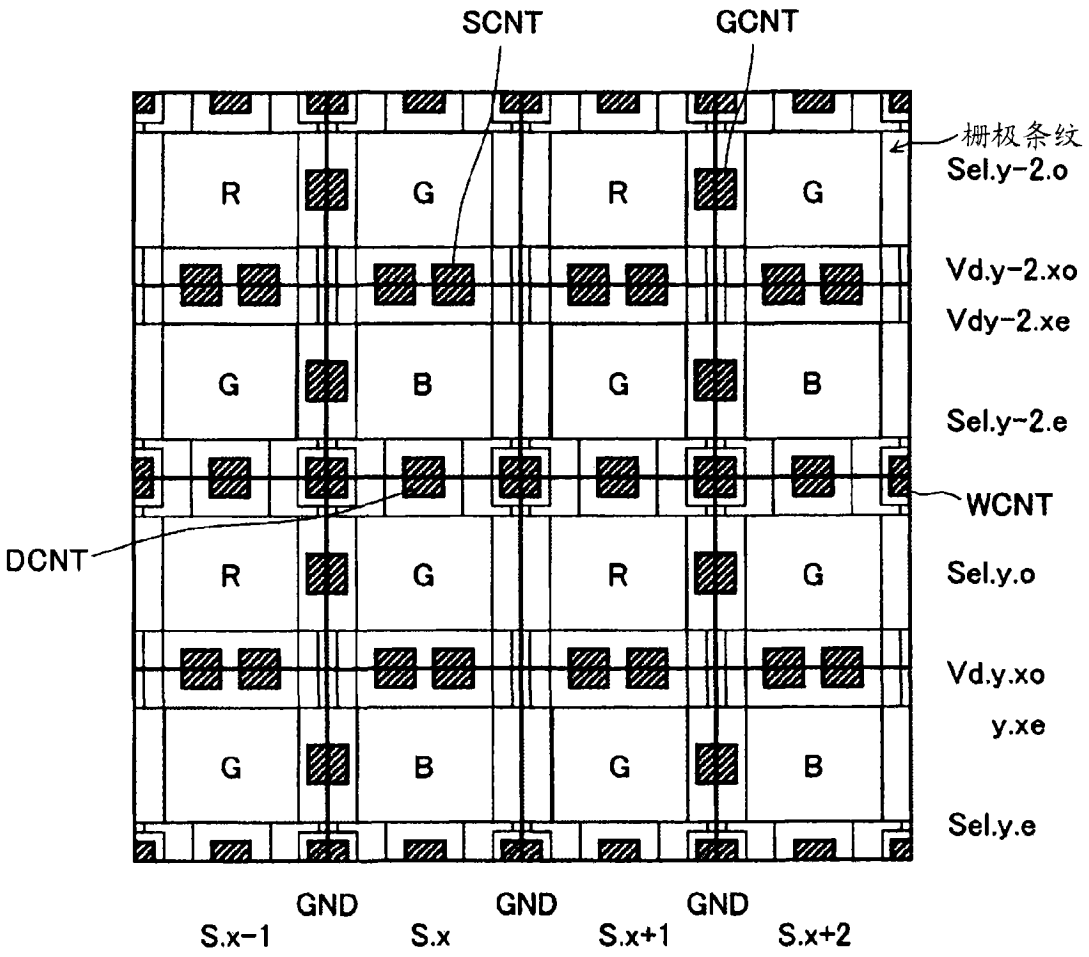

SCNT
GCNT
栅极条纹
Sel.y-2.o
R
G
R
G
Vd.y-2.xo
Vdy-2.xe
G
B
G
B
Sel.y-2.e
WCNT
DCNT
R
G
R
G
Sel.y.o
Vd.y.xo
y.xe
G
B
G
B
Sel.y.e
GND
GND
GND
S.x-1
S.x
S.x+1
S.x+2

图 12

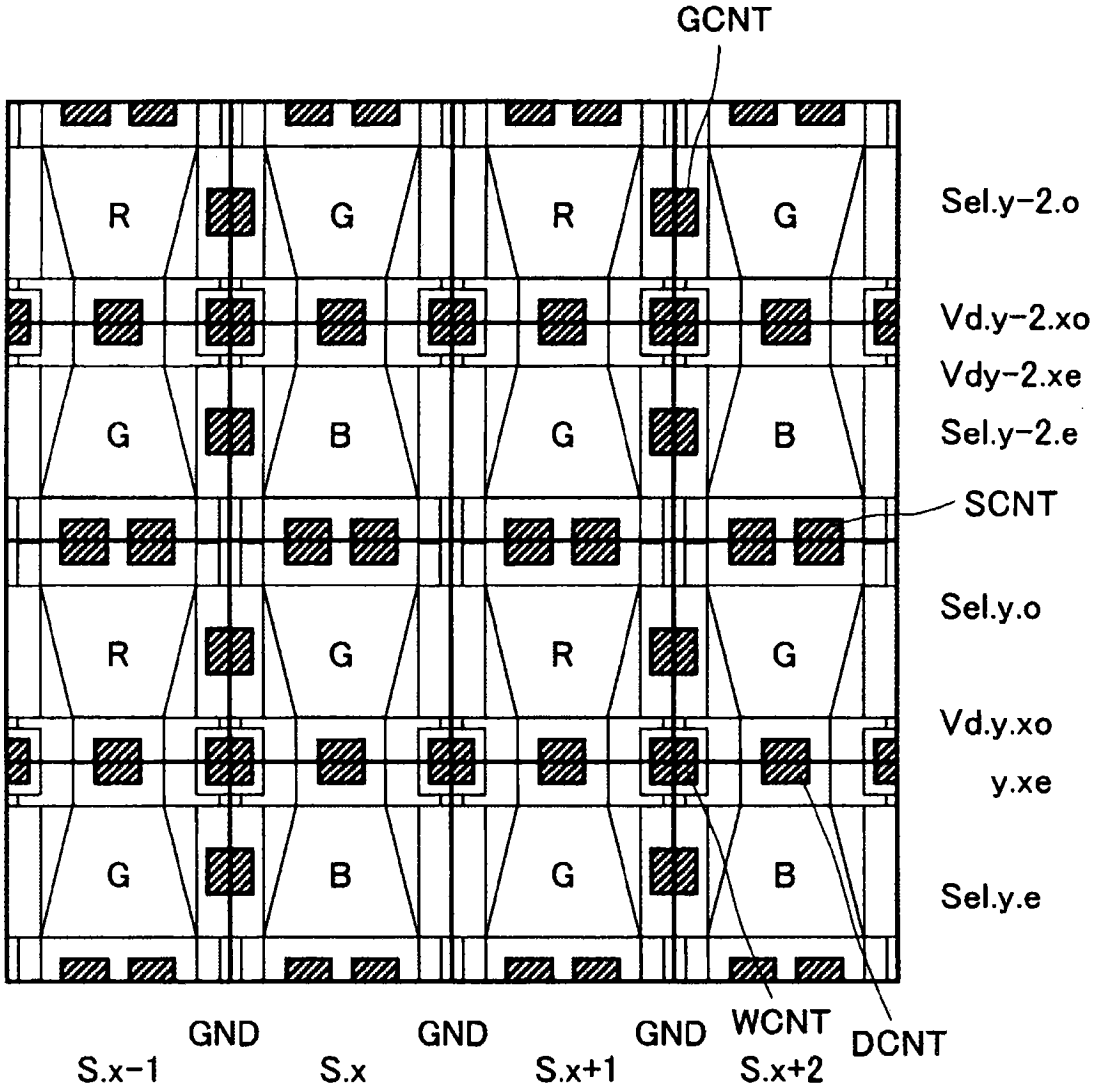

GCNT
R
G
R
G
Sel.y-2.o
Vd.y-2.xo
Vdy-2.xe
G
B
G
B
Sel.y-2.e
SCNT
Sel.y.o
R
G
R
G
Vd.y.xo
y.xe
G
B
G
B
Sel.y.e
GND
GND
GND
WCNT
DCNT
S.x-1
S.x
S.x+1
S.x+2

图 13

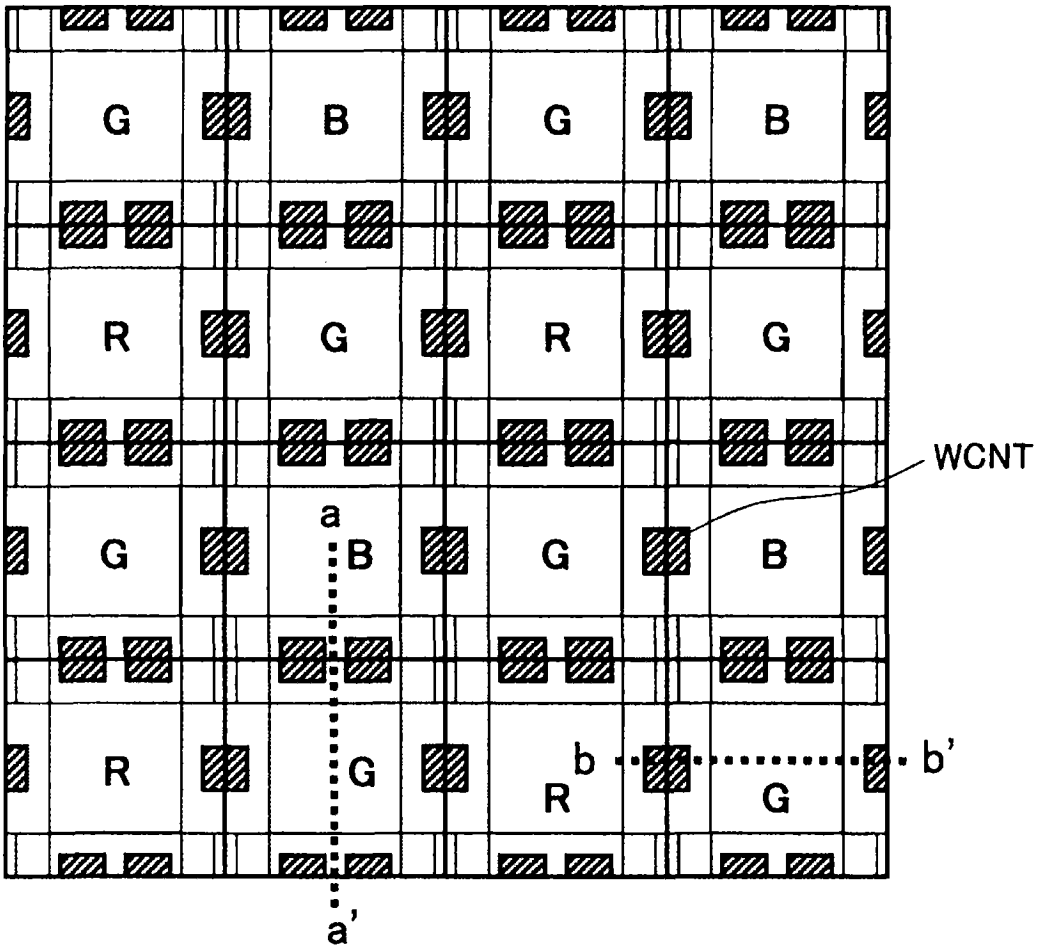


图 14

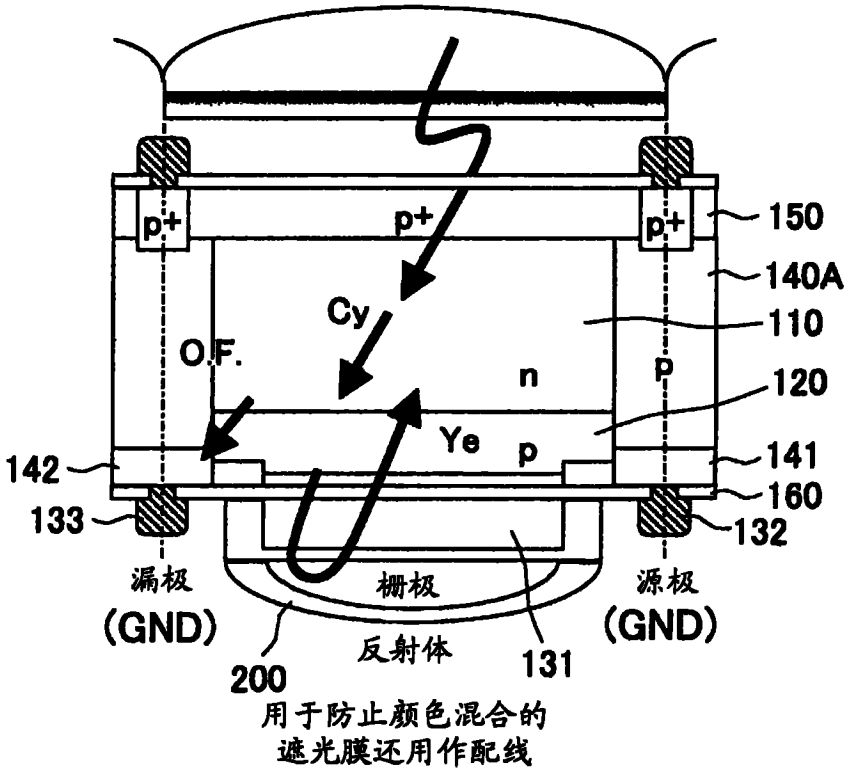

p+
p+
p+
150
140A
110
Cy
O.F.
n
p
120
Ye
p
142
141
160
133
132
漏极
(GND)
栅极
源极
(GND)
200
反射体
131
用于防止颜色混合的
遮光膜还用作配线

图 15A

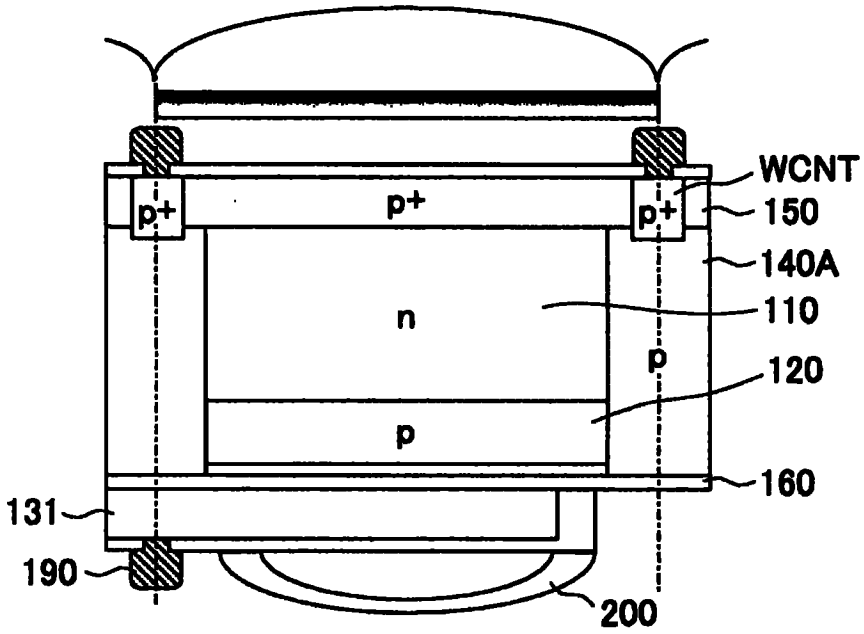

WCNT
p+
p+
150
140A
n
110
p
120
p
160
131
190
200

图 15B

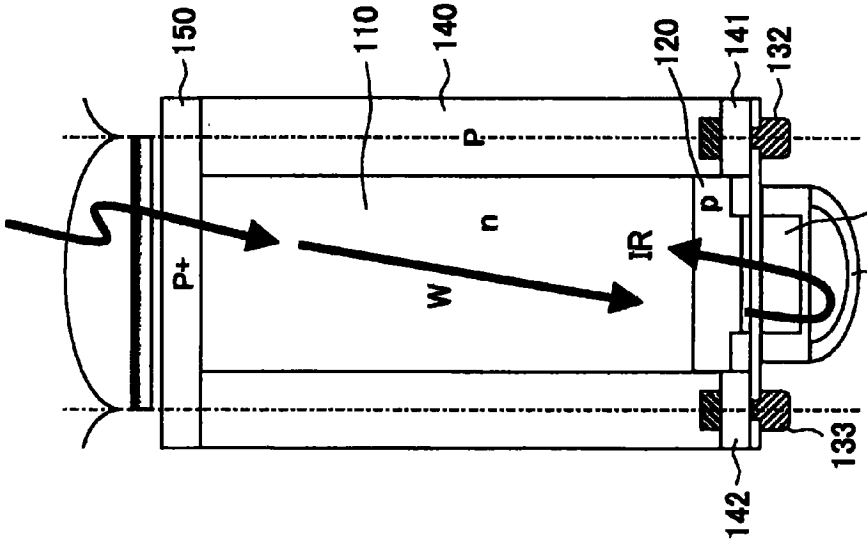

150
110
140
120
141
132
P
P+
n
W
IR
p
131
200
133
142

图 16A

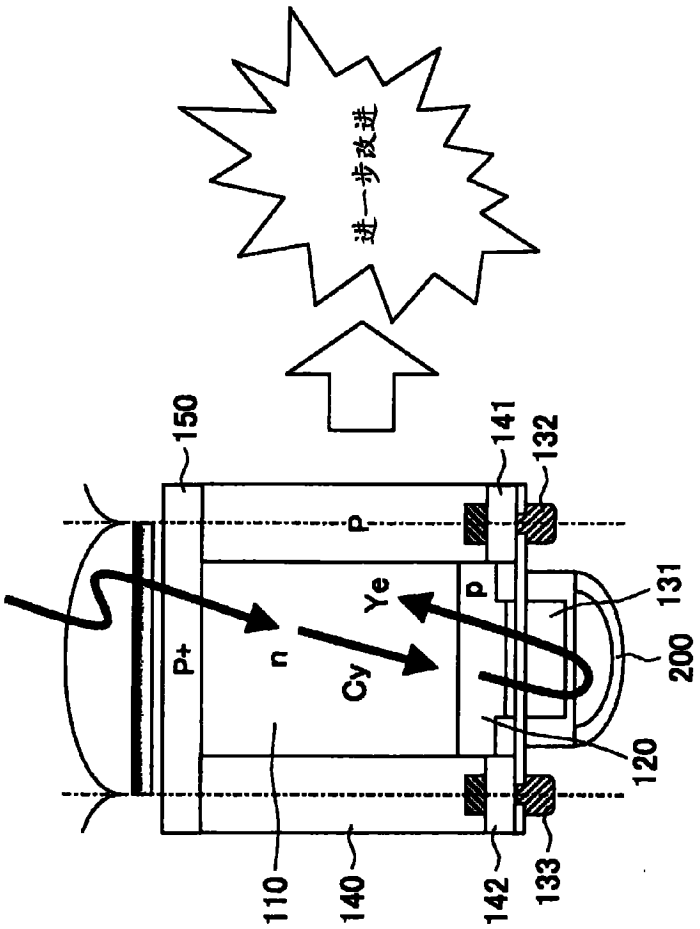

进一步改进
150
141
132
P
P+
n
Cy
Ye
p
131
200
120
110
140
142
133

图 16B

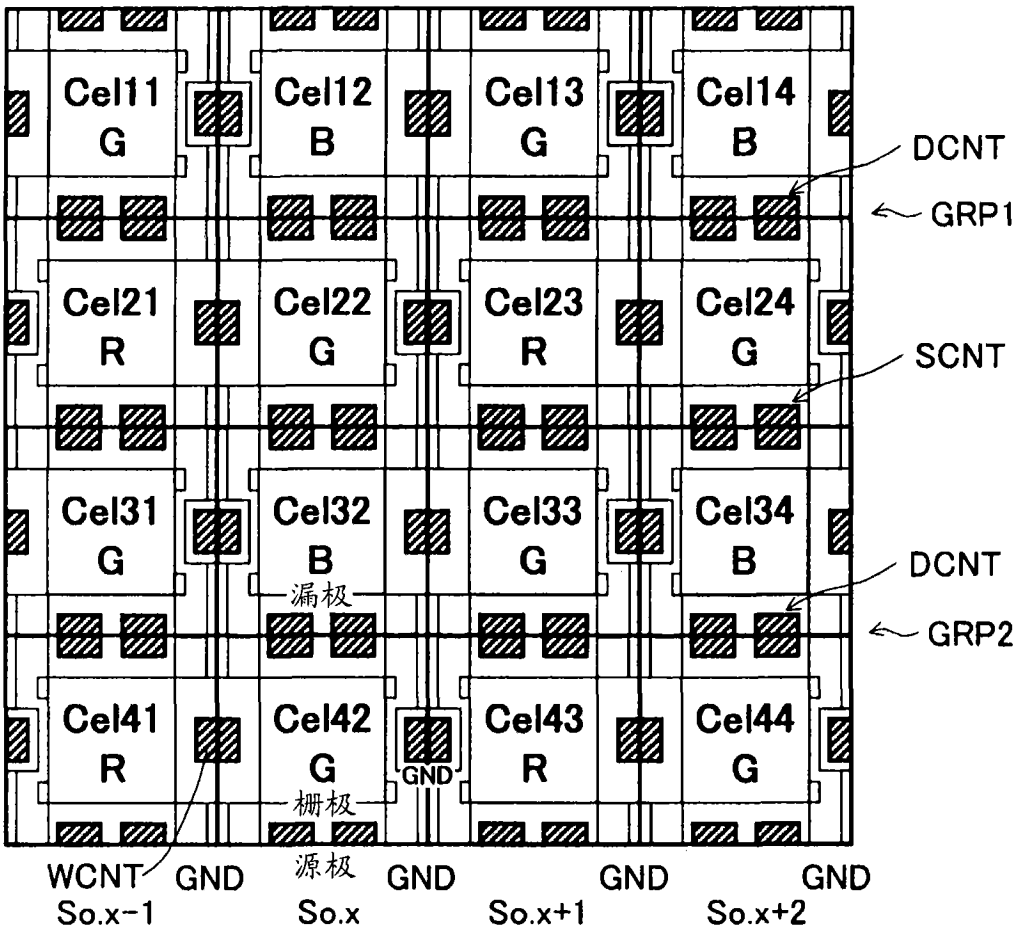

Cel11
G
Cel12
B
Cel13
G
Cel14
B
DCNT
GRP1
Cel21
R
Cel22
G
Cel23
R
Cel24
G
SCNT
Cel31
G
Cel32
B
Cel33
G
Cel34
B
DCNT
漏极
GRP2
Cel41
R
Cel42
G
GND
Cel43
R
Cel44
G
栅极
WCNT
GND
源极
GND
GND
GND
So.x-1
So.x
So.x+1
So.x+2

图 17A

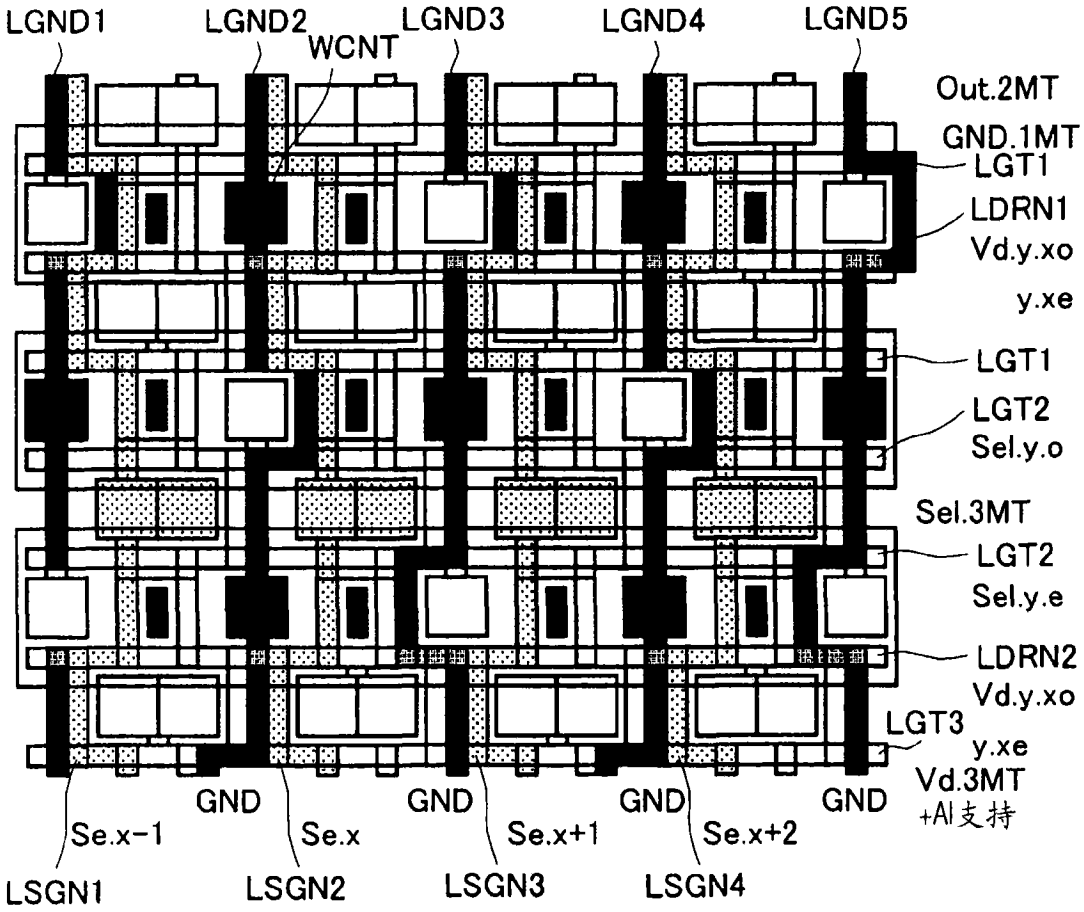

LGND1
LGND2
WCNT
LGND3
LGND4
LGND5
Out.2MT
GND.1MT
LGT1
LDRN1
Vd.y.xo
y.xe
LGT1
LGT2
Sel.y.o
Sel.3MT
LGT2
Sel.y.e
LDRN2
Vd.y.xo
LGT3
y.xe
Vd.3MT
+Al支持
GND
GND
GND
GND
Se.x-1
Se.x
Se.x+1
Se.x+2
LSGN1
LSGN2
LSGN3
LSGN4

图 17B

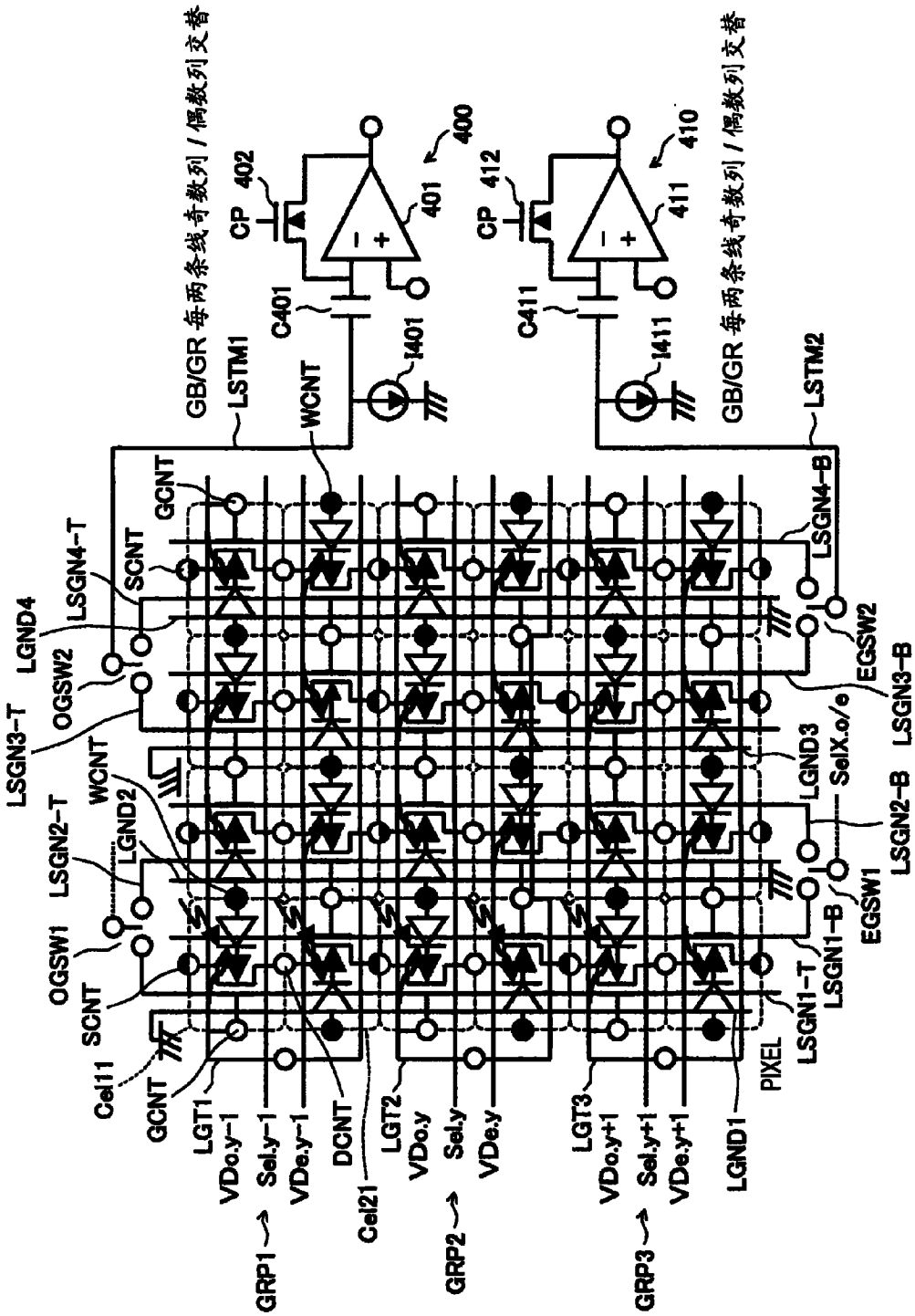

GB/GR 每两条线奇数列 / 偶数列交替
LSTM1
WCNT
CP 402
C401
I401
400
401
CP 412
C411
I411
410
411
GB/GR 每两条线奇数列 / 偶数列交替
LSTM2
GCNT
SCNT
LSGN4-T
LGND4
OGSW2
LSGN3-T
WCNT
LGND2
LSGN2-T
OGSW1
SCNT
Cel11
GCNT
LGT1
VDo.y-1
Sel.y-1
VDe.y-1
DCNT
Cel21
LGT2
VDo.y
Sel.y
VDe.y
LGT3
VDo.y+1
Sel.y+1
VDe.y+1
LGND1
PIXEL
LSGN1-T
LSGN1-B
EGSW1
LSGN2-B
LGND3
SelX.o/e
LSGN3-B
EGSW2
LSGN4-B
GRP1
GRP2
GRP3

图 18

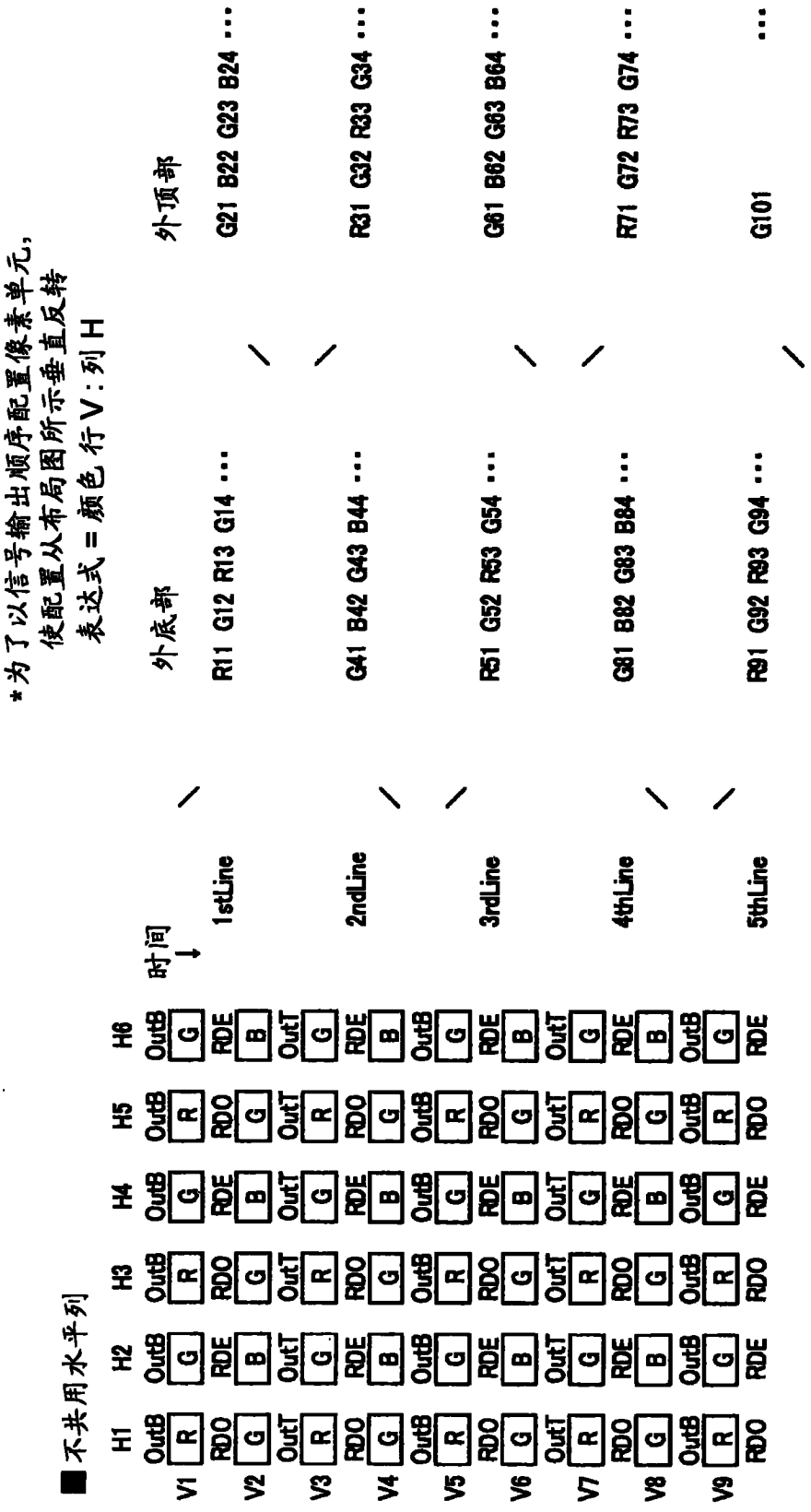

■不共用水平列
H1 H2 H3 H4 H5 H6
V1 V2 V3 V4 V5 V6 V7 V8 V9
OutB R RDO G OutT B RDE
时间
1stLine
2ndLine
3rdLine
4thLine
5thLine
*为了以信号输出顺序配置像素单元，
使配置从布局图所示垂直反转
表达式＝颜色 行V：列H
外底部
R11 G12 R13 G14 ...
G41 B42 G43 B44 ...
R51 G52 R53 G54 ...
G81 B82 G83 B84 ...
R91 G92 R93 G94 ...
外顶部
G21 B22 G23 B24 ...
R31 G32 R33 G34 ...
G61 B62 G63 B64 ...
R71 G72 R73 G74 ...
G101 ...

图 19A

■共用水平列

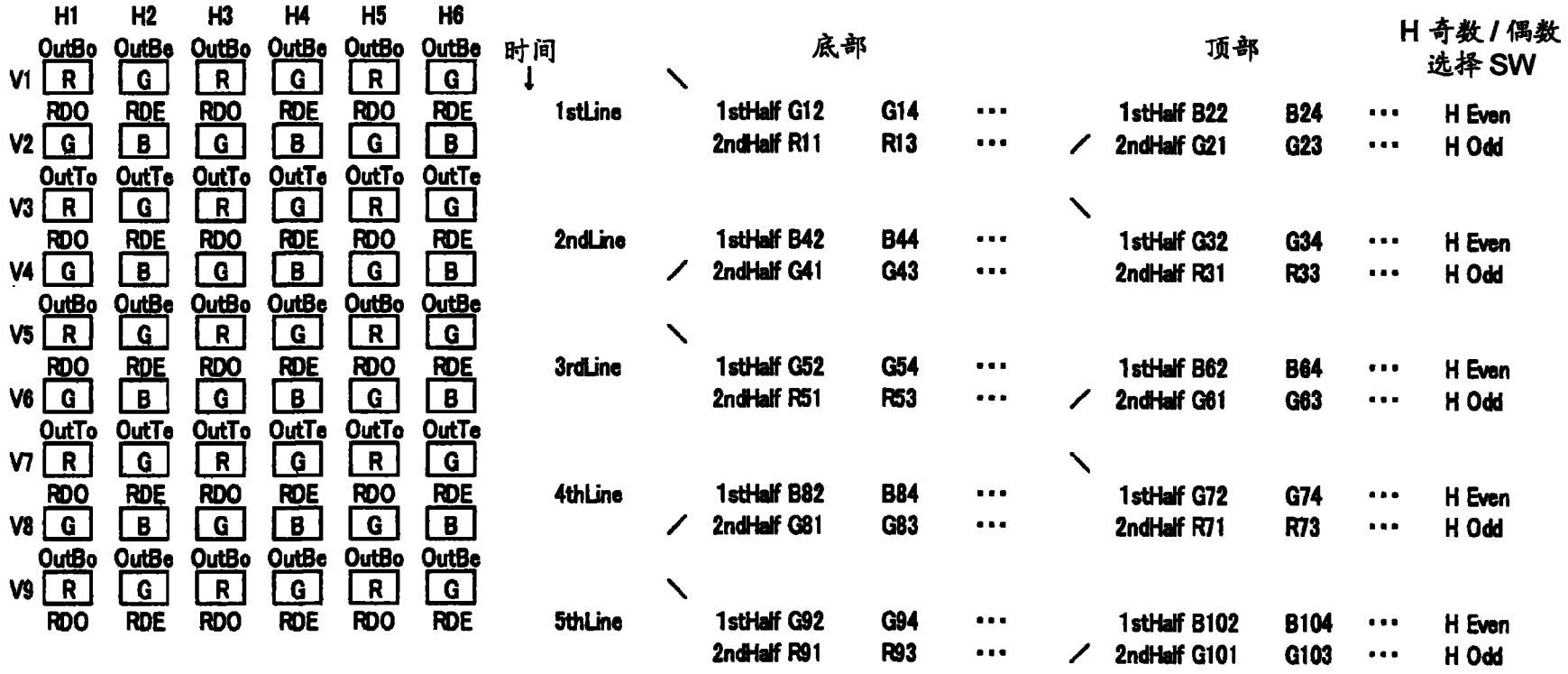

H1 H2 H3 H4 H5 H6
OutBo OutBe OutBo OutBe OutBo OutBe
V1 R G R G R G
RDO RDE RDO RDE RDO RDE
V2 G B G B G B
OutTo OutTe OutTo OutTe OutTo OutTe
V3 R G R G R G
RDO RDE RDO RDE RDO RDE
V4 G B G B G B
OutBo OutBe OutBo OutBe OutBo OutBe
V5 R G R G R G
RDO RDE RDO RDE RDO RDE
V6 G B G B G B
OutTo OutTe OutTo OutTe OutTo OutTe
V7 R G R G R G
RDO RDE RDO RDE RDO RDE
V8 G B G B G B
OutBo OutBe OutBo OutBe OutBo OutBe
V9 R G R G R G
RDO RDE RDO RDE RDO RDE
时间
底部
顶部
H 奇数 / 偶数 选择 SW
1stLine
1stHalf G12 G14 ··· 1stHalf B22 B24 ··· H Even
2ndHalf R11 R13 ··· 2ndHalf G21 G23 ··· H Odd
2ndLine
1stHalf B42 B44 ··· 1stHalf G32 G34 ··· H Even
2ndHalf G41 G43 ··· 2ndHalf R31 R33 ··· H Odd
3rdLine
1stHalf G52 G54 ··· 1stHalf B62 B64 ··· H Even
2ndHalf R51 R53 ··· 2ndHalf G61 G63 ··· H Odd
4thLine
1stHalf B82 B84 ··· 1stHalf G72 G74 ··· H Even
2ndHalf G81 G83 ··· 2ndHalf R71 R73 ··· H Odd
5thLine
1stHalf G92 G94 ··· 1stHalf B102 B104 ··· H Even
2ndHalf R91 R93 ··· 2ndHalf G101 G103 ··· H Odd

图 19B

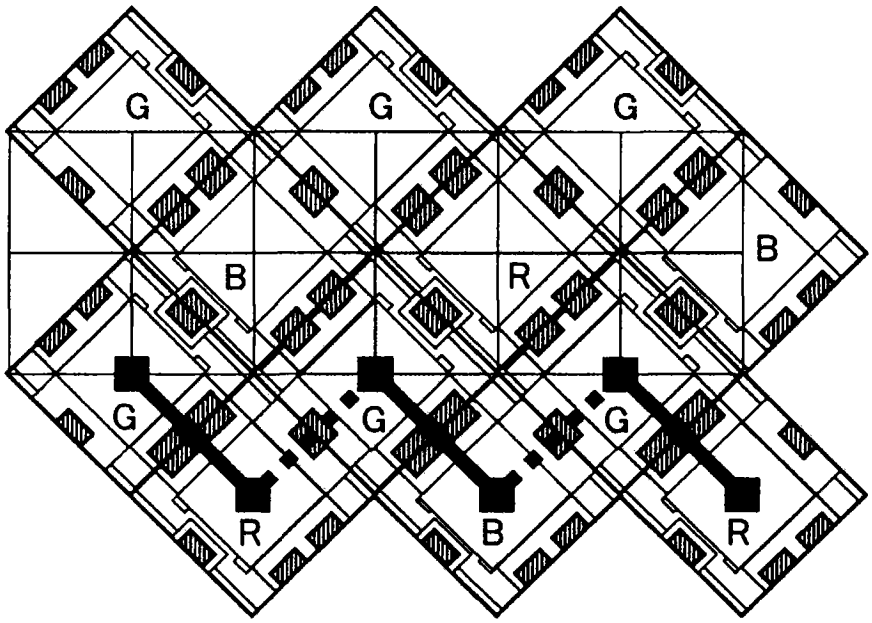

G
G
G
B
R
B
G
G
G
R
B
R

图 20A

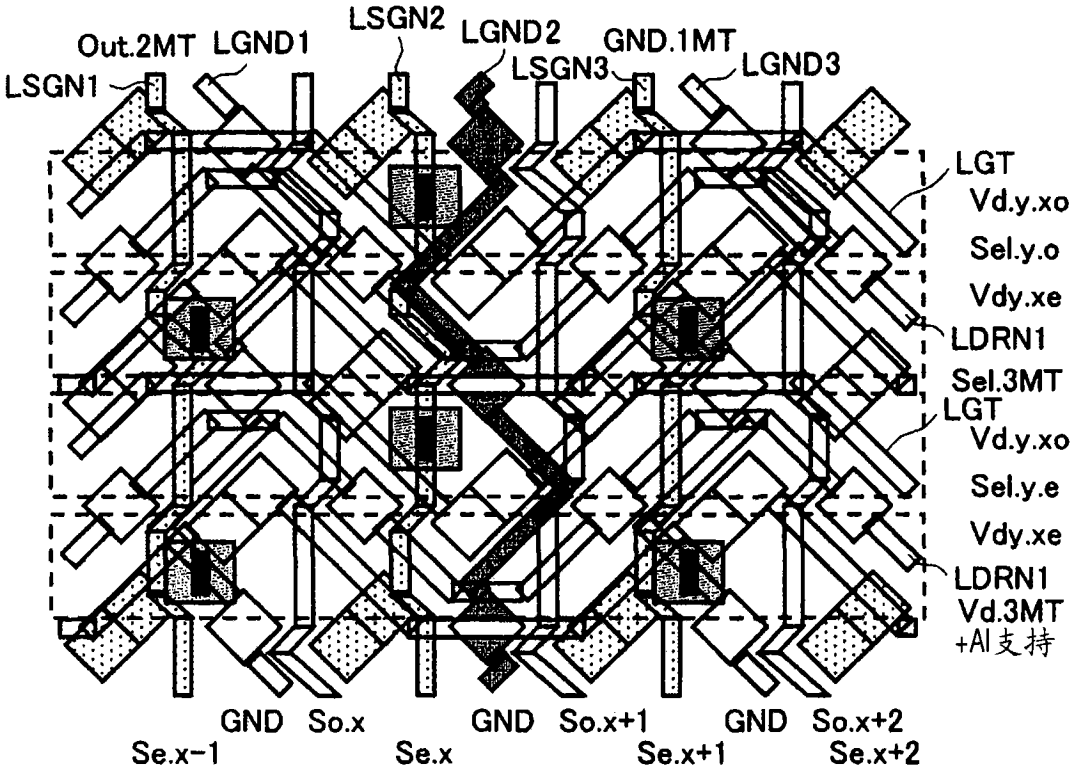

Out.2MT
LGND1
LSGN2
LGND2
GND.1MT
LSGN1
LSGN3
LGND3
LGT
Vd.y.xo
Sel.y.o
Vdy.xe
LDRN1
Sel.3MT
LGT
Vd.y.xo
Sel.y.e
Vdy.xe
LDRN1
Vd.3MT
+Al支持
GND
So.x
GND
So.x+1
GND
So.x+2
Se.x-1
Se.x
Se.x+1
Se.x+2

图 20B

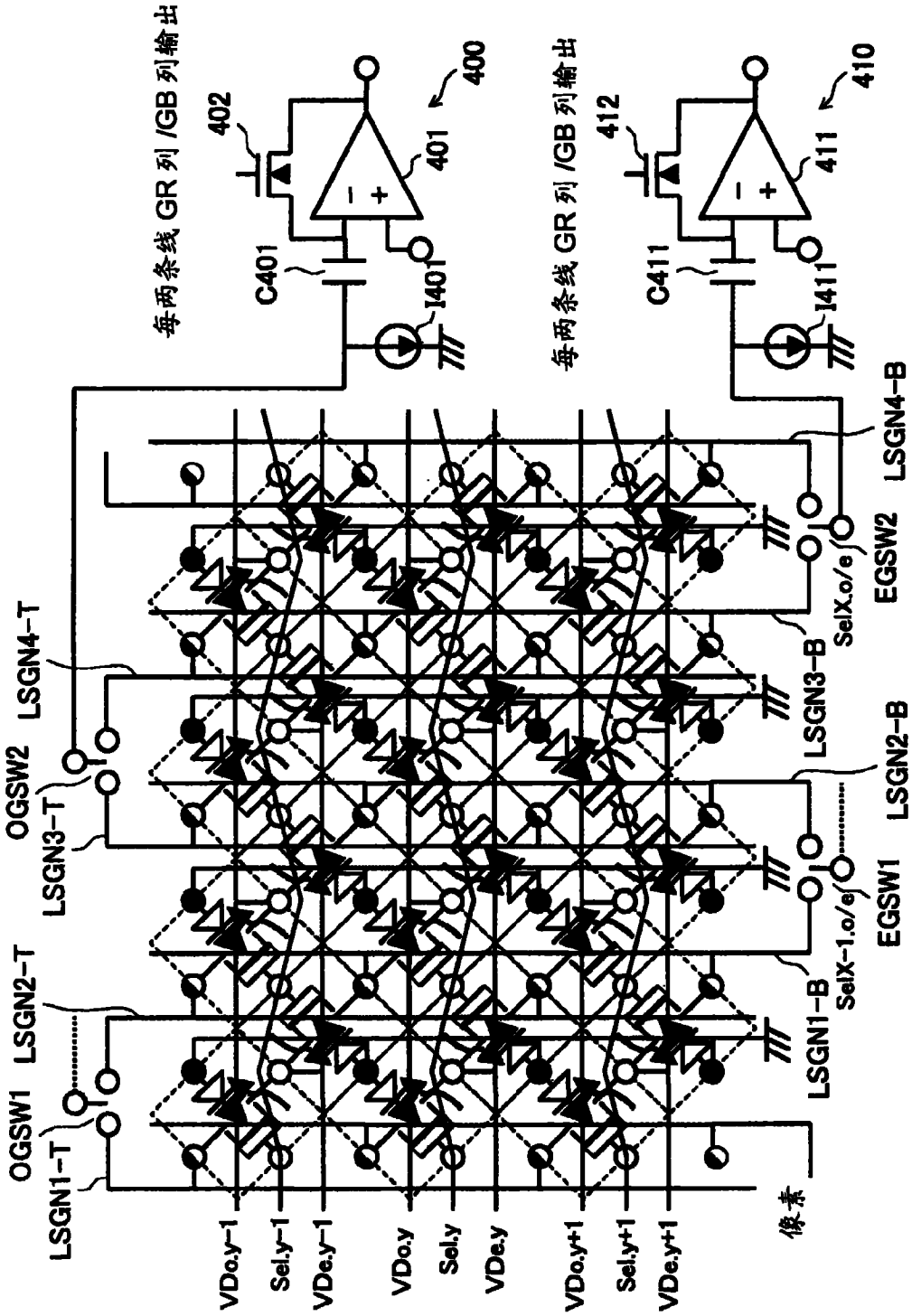

每两条线 GR 列 /GB 列输出
402
400
401
C401
I401
每两条线 GR 列 /GB 列输出
412
410
411
C411
I411
LSGN4-B
EGSW2
SelX.o/e
LSGN3-B
LSGN2-B
EGSW1
SelX-1.o/e
LSGN1-B
LSGN4-T
OGSW2
LSGN3-T
LSGN2-T
OGSW1
LSGN1-T
VDo.y-1
Sel.y-1
VDe.y-1
VDo.y
Sel.y
VDe.y
VDo.y+1
Sel.y+1
VDe.y+1
像素

图 21

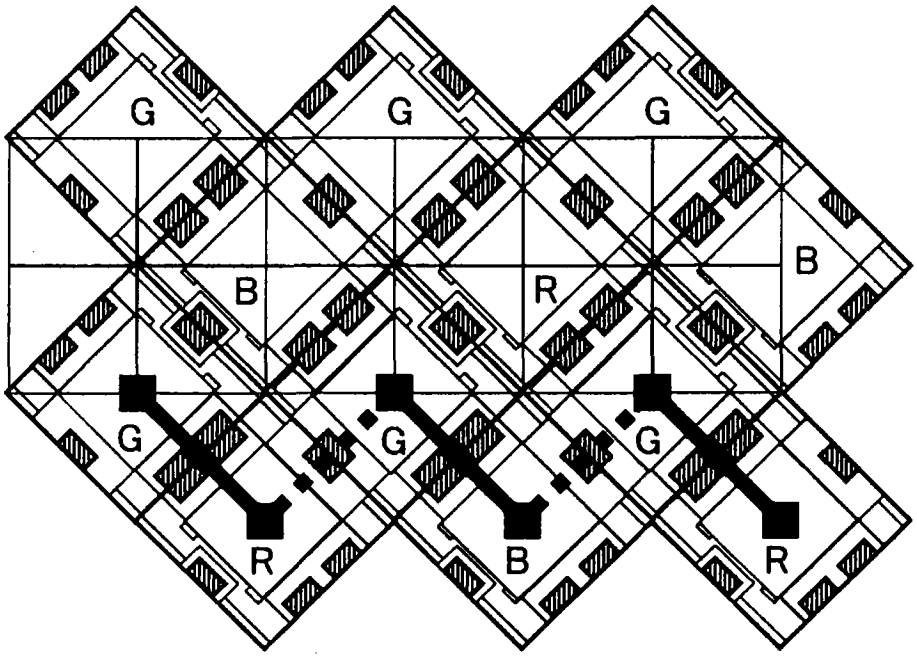

G
G
G
B
R
B
G
G
G
R
B
R

图 22A

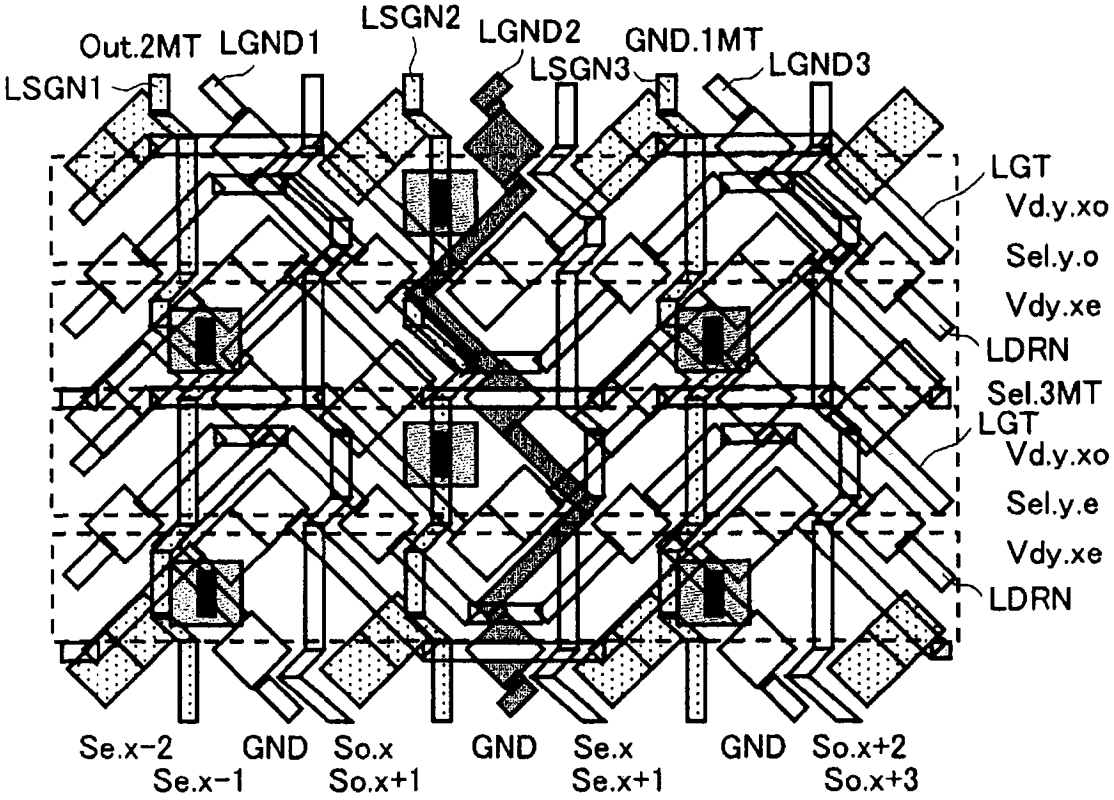

Out.2MT
LGND1
LSGN2
LGND2
GND.1MT
LSGN1
LSGN3
LGND3
LGT
Vd.y.xo
Sel.y.o
Vdy.xe
LDRN
Sel.3MT
LGT
Vd.y.xo
Sel.y.e
Vdy.xe
LDRN
Se.x-2
Se.x-1
GND
So.x
So.x+1
GND
Se.x
Se.x+1
GND
So.x+2
So.x+3

图 22B

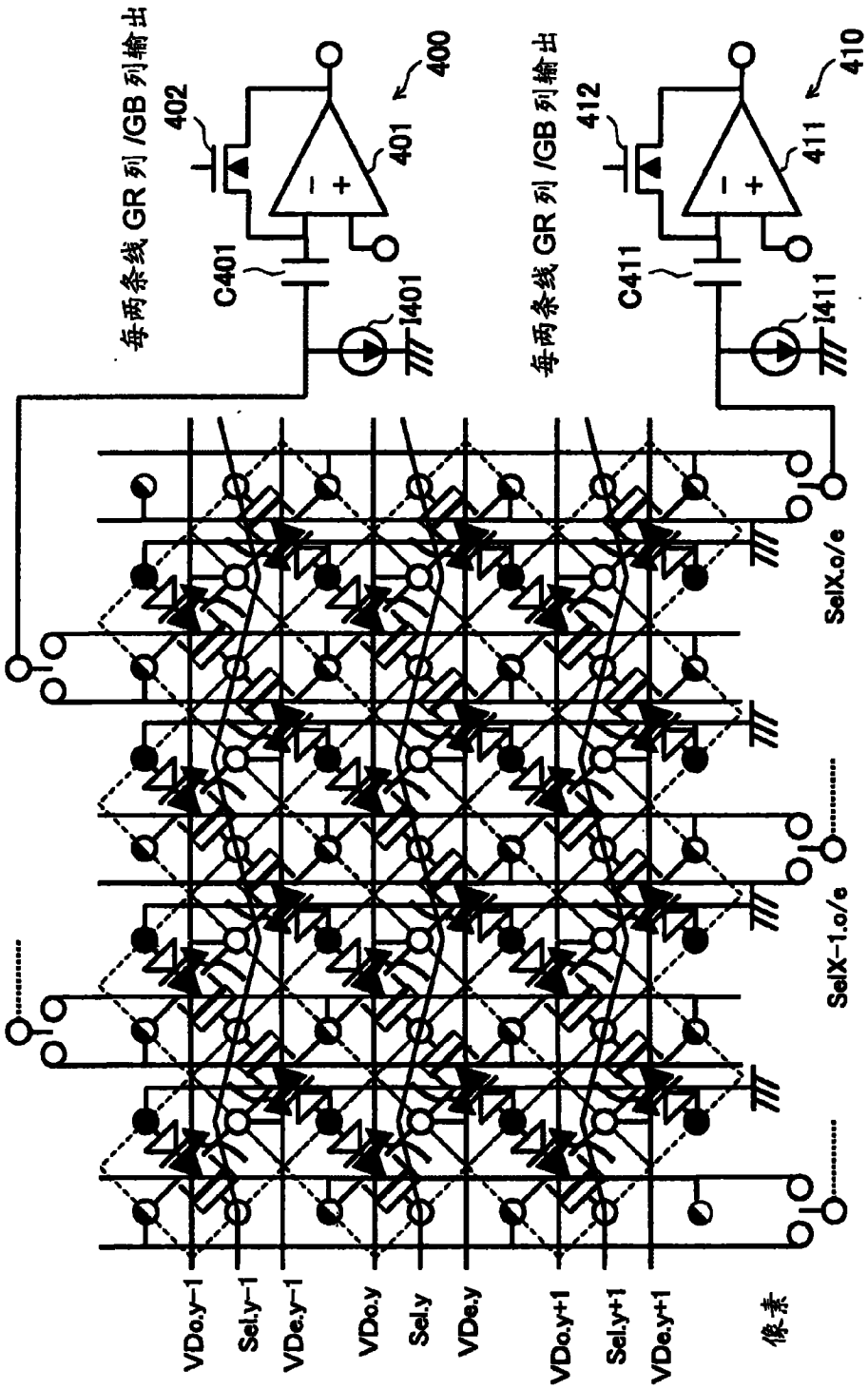

每两条线 GR 列 /GB 列输出
402
400
401
C401
i401
每两条线 GR 列 /GB 列输出
412
410
411
C411
i411
SelX.o/e
SelX-1.o/e
VDo.y-1
Sel.y-1
VDe.y-1
VDo.y
Sel.y
VDe.y
VDo.y+1
Sel.y+1
VDe.y+1
像素

图 23

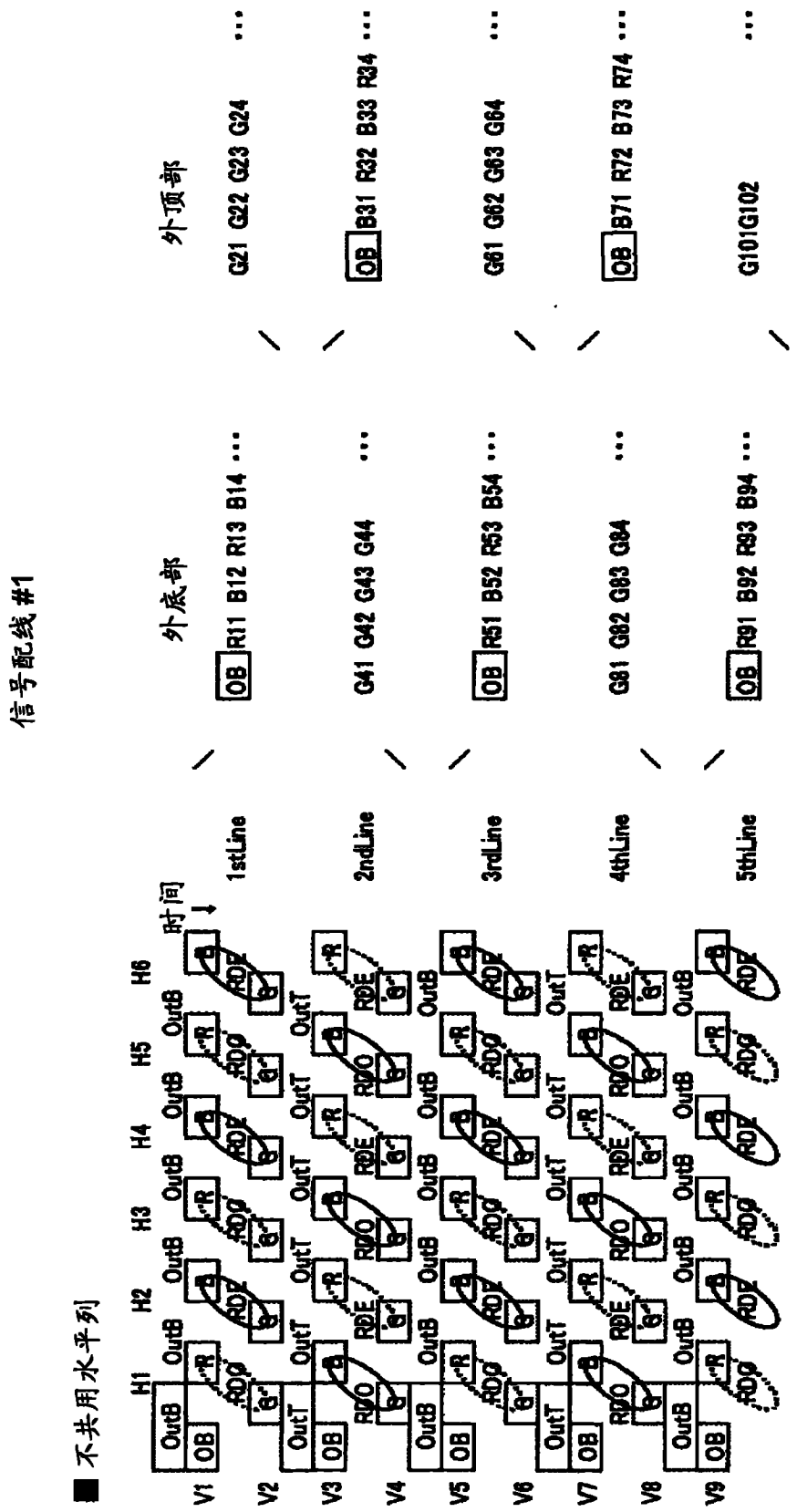

■ 不共用水平列
信号配线#1
外底部
外顶部
时间
H1
H2
H3
H4
H5
H6
V1
V2
V3
V4
V5
V6
V7
V8
V9
OutB
OutT
OB
RDO
RDE
RDG
RDF
1stLine
2ndLine
3rdLine
4thLine
5thLine
OB R11 B12 R13 B14 ...
G21 G22 G23 G24 ...
G41 G42 G43 G44 ...
OB B31 R32 B33 R34 ...
G61 G62 G63 G64 ...
OB R51 B52 R53 B54 ...
OB B71 R72 B73 R74 ...
G81 G82 G83 G84 ...
OB R91 B92 R93 B94 ...
G101G102 ...

图 24A

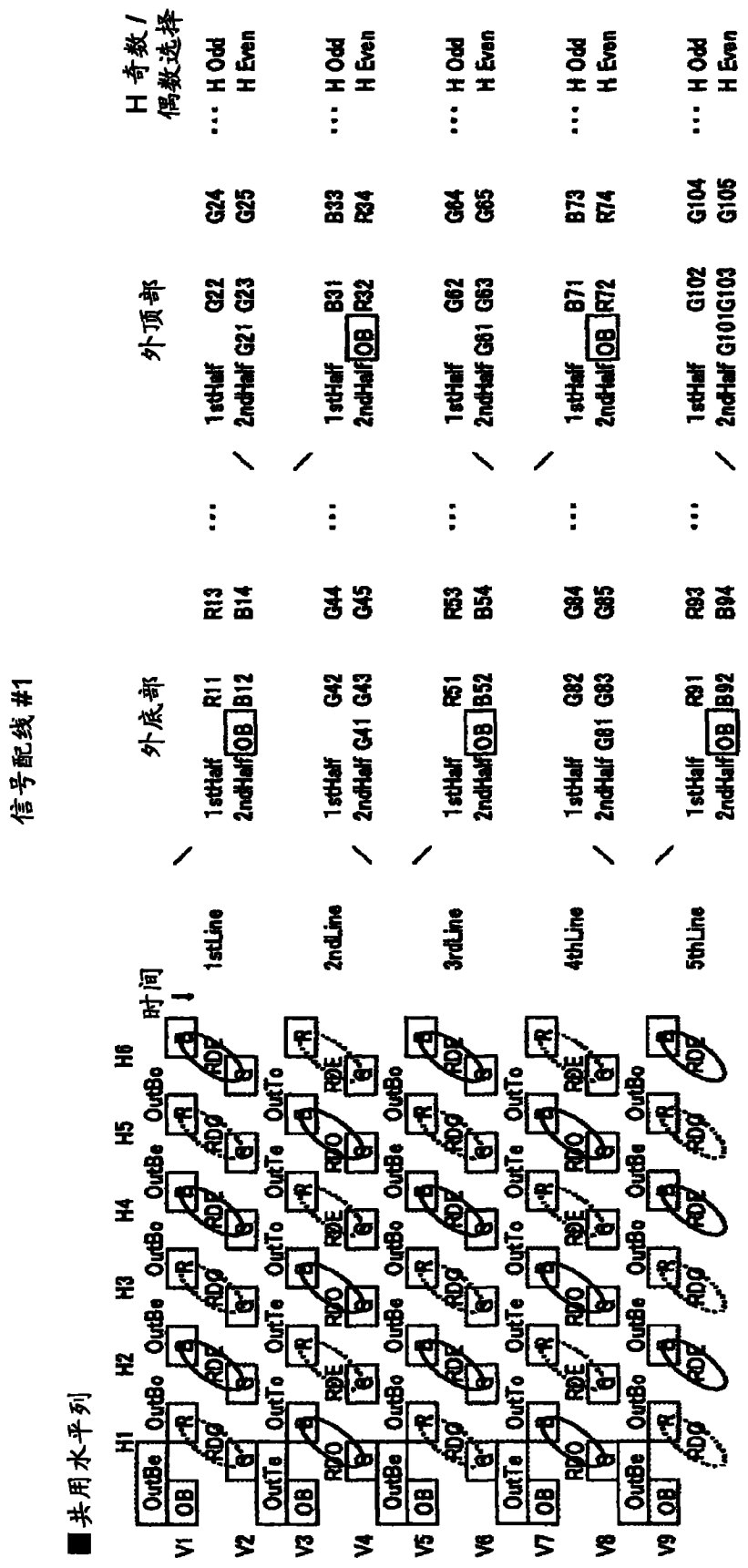

■共用水平列
信号配线 #1
H1
H2
H3
H4
H5
H6
时间
V1
V2
V3
V4
V5
V6
V7
V8
V9
OutBe
OutBo
OutTe
OutTo
OB
RDO
RDE
1stLine
2ndLine
3rdLine
4thLine
5thLine
外底部
外顶部
1stHalf
2ndHalf
R11
B12
G42
G43
R51
B52
G82
G83
R91
B92
R13
B14
G44
G45
R53
B54
G84
G85
R93
B94
G22
G23
B31
R32
G62
G63
B71
R72
G102
G103
G24
G25
B33
R34
G64
G65
B73
R74
G104
G105
H 奇数 / 偶数选择
H Odd
H Even

图 24B

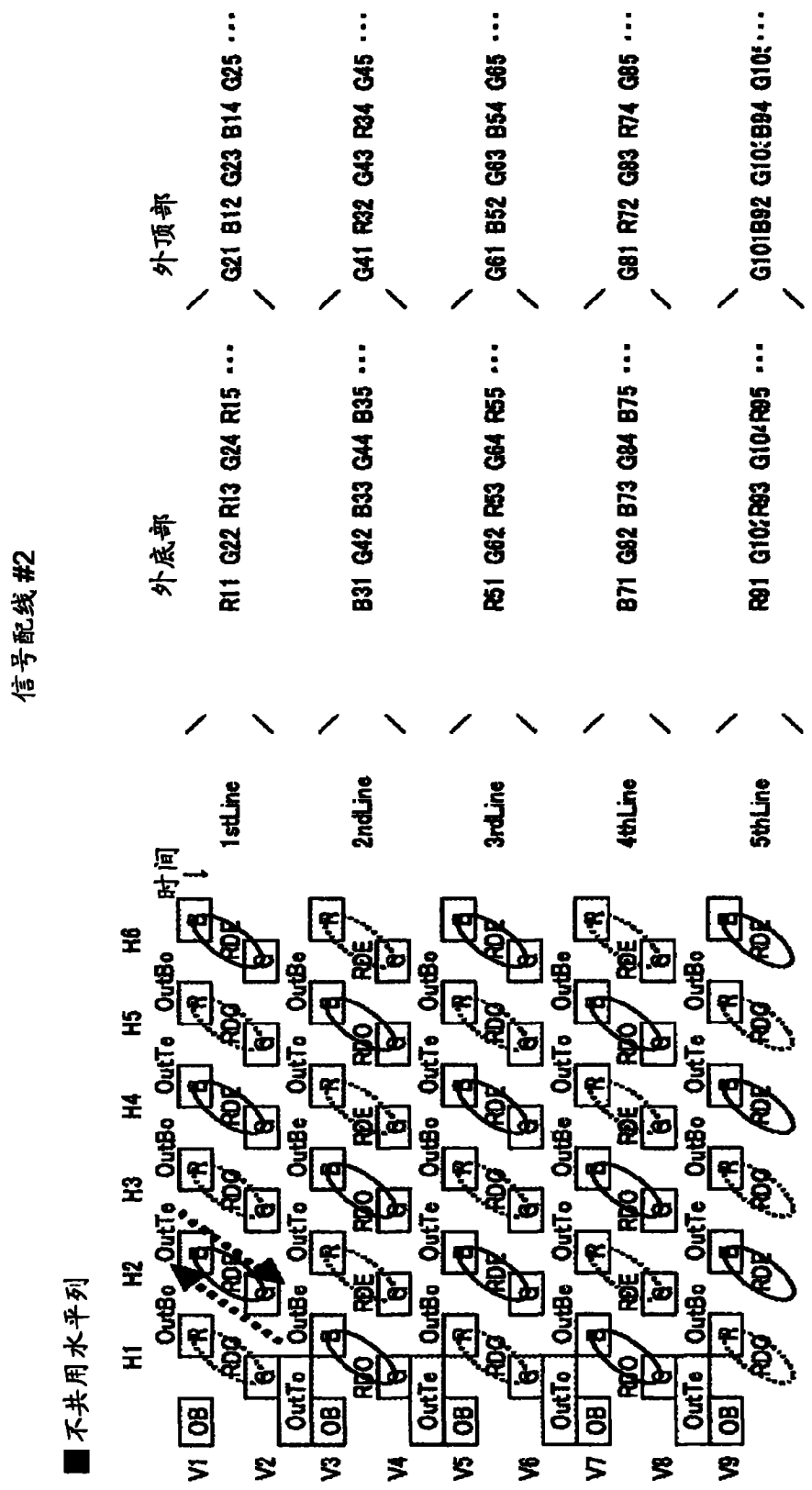

■不共用水平列
信号配线#2
外底部
外顶部
时间
H1
H2
H3
H4
H5
H6
V1
V2
V3
V4
V5
V6
V7
V8
V9
OB
OutTo
OutBo
OutTe
OutBe
1stLine
2ndLine
3rdLine
4thLine
5thLine
R11 G22 R13 G24 R15 ···
G21 B12 G23 B14 G25 ···
B31 G42 B33 G44 B35 ···
G41 R32 G43 R34 G45 ···
R51 G62 R53 G64 R55 ···
G61 B52 G63 B54 G65 ···
B71 G82 B73 G84 B75 ···
G81 R72 G83 R74 G85 ···
R91 G102R93 G104R95 ···
G101B92 G103B94 G105···

图 25A

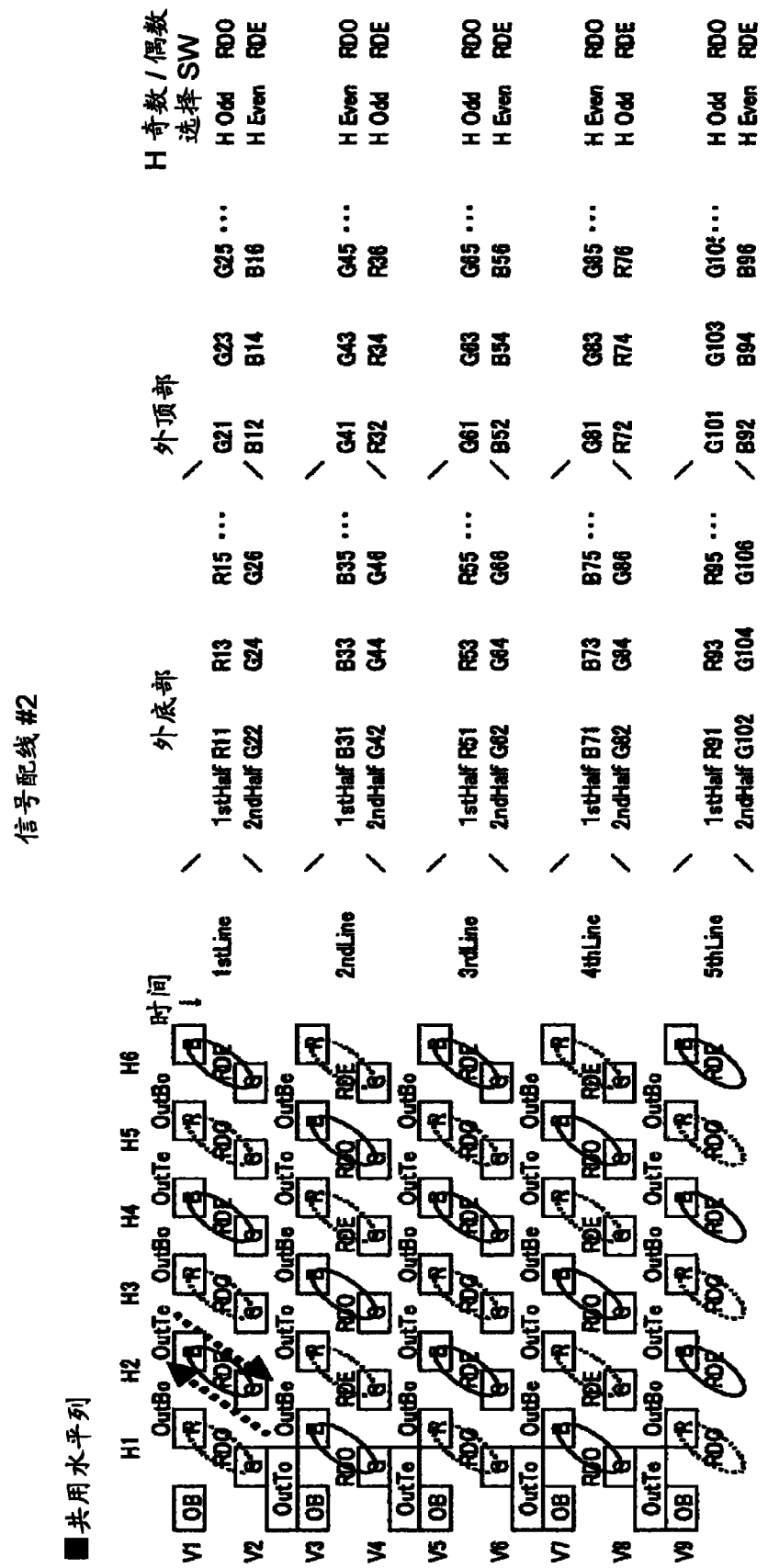

■共用水平列
信号配线 #2
H1 H2 H3 H4 H5 H6
时间
V1 V2 V3 V4 V5 V6 V7 V8 V9
OB
OutBo OutTe OutBe OutTo
RDO RDE
1stLine
2ndLine
3rdLine
4thLine
5thLine
外底部
1stHalf R11 R13 R15 ...
2ndHalf G22 G24 G26
1stHalf B31 B33 B35 ...
2ndHalf G42 G44 G46
1stHalf R51 R53 R55 ...
2ndHalf G62 G64 G66
1stHalf B71 B73 B75 ...
2ndHalf G82 G84 G86
1stHalf R91 R93 R95 ...
2ndHalf G102 G104 G106
外顶部
G21 G23 G25 ...
B12 B14 B16
G41 G43 G45 ...
R32 R34 R36
G61 G63 G65 ...
B52 B54 B56
G81 G83 G85 ...
R72 R74 R76
G101 G103 G105 ...
B92 B94 B96
H 奇数 / 偶数
选择 SW
H Odd RDO
H Even RDE
H Even RDO
H Odd RDE
H Odd RDO
H Even RDE
H Even RDO
H Odd RDE
H Odd RDO
H Even RDE

图 25B

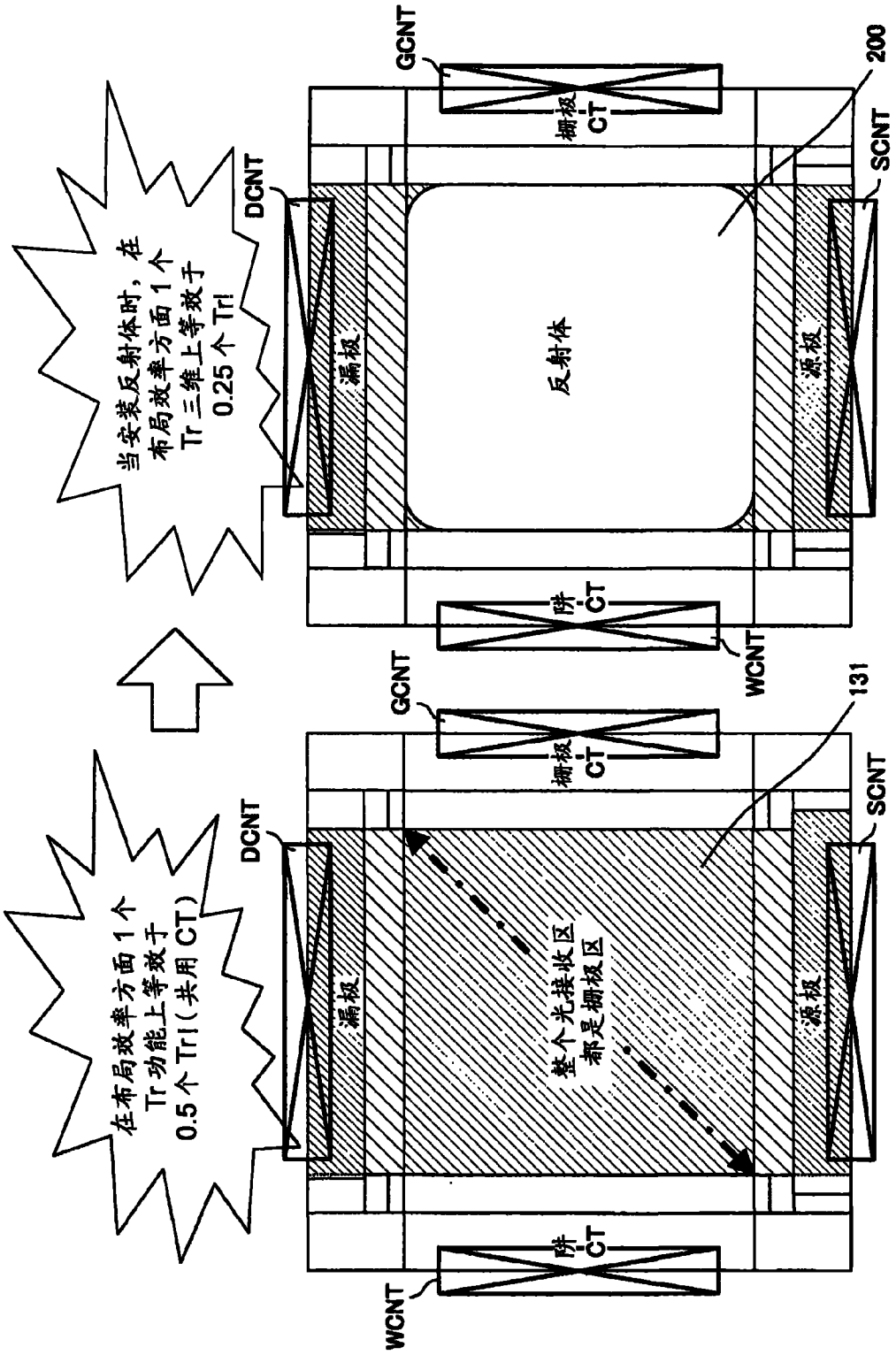

当安装反射体时，在布局效率方面1个Tr三维上等效于0.25个Trl
在布局效率方面1个Tr功能上等效于0.5个Trl(共用CT)
DCNT
GCNT
WCNT
SCNT
漏极
栅极CT
阱CT
源极
反射体
200
整个光接收区都是栅极区
131

图 26B

图 26A

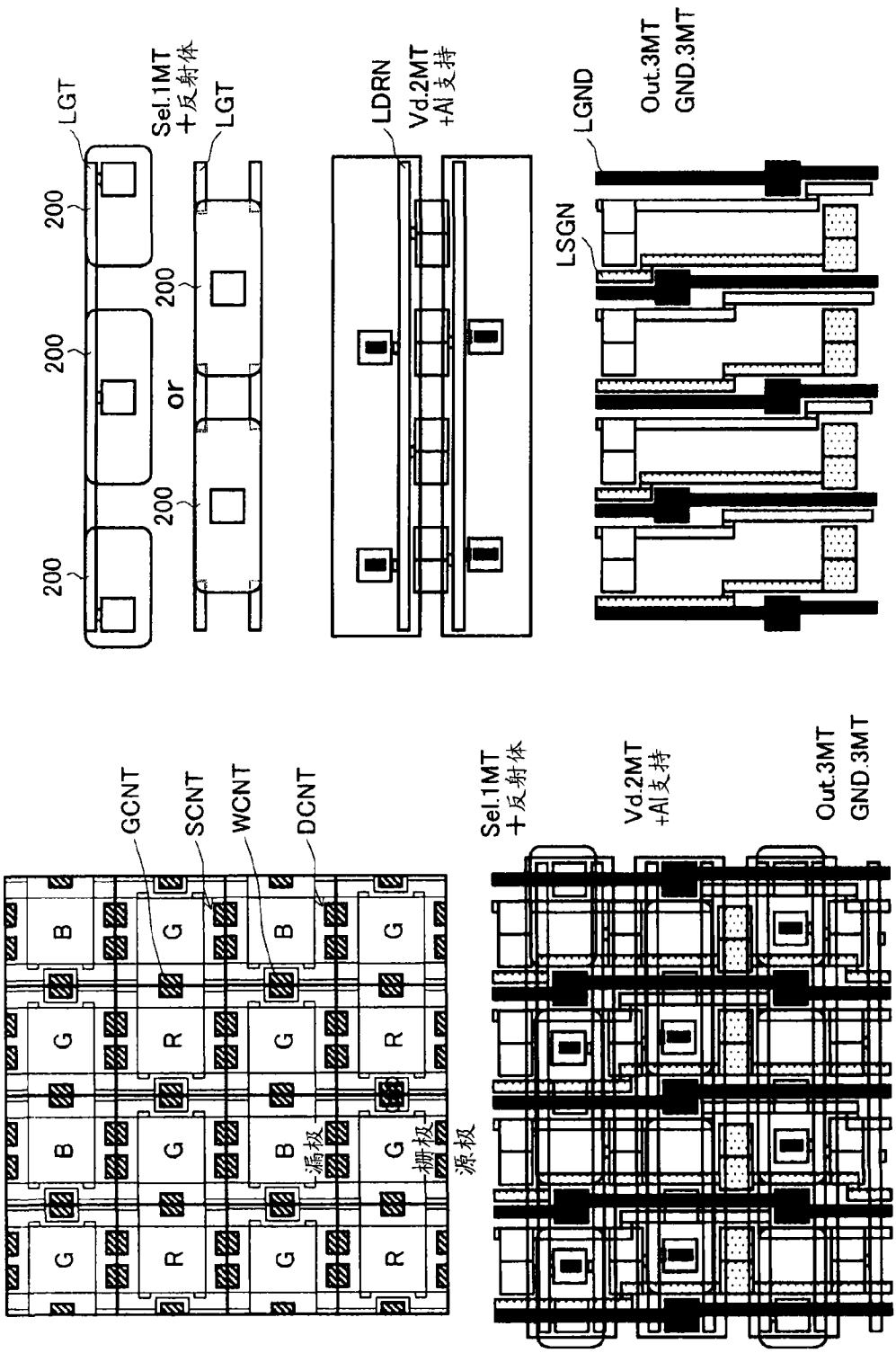

LGT
200
200
200
200
Sel.1MT
+反射体
LGT
200
or
LDRN
Vd.2MT
+Al支持
LGND
Out.3MT
GND.3MT
LSGN
GCNT
SCNT
WCNT
DCNT
B
G
R
漏极
栅极
源极
Sel.1MT
+反射体
Vd.2MT
+Al支持
Out.3MT
GND.3MT

图 27

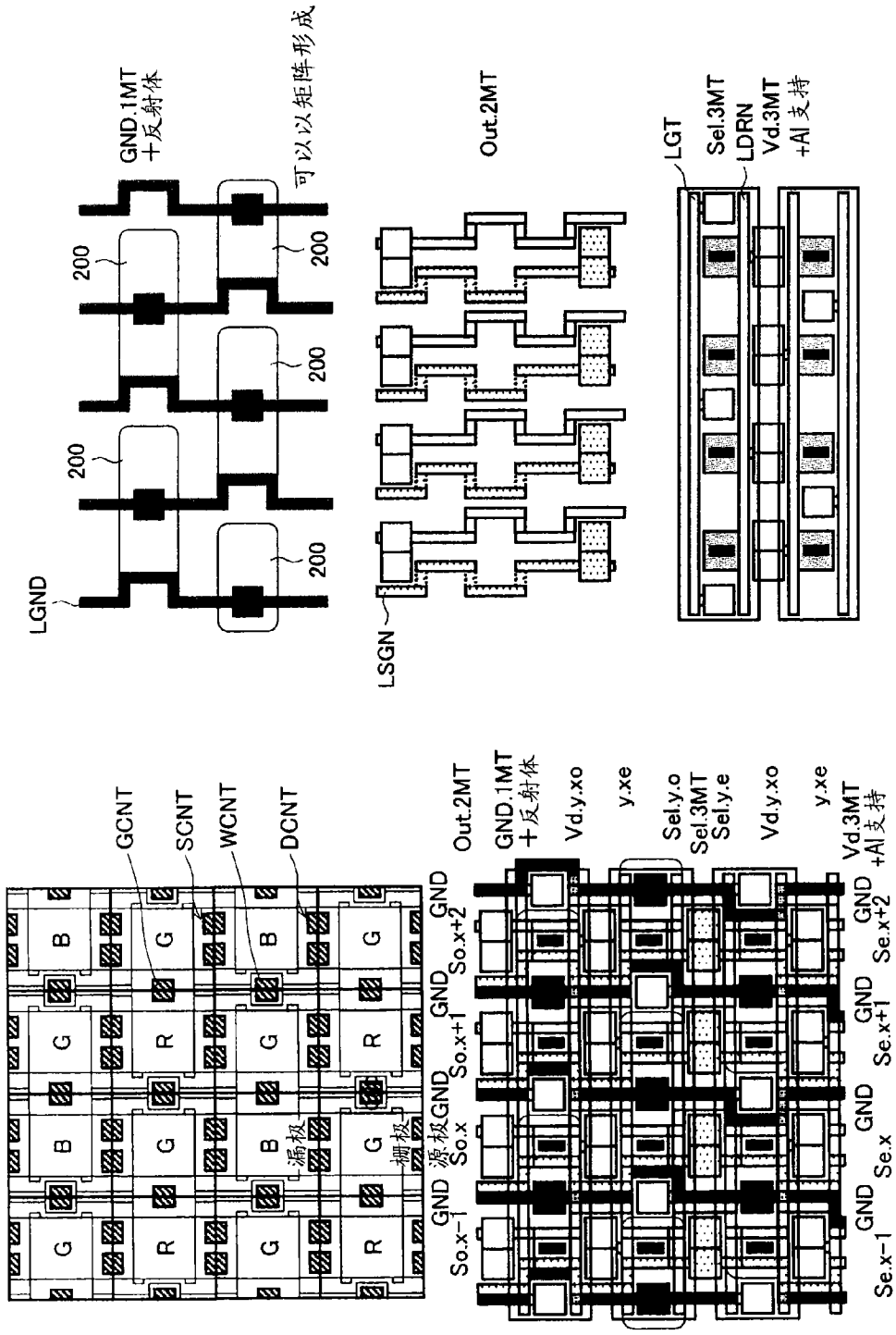

LGND
200
200
200
200
200
GND.1MT
+反射体
可以以矩阵形成
LSGN
Out.2MT
LGT
Sel.3MT
LDRN
Vd.3MT
+Al支持
GCNT
SCNT
WCNT
DCNT
G
R
B
漏极
栅极
GND
So.x-1
So.x
So.x+1
So.x+2
Out.2MT
GND.1MT
+反射体
Vd.y.xo
y.xe
Sel.y.o
Sel.3MT
Sel.y.e
Vd.y.xo
y.xe
Vd.3MT
+Al支持
Se.x-1
Se.x
Se.x+1
Se.x+2

图 28

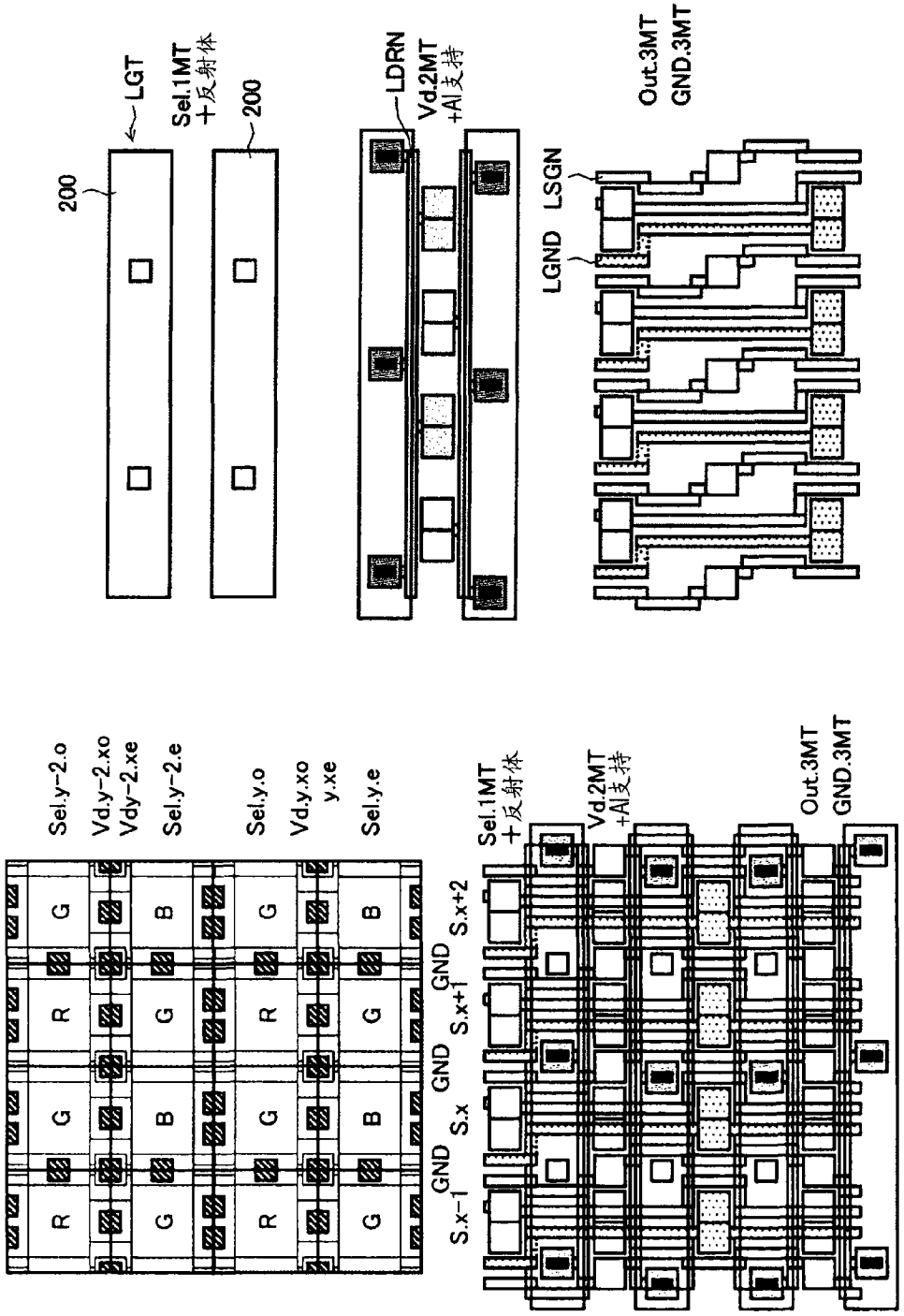

200
LGT
Sel.1MT
+反射体
200
LDRN
Vd.2MT
+Al支持
LGND
LSGN
Out.3MT
GND.3MT
Sel.y-2.o
Vd.y-2.xo
Vdy-2.xe
Sel.y-2.e
Sel.y.o
Vd.y.xo
y.xe
Sel.y.e
R
G
B
S.x-1
GND
S.x
GND
S.x+1
GND
S.x+2
Sel.1MT
+反射体
Vd.2MT
+Al支持
Out.3MT
GND.3MT

图 29

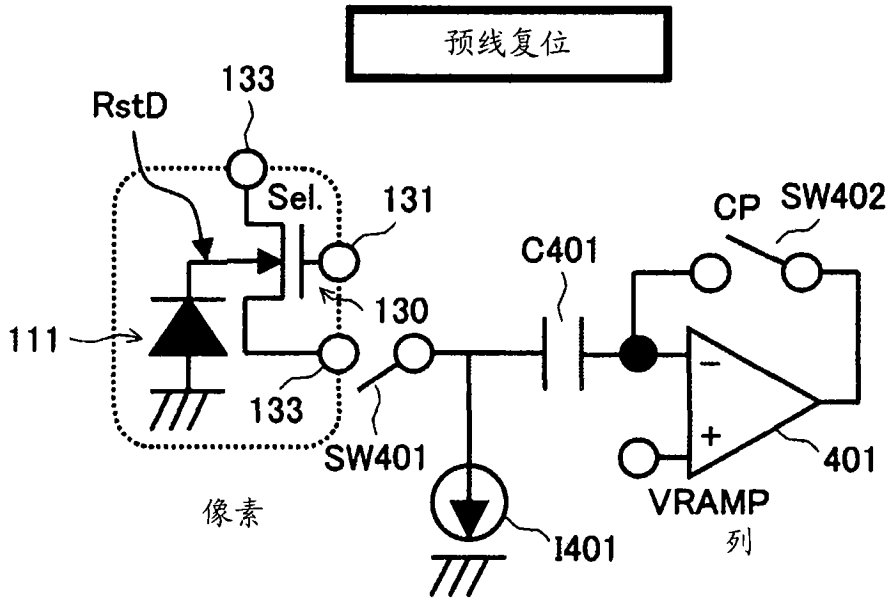

预线复位
133
RstD
Sel.
131
CP
SW402
C401
130
111
133
SW401
401
VRAMP
像素
I401
列

图 30A

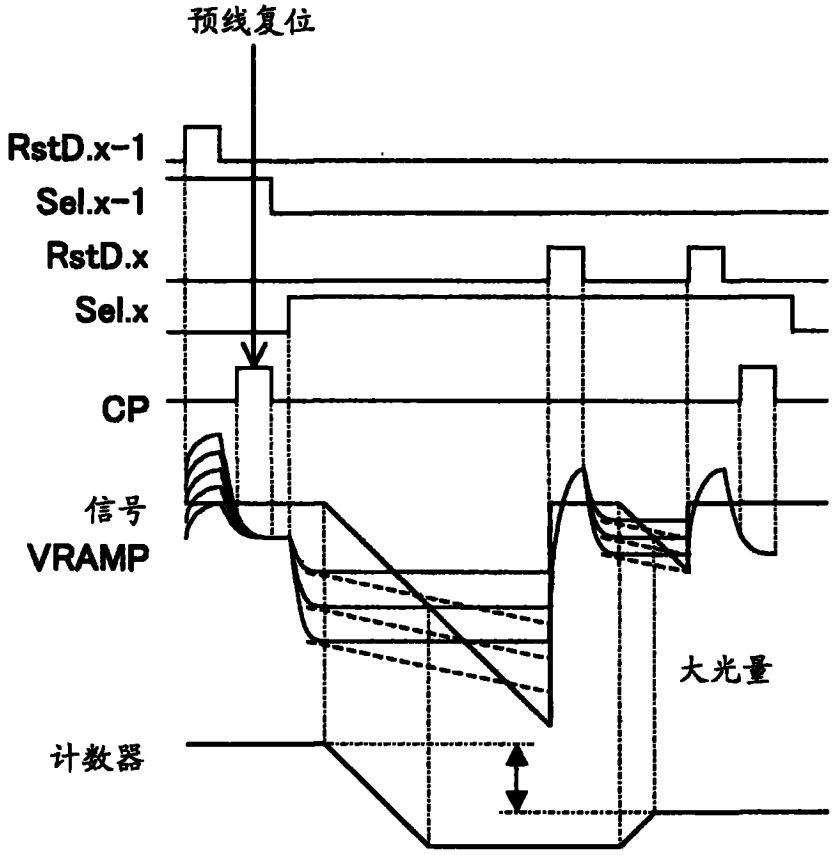

预线复位
RstD.x-1
Sel.x-1
RstD.x
Sel.x
CP
信号
VRAMP
大光量
计数器

图 30B

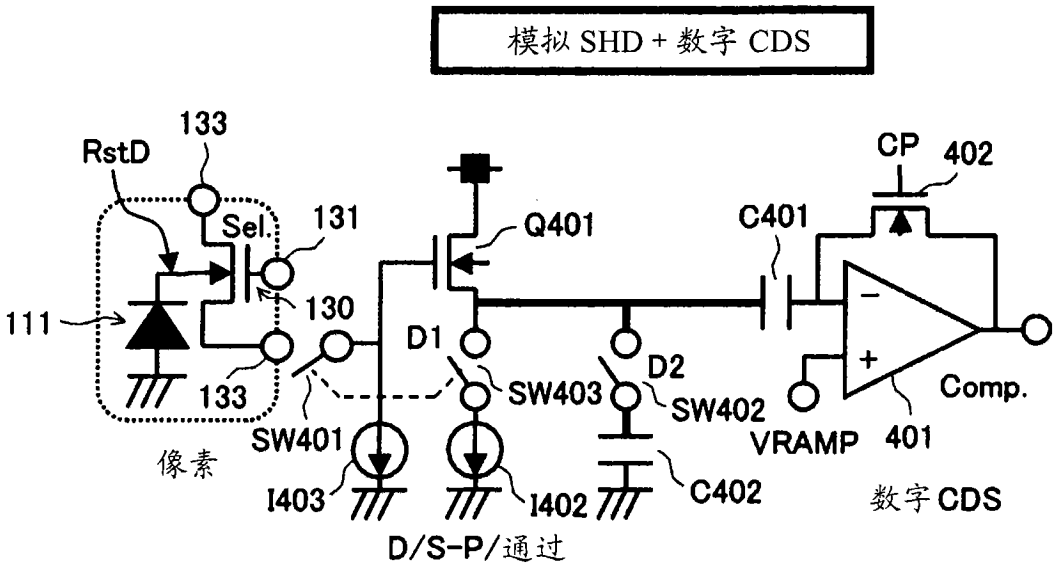

模拟 SHD + 数字 CDS
133
RstD
Sel.
131
130
111
133
SW401
像素
I403
D1
SW403
I402
D/S-P/通过
Q401
D2
SW402
C402
C401
CP
402
VRAMP
401
Comp.
数字 CDS

图 31A

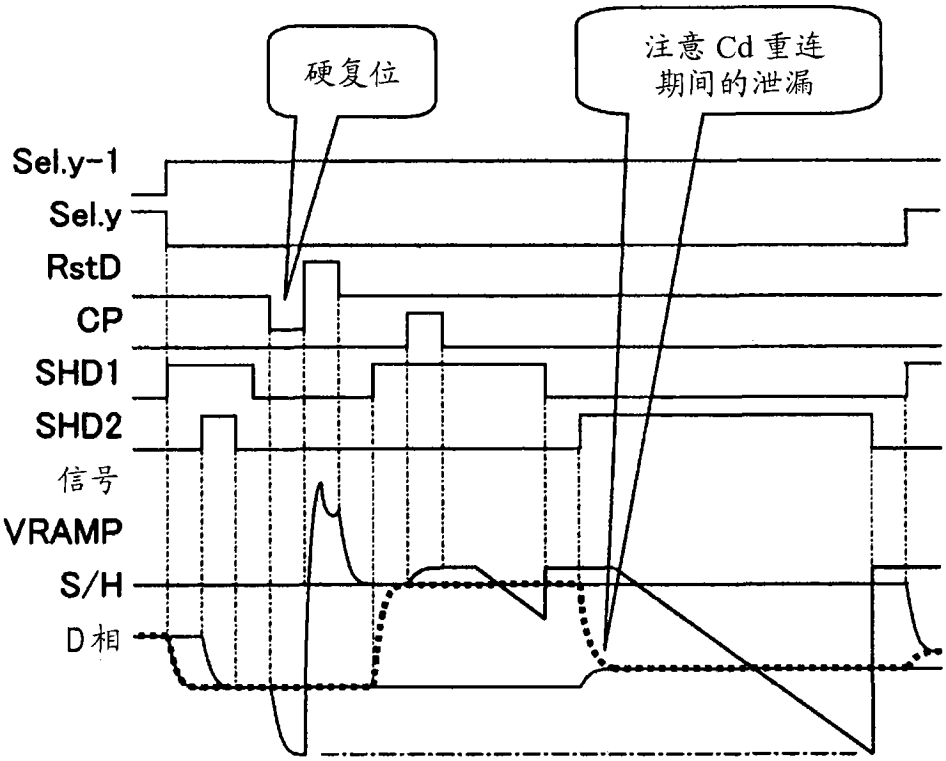

硬复位
注意 Cd 重连
期间的泄漏
Sel.y-1
Sel.y
RstD
CP
SHD1
SHD2
信号
VRAMP
S/H
D相

图 31B

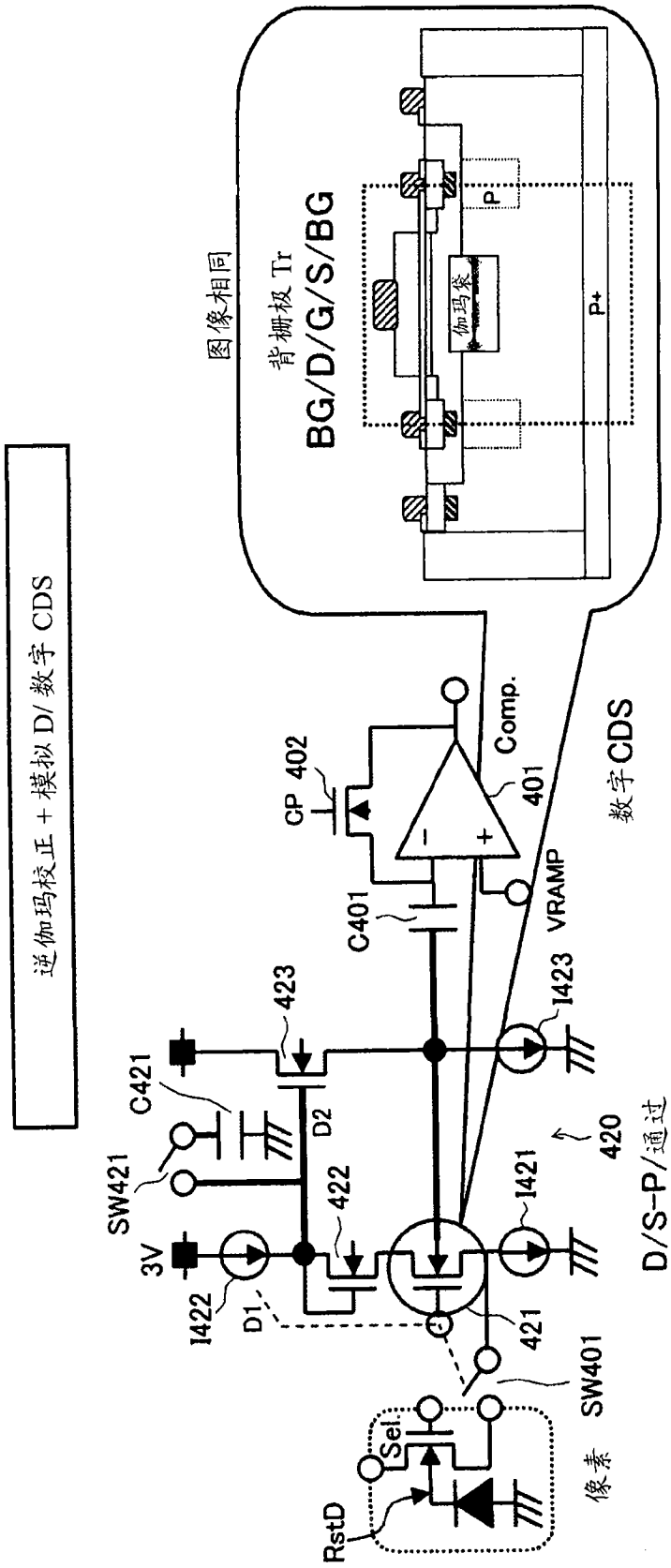
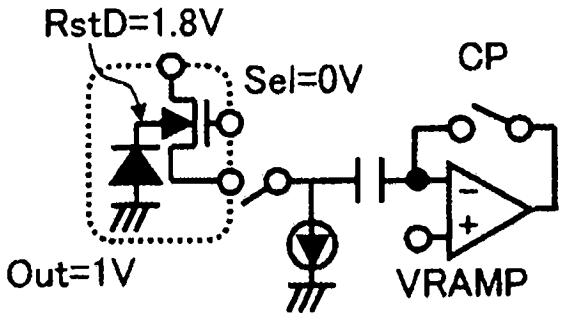

逆伽玛校正 + 模拟 D/ 数字 CDS
图像相同
背栅极 Tr
BG/D/G/S/BG
P
伽玛袋
P+
Comp.
401
CP 402
C401
VRAMP
数字CDS
423
I423
C421
D2
SW421
422
I421
420
D/S-P/通过
3V
I422
D1
421
SW401
Sel
RstD
像素

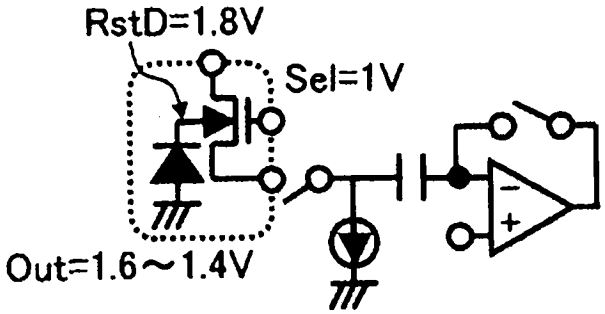
图 32

工作电压

1.累积像素（非选择像素）



2. 数据读出



2. 复位

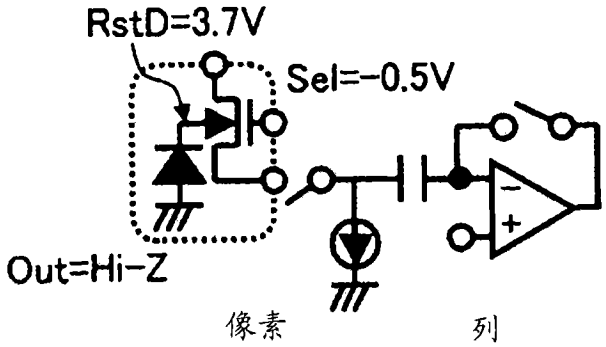


图 33A

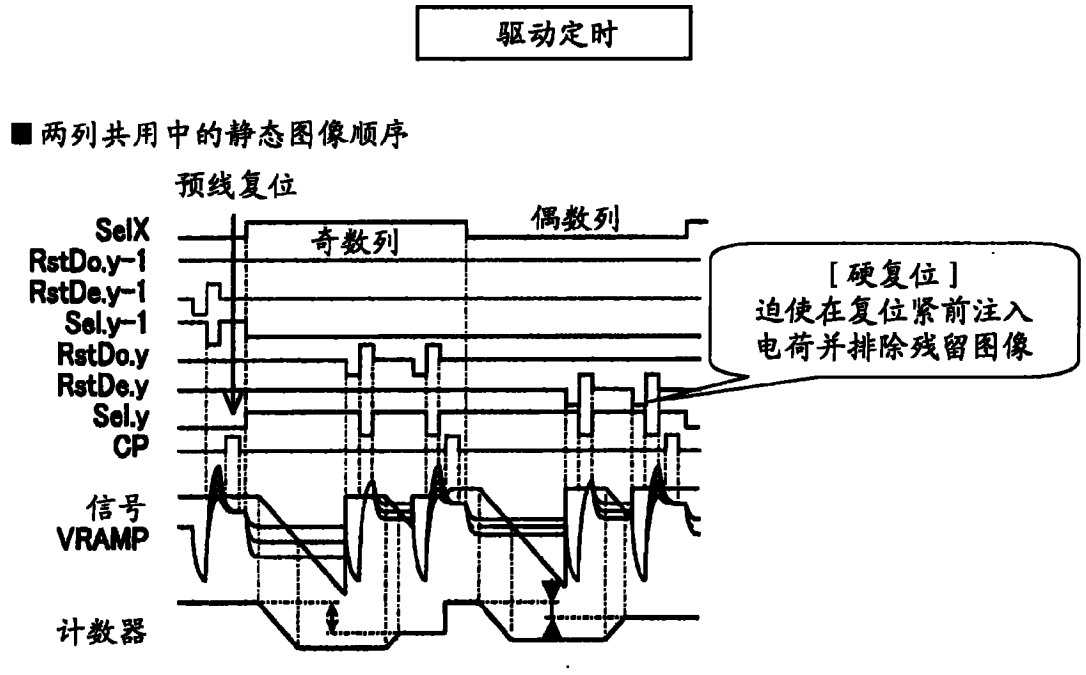

驱动定时
■两列共用中的静态图像顺序
预线复位
SelX
RstDo.y-1
RstDe.y-1
Sel.y-1
RstDo.y
RstDe.y
Sel.y
CP
信号
VRAMP
计数器
奇数列
偶数列
[硬复位]
迫使在复位紧前注入
电荷并排除残留图像

图 33B

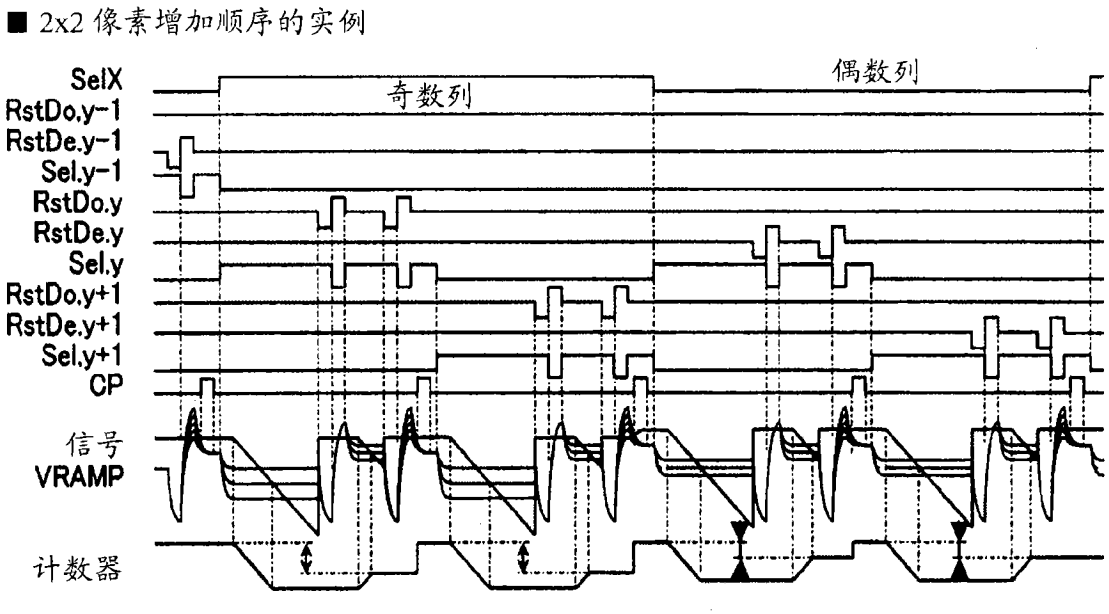

■ 2x2 像素增加顺序的实例
SelX
RstDo.y-1
RstDe.y-1
Sel.y-1
RstDo.y
RstDe.y
Sel.y
RstDo.y+1
RstDe.y+1
Sel.y+1
CP
信号
VRAMP
计数器
奇数列
偶数列

图 33C

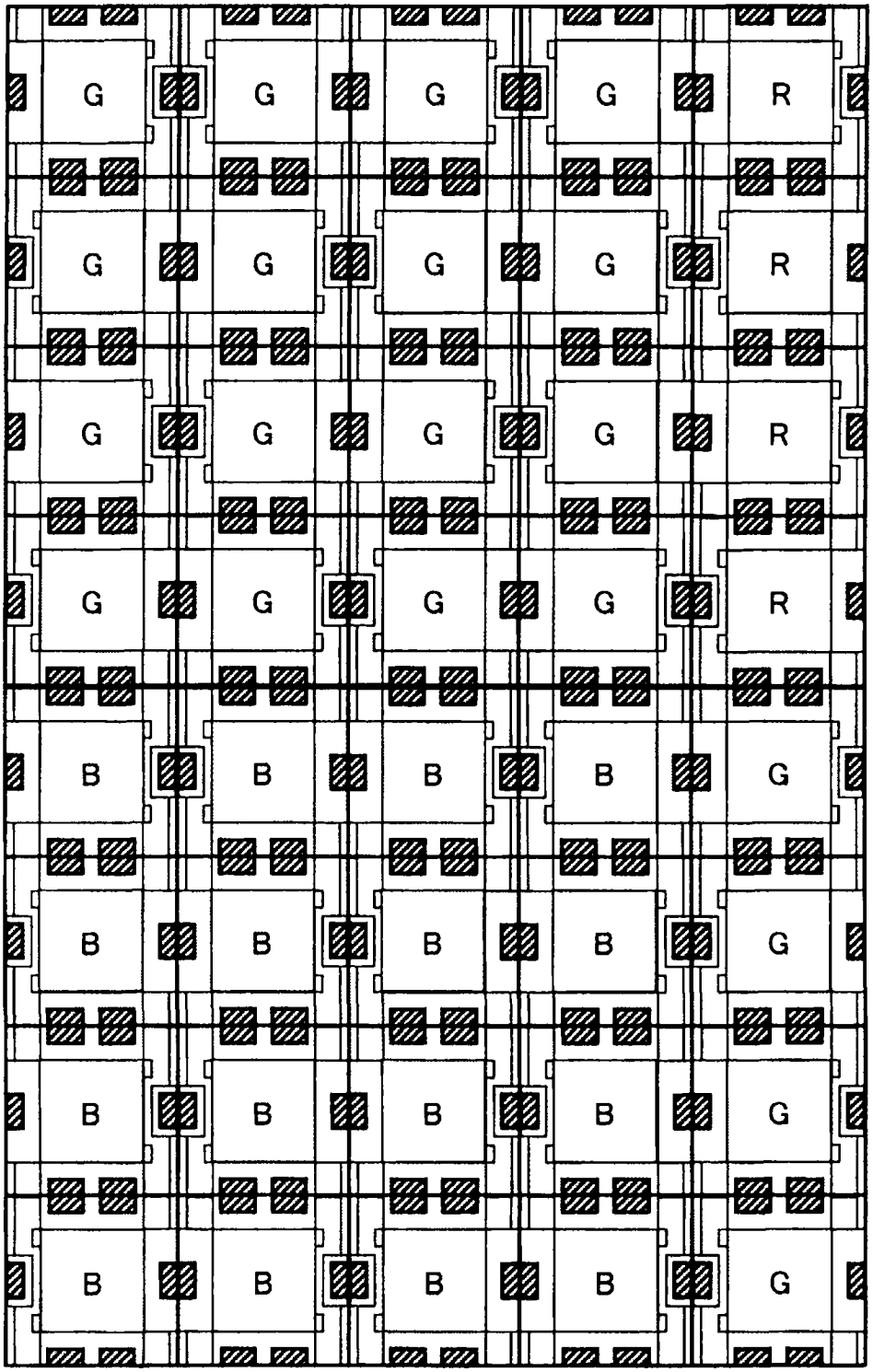


图 34

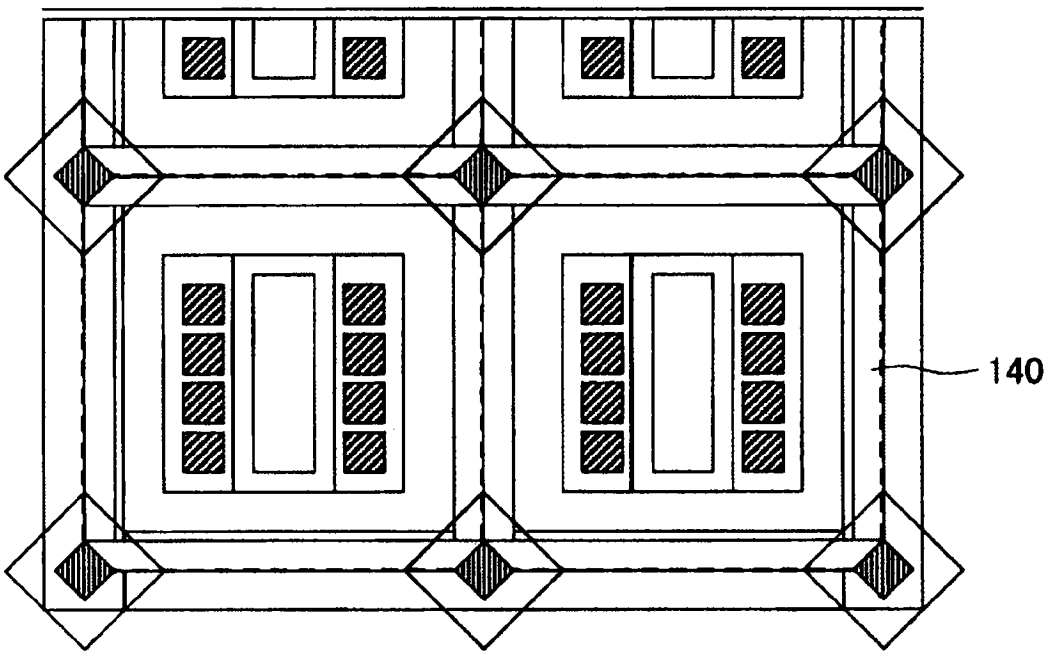


图 35

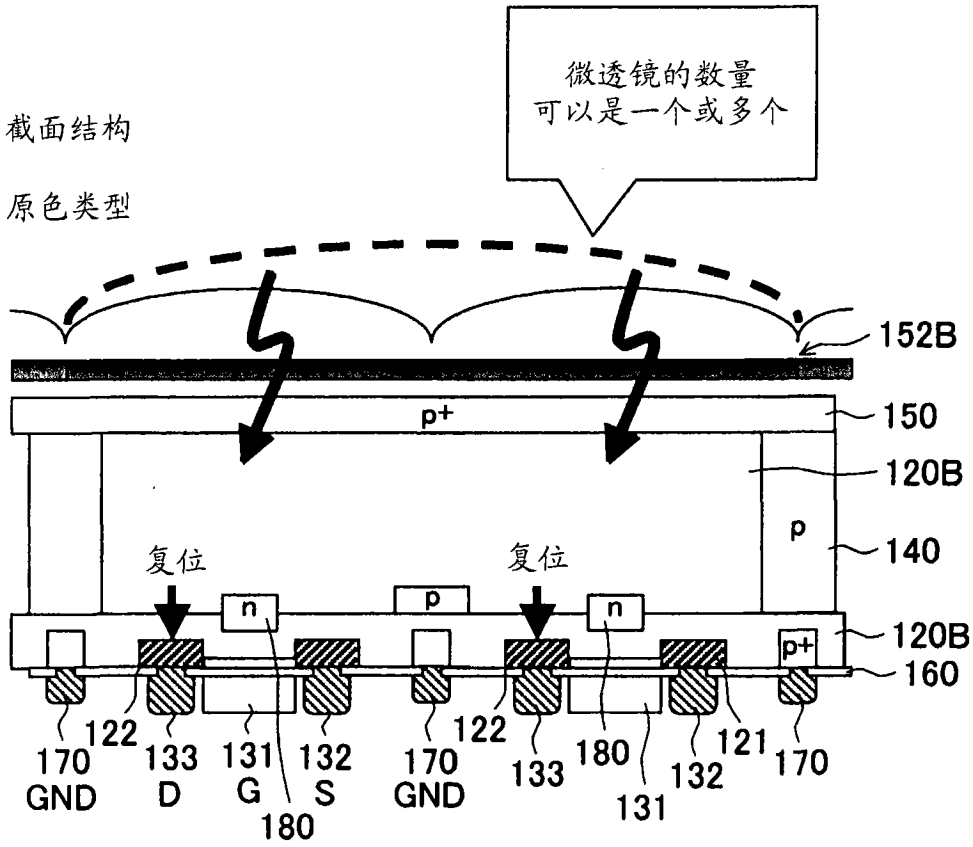

微透镜的数量
可以是一个或多个
截面结构
原色类型
152B
p+
150
120B
p
140
复位
复位
n
p
n
p+
120B
160
170
GND
122
133
D
131
G
132
S
180
170
GND
122
133
180
131
132
121
170

图 36A

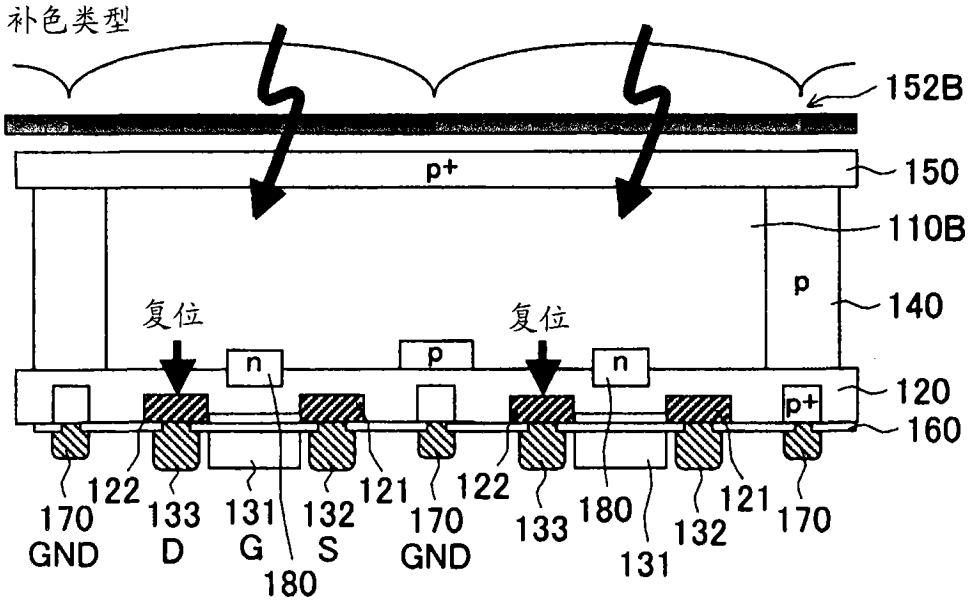

补色类型
152B
p+
150
110B
p
140
复位
复位
n
p
n
p+
120
160
170
GND
122
133
D
131
G
132
S
121
180
170
GND
122
133
180
131
132
121
170

图 36B

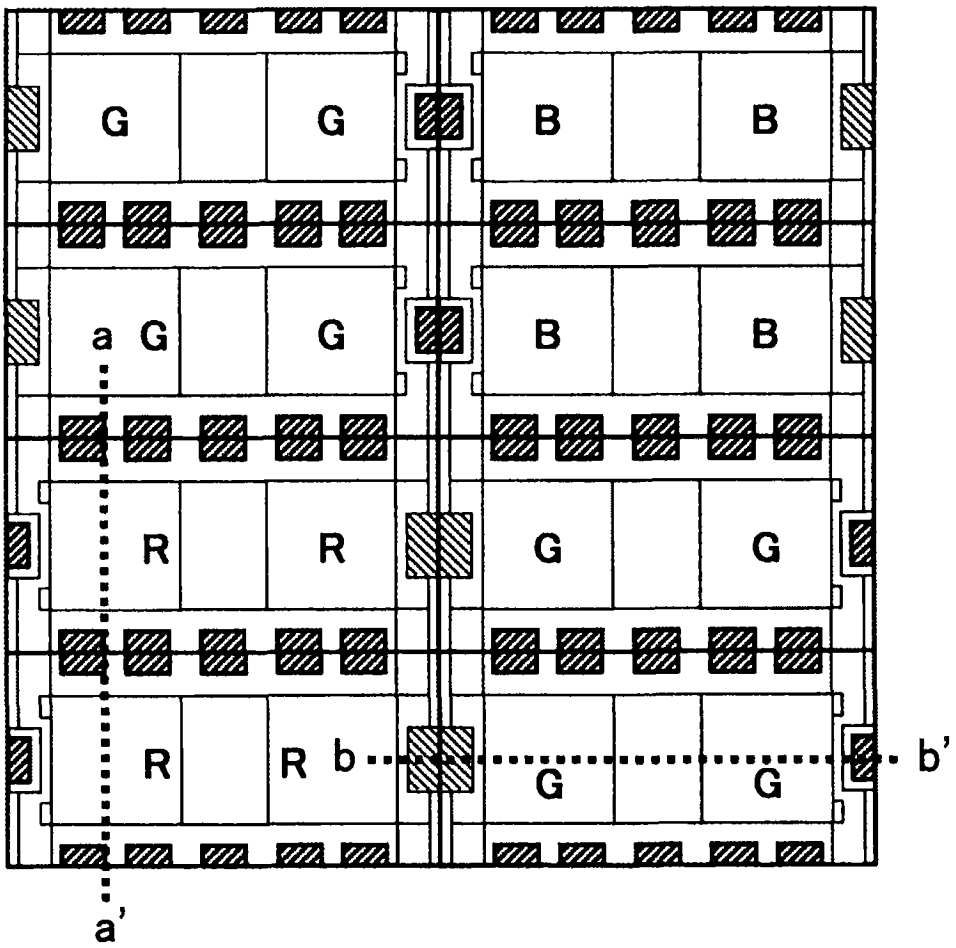
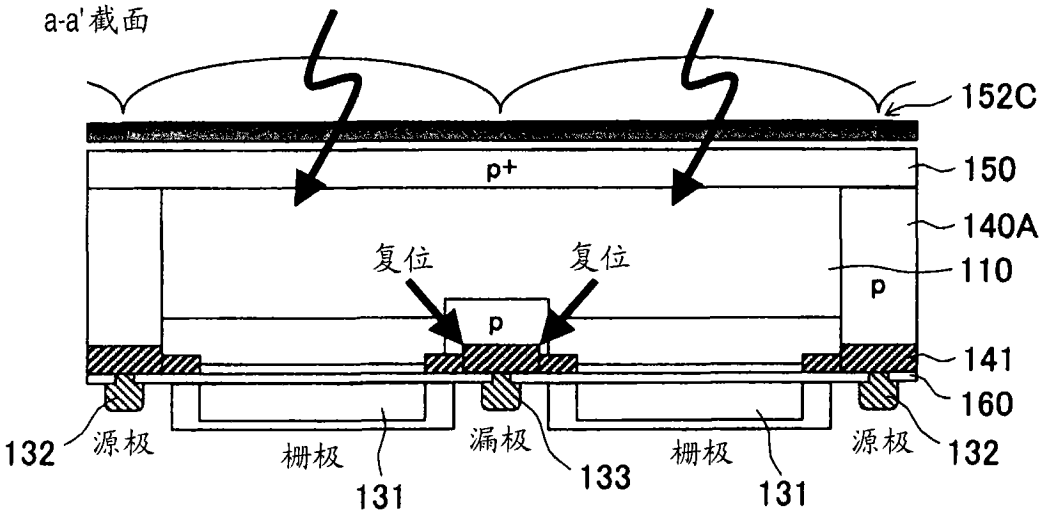


图 37



补色类型中的滤色器阵列

图 38A

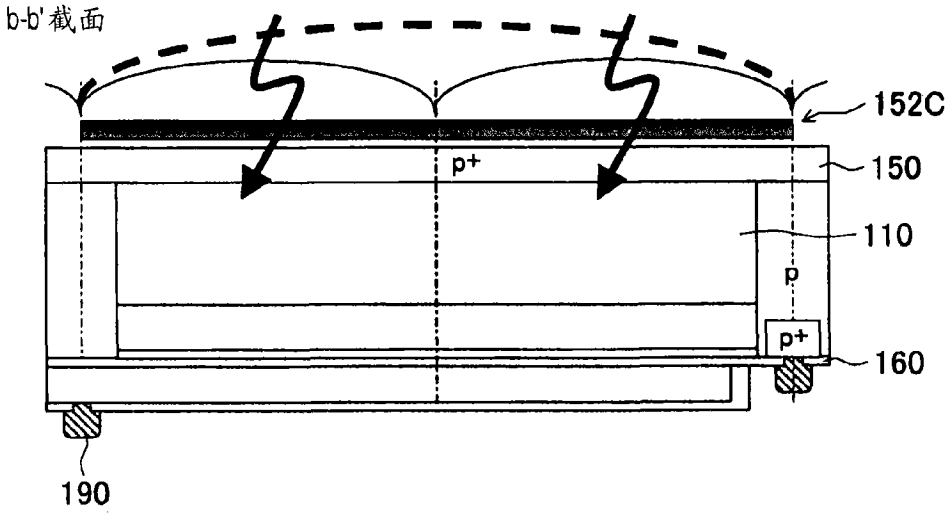


图 38B

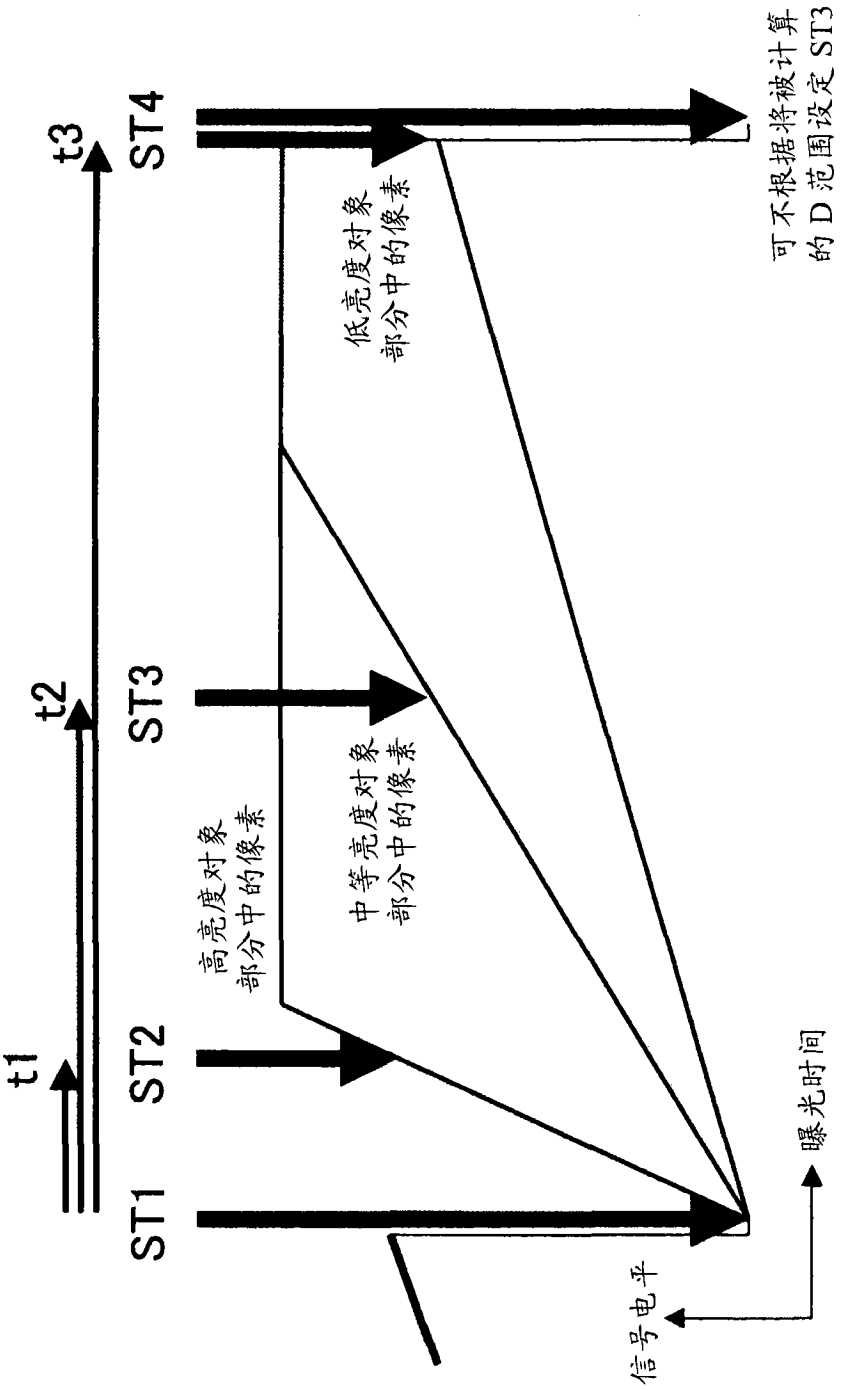

t1
t2
t3
ST1
ST2
ST3
ST4
高亮度对象
部分中的像素
中等亮度对象
部分中的像素
低亮度对象
部分中的像素
可不根据将被计算
的D范围设定ST3
信号电平
曝光时间

图 39

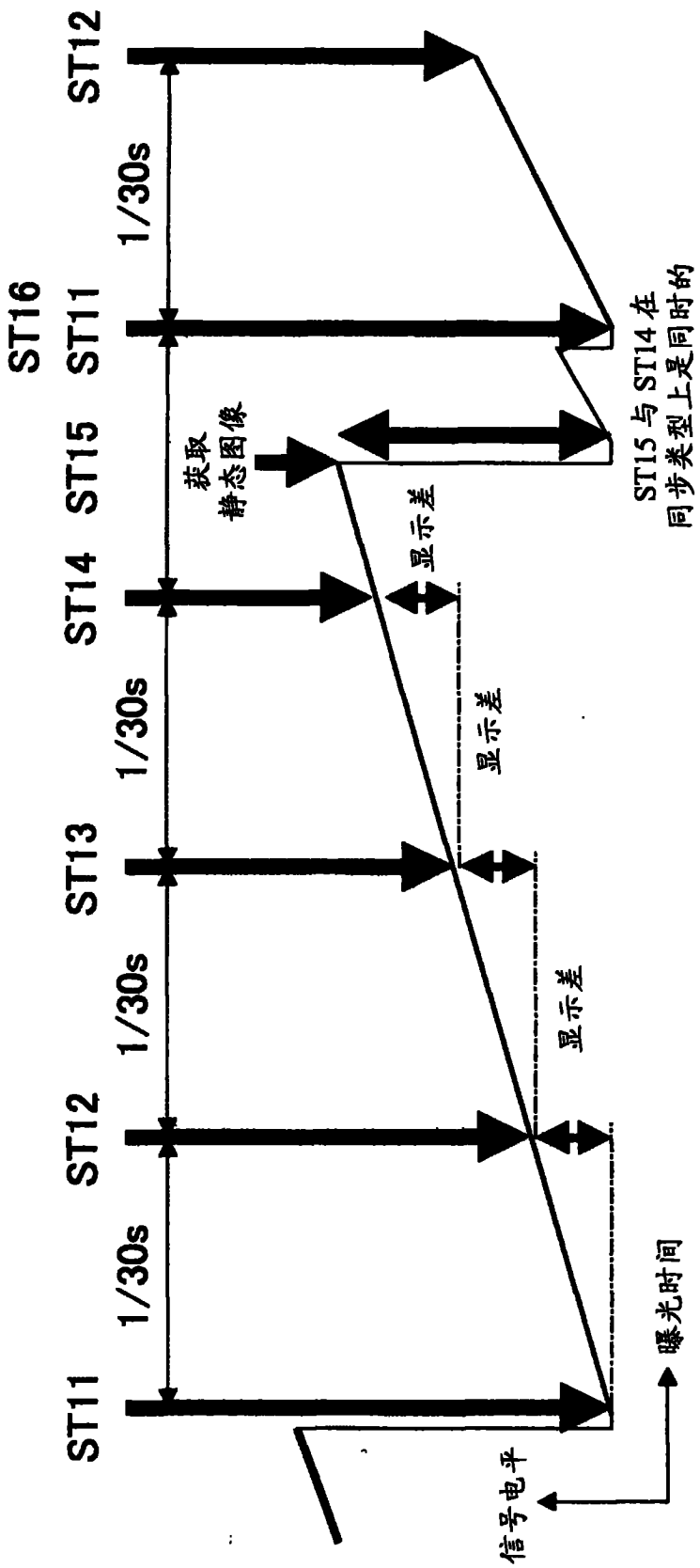

ST11
1/30s
ST12
1/30s
ST13
1/30s
ST14
ST15
ST11
ST16
ST12
获取
静态图像
显示差
显示差
显示差
ST15 与 ST14 在
同步类型上是同时的
信号电平
曝光时间

图 40

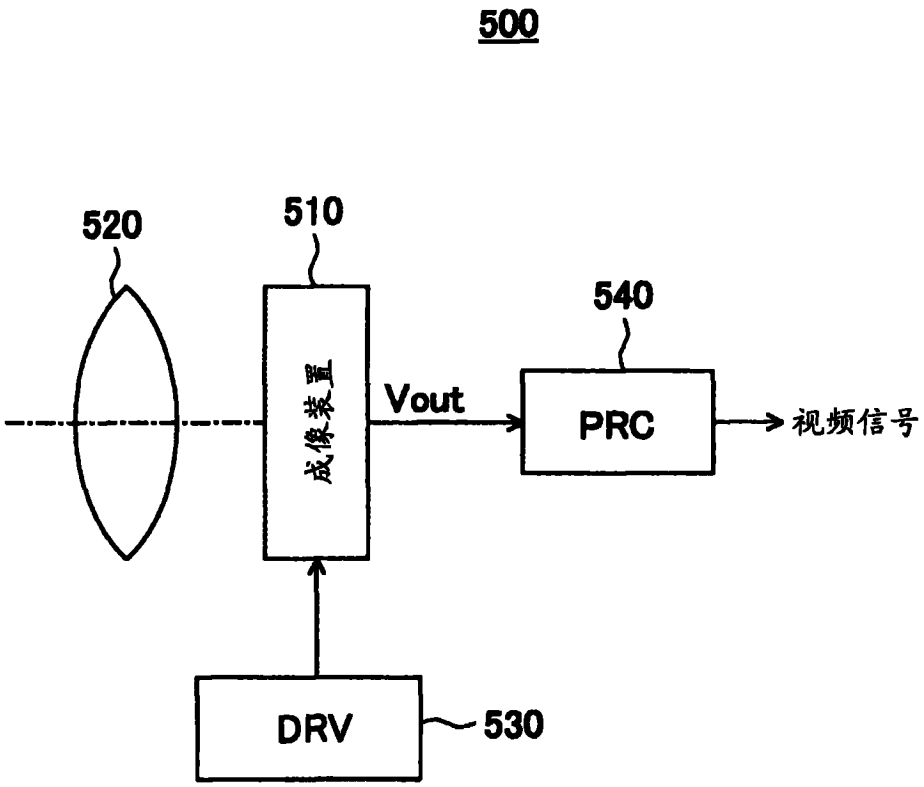


图 41