

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成30年11月15日(2018.11.15)

【公表番号】特表2018-527690(P2018-527690A)

【公表日】平成30年9月20日(2018.9.20)

【年通号数】公開・登録公報2018-036

【出願番号】特願2018-513483(P2018-513483)

【国際特許分類】

G 11 C 11/419 (2006.01)

G 11 C 7/10 (2006.01)

G 11 C 7/22 (2006.01)

【F I】

G 11 C 11/419 1 4 0

G 11 C 7/10 4 5 5

G 11 C 7/22 1 0 0

G 11 C 7/10 4 8 0

【手続補正書】

【提出日】平成30年10月5日(2018.10.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第2のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするように構成された複数のメモリセルと、

前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成するように構成された制御回路と

を備え、前記読み取りクロックは、前記書き込みクロックとは別個であり、前記制御回路は

前記第1のモードにおいて、前記メモリサイクルの始まりに応答して、前記読み取りクロックを生成し、前記読み取り動作が完了したとき、前記読み取りクロックをリセットするように構成された読み取りクロック回路と、

前記メモリサイクルの前記始まりに応答してセットされ、前記書き込み動作が完了したときにリセットされるように構成された出力を有する第1の回路と、

前記第1の回路の出力がセットされ、前記第1のモードにおいて、前記読み取りクロックがリセット状態にあるとき、および、前記第2のモードにおいて、前記メモリサイクルの前記始まりに、前記書き込みクロックを生成するように構成された第2の回路と

を備える書き込みクロック回路と

を備えるメモリ。

【請求項2】

前記制御回路は、前記第1のモードにおいて、前記読み取りクロックを前記リセットすることに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、請求項1に記載のメモリ。

【請求項3】

前記制御回路は、前記第2のモードにおいて、前記メモリサイクルの前記始まりに応答

して、前記書込みクロックをセットすることによって、前記書込みクロックを生成するようさらに構成される、請求項 1 に記載のメモリ。

【請求項 4】

前記書込みクロック回路は、前記書込み動作が完了したとき、前記書込みクロックをリセットするようさらに構成される、請求項 1 に記載のメモリ。

【請求項 5】

前記第 1 の回路は、ラッチを備え、

前記第 2 の回路は、前記第 1 の回路の出力と前記読み取りクロックとをゲーティングするための論理を備える、

請求項 1 に記載のメモリ。

【請求項 6】

第 1 のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第 2 のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするよう構成された複数のメモリセルを備えるメモリにアクセスする方法であって、前記方法は、

前記第 1 のモードにおいて、前記読み取り動作のための読み取りクロックおよび前記書込み動作のための書き込みクロックを生成することと、前記読み取りクロックは、前記書込みクロックとは別個であり、ここにおいて、前記書込みクロックを前記生成することは、

前記メモリサイクルの始まりに応答して出力をセットし、前記書込み動作が完了したときに前記出力をリセットすることと、

前記出力がセットされ、前記第 1 のモードにおいて、前記読み取りクロックがリセット状態にあるとき、前記書込みクロックをセットすることとを備える、

前記第 2 のモードにおいて、前記メモリサイクルの前記始まりに応答して、前記書込み動作のための前記書込みクロックを生成することとを備える、方法。

【請求項 7】

前記第 1 のモードにおいて、前記読み取りクロックを前記生成することは、前記メモリサイクルの前記始まりに応答して、前記読み取りクロックをセットすることと、前記読み取り動作が完了したとき、前記読み取りクロックをリセットすることとを備え、

前記第 1 のモードにおいて、前記書込みクロックを前記生成することは、前記読み取りクロックを前記リセットすることに応答して、前記書込みクロックをセットすることと、前記書込み動作が完了したとき、前記書込みクロックをリセットすることとを備える、

請求項 6 に記載の方法。

【請求項 8】

前記第 2 のモードにおいて、前記書込みクロックを前記生成することは、前記メモリサイクルの前記始まりに応答して、前記書込みクロックをセットすることと、前記書込み動作が完了したとき、前記書込みクロックをリセットすることとを備える、請求項 6 に記載の方法。

【請求項 9】

第 1 のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第 2 のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするよう構成された複数のメモリセルと、

前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成するよう構成された制御回路と

を備え、前記読み取りクロックは、前記書込みクロックとは別個であり、前記制御回路は、

前記第 1 のモードにおいて、前記メモリサイクルの始まりに応答して、前記読み取りクロックを生成し、前記読み取り動作が完了したとき、前記読み取りクロックをリセットするよう構成された読み取りクロック回路と、

前記第 1 のモードにおいて、前記読み取りクロックを前記リセットすること、および

前記第2のモードにおいて、前記メモリサイクルの前記始まり

に応答して前記書込みクロックを生成するように構成された書込みクロック回路と  
を備え、前記書込みクロックのタイミングは、前記第1のモードにおいて、前記読み取り  
クロックのタイミングの関数であり、前記書込みクロックは、前記第1のモードにおいて  
よりも、前記第2のモードにおいて、前記メモリサイクル中により早く発生する、メモリ  
。

**【請求項10】**

前記制御回路は、前記第1のモードにおいて、前記読み取りクロックをリセットすることに応答して、前記書込みクロックをセットすることによって、前記書込みクロックを生成するようにさらに構成される、請求項9に記載のメモリ。

**【請求項11】**

前記制御回路は、前記第2のモードにおいて、前記メモリサイクルの始まりに応答して、前記書込みクロックをセットすることによって、前記書込みクロックを生成するようにさらに構成される、請求項9に記載のメモリ。

**【請求項12】**

前記書込みクロック回路は、前記書込み動作が完了したとき、前記書込みクロックをリセットするようにさらに構成される、請求項9に記載のメモリ。

**【請求項13】**

前記制御回路は、

前記メモリサイクルの始まりに応答してセットされ、前記書込み動作が完了したときにリセットされるように構成された出力を有する第1の回路と、

前記第1の回路の出力がセットされ、前記読み取りクロックがリセット状態にあるとき、前記書込みクロックをセットするように構成された第2の回路と  
を備える書込みクロック回路を備える、請求項9に記載のメモリ。

**【請求項14】**

前記第1の回路は、ラッチを備え、

前記第2の回路は、前記第1の回路の出力と前記読み取りクロックとをゲーティングするための論理を備える、

請求項13に記載のメモリ。

**【手続補正2】**

**【補正対象書類名】明細書**

**【補正対象項目名】0097**

**【補正方法】変更**

**【補正の内容】**

**【0097】**

[00109]先の説明は、いかなる当業者であっても、本開示の全範囲を完全に理解することができるよう提供される。ここで開示された様々な例示的な実施形態への変更は、当業者にとって容易に明らかになるであろう。したがって、特許請求の範囲は、ここで説明された本開示の様々な態様に限定されるべきではなく、特許請求の範囲の文言と一致する全範囲が付与されるべきである。当業者に知られているか、または後に知られることとなる、本開示全体を通して説明された様々な態様の要素に対する全ての構造的および機能的な同等物は、参照によってここに明確に組み込まれ、特許請求の範囲によって包含されるように意図される。さらに、ここで開示されたものはいずれも、このような開示が特許請求の範囲において明記されているかどうかにかかわらず、公衆に放棄されるように意図されていない。いずれの請求項の要素も、その要素が「～のための手段(means for)」という表現を使用して明確に記載されていない限り、または、方法の請求項のケースでは、その要素が「～のためのステップ(step for)」という表現を使用して記載されていない限り、米国特許法第112条(f)の規定のもとで解釈されるべきではない。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

**[C1]**

第1のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第2のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするように構成された複数のメモリセルと、

前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成するように構成された制御回路と、ここにおいて、前記書き込みクロックは、

前記第1のモードにおいて、前記読み取りクロックを前記リセットすること、および

前記第2のモードにおいて、前記メモリサイクルの始まり

に応答して生成される、

を備えるメモリ。

#### [ C 2 ]

前記制御回路は、前記第1のモードにおいて、前記読み取りクロックを前記リセットすることに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、C 1に記載のメモリ。

#### [ C 3 ]

前記制御回路は、前記第2のモードにおいて、前記メモリサイクルの前記始まりに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようさらに構成される、C 1に記載のメモリ。

#### [ C 4 ]

前記制御回路は、

前記第1のモードにおいて、前記メモリサイクルの前記始まりに応答して、前記読み取りクロックをセットし、前記読み取り動作が完了したとき、前記読み取りクロックをリセットするように構成された読み取りクロック回路と、

前記第1のモードにおいて、前記読み取りクロックを前記リセットすること、および

前記第2のモードにおいて、前記メモリサイクルの前記始まり

に応答して、前記書き込みクロックをセットするように構成された書き込みクロック回路とを備える、C 1に記載のメモリ。

#### [ C 5 ]

前記書き込みクロック回路は、前記書き込み動作が完了したとき、前記書き込みクロックをリセットするようにさらに構成される、C 1に記載のメモリ。

#### [ C 6 ]

前記制御回路は、

前記メモリサイクルの前記始まりに応答してセットされ、前記書き込み動作が完了したときにリセットされるように構成された出力を有する第1の回路と、

前記第1の回路の出力がセットされ、前記読み取りクロックがリセット状態にあるとき、前記書き込みクロックをセットするように構成された第2の回路と

を備える書き込みクロック回路

を備える、C 1に記載のメモリ。

#### [ C 7 ]

前記第1の回路は、ラッチを備え、

前記第2の回路は、前記第1の回路の出力と前記読み取りクロックとをゲーティングするための論理を備える、

C 6に記載のメモリ。

#### [ C 8 ]

第1のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第2のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするように構成された複数のメモリセルを備えるメモリにアクセスする方法であって、前記方法は、

前記第1のモードにおいて、前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成することと、ここにおいて、前記書き込みクロックは、前記第1のモードにおいて、前記読み取りクロックを前記リセットすることに応答して生成される、

前記第2のモードにおいて、前記メモリサイクルの始まりに応答して、前記書込み動作のための書込みクロックを生成することと  
を備える、方法。

[ C 9 ]

前記第1のモードにおいて、前記書込みクロックを前記生成することは、前記読み取りクロックを前記リセットすることに応答して、前記書込みクロックをセットすることを備える、C 8に記載の方法。

[ C 10 ]

前記第2のモードにおいて、前記書込みクロックを前記生成することは、前記メモリサイクルの前記始まりに応答して、前記書込みクロックをセットすることを備える、C 8に記載の方法。

[ C 11 ]

前記第1のモードにおいて、前記読み取りクロックを前記生成することは、前記メモリサイクルの前記始まりに応答して、前記読み取りクロックをセットすることと、前記読み取り動作が完了したとき、前記読み取りクロックをリセットすることとを備え、

前記第1のモードにおいて、前記書込みクロックを前記生成することは、前記読み取りクロックを前記リセットすることに応答して、前記書込みクロックをセットすることと、前記書込み動作が完了したとき、前記書込みクロックをリセットすることとを備える、

C 8に記載の方法。

[ C 12 ]

前記第2のモードにおいて、前記書込みクロックを前記生成することは、前記メモリサイクルの前記始まりに応答して、前記書込みクロックをセットすることと、前記書込み動作が完了したとき、前記書込みクロックをリセットすることとを備える、C 8に記載の方法。

[ C 13 ]

前記書込みクロックを前記生成することは、

前記メモリサイクルの前記始まりに応答して出力をセットし、前記書込み動作が完了したとき、前記出力をリセットすることと、

前記出力がセットされ、前記読み取りクロックがリセット状態にあるとき、前記書込みクロックをセットすることと

を備える、C 8に記載のメモリ。

[ C 14 ]

第1のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第2のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするように構成された複数のメモリセルと、

前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成するように構成された制御回路と、ここにおいて、前記書き込みクロックのタイミングは、前記第1のモードにおいて、前記読み取りクロックのタイミングの関数であり、ここにおいて、前記書き込みクロックは、前記第1のモードにおいてよりも、前記第2のモードにおいて、前記メモリサイクル中により早く発生する、

を備えるメモリ。

[ C 15 ]

前記制御回路は、前記第1のモードにおいて、前記読み取りクロックをリセットすることに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、C 14に記載のメモリ。

[ C 16 ]

前記制御回路は、前記第2のモードにおいて、前記メモリサイクルの始まりに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、C 14に記載のメモリ。

[ C 17 ]

前記制御回路は、

前記第1のモードにおいて、前記メモリサイクルの始まりに応答して、前記読み取りクロックをセットし、前記読み取り動作が完了したとき、前記読み取りクロックをリセットするように構成された読み取りクロック回路と、

前記第1のモードにおいて、前記読み取りクロックを前記リセットすること、および

前記第2のモードにおいて、前記メモリサイクルの前記始まり

に応答して、前記書き込みクロックをセットするように構成された書き込みクロック回路とを備える、C14に記載のメモリ。

[C18]

前記書き込みクロック回路は、前記書き込み動作が完了したとき、前記書き込みクロックをリセットするようにさらに構成される、C17に記載のメモリ。

[C19]

前記制御回路は、

前記メモリサイクルの始まりに応答してセットされ、前記書き込み動作が完了したときにリセットされるように構成された出力を有する第1の回路と、

前記第1の回路の出力がセットされ、前記読み取りクロックがリセット状態にあるとき、前記書き込みクロックをセットするように構成された第2の回路とを備える書き込みクロック回路

を備える、C14に記載のメモリ。

[C20]

前記第1の回路は、ラッチを備え、

前記第2の回路は、前記第1の回路の出力と前記読み取りクロックとをゲーティングするための論理を備える、

C19に記載のメモリ。

[C21]

第1のモードにおいて、メモリサイクル中に読み取りおよび書き込み動作、および、第2のモードにおいて、前記メモリサイクル中に書き込み専用動作をサポートするように構成された複数のメモリセルと、

前記読み取り動作のための読み取りクロックおよび前記書き込み動作のための書き込みクロックを生成するように構成された制御回路と、ここにおいて、前記書き込みクロックは、前記第1のモードにおいて、前記読み取りクロックを前記リセットすることに応答して生成され、ここにおいて、前記書き込みクロックは、前記第1のモードにおいてよりも、前記第2のモードにおいて、前記メモリサイクル中により早く発生する、

を備えるメモリ。

[C22]

前記制御回路は、前記第1のモードにおいて、前記読み取りクロックをリセットすることに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、C21に記載のメモリ。

[C23]

前記制御回路は、前記第2のモードにおいて、前記メモリサイクルの始まりに応答して、前記書き込みクロックをセットすることによって、前記書き込みクロックを生成するようにさらに構成される、C21に記載のメモリ。

[C24]

前記制御回路は、

前記第1のモードにおいて、前記メモリサイクルの始まりに応答して、前記読み取りクロックをセットし、前記読み取り動作が完了したとき、前記読み取りクロックをリセットするように構成された読み取りクロック回路と、

前記第1のモードにおいて、前記読み取りクロックを前記リセットすること、および

前記第2のモードにおいて、前記メモリサイクルの前記始まり

に応答して、前記書き込みクロックをセットするように構成された書き込みクロック回路と

を備える、C 2 1に記載のメモリ。

[ C 2 5 ]

前記書込みクロック回路は、前記書込み動作が完了したとき、前記書込みクロックをリセットするようにさらに構成される、C 2 4に記載のメモリ。

[ C 2 6 ]

前記制御回路は、

前記メモリサイクルの始まりに応答してセットされ、前記書込み動作が完了したときにリセットされるように構成された出力を有する第1の回路と、

前記第1の回路の出力がセットされ、前記読み取りクロックがリセット状態にあるとき、前記書込みクロックをセットするように構成された第2の回路と

を備える書き込みクロック回路

を備える、C 2 1に記載のメモリ。

[ C 2 7 ]

前記第1の回路は、ラッチを備え、

前記第2の回路は、前記第1の回路の出力と前記読み取りクロックとをゲーティングするための論理を備える、

C 2 6に記載のメモリ。