

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成17年7月21日(2005.7.21)

【公開番号】特開2002-359559(P2002-359559A)

【公開日】平成14年12月13日(2002.12.13)

【出願番号】特願2002-77624(P2002-77624)

【国際特許分類第7版】

H 03M 1/68

G 09G 3/20

G 09G 3/36

H 03M 1/74

【F I】

H 03M 1/68

G 09G 3/20 623F

G 09G 3/20 641C

G 09G 3/36

H 03M 1/74

【手続補正書】

【提出日】平成16年12月1日(2004.12.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】D/A変換方法、D/A変換回路、並びにD/A変換回路を有する半導体装置、表示装置及び電子機器

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

nビットのデジタル信号(nは自然数)をアナログ信号に変換する方法であって、並列に接続されたm個(mはnより小さい自然数)の容量が用いられ、
プリチャージ期間において、前記nビットのデジタル信号のうち、上位n-mビットのデジタル信号によって、前記m個の容量における電荷の充電が制御され、
書き込み期間において、前記nビットのデジタル信号のうち、下位mビットのデジタル信号によって、前記m個の容量における電荷の充電が制御され、

前記プリチャージ期間と前記書き込み期間が交互にあり、前記m個の容量の一方の電極の電圧がアナログ信号として出力されることを特徴とするD/A変換方法。

【請求項2】

請求項1において、

プリチャージ期間において、充電するために前記m個の容量に入力される信号は、直列接続された2^{n-m}個の抵抗を有する抵抗分割型のD/A回路により生成されることを特徴とするD/A変換方法。

【請求項3】

請求項1において、

プリチャージ期間において、電荷を充電するために並列に接続された前記m個の容量に入力される信号は、 2^{n-m} 本の階調電圧線を有するセレクタ回路により生成され、
前記 2^{n-m} 本の階調電圧線には、それぞれ、互いに異なる電圧が入力されることを特徴とするD/A変換方法。

【請求項4】

請求項1乃至3のいずれか1項において、

前記m個の容量はそれぞれ容量値がC、 $2C$ 、 2^2C 、…、 $2^{m-1}C$ で表されることを特徴とするD/A変換方法。

【請求項5】

nビットのデジタル信号（nは自然数）をアナログ信号に変換するD/A変換回路であつて、

第1電極と第2電極を有するm個（mはnより小さい自然数）の容量と、

第1端子と第2端子を有する 2^{n-m} 個の抵抗と、

2^{n-m} 個の第1スイッチと、

m個の第2スイッチと、

1つの第3のスイッチと、

アナログ信号が出力される出力線と、

を有し、

前記m個の容量の第1電極は、それぞれ、互いに異なる前記第2スイッチを介して、第1の電源又は第2の電源のいずれか一方に選択的に接続され、

前記m個の容量の第2電極は、それぞれ、前記第3のスイッチの一方の端子、及び前記出力線に接続され、

前記 2^{n-m} 個の抵抗は、前記第1端子が他の抵抗の前記第2端子に接続されることで、直列に接続され、

前記 2^{n-m} 個の抵抗のうち、前記第1端子が他の抵抗の前記第2端子に接続されていない抵抗は、前記第1端子が第3の電源に接続され、

前記 2^{n-m} 個の抵抗のうち、前記第2端子が他の抵抗の前記第1端子に接続されていない抵抗は、前記第2端子が第4の電源に接続され、

前記 2^{n-m} 個の抵抗の第2端子は、それぞれ、互いに異なる前記第1スイッチの一方の端子に接続され、

前記 2^{n-m} 個の第1スイッチの他方の端子は、それぞれ、前記第3のスイッチの他方の端子に接続されていることを特徴とするD/A変換回路。

【請求項6】

nビットのデジタル信号（nは自然数）をアナログ信号に変換するD/A変換回路であつて、

第1電極と第2電極を有するm個（mはnより小さい自然数）の容量と、

第1端子と第2端子を有する 2^{n-m} 個の抵抗と、

2^{n-m} 個の第1スイッチと、

m個の第2スイッチと、

1つの第3のスイッチと、

アナログ信号が出力される出力線と、

を有し、

前記m個の容量の第1電極は、それぞれ、互いに異なる前記第2スイッチを介して、第1の電源又は第2の電源のいずれか一方に選択的に接続され、

前記m個の容量の第2電極は、それぞれ、前記第3のスイッチの一方の端子、及び前記出力線に接続され、

前記 2^{n-m} 個の抵抗は、前記第1端子が他の抵抗の前記第2端子に接続されることで、直列に接続され、

前記 2^{n-m} 個の抵抗のうち、前記第1端子が他の抵抗の前記第2端子に接続されていない抵抗は、前記第1端子が第3の電源に接続され、

前記 2^{n-m} 個の抵抗のうち、前記第 2 端子が他の抵抗の前記第 1 端子に接続されていない抵抗は、前記第 2 端子が第 4 の電源に接続され、

前記 2^{n-m} 個の抵抗の第 2 端子は、それぞれ、互いに異なる前記第 1 スイッチの一方の端子に接続され、

前記 2^{n-m} 個の第 1 スイッチの他方の端子は、それぞれ、前記第 3 のスイッチの他方の端子に接続され、

プリチャージ期間において、n ビットのデジタル信号のうち上位 $n-m$ ビットのデジタル信号によって、前記 2^{n-m} 個の第 1 スイッチのいずれか 1 つがオンになり、前記 m 個の第 2 のスイッチにより、前記 m 個の容量の第 1 電極は全て前記第 1 の電源に接続され、前記第 3 のスイッチがオンになり、

書き込み期間において、n ビットのデジタル信号のうち下位 m ビットのデジタル信号によって、前記 m 個の第 2 スイッチが制御され、前記 m 個の容量の第 1 電極は、それぞれ、前記第 1 の電源又は前記第 2 の電源のいずれか一方に接続され、前記第 3 のスイッチがオフになり、

前記 m 個の容量の第 2 電極における電圧がアナログ信号として前記出力線から出力されることを特徴とする D / A 変換回路。

【請求項 7】

請求項 5 又は 6 において、

前記 2^{n-m} 個の抵抗の抵抗値は同じであることを特徴とする D / A 変換回路。

【請求項 8】

請求項 5 乃至 7 のいずれか 1 項において、

前記 m 個の容量は、それぞれ、容量値が C、 $2C$ 、 2^2C 、…、 $2^{m-1}C$ で表されることを特徴とする D / A 変換回路。

【請求項 9】

請求項 5 又は 6 において、

前記 2^{n-m} 個の抵抗の抵抗値は同じであり、

前記 m 個の容量は、それぞれ、容量値が C、 $2C$ 、 2^2C 、…、 $2^{m-1}C$ であり、

前記第 1 の電源の電圧を V_C 、前記第 2 の電源の電圧を V_D 、前記第 3 の電源の電圧を V_A 、前記第 4 の電源の電圧を V_B 、前記出力線の容量を C_W とすると、以下の式 1 が満たされていることを特徴とする D / A 変換回路。

【式 1】

$$(V_D - V_C) = \frac{1}{2^n \cdot C} (V_B - V_A) \{C_W + C \cdot (2^m - 1)\}$$

【請求項 10】

n ビットのデジタル信号 (n は自然数) をアナログ信号に変換する D / A 変換回路であつて、

第 1 電極と第 2 電極を有する m 個 (m は n より小さい自然数) の容量と、

互いに電圧の値が異なる 2^{n-m} 本の階調電圧線と、

2^{n-m} 個の第 1 スイッチと、

m 個の第 2 スイッチと、

1 つの第 3 のスイッチと、

アナログ信号が出力される出力線と、

を有し、

前記 m 個の容量の記第 1 電極は、それぞれ、互いに異なる前記第 2 スイッチを介して、第 1 の電源と第 2 の電源のいずれか一方に接続され、

前記 2^{n-m} 本の階調電圧線は、それぞれ、互いに異なる前記第 1 スイッチを介して、前記第 3 のスイッチの他方の端子に接続されることを特徴とする D / A 変換回路。

【請求項 11】

n ビットのデジタル信号 (n は自然数) をアナログ信号に変換する D / A 変換回路であつ

て、

第1電極と第2電極を有するm個（mはnより小さい自然数）の容量と、

互いに電圧の値が異なる 2^{n-m} 本の階調電圧線と、

2^{n-m} 個の第1スイッチと、

m個の第2スイッチと、

1つの第3のスイッチと、

アナログ信号が出力される出力線と、

を有し、

前記m個の容量の記第1電極は、それぞれ、互いに異なる前記第2スイッチを介して、第1の電源と第2の電源のいずれか一方に接続され、

前記m個の容量の第2電極は、それぞれ、前記第3のスイッチの一方の端子、及び前記出力線に接続され、

前記 2^{n-m} 本の階調電圧線は、それぞれ、互いに異なる前記第1スイッチを介して、前記第3のスイッチの他方の端子に接続され、

プリチャージ期間において、nビットのデジタル信号のうち、上位n-mビットのデジタル信号によって 2^{n-m} 個の第1スイッチのいずれか1つがオンになり、前記m個の容量の第1電極は全て前記第1の電源に接続され、前記第3のスイッチがオンになり、

書き込み期間において、nビットのデジタル信号のうち、下位mビットのデジタル信号によって前記m個の第2スイッチが制御され、前記m個の容量の第1電極は、それぞれ、前記第1の電源と第2の電源のいずれか一方に接続され、前記第3のスイッチがオフにな前記m個の容量が有する第2電極における電圧がアナログ信号として前記出力線から出力されることを特徴とするD/A変換回路。

【請求項12】

請求項10又は11において、

V_A 、 V_B は一定の電圧を表し、

前記 2^{n-m} 本の階調電圧線の電圧は、それぞれ、 $V_B + (V_A - V_B) / 2^{n-m}$ 、 $V_B + 2(V_A - V_B) / 2^{n-m}$ 、 \dots 、 $V_B + (2^{n-m} - 1)(V_A - V_B) / 2^{n-m}$ 、 V_B に保たれることを特徴とするD/A変換回路。

【請求項13】

請求項10又は11において、

V_A 、 V_B は一定の電圧を表し、

前記 2^{n-m} 本の階調電圧線の電圧は、それぞれ、 $V_A + (V_B - V_A) / 2^{n-m}$ 、 $V_A + 2(V_B - V_A) / 2^{n-m}$ 、 \dots 、 $V_A + (2^{n-m} - 1)(V_B - V_A) / 2^{n-m}$ 、 V_A に保たれることを特徴とするD/A変換回路。

【請求項14】

請求項10乃至13のいずれか1項において、

前記m個の容量は、それぞれ、その容量値がそれぞれC、 $2C$ 、 2^2C 、 \dots 、 $2^{m-1}C$ で表されることを特徴とするD/A変換回路。

【請求項15】

請求項12又は13において、

前記m個の容量は、それぞれ、容量値がC、 $2C$ 、 2^2C 、 \dots 、 $2^{m-1}C$ で表され、

前記第1の電源の電圧を V_C 、前記第2の電源の電圧を V_D 、前記出力線によって形成される容量を C_W とすると、以下の式1が満たされていることを特徴とするD/A変換回路。

【式1】

$$(V_D - V_C) = \frac{1}{2^n \cdot C} (V_B - V_A) \{C_W + C \cdot (2^m - 1)\}$$

【請求項16】

請求項5乃至15のいずれか1項に記載のD/A変換回路を有する半導体装置。

【請求項17】

請求項 5 乃至 15 のいずれか 1 項に記載の D / A 変換回路を用いた表示装置。

【請求項 18】

請求項 5 乃至 15 のいずれか 1 項に記載の D / A 変換回路が表示部又は制御回路に用いられた電子機器。

【請求項 19】

請求項 18 に記載の電子機器は、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末、画像再生装置のいずれかの機器である。