

(21)申請案號：101130703

(22)申請日：中華民國 101 (2012) 年 08 月 23 日

(51)Int. Cl. :

H01L21/311 (2006.01)

G02B26/00 (2006.01)

B81C1/00 (2006.01)

H01L27/12 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2011/08/24

美國

13/217,177

(71)申請人：高通微機電系統科技公司(美國) QUALCOMM MEMS TECHNOLOGIES, INC.

(US)

美國

(72)發明人：洪 約翰 元丘 HONG, JOHN HYUNCHUL (US)；李 瓊 厄克 LEE, CHONG

UK (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：16 共 94 頁

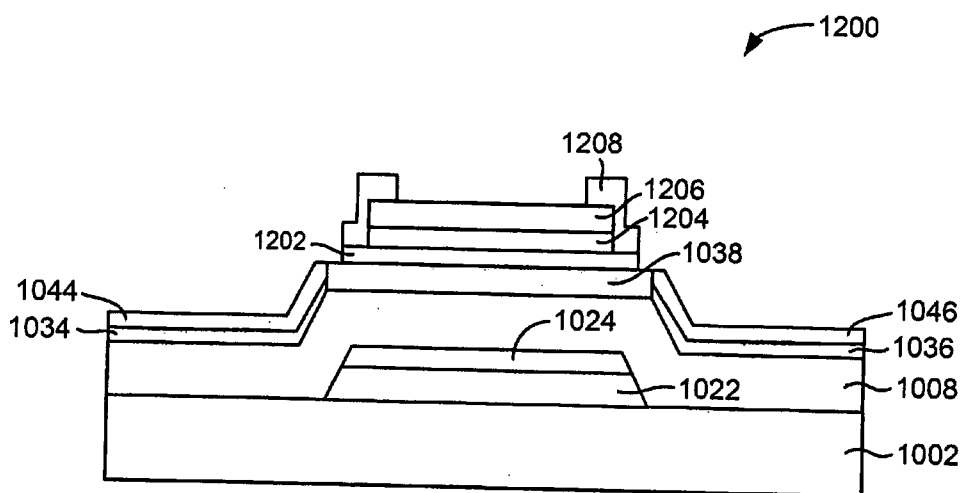
(54)名稱

矽化物間隙薄膜電晶體

SILICIDE GAP THIN FILM TRANSISTOR

(57)摘要

本發明提供用於製造薄膜電晶體裝置之系統、方法及設備。在一態樣中，提供一基板，該基板包含基板表面上之一矽層。在該矽層上形成一金屬層。在該金屬層及該基板表面之曝露區域上形成一第一介電層。處理該金屬層及該矽層，且該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該介電層之間之一間隙。在該第一介電層上形成一非晶矽層。加熱及冷卻該非晶矽層。上覆於該基板表面之該非晶矽層以快於上覆於該間隙之該非晶矽層之一速率冷卻。



1002: 基板/下伏基板

1008：第一介電層

1022：下伏矽化物層/
矽化物層

1024：間隙

1034：第一砂區域

1036：第二砂區域

1038：第三砂區域

1044：第一矽區域之
n 摻雜部分

1046：第二矽區域之
n 摻雜部分

1200：部分製造薄膜
電晶體(TFT)裝置

1202：第三介電層

1204：第二間隙

1206：第二矽化物層

1208：第四介電層



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201314773 A1

(43)公開日：中華民國 102 (2013) 年 04 月 01 日

(21)申請案號：101130703

(22)申請日：中華民國 101 (2012) 年 08 月 23 日

(51)Int. Cl.：

H01L21/311 (2006.01)

G02B26/00 (2006.01)

B81C1/00 (2006.01)

H01L27/12 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2011/08/24

美國

13/217,177

(71)申請人：高通微機電系統科技公司 (美國) QUALCOMM MEMS TECHNOLOGIES, INC.

(US)

美國

(72)發明人：洪 約翰 元丘 HONG, JOHN HYUNCHUL (US)；李 瓊 厄克 LEE, CHONG

UK (US)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：29 項 圖式數：16 共 94 頁

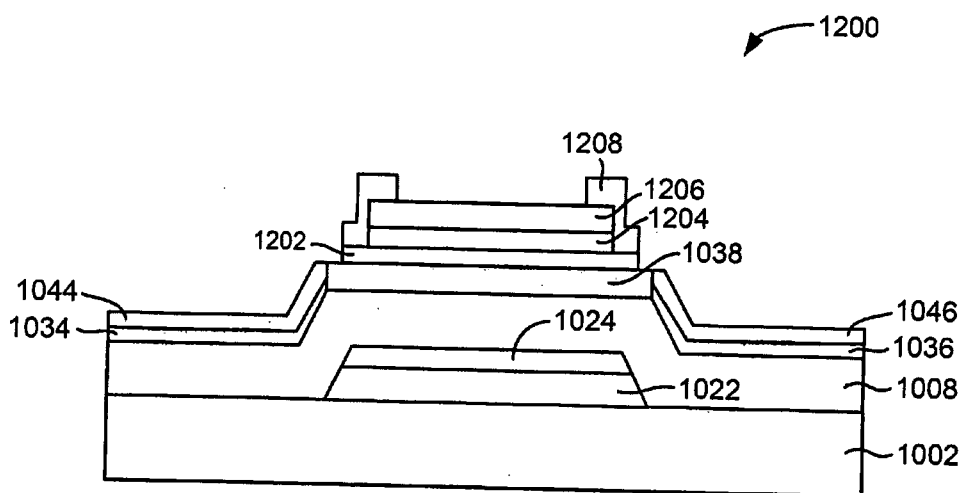
(54)名稱

矽化物間隙薄膜電晶體

SILICIDE GAP THIN FILM TRANSISTOR

(57)摘要

本發明提供用於製造薄膜電晶體裝置之系統、方法及設備。在一態樣中，提供一基板，該基板包含基板表面上之一矽層。在該矽層上形成一金屬層。在該金屬層及該基板表面之曝露區域上形成一第一介電層。處理該金屬層及該矽層，且該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該介電層之間之一間隙。在該第一介電層上形成一非晶矽層。加熱及冷卻該非晶矽層。上覆於該基板表面之該非晶矽層以快於上覆於該間隙之該非晶矽層之一速率冷卻。



1002：基板/下伏基板

1008：第一介電層

1022：下伏矽化物層/
矽化物層

1024：間隙

1034：第一矽區域

1036：第二矽區域

1038：第三矽區域

1044：第一矽區域之
n 摻雜部分

1046：第二矽區域之
n 摻雜部分

1200：部分製造薄膜
電晶體(TFT)裝置

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101130703

※申請日：101.8.23

※IPC 分類：

H01L	21/311	(2006.1)
G02B	26/00	(2006.1)
B81C	1/00	(2006.1)
H01L	27/12	(2006.1)
H01L	29/786	(2006.1)

一、發明名稱：(中文/英文)

矽化物間隙薄膜電晶體

SILICIDE GAP THIN FILM TRANSISTOR

二、中文發明摘要：

本發明提供用於製造薄膜電晶體裝置之系統、方法及設備。在一態樣中，提供一基板，該基板包含基板表面上之一矽層。在該矽層上形成一金屬層。在該金屬層及該基板表面之曝露區域上形成一第一介電層。處理該金屬層及該矽層，且該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該介電層之間之一間隙。在該第一介電層上形成一非晶矽層。加熱及冷卻該非晶矽層。上覆於該基板表面之該非晶矽層以快於上覆於該間隙之該非晶矽層之一速率冷卻。

三、英文發明摘要：

This disclosure provides systems, methods and apparatus for fabricating thin film transistor devices. In one aspect, a substrate including a silicon layer on the substrate surface is provided. A metal layer is formed on the silicon layer. A first dielectric layer is formed on the metal layer and exposed regions of the substrate surface. The metal layer and the silicon layer are treated, and the metal layer reacts with the silicon layer to form a silicide layer and a gap between the silicide layer and the dielectric layer. An amorphous silicon layer is formed on the first dielectric layer. The amorphous silicon layer is heated and cooled. The amorphous silicon layer overlying the substrate surface cools at a faster rate than the amorphous silicon layer overlying the gap.

四、指定代表圖：

(一)本案指定代表圖為：第(12)圖。

(二)本代表圖之元件符號簡單說明：

1002	基板/下伏基板
1008	第一介電層
1022	下伏矽化物層/矽化物層
1024	間隙
1034	第一矽區域
1036	第二矽區域
1038	第三矽區域
1044	第一矽區域之n摻雜部分
1046	第二矽區域之n摻雜部分
1200	部分製造薄膜電晶體(TFT)裝置
1202	第三介電層
1204	第二間隙
1206	第二矽化物層
1208	第四介電層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於薄膜電晶體裝置，且更特定言之係關於薄膜電晶體裝置之製造方法。

【先前技術】

機電系統(EMS)包含具有電元件及機械元件、致動器、傳感器、感測器、光學組件(包含鏡)及電子器件之裝置。機電系統可以多種尺度製造，包含(但不限於)微尺度及奈米尺度。例如，微機電系統(MEMS)裝置可包含具有在約1微米至數百微米或更大之範圍內之大小之結構。奈米機電系統(NEMS)裝置可包含具有小於1微米之大小(包含例如小於數百奈米之大小)之結構。可使用沈積、蝕刻、微影術及/或蝕除基板及/或經沈積材料層之部分或添加層之其他微機械加工方法產生機電元件以形成電裝置及機電裝置。

一種類型的EMS裝置稱為干涉量測調變器(IMOD)。如本文使用，術語干涉量測調變器或干涉量測光調變器指代使用光學干涉原理選擇性地吸收及/或反射光之一裝置。在一些實施方案中，一干涉量測調變器可包含一對導電板，該對導電板之一者或兩者可為全部或部分透明及/或具反射性且能夠在施加一適當電信號之後相對運動。在一實施方案中，一板可包含沈積於一基板上之一固定層，且另一板可包含藉由一氣隙與該固定層分離之一反射膜。一板相對於另一板之位置可改變入射在該干涉量測調變器上之光之光學干涉。干涉量測調變器裝置具有廣泛的應用，且預

期用於改良現有產品及產生新產品，尤其係具有顯示能力之產品。

硬體及資料處理設備可與機電系統相關聯。此硬體及資料處理設備可包含一薄膜電晶體(TFT)裝置。一TFT裝置包含一半導體材料中之一源極區域、一汲極區域及一通道區域。

【發明內容】

本發明之系統、方法及裝置各具有若干發明態樣，該若干發明態樣之單單一者不單獨作為本文揭示之所要屬性。

可在製造一薄膜電晶體(TFT)裝置之一方法中實施本發明中描述之標的之一發明態樣。具有一表面之一基板可包含基板表面之一區域上之一第一矽層，其中該第一矽層使該基板表面之區域保持曝露。可在該第一矽層上形成一第一金屬層。可在該第一金屬層及該基板表面之曝露區域上形成一第一介電層。可處理該第一金屬層及該第一矽層，從而使該第一金屬層與該第一矽層反應以形成一第一矽化物層及介於該第一矽化物層與該第一介電層之間之一第一間隙。可在該第一介電層上形成一非晶矽層，其中該非晶矽層包含上覆於該基板表面之曝露區域之一第一矽區域及一第二矽區域以及上覆於該第一間隙之一第三矽區域，其中該第三矽區域係介於該第一矽區域與該第二矽區域之間。可加熱及冷卻該非晶矽層。該第一矽區域及該第二矽區域可以快於該第三矽區域之一速率冷卻。

在一些實施方案中，該第一金屬層包含鈦、鎳、鉬、

鈿、鎢、鉑或鈷。在一些實施方案中，該第三矽區域可包含一單個矽晶粒(grain)或若干矽晶粒，且該第一矽區域及該第二矽區域可包含非晶矽或小於該第三矽區域中之單個矽晶粒或若干矽晶粒之矽晶粒。在一些實施方案中，介於第一矽化物層與第一介電層之間之第一間隙可為一真空間隙。

亦可在製造一薄膜電晶體(TFT)裝置之一方法中實施本發明中描述之標的之另一發明態樣。具有一表面之一基板可包含該基板表面之一區域上之一矽層，其中該矽層使該基板表面之區域保持曝露。可在該矽層上形成一金屬層。可移除該金屬層及該矽層之一部分以曝露該基板表面之一部分。可在該金屬層、該基板表面之曝露區域及該基板表面之曝露部分上形成一介電層。可處理該金屬層及該矽層，從而使該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該介電層之間之一間隙。可在該介電層上形成一非晶矽層，該非晶矽層包含上覆於該基板表面之曝露區域之一第一矽區域及一第二矽區域以及上覆於該間隙之一第三矽區域，其中該第三矽區域係介於該第一矽區域與該第二矽區域之間。可加熱及冷卻該非晶矽層。該第一矽區域及該第二矽區域可以快於該第三矽區域之一速率冷卻。

在一些實施方案中，該金屬層包含鈦、鎳、鉬、鈿、鎢、鉑或鈷。在一些實施方案中，該第三矽區域可包含一單個矽晶粒或若干矽晶粒，且該第一矽區域及該第二矽區

域可包含非晶矽或小於該第三矽區域中之單個矽晶粒或若干矽晶粒之矽晶粒。

亦可在一設備中實施本發明中描述之標的之另一發明態樣。該設備可包含具有一表面之一基板，其中一第一矽化物層與該基板表面相關聯。一第一介電層之至少一部分可處於該基板表面上。一第一真空間隙可介於該第一矽化物層與該第一介電層之間。一矽層可處於該第一介電層上，其中該矽層包含一第一矽區域、一第二矽區域及一第三矽區域。該第三矽區域可上覆於該第一真空間隙且可介於該第一矽區域與該第二矽區域之間。該第三矽區域可包含一單個矽晶粒或若干矽晶粒，且該第一矽區域及該第二矽區域可包含非晶矽或小於該第三矽區域中之單個矽晶粒或若干矽晶粒之矽晶粒。

在一些實施方案中，該第一矽化物層可為矽化鈦、矽化鎳、矽化鉬、矽化鉭、矽化鎢、矽化鉑或矽化鈷。在一些實施方案中，該第一真空間隙之一厚度可經組態以歸因於大氣壓力之一變化而增加或降低。在一些實施方案中，該設備可經組態以產生一絕對壓力讀數。在一些實施方案中，可藉由將一固定電位施加於該第一矽化物層且判定該第一矽區域與該第二矽區域之間之一電流而產生該絕對壓力讀數。

在隨附圖式及下文描述中闡述本說明書中描述之標的之一或多個實施方案之細節。雖然主要就基於機電系統(EMS)及微機電系統(MEMS)之顯示器描述本發明中提供之

實例，但是本文提供之概念亦可應用於其他類型的顯示器，諸如液晶顯示器、有機發光二極體(「OLED」)顯示器及場發射顯示器。自描述、圖式及申請專利範圍將明白其他特徵、態樣及優點。注意，下列圖式之相對尺寸不一定按比例繪製。

【實施方式】

在各種圖式中，相同的參考數字及符號指示相同元件。

以下描述係關於用於描述本發明之發明態樣之目的之某些實施方案。然而，一般技術者將認知本文中的教示可以許多不同方式應用。所描述之實施方案可在經組態以顯示無論係動態(例如，視訊)或靜態(例如，靜止影像)及無論係文字、圖形或圖像之一影像之任何裝置或系統中實施。更特定言之，預期該等所描述之實施方案可包含於多種電子裝置中或與多種電子裝置相關聯，該等電子裝置諸如(但不限於)：行動電話、啟用多媒體網際網路之蜂巢式行動電話、行動電視接收器、無線裝置、智慧型手機、藍芽裝置、個人資料助理(PDA)、無線電子郵件接收器、掌上型或可攜式電腦、小筆電、筆記型電腦、智慧型筆電、平板電腦、印表機、影印機、掃描儀、傳真裝置、GPS接收器/導航器、相機、MP3播放器、攝錄影機、遊戲主控台、腕錶、時鐘、計算器、電視監視器、平板顯示器、電子閱讀裝置(例如，電子書閱讀器)、電腦監視器、汽車顯示器(例如，里程表及速度計顯示器等等)、駕駛艙控制器件及/或顯示器、攝影機景觀顯示器(諸如，車輛中之一後視攝

影機之顯示器)、電子相冊、電子廣告牌或標誌牌、投影儀、建築結構、微波爐、冰箱、立體聲系統、卡帶錄攝影機或播放器、DVD播放器、CD播放器、VCR、收音機、可攜式記憶體晶片、洗衣器、乾衣器、洗衣器/乾衣器、停車計時器、包裝(諸如,在機電系統(EMS)、微機電系統(MEMS)及非MEMS應用中)、美學結構(例如,一件珠寶上之影像顯示器)及多種EMS裝置。本文中的教示亦可用於非顯示器應用中,諸如(但不限於)電子切換裝置、射頻濾波器、感測器、加速度計、陀螺儀、運動感測裝置、磁力計、消費型電子器件之慣性組件、消費型電子器件產品之零件、變容二極體、液晶裝置、電泳裝置、驅動方案、製造程序及電子測試設備。因此,該等教示不旨在限於僅在圖式中描繪之實施方案,而是如一般技術者將容易明白般具有廣泛適用性。

本文描述之一些實施方案係關於薄膜電晶體(TFT)裝置及其製造方法。在一些實施方案中,在一基板之一矽層上沈積形成矽化物之一金屬層。例如,形成矽化物之金屬包含鈦(Ti)、鎳(Ni)、鉬(Mo)、鉭(Ta)、鎢(W)、鉑(Pt)及鈷(Co)。在該金屬層及該基板上沈積一介電層,使得該金屬層及該矽層囊封在該基板與該介電層之間。當處理該金屬層及該矽層時,該金屬層與該矽層反應以形成矽化物層。在該處理期間,由該矽化物層之形成消耗之金屬層之部分在該矽化物層與該介電層之間形成一真空間隙。該真空間隙可形成一TFT裝置之一閘極絕緣體之部分。此外,該真

空間隙可用於製造作為一TFT裝置之部分之進一步結構。

例如，在本文描述以製造一TFT裝置之一些實施方案中，可提供一基板。一矽層可上覆於基板表面之一區域，使得該基板表面之一或多個其他區域保持曝露。可在該矽層上形成一金屬層。可在該金屬層及該基板表面之曝露區域上形成一第一介電層。可處理該金屬層及該矽層，使得該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該第一介電層之間之一間隙。接著可在該第一介電層上形成一非晶矽(a-Si)層。該非晶矽層可包含上覆於該基板之曝露區域之一第一矽區域及一第二矽區域以及上覆於該間隙之一第三矽區域。該第三矽區域係介於該第一矽區域與該第二矽區域之間。接著可加熱及冷卻該非晶矽層。在一些實施方案中，該第一矽區域及/或該第二矽區域以快於該第三矽區域之一速率冷卻。

在一些實施方案中，該第一矽區域及該第二矽區域可形成該TFT裝置之源極區域及汲極區域，該第三矽區域可形成該TFT裝置之一通道區域，該矽化物層可形成該TFT裝置之一閘極，且該間隙及該第一介電層可形成該TFT裝置之一閘極絕緣體。可執行進一步操作以完成該TFT裝置之製造。

可實施本發明中描述之標的之特定實施方案以實現下列潛在優點之一或多者。可使用實施方案以製造併入具有空氣或真空閘極絕緣體之矽之一TFT裝置，此可改良該TFT裝置之效能。此等TFT裝置可具有改良式場效遷移率，使

得其等可用於顯示裝置技術。此外，此等TFT裝置中之空氣或真空閘極絕緣體可不含可引起裝置變動之污染或殘留物。亦可使用該等方法之實施方案以製造頂部閘極TFT裝置。一TFT裝置中之一頂部閘極可改良該TFT裝置之閘極洩漏及閘極崩潰性質。

此外，實施方案可用作為一絕對壓力感測器。運用一壓敏閘極絕緣體，絕對壓力可與流動通過該TFT裝置之電流有關。可在無複雜電路之情況下完成以此方式判定絕對壓力。

可應用所描述之實施方案之一適當EMS或MEMS裝置之一實例係一反射顯示裝置。反射顯示裝置可併入干涉量測調變器(IMOD)以使用光學干涉之原理選擇性地吸收及/或反射入射在其上之光。IMOD可包含一吸收體、可相對於該吸收體移動之一反射體及界定於該吸收體與該反射體之間之一光學諧振腔。該反射體可移動至兩個或兩個以上不同位置，此可改變光學諧振腔之大小且藉此影響干涉量測調變器之反射比。IMOD之反射比光譜可產生相當較寬的光譜帶，該等光譜帶可跨可見波長移位以產生不同色彩。可藉由改變光學諧振腔之厚度(即，藉由改變反射體之位置)來調整光譜帶之位置。

圖1展示描繪一干涉量測調變器(IMOD)顯示裝置之一系列像素中之兩個相鄰像素之一等角視圖之一實例。該IMOD顯示裝置包含一或多個干涉量測MEMS顯示元件。在此等裝置中，MEMS顯示元件之像素可處於亮狀態或暗

狀態中。在亮(「鬆弛」、「打開」或「開啟」)狀態中，顯示元件將入射可見光之大部分反射至(例如)使用者。相反，在暗(「致動」、「閉合」或「關閉」)狀態中，顯示元件反射少量入射可見光。在一些實施方案中，可顛倒開啟狀態及關閉狀態之光反射比性質。MEMS像素可經組態以主要在容許除黑色及白色以外之一色彩顯示之特定波長處反射。

IMOD顯示裝置可包含IMOD之一列/行陣列。每一IMOD可包含一對反射層(即，一可移動反射層及一固定部分反射層)，該對反射層定位於彼此相距一可變且可控制距離處以形成一氣隙(亦稱為一光學間隙或腔)。該可移動反射層可在至少兩個位置之間移動。在一第一位置(即，一鬆弛位置)中，該可移動反射層可定位於距該固定部分反射層之一相對較大距離處。在一第二位置(即，一致動位置)中，該可移動反射層可定位成更接近該部分反射層。自該兩個層反射之入射光可取決於該可移動反射層之位置而相長地或相消地干涉，從而針對每一像素產生一總體反射或非反射狀態。在一些實施方案中，IMOD在未致動時可處於反射狀態中，反射可見光譜內之光，且在致動時可處於暗狀態中，反射可見範圍外之光(例如，紅外光)。然而，在一些其他實施方案中，一IMOD在未致動時可處於暗狀態中，且在致動時處於反射狀態中。在一些實施方案中，引入一施加電壓可驅動像素以改變狀態。在一些其他實施方案中，一施加電荷可驅動像素以改變狀態。

圖1中之像素陣列之所描繪部分包含兩個相鄰干涉量測調變器12。在左側的IMOD 12(如圖解說明)中，一可移動反射層14係圖解說明為處於距包含一部分反射層之一光學堆疊16一預定距離之一鬆弛位置中。跨左側的IMOD 12施加之電壓 V_0 不足以引起該可移動反射層14之致動。在右側的IMOD 12中，可移動反射層14係圖解說明為處於接近或相鄰於該光學堆疊16之一致動位置中。跨右側的IMOD 12施加之電壓 V_{bias} 足以使可移動反射層14維持在致動位置中。

在圖1中，像素12之反射性質整體用箭頭13圖解說明，該箭頭13指示入射在像素12上之光及自左側IMOD 12反射之光15。雖然未詳細圖解說明，但是一般技術者將瞭解入射在像素12上之光13之大部分將朝向光學堆疊16而透射穿過透明基板20。入射在光學堆疊16上之光之一部分將透射穿過光學堆疊16之部分反射層且一部分將被反射回來穿過透明基板20。透射穿過光學堆疊16之光13之部分將在可移動反射層14處朝向透明基板20被反射回來(並穿過透明基板20)。自光學堆疊16之部分反射層反射之光與自可移動反射層14反射之光之間之干涉(相長或相消)將判定自IMOD 12反射之光15之(諸)波長。

光學堆疊16可包含一單一層或若干層。該(等)層可包含一電極層、一部分反射及部分透射層及一透明介電層之一或多者。在一些實施方案中，光學堆疊16係導電、部分透明及部分反射，且可(例如)藉由將上述層之一或多者沈積

在一透明基板20上而製造。電極層可由多種材料(諸如各種金屬，例如銦錫氧化物(ITO))形成。部分反射層可由具部分反射性之多種材料(諸如各種金屬，例如鉻(Cr)、半導體及介電質)形成。部分反射層可由一或多個材料層形成，且該等層之各者可由單一材料或一材料組合形成。在一些實施方案中，光學堆疊16可包含一單一半透明金屬或半導體厚度，其用作一光學吸收體及導體兩者，而(例如，光學堆疊16或IMOD之其他結構之)不同、導電性更強之層或部分可用以在IMOD像素之間載送信號。光學堆疊16亦可包含覆蓋一或多個導電層或一導電/吸收層之一或多個絕緣或介電層。

在一些實施方案中，如下文進一步描述，光學堆疊16之(諸)層可經圖案化為平行條狀物，且可形成一顯示裝置中之列電極。如一般技術者所瞭解，本文中使用的術語「圖案化」以指代遮罩以及蝕刻程序。在一些實施方案中，諸如鋁(Al)之一高度導電及反射材料可用於可移動反射層14，且此等條狀物可形成一顯示裝置中之行電極。可移動反射層14可形成為一沈積金屬層或若干沈積金屬層之一系列平行條狀物(正交於光學堆疊16之列電極)以形成沈積在柱18之頂部上之行及沈積在柱18之間之一介入犧牲材料。當蝕除犧牲材料時，可在可移動反射層14與光學堆疊16之間形成一界定間隙19或光學腔。在一些實施方案中，柱18之間之間隔可為大約1 μm 至1000 μm ，而間隙19可小於10,000 埃($\text{\AA}$)。

在一些實施方案中，IMOD之每一像素(無論處於致動狀態中或鬆弛狀態中)本質上係藉由固定反射層及移動反射層形成之一電容器。如藉由圖1左側的IMOD 12所圖解說明，當未施加電壓時，可移動反射層14保持在一機械鬆弛狀態中，可移動反射層14與光學堆疊16之間具有間隙19。然而，當將一電位差(例如，電壓)施加於一選定列及行之至少一者時，形成於對應像素處之列電極及行電極之交叉處之電容器開始充電，且靜電力將電極牽拉在一起。若該施加電壓超過一臨限值，則可移動反射層14可變形且移動接近光學堆疊16或抵著光學堆疊16而移動。如圖1右側的致動IMOD 12所圖解說明，光學堆疊16內之一介電層(未展示)可防止短路並控制該等層14與16之間之分離距離。無關於所施加的電位差之極性，行為均相同。雖然在一些例項中可將一陣列中之一系列像素稱為「列」或「行」，但是一般技術者將容易瞭解將一方向稱為「列」且將另一方向稱為「行」係任意的。換言之，在一些定向上，列可視為行，且行可視為列。此外，顯示元件可均勻地配置為正交列及行(一「陣列」)或配置為(例如)相對於彼此具有特定位置偏移之非線性組態(一「馬賽克」)。術語「陣列」及「馬賽克」可指代任意組態。因此，雖然顯示器係稱為包含一「陣列」或「馬賽克」，但是在任何例項中，元件本身無需配置成彼此正交或佈置成一均勻分佈，而是可包含具有不對稱形狀及不均勻分佈元件之配置。

圖2展示圖解說明併入一3x3干涉量測調變器顯示器之一

電子裝置之一系統方塊圖之一實例。該電子裝置包含可經組態以執行一或多個軟體模組之一處理器21。除執行一作業系統外，該處理器21亦可經組態以執行一或多個軟體應用程式，包含一網頁瀏覽器、一電話應用程式、一電子郵件程式或任何其他軟體應用程式。

該處理器21可經組態以與一陣列驅動器22通信。該陣列驅動器22可包含提供信號給(例如)一顯示陣列或面板30之一列驅動器電路24及一行驅動器電路26。圖1中圖解說明之IMOD顯示裝置之截面係藉由圖2中之線1-1加以展示。雖然圖2為清楚起見而圖解說明IMOD之一3x3陣列，但是該顯示陣列30可含有極多個IMOD，且列中之IMOD數目可不同於行中之IMOD數目，且反之亦然。

圖3展示圖解說明圖1之干涉量測調變器之可移動反射層位置對施加電壓之一圖之一實例。對於MEMS干涉量測調變器，列/行(即，共同/分段)寫入程序可利用如圖3中圖解說明之此等裝置之一磁滯性質。一干涉量測調變器可需要(例如)約10伏特電位差以引起可移動反射層或鏡自鬆弛狀態改變為致動狀態。當電壓自該值減小時，可移動反射層維持其狀態，此係因為電壓下降回至(例如)10伏特以下，然而，該可移動反射層直至電壓下降至2伏特以下才完全鬆弛。因此，如圖3中所示，存在大約3伏特至7伏特之一電壓範圍，在該範圍中存在其中裝置在鬆弛狀態中或致動狀態中皆係穩定之一施加電壓窗。在本文中，將該窗稱為「磁滯窗」或「穩定性窗」。對於具有圖3之磁滯特性之一

顯示陣列30，列/行寫入程序可經設計以一次定址一或多列，使得在定址一給定列期間，所定址列中待致動之像素係曝露於約10伏特之一電壓差，且待鬆弛之像素係曝露於接近零伏特之一電壓差。在定址之後，將該等像素曝露於一穩定狀態或大約5伏特之偏壓電壓差，使得該等像素保持在先前選通狀態中。在此實例中，在經定址之後，每一像素經歷約3伏特至7伏特之「穩定性窗」內之一電位差。此磁滯性質特徵使像素設計(例如，圖1中圖解說明)能夠在相同施加電壓條件下在一致動或鬆弛預先存在狀態中保持穩定。因為每一IMOD像素(無論處於致動狀態中或鬆弛狀態中)本質上係藉由固定反射層及移動反射層形成之一電容器，所以此穩定狀態可保持在磁滯窗內之一穩定電壓而不實質上消耗或損耗電力。此外，若該施加電壓電位保持實質上固定，則基本上少量或無電流流入IMOD像素中。

在一些實施方案中，可根據一給定列中之像素之狀態之所要變化(若存在)，藉由沿行電極集合以「分段」電壓之形式施加資料信號來產生一影像之一圖框。可輪流定址陣列之每一列，使得一次一列寫入圖框。為將所要資料寫入至一第一列中之像素，可將對應於該第一列中之像素之所要狀態之分段電壓施加於行電極上，且可將呈一特定「共同」電壓或信號形式之一第一列脈衝施加至第一列電極。接著，可改變分段電壓集合以對應於第二列中之像素之狀態之所要變化(若存在)，且可將一第二共同電壓施加至第二列電極。在一些實施方案中，第一列中之像素未受沿行

電極施加之分段電壓之變化影響，且保持在其等在第一共同電壓列脈衝期間所設定之狀態。可針對整個系列之列或行以一循序方式重複此程序以產生影像圖框。可使用新影像資料藉由以每秒某一所要數目個圖框持續重複此程序來刷新及/或更新該等圖框。

跨每一像素施加之分段及共同信號之組合(即，跨每一像素之電位差)判定每一像素之所得狀態。圖4展示圖解說明在施加各種共同電壓及分段電壓時一干涉量測調變器之各種狀態之一表之一實例。如一般技術者將容易瞭解，「分段」電壓可施加至行電極或列電極，且「共同」電壓可施加至行電極或列電極之另一者。

如圖4中(以及圖5B中所示之時序圖中)所圖解說明，當沿一共同線施加一釋放電壓 $V_{C_{REL}}$ 時，無關於沿分段線施加之電壓(即，高分段電壓 V_{S_H} 及低分段電壓 V_{S_L})，沿該共同線之所有干涉量測調變器元件皆將被置於一鬆弛狀態中，或者稱為一釋放狀態或未致動狀態。特定言之，當沿一共同線施加釋放電壓 $V_{C_{REL}}$ 時，跨調變器之電位電壓(或者稱為一像素電壓)在沿該像素之對應分段線施加高分段電壓 V_{S_H} 及低分段電壓 V_{S_L} 時係處於鬆弛窗(參見圖3，亦稱為一釋放窗)內。

當在一共同線上施加一保持電壓(諸如一高保持電壓 $V_{C_{HOLD_H}}$ 或一低保持電壓 $V_{C_{HOLD_L}}$)時，干涉量測調變器之狀態將保持恆定。例如，一鬆弛IMOD將保持在一鬆弛位置中，且一致動IMOD將保持在一致動位置中。保持電壓

可經選擇使得在沿對應分段線施加高分段電壓 VS_H 及低分段電壓 VS_L 時，像素電壓將保持在一穩定性窗內。因此，分段電壓擺動(即，高分段電壓 VS_H 與低分段電壓 VS_L 之間之差)係小於正穩定性窗或負穩定性窗之寬度。

當在一共同線上施加一定址或致動電壓(諸如一高定址電壓 VC_{ADD_H} 或一低定址電壓 VC_{ADD_L})時，可沿該線藉由沿各自分段線施加分段電壓而將資料選擇性地寫入至調變器。分段電壓可經選擇使得致動取決於所施加之分段電壓。當沿一共同線施加一定址電壓時，施加一分段電壓將導致一穩定性窗內之一像素電壓，從而引起像素保持未致動。相比之下，施加另一分段電壓將導致超出穩定性窗之一像素電壓，進而導致像素之致動。引起致動之特定分段電壓可取決於所使用的定址電壓而改變。在一些實施方案中，當沿共同線施加高定址電壓 VC_{ADD_H} 時，施加高分段電壓 VS_H 可引起一調變器保持於其當前位置中，而施加低分段電壓 VS_L 可引起該調變器致動。作為一推論，當施加一低定址電壓 VC_{ADD_L} 時，分段電壓之影響可相反，其中高分段電壓 VS_H 引起該調變器致動，且低分段電壓 VS_L 對該調變器之狀態不具有影響(即，保持穩定)。

在一些實施方案中，可使用跨調變器始終產生相同極性電位差之保持電壓、定址電壓及分段電壓。在一些其他實施方案中，可使用使調變器之電位差之極性交替之信號。跨調變器之極性之交替(即，寫入程序之極性之交替)可減小或抑制在重複一單一極性之寫入操作之後可發生之電荷

累積。

圖5A展示圖解說明圖2之3x3干涉量測調變器顯示器中之一顯示資料圖框之一圖之一實例。圖5B展示可用以寫入圖5A中圖解說明之顯示資料之圖框之共同信號及分段信號之一時序圖之一實例。該等信號可施加至(例如)圖2之3x3陣列，此最終將導致圖5A中圖解說明之顯示配置之線時間60e。圖5A中之致動調變器係處於一暗狀態中(即，其中反射光之大部分係在可見光譜之外)以導致對(例如)一觀看者之一暗外觀。在寫入圖5A中圖解說明之圖框之前，像素可處於任何狀態中，但是圖5B之時序圖中圖解說明之寫入程序假定每一調變器已在第一線時間60a之前釋放且駐留在一未致動狀態中。

在第一線時間60a期間：將一釋放電壓70施加於共同線1上；施加於共同線2上之電壓開始於一高保持電壓72且移動至一釋放電壓70；及沿共同線3施加一低保持電壓76。因此，在第一線時間60a之持續時間之內，沿共同線1之調變器(共同1，分段1)、(共同1，分段2)及(共同1，分段3)保持在一鬆弛或未致動狀態中，沿共同線2之調變器(共同2，分段1)、(共同2，分段2)及(共同2，分段3)將移動至一鬆弛狀態，且沿共同線3之調變器(共同3，分段1)、(共同3，分段2)及(共同3，分段3)將保持在其等先前狀態中。參考圖4，沿分段線1、2及3施加之分段電壓將對干涉量測調變器之狀態不具有影響，此係因為在線時間60a期間，共同線1、2或3未被曝露於引起致動之電壓位準(即， $V_{C_{REL}}$ -

鬆弛及 V_{CHOLD_L} -穩定)。

在第二線時間 60b 期間，共同線 1 上之電壓移動至高保持電壓 72，且沿共同線 1 之所有調變器無關於所施加之分段電壓而保持在一鬆弛狀態中，此係因為在共同線 1 上未施加定址或致動電壓。歸因於釋放電壓 70 之施加，沿共同線 2 之調變器保持在一鬆弛狀態中，且沿共同線 3 之調變器(共同 3，分段 1)、(共同 3，分段 2)及(共同 3，分段 3)將在沿共同線 3 之電壓移動至一釋放電壓 70 時鬆弛。

在第三線時間 60c 期間，藉由在共同線 1 上施加一高定址電壓 74 而定址共同線 1。因為在施加此定址電壓期間沿分段線 1 及 2 施加一低分段電壓 64，所以跨調變器(共同 1，分段 1)及(共同 1，分段 2)之像素電壓大於調變器之正穩定性窗之高端(即，電壓差超過一預定義臨限值)，且致動調變器(共同 1，分段 1)及(共同 1，分段 2)。相反，因為沿分段線 3 施加一高分段電壓 62，所以跨調變器(共同 1，分段 3)之像素電壓小於跨調變器(共同 1，分段 1)及(共同 1，分段 2)之電壓且保持在調變器之正穩定性窗內；因此，調變器(共同 1，分段 3)保持鬆弛。又在線時間 60c 期間，沿共同線 2 之電壓降低至一低保持電壓 76，且沿共同線 3 之電壓保持在一釋放電壓 70，從而使沿共同線 2 及 3 之調變器保持於一鬆弛位置中。

在第四線時間 60d 期間，共同線 1 上之電壓返回至一高保持電壓 72，使沿共同線 1 之調變器保持於其等各自定址狀態中。共同線 2 上之電壓降低至一低定址電壓 78。因為沿

分段線2施加一高分段電壓62，所以跨調變器(共同2，分段2)之像素電壓係低於調變器之負穩定性窗之低端，從而引起調變器(共同2，分段2)致動。相反，因為沿分段線1及3施加一低分段電壓64，所以調變器(共同2，分段1)及(共同2，分段3)保持在一鬆弛位置中。共同線3上之電壓增加至一高保持電壓72，使沿共同線3之調變器保持於一鬆弛狀態中。

最終，在第五線時間60e期間，共同線1上之電壓保持在一高保持電壓72，且共同線2上之電壓保持在一低保持電壓76，使沿共同線1及2之調變器保持於其等各自定址狀態中。共同線3上之電壓增加至一高定址電壓74以定址沿共同線3之調變器。由於在分段線2及3上施加一低分段電壓64，所以調變器(共同3，分段2)及(共同3，分段3)致動，而沿分段線1施加之高分段電壓62引起調變器(共同3，分段1)保持在一鬆弛位置中。因此，在第五線時間60e結束時，3x3像素陣列係處於圖5A中所示之狀態中，且只要沿共同線施加保持電壓便將保持在該狀態中，無關於當定址沿其他共同線(未展示)之調變器時可發生之分段電壓之變動。

在圖5B之時序圖中，一給定寫入程序(即，線時間60a至60e)可包含使用高保持電壓及高定址電壓或低保持電壓及低定址電壓。一旦已針對一給定共同線完成該寫入程序(且將共同電壓設定為具有與致動電壓相同之極性之保持電壓)，像素電壓便保持在一給定穩定性窗內，且不通過

鬆弛窗直到在該共同線上施加一釋放電壓。此外，由於每一調變器係在定址調變器之前作為寫入程序之部分而釋放，所以一調變器之致動時間(而非釋放時間)可判定必要的線時間。具體言之，在其中一調變器之釋放時間大於致動時間之實施方案中，可施加釋放電壓達長於一單一線時間，如圖5B中所描繪。在一些其他實施方案中，可改變沿共同線或分段線施加之電壓以考量不同調變器(諸如不同色彩之調變器)之致動電壓及釋放電壓之變動。

根據上文陳述之原理進行操作之干涉量測調變器之結構之細節可能大不相同。例如，圖6A至圖6E展示干涉量測調變器之不同實施方案之截面之實例，包含可移動反射層14及其支撐結構。圖6A展示圖1之干涉量測調變器顯示器之一部分截面之一實例，其中金屬材料之一條狀物(即，可移動反射層14)係沈積在自基板20正交地延伸之支撐件18上。在圖6B中，每一IMOD之可移動反射層14之形狀大致上為正方形或矩形，且在角隅處或角隅附近附接至支撐件之繫鏈32上。在圖6C中，可移動反射層14之形狀大致上為正方形或矩形且自可包含一可撓性金屬之一可變形層34上懸垂下來。該可變形層34可圍繞可移動反射層14之周邊而直接或間接連接至基板20。此等連接在本文中係稱為支撐柱。圖6C中所示之實施方案具有得自可移動反射層14之光學功能與其機械功能(其等可藉由可變形層34實行)之去耦合之額外益處。此去耦合容許用於可移動反射層14之結構設計及材料及用於可變形層34之結構設計及材料獨立於

彼此而最佳化。

圖 6D 展示一 IMOD 之另一實例，其中可移動反射層 14 包含一反射子層 14a。該可移動反射層 14 擱在一支撐結構(諸如支撐柱 18)上。該等支撐柱 18 提供該可移動反射層 14 與下固定電極(即，所圖解說明 IMOD 中之光學堆疊 16 之部分)之分離，使得(例如)當該可移動反射層 14 處於一鬆弛位置中時在該可移動反射層 14 與該光學堆疊 16 之間形成一間隙 19。該可移動反射層 14 亦可包含可經組態以用作一電極之一導電層 14c 及一支撐層 14b。在此實例中，該導電層 14c 係佈置在該支撐層 14b 遠離基板 20 之一側上，且該反射子層 14a 係佈置在該支撐層 14b 靠近基板 20 之另一側上。在一些實施方案中，該反射子層 14a 可導電且可佈置在該支撐層 14b 與該光學堆疊 16 之間。該支撐層 14b 可包含一介電材料(例如，氮氧化矽(SiON)或二氧化矽(SiO₂))之一或多個層。在一些實施方案中，該支撐層 14b 可為層之一堆疊，舉例而言，諸如 SiO₂/SiON/SiO₂ 三層堆疊。該反射子層 14a 及該導電層 14c 之任一者或兩者可包含(例如)具有約 0.5% 銅(Cu)之鋁(Al)合金或另一反射金屬材料。在介電支撐層 14b 上方及下方採用導電層 14a、14c 可平衡應力並提供增強之導電性。在一些實施方案中，針對多種設計目的(諸如在該可移動反射層 14 內達成特定應力分佈)，該反射子層 14a 及該導電層 14c 可由不同材料形成。

如圖 6D 中圖解說明，一些實施方案亦可包含一黑色遮罩結構 23。該黑色遮罩結構 23 可形成於光學非作用區域中

(例如，像素之間或柱18下方)以吸收環境光或雜散光。該黑色遮罩結構23亦可藉由抑制光自顯示器之非作用部分反射或透射穿過顯示器之非作用部分而改良一顯示裝置之光學性質，藉此增加對比率。此外，該黑色遮罩結構23可導電且經組態以用作一電匯流層。在一些實施方案中，列電極可連接至該黑色遮罩結構23以減小所連接之列電極之電阻。黑色遮罩結構23可使用多種方法(包含沈積及圖案化技術)形成。該黑色遮罩結構23可包含一或多個層。例如，在一些實施方案中，該黑色遮罩結構23包含用作一光學吸收體之鉼鉻(MoCr)層、二氧化矽(SiO_2)層及用作一反射體及一匯流層之鋁合金，該等層之厚度分別係在約30 Å至80 Å、500 Å至1000 Å及500 Å至6000 Å之範圍中。可使用多種技術圖案化一或多個層，該等技術包含光微影術及乾式蝕刻(包含(例如)用於MoCr及 SiO_2 層之四氟甲烷(CF_4)及/或氧氣(O_2)以及用於鋁合金層之氯氣(Cl_2)及/或三氯化硼(BCl_3))。在一些實施方案中，該黑色遮罩23可為一標準量具或干涉量測堆疊結構。在此等干涉量測堆疊黑色遮罩結構23中，可使用導電反射體以在每一列或行之光學堆疊16中之下固定電極之間發射或載送信號。在一些實施方案中，一間隔層35可用以使吸收層16a與黑色遮罩23中之導電層大體上電隔離。

圖6E展示一IMOD之另一實例，其中可移動反射層14係自支撐。與圖6D相比，圖6E之實施方案並不包含支撐柱18。而是，該可移動反射層14在多個位置處接觸下伏光學

堆疊16，且當跨干涉量測調變器之電壓不足以引起致動時，該可移動反射層14之曲率提供足夠支撐使得該可移動反射層14返回至圖6E之未致動位置。此處為清楚起見，將可含有複數個若干不同層之光學堆疊16展示為包含一光學吸收體16a及一介電質16b。在一些實施方案中，該光學吸收體16a可用作一固定電極及一部分反射層兩者。

在諸如圖6A至圖6E中所示之實施方案中，IMOD用作直視裝置，其中自透明基板20之前側(即，與其上配置調變器之側相對之側)觀看影像。在此等實施方案中，裝置之背面部分(即，顯示裝置在可移動反射層14後面之任何部分，包含例如圖6C中圖解說明之可變形層34)可經組態及操作而不衝擊或負面影響顯示裝置之影像品質，此係因為反射層14光學屏蔽該裝置之該等部分。例如，在一些實施方案中，可移動反射層14後面可包含一匯流排結構(未圖解說明)，該匯流排結構提供使調變器之光學性質與調變器之機電性質(諸如電壓定址及由此定址所引起之移動)分離之能力。此外，圖6A至圖6E之實施方案可簡化諸如(例如)圖案化之處理。

圖7展示圖解說明一干涉量測調變器之一製造程序80之一流程圖之一實例，且圖8A至圖8E展示此一製造程序80之對應階段之截面示意圖解之實例。在一些實施方案中，除圖7中未展示之其他方塊外，該製造程序80亦可經實施以製造(例如)圖1及圖6中圖解說明之一般類型的干涉量測調變器。參考圖1、圖6及圖7，該程序80開始於方塊82，

其中在基板20上方形成光學堆疊16。圖8A圖解說明形成於該基板20上方之此一光學堆疊16。該基板20可為一透明基板(諸如玻璃或塑膠)，其可為可撓性或相對較硬及不可彎曲，且可能已遭受先前製備程序(例如，清洗)以促進該光學堆疊16之有效形成。如上所論述，該光學堆疊16可導電、部分透明及具部分反射性，且可藉由(例如)將具有所要性質之一或多個層沈積在該透明基板20上而製造。在圖8A中，該光學堆疊16包含具有子層16a及16b之一多層結構，但是在一些其他實施方案中，可包含更多或更少個子層。在一些實施方案中，該等子層16a、16b之一者可經組態而具有光學吸收及導電性質兩者，諸如組合導體/吸收體子層16a。此外，可將該等子層16a、16b之一或多者圖案化為平行條狀物，且可形成一顯示裝置中之列電極。可藉由一遮罩及蝕刻程序或此項技術中已知之另一適當程序執行此圖案化。在一些實施方案中，該等子層16a、16b之一者可為一絕緣層或介電層，諸如沈積在一或多個金屬層(例如，一或多個反射層及/或導電層)上方之子層16b。此外，可將該光學堆疊16圖案化為形成顯示器之列之個別及平行條狀物。

程序80在方塊84繼續，其中在該光學堆疊16上方形成一犧牲層25。隨後移除該犧牲層25以形成腔19(例如，在方塊90)且因此在圖1中圖解說明之所得干涉量測調變器12中未展示該犧牲層25。圖8B圖解說明包含形成於該光學堆疊16上方之一犧牲層25之一部分製造裝置。在該光學堆疊16

上方形成該犧牲層25可包含依經選擇以在後續移除之後提供具有所要設計大小之一間隙或腔19(亦參見圖1及圖8E)之一厚度沈積二氟化氙(XeF_2)(可蝕刻材料)，諸如鉬(Mo)或非晶矽(Si)。可使用諸如以下各者之沈積技術實行該犧牲材料之沈積：物理氣相沈積(PVD，例如濺鍍)、電漿增強型化學氣相沈積(PECVD)、熱化學氣相沈積(熱CVD)或旋塗。

程序80在方塊86繼續，其中形成一支撐結構(例如，如圖1、圖6及圖8C中圖解說明之一柱18)。形成柱18可包含圖案化該犧牲層25以形成一支撐結構孔隙，接著使用一沈積方法(諸如PVD、PECVD、熱CVD或旋塗)將一材料(例如聚合物或一無機材料，例如氧化矽)沈積至該孔隙中以形成該柱18。在一些實施方案中，形成於該犧牲層中之支撐結構孔隙可延伸穿過該犧牲層25及該光學堆疊16兩者而至下伏基板20，使得柱18之下端如圖6A中圖解說明般接觸基板20。或者，如圖8C中描繪，形成於該犧牲層25中之孔隙可延伸穿過該犧牲層25，但未穿過該光學堆疊16。例如，圖8E圖解說明與光學堆疊16之一上表面接觸的支撐柱18之下端。可藉由在該犧牲層25上方沈積一支撐結構材料層且圖案化以移除經定位遠離該犧牲層25中之孔隙之支撐結構材料之部分來形成柱18或其他支撐結構。如圖8C中圖解說明，支撐結構可定位於孔隙內，但是亦可至少部分延伸在該犧牲層25之一部分上方。如上所述，該犧牲層25及/或該等支撐柱18之圖案化可藉由一圖案化及蝕刻程序執行，

但是亦可藉由替代性蝕刻方法執行。

程序80在方塊88繼續，其中形成一可移動反射層或膜(諸如圖1、圖6及圖8D中圖解說明之可移動層14)。可藉由採用例如反射層(例如，鋁、鋁合金)沈積之一或多個沈積程序連同一或多個圖案化、遮罩及/或蝕刻程序一起形成可移動反射層14。該可移動反射層14可導電且可稱為一導電層。在一些實施方案中，該可移動反射層14可包含如圖8D中所示之複數個子層14a、14b、14c。在一些實施方案中，子層(諸如子層14a、14c)之一或多者可包含針對其等光學性質而選擇之高反射子層，且另一子層14b可包含針對其機械性質而選擇之一機械子層。因為犧牲層25仍存在於在方塊88形成之部分製造干涉量測調變器中，所以該可移動反射層14在此階段通常不可移動。含有一犧牲層25之一部分製造IMOD在本文亦可稱為一「未釋放」IMOD。如上文結合圖1所述，可將該可移動反射層14圖案化為形成顯示器之行之個別及平行條狀物。

程序80在方塊90繼續，其中形成一腔(例如，如圖1、如6及如8E中圖解說明之腔19)。可藉由使犧牲材料25(在方塊84沈積)曝露於一蝕刻劑而形成該腔19。例如，可藉由乾式化學蝕刻，例如藉由使犧牲層25曝露於一氣態或汽態蝕刻劑(諸如源自固體二氟化氙(XeF_2)之蒸氣)達有效移除(通常相對於包圍該腔19之結構選擇性地移除)所要量的材料之一時段來移除諸如鉬(Mo)或非晶矽(a-Si)之一可蝕刻犧牲材料。亦可使用可蝕刻犧牲材料及蝕刻方法之其他組

合，例如濕式蝕刻及/或電漿蝕刻。因為犧牲層25係在方塊90期間移除，所以可移動反射層14在此階段之後通常係可移動的。在移除犧牲材料25之後，所得完全或部分製造IMOD在本文可稱為一「釋放」IMOD。

如全文所述，硬體及資料處理設備可與包含IMOD裝置之機電系統相關聯。此硬體及資料處理設備可包含一薄膜電晶體(TFT)裝置或若干薄膜電晶體(TFT)裝置。

圖9A及圖9B展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。圖10A至圖10E展示製造一薄膜電晶體裝置之一方法中之各個階段之示意圖解之實例。在圖11A及圖11B中所示之一流程圖之實例中描述圖9A及圖9B中所示之製造程序之一變動。在圖13中所示之一流程圖之實例中描述一TFT裝置之另一製造程序。在圖15中所示之一流程圖之實例中描述一TFT裝置之又另一製造程序。

參考圖9A，在方法900之方塊902，於一基板上形成一矽層。該基板可為任意數目個不同基板材料，包含透明材料或不透明材料。在一些實施方案中，該基板係矽、絕緣體上覆矽(SOI)、一玻璃(例如，顯示玻璃或硼矽酸鹽玻璃)、一可撓性塑膠或一金屬箔。在一些實施方案中，在其上製造TFT裝置之基板之大小可自幾微米變化至數百毫米。

在一些實施方案中，在其上製造TFT裝置之基板之一表面包含一緩衝層。該緩衝層可用作一絕緣表面。在一些實施方案中，該緩衝層係氧化物，諸如二氧化矽(SiO_2)或氧

化鋁(Al_2O_3)。在一些實施方案中，該緩衝層之厚度可為約100奈米(nm)至1000奈米(nm)。

在基板表面之一區域上形成矽層，使得該基板表面之若干區域保持曝露。可藉由若干不同技術形成該矽層，包含CVD程序、PECVD程序、低壓化學氣相沈積(LPCVD)程序、PVD程序及液相磊晶程序。PVD程序包含脈衝雷射沈積(PLD)及濺鍍沈積。該矽層可取決於形成技術而包含非晶矽、多晶矽或單晶矽。在一些實施方案中，該矽層之厚度可為約50 nm至200 nm。在一些實施方案中，該矽層可足夠厚以提供矽以在一處理程序(下文描述)中形成矽化物及一間隙。

在方塊904，在矽層上形成一金屬層，從而形成一矽/金屬雙層。該金屬層可為形成矽化物之一金屬。例如，該金屬可為鈦(Ti)、鎳(Ni)、鉬(Mo)、鉭(Ta)、鎢(W)、鉑(Pt)或鈷(Co)。該金屬層可使用包含PVD程序、CVD程序及原子層沈積(ALD)程序之沈積程序形成。在一些實施方案中，該金屬層之厚度可為約50 nm至100 nm。

在一些實施方案中，可在沈積之前藉由一光阻劑或其他遮罩材料界定在其上形成矽及金屬雙層之基板表面之區域。在一些其他實施方案中，可在包含該基板表面之區域之基板表面之一較大區域上形成該矽層及/或該金屬層。在此等其他實施方案中，可在形成矽層及/或金屬層之後使用光阻劑圖案化該矽層及/或該金屬層。接著，可蝕刻該矽層及/或該金屬層以自該基板表面移除該矽層及該金

屬層之一部分，使得該矽層及該金屬層留在該基板表面之區域上。

在方塊906，移除該矽/金屬雙層之一部分。移除該矽/金屬雙層可涉及圖案化操作，包含光微影術及蝕刻。此等操作可自基板表面移除該矽/金屬雙層之一部分以曝露該基板表面之一部分。可用輔助支撐一上覆介電層之一介電質填充已移除之該矽/金屬雙層之部分。

在方塊908，在該金屬層及該基板表面之曝露區域(包含藉由在方塊906之操作曝露之基板表面之部分)上形成一第一介電層。該第一介電層可包含若干不同的介電材料。在一些實施方案中，該第一介電層係二氧化矽(SiO_2)、氧化鋁(Al_2O_3)、氧化鈦(HfO_2)、氧化鈦(TiO_2)、氮氧化矽(SiON)或氮化矽(SiN)層。在一些其他實施方案中，該第一介電層包含配置成一堆疊結構之兩個或兩個以上不同介電材料層。該第一介電層可使用包含PVD程序、CVD程序(包含PECVD程序)及ALD程序之沈積程序形成。在一些實施方案中，該第一介電層之厚度可為約50 nm至500 nm。

圖10A展示在方法900中之此時(例如，直到方塊908)一TFT裝置1000之一截面示意圖解之一實例。該TFT裝置包含一基板1002、一矽層1004、一金屬層1006及一第一介電層1008。該第一介電層1008係大致保形於下伏基板1002及由該矽層1004及該金屬層1006形成之結構。在所描繪之實例中，該第一介電質1008填充其中在方塊906移除由該矽層1004及該金屬層1006形成之雙層之一部分之體積1010。

返回圖9A，在方塊910，處理金屬層及矽層。在該處理期間，金屬層與矽層反應以形成矽化物層及介於該矽化物層與該第一介電層之間之一間隙。例如，取決於金屬層之金屬，可形成矽化鈦(TiSi_2)、矽化鎳(NiSi)、矽化鉬(MoSi_2)、矽化鉭(TaSi_2)、矽化鎢(WSi_2)、矽化鉑(PtSi)或矽化鈷(CoSi_2)矽化物層。在一些實施方案中，金屬層與矽層之反應係其中當消耗金屬層時停止該反應之一自限制程序。在一些實施方案中，整個金屬層與矽層反應。在一些實施方案中，當消耗全部金屬層時，可剩下尚未與金屬反應之一些矽。在一些實施方案中，將全部矽轉換為矽化物。在一些實施方案中，整個金屬層與矽層反應且將全部矽轉換為矽化物。在一些實施方案中，可在消耗全部金屬層之前停止該處理。

因此，可藉由金屬層之厚度及/或矽層之厚度控制間隙之厚度。例如，當將Ni用於金屬層時，約1 nm厚的Ni層將消耗1.8 nm的矽，形成約2.3 nm厚的NiSi層，從而導致約0.5 nm(即，2.8 nm至2.3 nm)之Ni層及矽層之一厚度損耗。為形成約20 nm厚的間隙，例如可使用在至少約72 nm厚的矽層上之約39.2 nm厚的Ni層。在一些實施方案中，該間隙之厚度可為約10 nm至50 nm。

在一些實施方案中，該處理對金屬層與矽層之間的一反應提供能量。在一些實施方案中，該處理可包含一熱處理。該熱處理之溫度及持續時間取決於金屬層與矽層之反應溫度。在一些實施方案中，該熱處理可在約250°C至

1000℃下持續約1分鐘至約20分鐘。例如，當將Ni用於金屬層時，該熱處理可在約450℃下持續約10分鐘。在一些其他實施方案中，該處理可包含經由一離子植入程序將各種摻雜劑植入矽層中或藉由電漿蝕刻粗糙化矽層之表面且接著使各種摻雜劑擴散至矽層中。

在一些實施方案中，矽化物層與第一介電層之間之間隙可為一真空間隙。例如，當第一介電層完全覆蓋矽層及金屬層時，當金屬層與矽層反應時，可在該間隙中形成一真空。在一些其他實施方案中，當第一介電層未完全覆蓋矽層及金屬層時，該間隙可包含空氣，即，該間隙可為一氣隙。

圖10B展示在方法900中之此時(例如，直到方塊910)TFT裝置1000之一截面示意圖解之一實例。該TFT裝置1000包含矽化物層1022及一間隙1024。在所描繪之實例中，該間隙1024係介於該矽化物層1022與該基板1002之間。該間隙係藉由憑藉該第一介電層1008填充之體積1010分成兩個間隙。

在所描繪之實例中，在圖10B中消耗圖10A中所描繪之金屬層1006及矽層1004兩者。在一些其他實施方案(未描繪)中，圖10A中所描繪之矽層1004之一部分可剩下且佈置在矽化物層1022與基板1002之間。在一些其他實施方案(未描繪)中，該金屬層1006之一部分可剩下且佈置在該間隙1024與該第一介電層1008之間。

圖10C展示在方法900中之此時(例如，直到方塊910)該

TFT裝置1000之一俯視示意圖解之一實例。為簡單起見，圖10C中所示之TFT裝置1000之俯視圖並未展示該第一介電層1008。該TFT裝置1000包含該基板1002、該矽化物層1022及該間隙1024。在其上形成該第一介電層1008之基板表面之曝露區域藉由一虛線1009指示；1009內之曝露基板表面之任一者可包含該第一介電層1008。在一些實施方案中，該間隙1024之一尺寸1092可為約50 nm至數十微米。在一些實施方案中，該TFT裝置1000之一尺寸1094可為約50 nm至幾毫米或約幾微米至數十微米。

在一些實施方案中，該體積1010用以提供抵抗推擠該第一介電層1008之大氣壓力之支撐件。例如，當該間隙1024係一真空間隙且該TFT裝置係在標準大氣壓力下之一環境中時，該間隙1024上趨於引起該間隙摺疊之壓力可為約101,325帕斯卡(Pa)或約1大氣壓(atm)。該間隙1024上趨於引起該間隙摺疊之壓力可使上覆於該間隙1024之該第一介電層1008與下伏矽化物層1022接觸。取決於該第一介電層1008之厚度及剛性，若不存在使用該第一介電層1008填充之體積1010，則大氣壓力可足以引起該間隙1024摺疊。因此，使用該第一介電層1008填充之體積1010可在該第一介電層係薄及/或可撓性時輔助阻止該間隙1024摺疊。

雖然展示為第一介電層1008之一桿將該間隙1024分成兩個間隙，但是使用該第一介電層1008填充之體積1010可在任意數目個不同組態中。在一些實施方案中，使用該第一介電層填充之體積1010可包含實質上彼此平行且平行於圖

10C中所示之尺寸1092之多個桿。在一些實施方案中，該體積1010可包含實質上彼此平行且平行於圖10C中所示之尺寸1094之一或多個桿。在一些實施方案中，使用該第一介電層填充之體積1010可為矽化物層1022及該間隙1024之中心中之圓柱形柱或該矽化物層1022及該間隙1024中之若干對稱配置之圓柱形柱。該等柱可以其他圖案配置，且該等柱可具有不同截面，諸如三角形、六邊形或正方形截面，且並不限於圓柱形截面。在一些其他實施方案中，使用該第一介電層填充之體積可為一蜂窩狀結構。

在方塊912，在該第一介電層上形成一非晶矽層。該非晶矽層可藉由若干不同的技術形成，包含CVD程序、PECVD程序、LPCVD程序、PVD程序及液相磊晶程序。在一些實施方案中，該非晶矽層之厚度可為約50 nm至150 nm，諸如約100 nm。該非晶矽層可包含三個區域：上覆於該間隙之一第三矽區域及上覆於基板之一第一矽區域及一第二矽區域，該第一矽區域及該第二矽區域處於該間隙之任一側上使得該第三矽區域介於該第一矽區域與該第二矽區域之間。該第三矽區域可形成TFT裝置之通道區域。該第一矽區域及該第二矽區域可分別形成TFT裝置之源極區域及汲極區域，或反之亦然。

在方塊914，在非晶矽層上形成一第二介電層。該第二介電層可為任意數目個不同介電材料。在一些實施方案中，該第二介電層係與該第一介電層相同的介電材料，包含 SiO_2 、 Al_2O_3 、 HfO_2 、 TiO_2 、 SiON 及 SiN 。該第二介電層

可使用包含PVD程序、CVD程序及ALD程序之沈積程序形成。在一些實施方案中，該第二介電層之厚度可為約10 nm至100 nm，諸如約10 nm至50 nm。

在方塊916，加熱非晶矽層。可用任意數目種不同的加熱方法加熱非晶矽層。在一些實施方案中，非晶矽層熔化或部分熔化；即，可將非晶矽層加熱至約1414°C(矽的熔化溫度)。在一些實施方案中，使用一準分子雷射加熱非晶矽層。例如，可使用氯化氙(XeCl)準分子雷射以輻射第二介電層並加熱下伏非晶矽層。雷射能量密度可為約280至380毫焦耳/平方厘米(mJ/cm^2)，諸如約320 mJ/cm^2 。上覆於非晶矽層之第二介電質可用以防止非晶矽層在加熱程序期間蒸發。

在方塊918，冷卻非晶矽層。皆上覆於基板之第一矽區域及第二矽區域部分經由熱傳導至下伏基板而冷卻。第一矽區域及第二矽區域可歸因於此熱傳導而快速冷卻。例如，在一些實施方案中，第一矽區域及第二矽區域可以約 $10^8^\circ\text{C}/\text{秒}$ 之數量級之一速率冷卻。上覆於間隙之第三矽區域部分經由透過第一矽區域及第二矽區域之熱傳導而冷卻；貫穿該間隙可發生較少的熱傳導，此係因為該間隙之空氣或真空之導熱率低。因此，第三矽區域可歸因於該間隙而緩慢地冷卻。

歸因於來自第三矽區域之緩慢熱傳導，第三矽區域可結晶為一單個矽晶粒(即，一單晶矽)或若干大的矽晶粒。例如，歸因於來自第三矽區域之熱傳導，較大的矽晶粒(例

如，長度約4微米)可生長，從而使第三矽區域自第一矽區域橫跨至第二矽區域。歸因於來自第一矽區域及第二矽區域之較快熱傳導，第一矽區域及第二矽區域可包含非晶矽或小的矽晶粒。例如，小的矽晶粒可為奈米大小的晶粒。

間隙中使用第一介電層填充之一體積(例如，圖10C中之體積1010)之組態可影響來自第三矽區域之熱傳導之速率。因此，一體積之組態可經定製以在第三矽區域中形成一特定矽微結構。例如，使用第一介電層填充之體積之一些組態(諸如實質上彼此平行且平行於圖10C中所示之尺寸1094之第一介電層之桿)可以導致單晶矽之一方式自第三矽區域傳導熱。

可在 Cheon-Hong Kim 等人，〈IEEE Electron Device Letters〉第23卷，第6期，2002年6月，第315頁至第317頁之「A Poly-Si TFT Fabricated by Excimer Laser Recrystallization on Floating Active Structure」中發現關於使一非晶矽層再結晶以形成一TFT裝置之進一步細節，該案以引用方式併入本文中。

圖10D展示在方法900中之此時(例如，直到方塊918)該TFT裝置1000之一截面示意圖解之一實例。如上文關於圖10B所述，該TFT裝置1000包含上覆於該基板1002之矽化物層1022及第一介電層1008，在該矽化物層1022與該第一介電層1008之間具有間隙1024。三個矽區域上覆於該第一介電層1008：一第一矽區域1034、一第二矽區域1036及一第三矽區域1038。一第二介電層1032保形地上覆於該第一

矽區域1034、該第二矽區域1036及該第三矽區域1038。

該第三矽區域1038可包含一單個矽晶粒或若干矽晶粒。該第一矽區域1034及該第二矽區域1036可包含非晶矽或小於該第三矽區域1038中之單個矽晶粒或若干矽晶粒之矽晶粒。雖然圖10D中所示之TFT裝置1000在該第一矽區域1034、該第二矽區域1036與該第三矽區域1038之間具有明顯的邊界，但是一實際TFT裝置可包含(例如)自該第三矽區域1038中之較大晶粒大小至該第一矽區域1034及該第二矽區域1036中之較小晶粒大小之一逐漸轉變。每一矽區域中之晶粒大小及每一區域之邊界取決於來自非晶矽層之熱傳導。

在方塊920，移除第二介電層。可使用濕式或乾式蝕刻程序移除該第二介電層1032。

在方塊922，在第一矽區域及第二矽區域中植入一n型摻雜劑。在一些實施方案中，可使用一遮罩以防止摻雜劑被植入第三矽區域中。例如，可在第一矽區域及第二矽區域中植入磷(P)。可將P摻雜劑植入至(例如)約 5×10^{20} 個原子/平方厘米(cm^2)之一劑量。如一般技術者所知，可使用一適當方法將其他n型摻雜劑植入至一適當劑量。

在方塊924，在第一矽區域、第二矽區域及第三矽區域上形成一第三介電層。第三介電層可為任意數目個不同介電材料。在一些實施方案中，第三介電層係與該第一介電層相同的介電材料，包含 SiO_2 、 Al_2O_3 、 HfO_2 、 TiO_2 、 SiON 及 SiN 。第三介電層可使用包含PVD程序、CVD程序

及ALD程序之沈積程序形成。在一些實施方案中，第三介電層之厚度可為約50 nm至500 nm。在一些實施方案中，第三介電層充當一鈍化絕緣體。一鈍化絕緣體可用作保護TFT裝置免受外部環境之一層。

在方塊926，移除第三介電層之部分以曝露第一矽區域及第二矽區域。可使用光阻劑連同濕式或乾式蝕刻程序以曝露第一矽區域及第二矽區域。

在方塊928，形成至第一矽區域及第二矽區域之接觸件。該等接觸件可為任意數目個不同金屬，包含鋁(Al)、銅(Cu)、鉬(Mo)、鉭(Ta)、鉻(Cr)、釹(Nd)、鎢(W)、鈦(Ti)及含有此等元素之任一者之一合金。在一些實施方案中，該等接觸件包含配置成一堆疊結構之兩個或兩個以上不同金屬。該等接觸件亦可為導電氧化物，諸如銦錫氧化物(ITO)。可使用包含PVD程序、CVD程序及ALD程序之沈積程序形成該等接觸件。

圖10E展示此時(例如，方法900結束時)該TFT裝置1000之一截面示意圖解之一實例。該TFT裝置包含上覆於該基板1002之矽化物層1022及第一介電層1008，在該矽化物層1022與該第一介電層1008之間具有間隙1024。三個矽區域上覆於該第一介電層1008：一第一矽區域1034、一第二矽區域1036及一第三矽區域1038。該TFT裝置1000進一步包含該第一矽區域1034之一n摻雜部分1044及該第二矽區域1036之一n摻雜部分1046。一第三介電層1052上覆於該n摻雜部分1044、該第三矽區域1038及該n摻雜部分1046。一

第一接觸件1054及一第二接觸件1056穿透該第三介電層1052以分別接觸該n摻雜部分1044及該n摻雜部分1046。

對於TFT裝置1000，該矽化物層1022可用作一閘極，使該TFT裝置1000成為一底部閘極TFT裝置。該第三矽區域1038可用作該TFT裝置1000之一通道區域，其中該第一矽區域1034之n摻雜部分1044用作一源極區域，且該第二矽區域1036之n摻雜部分1046用作一汲極區域。在一些實施方案中，該通道區域之長度(即，該第一矽區域1034與該第二矽區域1036之間之距離)可為短，使得該TFT裝置1000之效能能夠有所改良。在一些實施方案中，該通道區域之寬度(即，該第三矽區域1038延伸至頁面中之尺寸)可為大，使得該TFT裝置能夠容納在該第一矽區域1034之n摻雜部分1044與該第二矽區域1036之n摻雜部分1046之間流動之一大的電流。在一些實施方案中，對於長度及寬度兩者，該第三矽區域1038之長度及寬度可大於約3微米(例如，約3微米至4微米)。在一些其他實施方案中，對於長度及寬度兩者，該第三矽區域1038之長度及寬度可小於約3微米(例如，約1微米至2微米或甚至更小)。

在一些實施方案中，下伏於該第三矽區域1038之間隙1024及第一介電層1008一起用作閘極絕緣體。該第三介電層1052可用作一鈍化絕緣體。如上所述，藉由該第一介電層1008填充且劃分該間隙1024之一體積1010可用作該第一介電層1008上覆於該間隙1024之部分之一結構支撐特徵部。

雖然圖 10A 至圖 10E 展示製造一 TFT 裝置之一方法中之各個階段之示意圖解之實例，但是可根據所要實施方案作出各種修改。例如，雖然該矽層 1004 及該金屬層 1006 展示為圖 10A 中之平坦材料層，但是在一些實施例中可輪廓化該矽層 1004 及 / 或該金屬層 1006。在一些實施方案中，經輪廓化之矽層 1004 及 / 或金屬層 1006 可產生一間隙 1024，該間隙具有跨該間隙之長度之一可變厚度。一可變厚度間隙可影響來自第三矽區域之熱傳導之速率。因此，在一些實施方案中，一可變厚度間隙可經定製以在第三矽區域中形成一特定矽微結構。例如，該矽層 1004 可具有一三角形截面，且該金屬層 1006 可符合該下伏矽層 1004。作為另一實例，該矽層 1004 可為一平坦層且該金屬層 1006 可具有一三角形截面。

圖 11A 及圖 11B 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。圖 11A 及圖 11B 中所示之方法 1100 類似於圖 9A 及圖 9B 中所示之方法 900，其中省略圖 9A 及圖 9B 中所示之一些程序操作並增加進一步程序操作。可使用方法 1100 之實施方案以製造(例如)一頂部閘極或雙閘極 TFT 裝置。

參考圖 11A，方法 1100 開始於關於方法 900 描述之程序操作。在程序 1100 之方塊 902，在一基板上形成一矽層。在方塊 904，在該矽層上形成一金屬層，從而形成一矽 / 金屬雙層。如上文關於圖 9A 及圖 9B 描述，金屬層與矽層最終將經反應以形成矽化物層。在方塊 908，在金屬層及基板

表面之曝露區域上形成一第一介電層。在方塊910，處理金屬層及矽層。如上文關於圖9A及圖9B描述，該處理對金屬層與矽層之間的一反應提供能量，從而形成矽化物層及一間隙。在方塊912，在第一介電層上形成一非晶矽層。該非晶矽層可包含三個區域：上覆於該間隙之一第三矽區域及上覆於基板之一第一矽區域及一第二矽區域，該第一矽區域及該第二矽區域處於該間隙之任一側上使得該第三矽區域介於該第一矽區域與該第二矽區域之間。在方塊914，在該非晶矽層上形成一第二介電層。在方塊916，加熱該非晶矽層。在方塊918，冷卻該非晶矽層。歸因於該間隙，該第三矽區域可以相對於該第一矽區域及該第二矽區域之一較慢速率冷卻。在方塊920，移除該第二介電層。上文關於圖9A及圖9B描述方塊902至920之額外細節。

接著，該方法1100在方塊1102繼續，其中在第三矽區域上形成一第三介電層。該第三介電層可為任意數目個不同介電材料。在一些實施方案中，第三介電層係與該第一介電層相同的介電材料，包含 SiO_2 、 Al_2O_3 、 HfO_2 、 TiO_2 、 SiON 及 SiN 。可使用包含PVD程序、CVD程序及ALD程序之沈積程序形成第三介電層。在一些實施方案中，第三介電層之厚度可為約10 nm至75 nm。

在方塊1104，在該第三介電層上形成一第二金屬層。該第二金屬層可為形成矽化物之一金屬。例如，該金屬可為Ti、Ni、Mo、Ta、W、Pt或Co。可使用包含PVD程序、

CVD程序及ALD程序之沈積程序形成該第二金屬層。在一些實施方案中，該第二金屬層之厚度可為約50 nm至100 nm。

在方塊1106，在該第二金屬層上形成一第二矽層以形成一第二矽/金屬雙層。可藉由若干不同的技術形成該第二矽層。例如，可使用CVD程序、PECVD程序、LPCVD程序、PVD程序或液相磊晶程序形成該第二矽層。該第二矽層可取決於形成技術而包含非晶矽、多晶矽或單晶矽。在一些實施方案中，該第二矽層之厚度可為約50 nm至200 nm。在一些實施方案中，該矽層可足夠厚以提供矽以在一處理程序中形成矽化物及一間隙。

在方塊1108，在該第二矽層之部分及該第三介電層之部分上形成一第四介電層。例如，可在該第二矽層之周邊邊緣上及在該第三介電層未藉由該第二金屬層及該第二矽層覆蓋之部分上形成該第四介電層。如下文進一步論述，該第四介電層在形成一第二間隙期間可用作一支撐件。在其上形成該第四介電層之第二矽層及第三介電層之部分可部分取決於該第二間隙之所要特性。該第四介電層可為任意數目個不同介電材料。在一些實施方案中，第四介電層係與該第一介電層相同的介電材料，包含 SiO_2 、 Al_2O_3 、 HfO_2 、 TiO_2 、 SiON 及 SiN 。可使用包含PVD程序、CVD程序及ALD程序之沈積程序形成第四介電層。在一些實施方案中，第四介電層之厚度可為約100 nm至250 nm。

在方塊1110，類似於方塊910，處理該第二金屬層及該

第二矽層。在該處理期間，該第二金屬層與該第二矽層反應以形成一第二矽化物層及介於該第二矽化物層與該第三介電層之間之一第二間隙。在一些實施方案中，該第二金屬層與該第二矽層之反應係其中當消耗該第二金屬層時停止該反應之一自限制程序。在一些實施方案中，整個第二金屬層與該第二矽層反應。在一些實施方案中，當消耗第二金屬層之全部時，可剩下尚未與金屬反應之一些矽。在一些實施方案中，將全部矽轉換為矽化物。在一些實施方案中，整個第二金屬層與該第二矽層反應且將全部矽轉換為矽化物。在一些實施方案中，可在消耗第二金屬層之全部之前停止該處理。因此，可藉由該第二金屬層之厚度及/或該第二矽層之厚度控制該第二間隙之厚度。在一些實施方案中，該第二間隙之厚度可為約10 nm至50 nm。在一些實施方案中，於方塊910形成之間隙之厚度可與該第二間隙之厚度相同。在一些其他實施方案中，於方塊910形成之間隙之厚度可不同於該第二間隙之厚度。

在一些實施方案中，該處理可包含一熱處理。在方塊1110之熱處理之溫度及持續時間取決於該第二金屬層與該第二矽層之反應溫度。在一些實施方案中，該熱處理可在約250°C至1000°C下持續約1分鐘至約20分鐘。例如，當將Ni用於該第二金屬層時，該熱處理可在約450°C下持續約10分鐘。在一些其他實施方案中，該處理可包含經由一離子植入程序將各種摻雜劑植入矽層中或藉由電漿蝕刻粗糙化矽層之表面且接著使各種摻雜劑擴散至矽層中。

當該第二矽層與該第二金屬層反應以形成一第二間隙時，該第二矽層之部分及該第三介電層之部分上之第四介電層可用作用於該第二矽層之一支撐件。在一些實施方案中，該第二矽化物層與該第三介電層之間之第二間隙可為一真空間隙。例如，當該第四介電層完全覆蓋該第二矽層及該第二金屬層之邊緣時，在該第二金屬層與該第二矽層反應時，可在該第二間隙中形成真空。在一些其他實施方案中，當該第四介電層未完全覆蓋該第二矽層及該第二金屬層之邊緣時，該第二間隙可包含空氣。若該第二間隙係一真空間隙，則該第四介電層可支撐第二矽化物層，該第四介電層經形成而抵抗該第二間隙上趨於使該第二矽化物層與該第三介電層接觸之壓力。

方法1100繼續上文關於方法900描述之一程序操作。在方塊922，在第一矽區域及第二矽區域中植入一n型摻雜劑。該第三介電層、該第二矽化物層及該第四介電層可充當一遮罩以防止該摻雜劑被植入該第三矽區域中。例如，可在第一矽區域及第二矽區域中植入磷(P)。可將P摻雜劑植入至(例如)約 5×10^{20} 個原子/平方厘米(cm^2)之一劑量。可使用一適當方法將其他n型摻雜劑植入至一適當劑量。

在方法1100之一些實施方案中，並未執行在方法900之方塊906之操作。因此，在方法1100之一些實施方案中，在方塊910處理金屬層及矽層以形成矽化物層及間隙之後，若間隙係一真空間隙，則第一介電層可足夠厚及/或硬使得該間隙不摺疊且不使上覆於該間隙之第一介電層與

該矽化物層接觸。

圖12展示一部分製造薄膜電晶體裝置之一截面示意圖解之一實例。圖12中所示之部分製造TFT裝置1200包含可藉由方法1100產生之一結構之一實例。該部分製造TFT裝置包含上覆於該基板1002之矽化物層1022及第一介電層1008，在該矽化物層1022與該第一介電層1008之間具有間隙1024。三個矽區域上覆於該第一介電層1008：一第一矽區域1034、一第二矽區域1036及一第三矽區域1038。該TFT裝置1200亦包含該第一矽區域1034之一n摻雜部分1044及該第二矽區域1036之一n摻雜部分1046。該部分製造TFT裝置1200進一步包含上覆於該第三矽區域1038上之一第三介電層1202之一第二矽化物層1206，在該第二矽化物層1206與該第三介電層1202之間具有一第二間隙1204。一第四介電層1208可用作用於該第二矽化物層1206之一支撐件。

在一些實施方案中，當完成該部分製造TFT裝置1200之製造時，該第二矽化物層1206可用作一閘極，從而使得該TFT裝置1200成為一頂部閘極TFT裝置。該第三矽區域1038可用作該TFT裝置1200之一通道區域，其中該第一矽區域1034之n摻雜部分1044用作一源極區域，且該第二矽區域1036之n摻雜部分1046用作一汲極區域。在一些實施方案中，該第二間隙1204及上覆於該第三矽區域1038之第三介電層1202一起用作閘極絕緣體。

在一些其他實施方案中，當完成該部分製造TFT裝置

1200之製造時，該矽化物層1022及該第二矽化物層1206兩者皆可用作閘極，使得該TFT裝置1200成為一雙閘極TFT裝置。該第三矽區域1038可用作該TFT裝置1200之一通道區域，其中該第一矽區域1034之n摻雜部分1044用作一源極區域，且該第二矽區域1036之n摻雜部分1046用作一汲極區域。在一些實施方案中，間隙1024及下伏於該第三矽區域1038之第一介電層1008一起用作底部閘極之閘極絕緣體(例如，該矽化物層1022)，且該第二間隙1204及上覆於該第三矽區域1038之第三介電層1202一起用作頂部閘極之閘極絕緣體(例如，該第二矽化物層1206)。

為完成該TFT裝置之製造，方法1100可繼續類似於上文關於方法900描述之程序操作之程序操作。例如，類似於方塊924，可在該第一矽區域、該第二矽區域、該第四介電層及該第二矽化物層上形成一第五介電層。該第五介電層可用作一鈍化絕緣體。類似於方塊926，可移除該第五介電層之部分以曝露該第一矽區域及該第二矽區域。此外，可移除該第五介電層之一部分以曝露該第二矽化物層。如上文關於方塊928描述，可形成至該第一矽區域及該第二矽區域之接觸件。此外，可形成至該第二矽化物層之一接觸件。

圖13展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。圖13中所示之方法1300包含關於圖9A及圖9B中所示之方法900描述之一些程序操作。

在方塊1302，提供包含一矽層之一基板。該基板可為任

意數目個不同基板材料，包含透明材料及不透明材料。在一些實施方案中，該基板係矽、絕緣體上覆矽(SOI)、一玻璃(例如，顯示玻璃或硼矽酸鹽玻璃)、一可撓性塑膠或一金屬箔。在一些實施方案中，在其上製造TFT裝置之基板具有幾微米至數百微米之尺寸。該基板上之矽層可取決於形成技術而包含非晶矽、多晶矽或單晶矽。在一些實施方案中，該矽層之厚度可為約50 nm至200 nm。在一些實施方案中，該矽層可足夠厚以提供矽以在一處理程序中形成矽化物及一間隙。

該方法1300繼續上文關於方法900描述之一些程序操作。在方塊904，在矽層上形成一金屬層，從而形成一矽/金屬雙層。如上文關於圖9A及圖9B描述，該金屬層及該矽層最終將經反應以形成矽化物層。在方塊908，在該金屬層及該基板表面之曝露區域上形成一第一介電層。在方塊910，處理金屬層及矽層。如上文關於圖9A及圖9B描述，該處理對金屬層與矽層之間的一反應提供能量，從而形成矽化物層及一間隙。在方塊912，在該第一介電層上形成一非晶矽層。該非晶矽層可包含三個區域：上覆於該間隙之一第三矽區域及上覆於基板之一第一矽區域及一第二矽區域，該第一矽區域及該第二矽區域處於該間隙之任一側上使得該第三矽區域介於該第一矽區域與該第二矽區域之間。在方塊916，加熱非晶矽層。在方塊918，冷卻非晶矽層。歸因於該間隙，該第三矽區域可以相對於該第一矽區域及該第二矽區域之一較慢速率冷卻。上文關於圖

9A、圖 9B、圖 11A 及圖 11B 描述方塊 904、908、910、912、916 及 918 之一些實施方案之額外細節。

圖 14 展示一部分製造薄膜電晶體裝置之一截面示意圖解之一實例。圖 14 中所示之部分製造 TFT 裝置 1400 係可藉由方法 1300 產生之一結構之一實例。該部分製造 TFT 裝置包含上覆於該基板 1002 之矽化物層 1022 及第一介電層 1008，在該矽化物層 1022 與該第一介電層 1008 之間具有間隙 1024。三個矽區域上覆於該第一介電層 1008：一第一矽區域 1034、一第二矽區域 1036 及一第三矽區域 1038。

為完成該 TFT 裝置之製造，方法 1300 可繼續上文關於方法 900 描述之程序操作。例如，如關於方塊 922 描述，可在該第一矽區域、該第二矽區域中植入一 n 型摻雜劑。該 TFT 裝置 1400 之第一矽區域 1034 及第二矽區域 1036 之 n 摻雜部分可分別用作一源極區域及一汲極區域，其中該第三矽區域 1038 用作一通道區域。在一些實施方案中，該間隙 1024 及下伏於該第三矽區域 1038 之第一介電層 1008 一起用作閘極絕緣體。如上文關於方塊 924 描述，可在該第一矽區域、該第二矽區域及該第三矽區域上形成一介電層。該介電層可用作一鈍化絕緣體。如上文關於方塊 926 描述，可移除該介電層之部分以曝露該第一矽區域及該第二矽區域。如上文關於方塊 928 描述，可形成至該第一矽區域及該第二矽區域之接觸件。

在方法 1300 之一些實施方案中，並未執行在方法 900 之方塊 906 之操作。因此，在方法 1300 之一些實施方案中，

在方塊 910 處理金屬層及矽層以形成矽化物層及間隙之後，第一介電層足夠厚及/或硬使得大氣壓力不會引起該間隙摺疊且不使該第一介電層與該矽化物層接觸。如下文進一步描述，使用方法 1300 製造之一 TFT 裝置可用作一絕對壓力感測器。

圖 15 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。圖 15 中所示之方法 1500 包含關於圖 9A 及圖 9B 中所示之方法 900 及圖 13 中所示之方法 1300 描述之一些程序操作。

如上文關於方法 1300 描述，方法 1500 開始於方塊 1302。在方塊 1302，提供包含一矽層之一基板。該方法 1500 繼續上文關於方法 900 描述之程序操作。在方塊 904，在矽層上形成一金屬層，從而形成一矽/金屬雙層。如上文關於圖 9A 及圖 9B 描述，該金屬層及該矽層可經反應以形成矽化物層。在方塊 906，移除該金屬層及該矽層之一部分。如上文關於圖 9A 及圖 9B 描述，可用一介電層填充此體積。在方塊 908，在該金屬層及基板表面之曝露區域上形成一第一介電層。在方塊 910，處理金屬層及矽層。如上文關於圖 9A 及圖 9B 描述，該處理對金屬層與矽層之間的一反應提供能量，從而形成矽化物層及一間隙。在方塊 912，在該第一介電層上形成一非晶矽層。該非晶矽層可包含三個區域：上覆於該間隙之一第三矽區域及上覆於基板之一第一矽區域及一第二矽區域，該第一矽區域及該第二矽區域處於該間隙之任一側上使得該第三矽區域介於該第一矽

區域與該第二矽區域之間。在方塊916，加熱非晶矽層。在方塊918，冷卻非晶矽層。歸因於該間隙，該第三矽區域可以相對於該第一矽區域及該第二矽區域之一較慢速率冷卻。上文關於圖9A、圖9B、圖11A及圖11B描述方塊904、906、908、910、912、916及918之一些實施方案之額外細節。

為完成該TFT裝置之製造，方法1500可繼續上文關於方法900描述之程序操作。例如，如關於方塊922描述，可在該第一矽區域、該第二矽區域中植入一n型摻雜劑。該TFT裝置之第一矽區域及第二矽區域之n摻雜部分可分別用作一源極區域及一汲極區域，其中該第三矽區域用作一通道區域。在一些實施方案中，該間隙及下伏於該第三矽區域之第一介電層一起用作閘極絕緣體。如上文關於方塊924描述，可在該第一矽區域、該第二矽區域及該第三矽區域上形成一介電層。該介電層可用作一鈍化絕緣體。如上文關於方塊926描述，可移除該介電層之部分以曝露該第一矽區域及該第二矽區域。如上文關於方塊928描述，可形成至該第一矽區域及該第二矽區域之接觸件。

可存在製造一TFT裝置之方法900、1100、1300及1500之變動。例如，該等方法1100及1300可包含移除一矽/金屬雙層之一部分使得用一介電層填充一體積。作為另一實例，在方法1100中，在方塊922在該第一矽區域及該第二矽區域中植入該n型摻雜劑可發生於在方塊1102中在該第三矽區域上形成該第三介電層或在方塊1102或1110之一者

之間的某處形成該第三介電層之前。

如上所述，本文描述之 TFT 裝置之一些實施方案可用作一絕對壓力感測器。一絕對壓力感測器量測相對於完全真空壓力(即，0 Pa 或無壓力)之壓力(例如，大氣壓力)。例如，在海平面參照真空，大氣壓力係定義為 101,325 Pa，但是大氣壓力隨海拔變化而變化。

在一些實施方案中，圖 14 中所示之部分製造 TFT 裝置 1400 在完全製造時可用作一絕對壓力感測器。為操作為一絕對壓力感測器，該 TFT 裝置 1400 之間隙 1024 包含真空；即，該間隙 1024 係一真空間隙。一真空間隙之一厚度經組態以歸因於大氣壓力之變化而增加或降低。

例如，對於該部分製造 TFT 裝置 1400，該第一矽區域 1034 之一部分可用作一源極區域，該第二矽區域 1036 之一部分可用作一汲極區域，且該第三矽區域 1038 可用作一通道區域。該間隙 1024 及該介電層 1008 可一起用作一閘極絕緣體，且該矽化物層 1022 可用作閘極。在一些實施方案中，一恆定電壓可施加於該矽化物層 1022(即，閘極)，此可使該 TFT 裝置 1400 保持在線性區域中。在一些其他實施方案中，施加於該第二矽區域 1036(即，汲極區域)之一電壓亦可施加於該矽化物層 1022(即，閘極)，此可使該 TFT 裝置 1400 保持在飽和區域中。

增加大氣壓力可降低該間隙 1024 厚度；即，增加大氣壓力可使該第三矽區域 1038 及下伏於該第三矽區域 1038 之第一介電層 1008 更靠近該矽化物層 1022。降低該間隙厚度可

引起閘極電容(即，氧化物電容)密度增加。當一恆定電壓施加於該矽化物層1022時該閘極電容密度之此一增加導致汲極電流之一調變。因為該間隙1024係一真空間隙，所以可藉由汲極至源極電流之調變(即，自該第二矽區域1036(即，汲極區域)流動至該第一矽區域1034(即，源極區域)之電流之一調變)判定絕對壓力。因此，絕對壓力可被量測為通過該TFT裝置1400之一電流。

圖16A及圖16B展示圖解說明包含複數個干涉量測調變器之一顯示裝置40之系統方塊圖之實例。該顯示裝置40可為(例如)一智慧型電話、一蜂巢式或行動電話。然而，該顯示裝置40之相同組件或其稍微變動亦圖解說明各種類型的顯示裝置，諸如電視機、平板電腦、電子書閱讀器、掌上型裝置及可攜式媒體播放器。

該顯示裝置40包含一外殼41、一顯示器30、一天線43、一揚聲器45、一輸入裝置48及一麥克風46。該外殼41可由多種製造程序之任一程序形成，包含射出成型及真空成形。此外，該外殼41可由多種材料之任一材料製成，包含(但不限於)：塑膠、金屬、玻璃、橡膠及陶瓷或其等之一組合。該外殼41可包含可移除部分(未展示)，該等可移除部分可與不同色彩或含有不同標誌、圖像或符號之其他可移除部分互換。

如本文所述，顯示器30可為多種顯示器之任一者，包含雙穩態或類比顯示器。該顯示器30亦可經組態以包含一平板顯示器(諸如電漿、EL、OLED、STN LCD或TFT LCD)

或一非平板顯示器(諸如一CRT或其他顯像管裝置)。此外，如本文所述，該顯示器30可包含一干涉量測調變器顯示器。

圖16B中示意地圖解說明該顯示裝置40之組件。該顯示裝置40包含一外殼41，且可包含至少部分圍封在該外殼41中之額外組件。例如，該顯示裝置40包含一網路介面27，該網路介面27包含耦合至一收發器47之一天線43。該收發器47係連接至一處理器21，該處理器21係連接至調節硬體52。該調節硬體52可經組態以調節一信號(例如，過濾一信號)。該調節硬體52係連接至一揚聲器45及一麥克風46。該處理器21亦係連接至一輸入裝置48及一驅動器控制器29。該驅動器控制器29係耦合至一圖框緩衝器28及一陣列驅動器22，該陣列驅動器22繼而耦合至一顯示陣列30。在一些實施方案中，一電源供應器50可提供電力給特定顯示裝置40設計中之實質上所有組件。

該網路介面27包含天線43及收發器47，使得該顯示裝置40可經由一網路與一或多個裝置通信。該網路介面27亦可具有一些處理能力以舒緩(例如)處理器21之資料處理要求。該天線43可發射及接收信號。在一些實施方案中，該天線43根據IEEE 16.11標準(包含IEEE 16.11(a)、(b)或(g))或IEEE 802.11標準(包含IEEE 802.11a、b、g或n及其等進一步實施方案)發射及接收射頻(RF)信號。在一些其他實施方案中，該天線43根據藍芽(BLUETOOTH)標準發射及接收RF信號。在一蜂巢式電話之情況中，該天線43經設計

以接收分碼多重存取(CDMA)、分頻多重存取(FDMA)、分時多重存取(TDMA)、全球行動通信系統(GSM)、GSM/通用封包無線電服務(GPRS)、增強型資料 GSM 環境(EDGE)、陸地中繼無線電(TETRA)、寬頻 CDMA(W-CDMA)、演進資料最佳化(EV-DO)、1xEV-DO、EV-DO Rev A、EV-DO Rev B、高速封包存取(HSPA)、高速下行鏈路封包存取(HSDPA)、高速上行鏈路封包存取(HSUPA)、演進型高速封包存取(HSPA+)、長期演進技術(LTE)、AMPS或用以在一無線網路(諸如利用3G或4G技術之一系統)內通信之其他已知信號。該收發器47可預處理自該天線43接收之信號，使得該處理器21可接收並進一步操縱該等信號。該收發器47亦可處理自該處理器21接收之信號，使得該等信號可經由該天線43自該顯示裝置40發射。

在一些實施方案中，該收發器47可由一接收器取代。此外，該網路介面27可由可儲存或產生待發送至該處理器21之影像資料之一影像源取代。該處理器21可控制顯示裝置40之總體操作。該處理器21接收資料(諸如來自該網路介面27或一影像源之壓縮影像資料)並將資料處理為原始影像資料或易於處理為原始影像資料之一格式。該處理器21可將經處理之資料發送至該驅動器控制器29或該圖框緩衝器28以進行儲存。原始資料通常指代識別一影像內之每一位置處之影像特性之資訊。例如，此等影像特性可包含色彩、飽和度及灰階度。

該處理器21可包含用以控制顯示裝置40之操作之一微控制器、CPU或邏輯單元。該調節硬體52可包含用於將信號發射至揚聲器45及用於自麥克風46接收信號之放大器及濾波器。該調節硬體52可為顯示裝置40內之離散組件或可併入該處理器21或其他組件內。

該驅動器控制器29可直接自該處理器21或自該圖框緩衝器28取得由該處理器21產生之原始影像資料且可適當地重新格式化原始影像資料以使其高速發射至該陣列驅動器22。在一些實施方案中，該驅動器控制器29可將該原始影像資料重新格式化為具有類光柵格式之一資料流，使得其具有適合跨該顯示陣列30掃描之一時序。接著，該驅動器控制器29將經格式化之資訊發送至該陣列驅動器22。雖然一驅動器控制器29(諸如一LCD控制器)通常係作為一獨立積體電路(IC)而與系統處理器21相關聯，但是此等控制器可以許多方式實施。例如，控制器可作為硬體嵌入於處理器21中、作為軟體嵌入於處理器21中或與陣列驅動器22完全整合於硬體中。

該陣列驅動器22可自該驅動器控制器29接收經格式化之資訊且可將視訊資料重新格式化為一組平行波形，該等波形係每秒多次地施加至來自顯示器之x-y像素矩陣之數百及有時數千個(或更多)引線。

在一些實施方案中，驅動器控制器29、陣列驅動器22及顯示陣列30係適合本文描述之任何類型的顯示器。例如，該驅動器控制器29可為一習知顯示控制器或一雙穩態顯示

控制器(例如，一IMOD控制器)。此外，該陣列驅動器22可為一習知驅動器或一雙穩態顯示驅動器(例如，一IMOD顯示驅動器)。此外，該顯示陣列30可為一習知顯示陣列或一雙穩態顯示陣列(諸如包含IMOD陣列之一顯示器)。在一些實施方案中，該驅動器控制器29可與該陣列驅動器22整合。此一實施方案可用於高度整合系統(諸如蜂巢式電話、可攜式電子裝置、手錶及其他小面積顯示器)中。

在一些實施方案中，輸入裝置48可經組態以容許(例如)使用者控制顯示裝置40之操作。該輸入裝置48可包含一小鍵盤(諸如一QWERTY鍵盤或一電話小鍵盤)、一按鈕、一切換器、一搖桿、一觸敏螢幕、與顯示陣列30整合之一觸敏螢幕或一壓敏膜或熱敏膜。麥克風46可組態為顯示裝置40之一輸入裝置。在一些實施方案中，透過麥克風46之語音命令可用於控制該顯示裝置40之操作。

電源供應器50可包含多種能量儲存裝置。例如，該電源供應器50可為一可充電電池，諸如鎳鎘電池或鋰離子電池。在使用一可充電電池之實施方案中，該可充電電池可使用源自(例如)一壁式插座或一光伏打裝置或陣列之電力進行充電。或者，該可充電電池可無線地充電。該電源供應器50亦可為一可再生能源、一電容器或一太陽能電池(包含一塑膠太陽能電池或一太陽能電池漆)。該電源供應器50亦可經組態以自一壁式插座接收電力。

在一些實施方案中，控制可程式化性駐留在可定位於電子顯示系統中之若干位置中之驅動器控制器29中。在一些

其他實施方案中，控制可程式化性駐留在該陣列驅動器22中。可在任意數目個硬體及/或軟體組件及各種組態中實施上述最佳化。

結合本文揭示之實施方案進行描述之各種闡釋性邏輯、邏輯塊、模組、電路及演算法步驟可實施為電子硬體、電腦軟體或兩者之組合。已在功能性方面大體上描述且在上述各種闡釋性組件、方塊、模組、電路及步驟中圖解說明硬體及軟體之可互換性。是否在硬體或軟體中實施此功能性取決於特定應用及強加於整個系統之設計限制。

可使用以下各者實施或執行用以實施結合本文揭示之態樣進行描述之各種闡釋性邏輯、邏輯塊、模組及電路之硬體及資料處理設備：一通用單晶片或多晶片處理器、一數位信號處理器(DSP)、一特定應用積體電路(ASIC)、一場可程式化閘陣列(FPGA)或其他可程式化邏輯裝置、離散閘或電晶體邏輯、離散硬體組件或其等之經設計以執行本文描述之功能之任何組合。一通用處理器可為一微處理器或任何習知處理器、控制器、微控制器或狀態機。一處理器亦可實施為計算裝置之一組合(例如，一DSP與一微處理器之一組合)、複數個微處理器、結合一DSP核心之一或多個微處理器或任何其他此組態。在一些實施方案中，可藉由專用於一給定功能之電路執行特定步驟及方法。

在一或多個態樣中，可將所描述的功能實施於硬體、數位電子電路、電腦軟體、韌體中，包含本說明書中揭示之結構及其等之結構等效物或其等之任何組合。本說明書中

描述之標的之實施方案亦可實施為在一電腦儲存媒體上編碼以藉由資料處理設備執行或控制資料處理設備之操作之一或多個電腦程式(即，電腦程式指令之一或多個模組)。

熟習此項技術者可容易明白在本發明中描述之實施方案之各種修改，且在不脫離本發明之精神或範疇之情況下，本文定義之一般原理亦可應用於其他實施方案。因此，申請專利範圍不旨在限於本文展示之實施方案，但符合與本文所揭示之本發明、原理及新穎特徵一致之最廣範疇。字詞「例示性」在本文中係專用於意謂「用作為一實例、例項或圖解」。在本文中描述為「例示性」之任何實施方案未必解釋為比其他可能性或實施方案較佳或有利。此外，一般技術者將容易明白，術語「上」及「下」有時係為便於描述圖式而使用且指示對應於一適當定向頁面上之圖式定向之相對位置，且可能不反映如所實施之IMOD之適當定向。

在本說明書中在個別實施方案之背景內容下描述之特定特徵亦可在單一實施方案中組合實施。相反，在單一實施方案之背景內容下描述之各種特徵亦可在多個實施方案中單獨實施或以任何適當子組合實施。此外，雖然上文可將特徵描述為以特定組合起作用且即使最初如此主張，但在一些情況中，來自所主張之組合之一或多個特徵可自組合中切除且所主張的組合可關於一子組合或一子組合之變體。

類似地，雖然在圖式中以一特定順序描繪操作，但是一

般技術者將容易認知無需以所展示之特定順序或循序順序執行此等操作，或執行所有經圖解說明之操作以達成所要結果。此外，圖式可以一流程圖之形式示意地描繪一或多個例示性程序。然而，未經描繪之其他操作可併入於經示意性圖解說明之例示性程序中。例如，可在經圖解說明之操作之任一者之前、之後、之同時或之間執行一或多個額外操作。在某些境況中，多重任務處理及並行處理可為有利。此外，在上述實施方案中之各種系統組件之分離不應理解為在所有實施方案中皆需要此分離，且應理解為所描述之程式組件及系統通常可一起整合於一單一軟體產品中或封裝至多個軟體產品中。此外，其他實施方案係在下列申請專利範圍之範疇內。在一些情況中，申請專利範圍中敘述之動作可以一不同順序執行且仍達成所要結果。

【圖式簡單說明】

圖1展示描繪一干涉量測調變器(IMOD)顯示裝置之一系列像素中之兩個相鄰像素之一等角視圖之一實例。

圖2展示圖解說明併入一3x3干涉量測調變器顯示器之一電子裝置之一系統方塊圖之一實例。

圖3展示圖解說明圖1之干涉量測調變器之可移動反射層位置對施加電壓之一圖之一實例。

圖4展示圖解說明在施加各種共同及分段電壓時一干涉量測調變器之各種狀態之一表之一實例。

圖5A展示圖解說明圖2之3x3干涉量測調變器顯示器中之一顯示資料圖框之一圖之一實例。

圖 5B 展示可用以寫入圖 5A 中圖解說明之顯示資料之圖框之共同信號及分段信號之一時序圖之一實例。

圖 6A 展示圖 1 之干涉量測調變器顯示器之一部分截面之一實例。

圖 6B 至 6E 展示干涉量測調變器之不同實施方案之截面之實例。

圖 7 展示圖解說明一干涉量測調變器之一製造程序之一流程圖之一實例。

圖 8A 至圖 8E 展示在製造一干涉量測調變器之一方法中之各個階段之截面示意圖解之實例。

圖 9A 及圖 9B 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。

圖 10A 至圖 10E 展示製造一薄膜電晶體裝置之一方法中之各個階段之示意圖解之實例。

圖 11A 及圖 11B 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。

圖 12 展示一部分製造薄膜電晶體裝置之一截面示意圖解之一實例。

圖 13 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。

圖 14 展示一部分製造薄膜電晶體裝置之一截面示意圖解之一實例。

圖 15 展示圖解說明一薄膜電晶體裝置之一製造程序之一流程圖之一實例。

圖 16A 及圖 16B 展示圖解說明包含複數個干涉量測調變器之一顯示裝置之系統方塊圖之實例。

【主要元件符號說明】

12	干涉量測調變器(IMOD)/像素
13	光
14	可移動反射層
14a	反射子層/導電層/反射層/子層
14b	支撐層/介電支撐層/子層
14c	導電層/子層
15	光
16	下伏光學堆疊/光學堆疊
16a	吸收層/光學吸收體/子層
16b	介電質/子層
18	柱/支撐件/支撐柱
19	間隙/腔
20	透明基板/下伏基板
21	處理器
22	陣列驅動器
23	黑色遮罩/干涉量測堆疊黑色遮罩 結構
24	列驅動器電路
25	犧牲層
26	行驅動器電路
27	網路介面

28	圖框緩衝器
29	驅動器控制器
30	顯示陣列/顯示面板/顯示器
32	繫鏈
34	可變形層
35	間隔層
40	顯示裝置
41	外殼
43	天線
45	揚聲器
46	麥克風
47	收發器
48	輸入裝置
50	電源供應器
52	調節硬體
60a	第一線時間
60b	第二線時間
60c	第三線時間
60d	第四線時間
60e	第五線時間
62	高分段電壓
64	低分段電壓
70	釋放電壓
72	高保持電壓

74	高定址電壓
76	低保持電壓
78	低定址電壓
1000	薄膜電晶體(TFT)裝置
1002	基板/下伏基板
1004	矽層
1006	金屬層
1008	第一介電層/第一介電質
1009	虛線
1010	體積
1022	下伏矽化物層/矽化物層
1024	間隙
1032	第二介電層
1034	第一矽區域
1036	第二矽區域
1038	第三矽區域
1044	第一矽區域之n摻雜部分
1046	第二矽區域之n摻雜部分
1052	第三介電層
1054	第一接觸件
1056	第二接觸件
1092	間隙之尺寸
1094	薄膜電晶體(TFT)裝置之尺寸
1200	部分製造薄膜電晶體(TFT)裝置

1202	第三介電層
1204	第二間隙
1206	第二矽化物層
1208	第四介電層
1400	薄膜電晶體(TFT)裝置
Common line 1	共同線1
Common line 2	共同線2
Common line 3	共同線3
Segment line 1	分段線1
Segment line 2	分段線2
Segment line 3	分段線3

七、申請專利範圍：

1. 一種方法，其包括：

提供具有一表面之一基板，該基板包含該基板表面之一區域上之一第一矽層，該第一矽層使該基板表面之區域保持曝露；

在該第一矽層上形成一第一金屬層；

在該第一金屬層及該基板表面之該等曝露區域上形成一第一介電層；

處理該第一金屬層及該第一矽層，其中該第一金屬層與該第一矽層反應以形成一第一矽化物層及介於該第一矽化物層與該第一介電層之間之一第一間隙；

在該第一介電層上形成一非晶矽層，該非晶矽層包含上覆於該基板表面之該等曝露區域之一第一矽區域及一第二矽區域以及上覆於該第一間隙之一第三矽區域，該第三矽區域係介於該第一矽區域與該第二矽區域之間；

加熱該非晶矽層；及

冷卻該非晶矽層，其中該第一矽區域及該第二矽區域以快於該第三矽區域之一速率冷卻。

2. 如請求項1之方法，其中該第一金屬層包含鈦、鎳、鉬、鉭、鎢、鉑及鈷之至少一者。

3. 如請求項1之方法，其中該第三矽區域包含一單個矽晶粒或若干矽晶粒，且其中該第一矽區域及該第二矽區域包含非晶矽或小於該第三矽區域中之該單個矽晶粒或該等矽晶粒之矽晶粒。

4. 如請求項1之方法，其進一步包括：

在加熱該非晶矽層之前，在該非晶矽層上形成一第二介電層。

5. 如請求項1之方法，其進一步包括：

在該第一矽區域、該第二矽區域及該第三矽區域上形成一第二介電層；

移除該第二介電層之部分以曝露該第一矽區域及該第二矽區域；及

形成金屬接觸件，一第一金屬接觸件接觸該第一矽區域，且一第二金屬接觸件接觸該第二矽區域。

6. 如請求項1之方法，其中介於該第一矽化物層與該第一介電層之間之該第一間隙係一真空間隙。

7. 如請求項1之方法，其進一步包括：

在形成該第一介電層之前，移除該第一金屬層及該第一矽層之一部分，其中在處理該第一金屬層及該第一矽層之後，該第一介電層包含在該間隙內接觸該基板之表面之一支撐件。

8. 如請求項1之方法，其中經由準分子雷射退火執行加熱該非晶矽層。

9. 如請求項1之方法，其中該第一間隙之一厚度係約10奈米至50奈米。

10. 如請求項1之方法，其進一步包括：

在該第三矽區域上形成一第二介電層；

在該第二介電層上形成一第二金屬層；

在該第二金屬層上形成一第二矽層；

在該第二矽層及該第二介電層之一部分上形成介電支撐件；及

處理該第二金屬層及該第二矽層，其中該第二金屬層與該第二矽層反應以形成一第二矽化物層及介於該第二矽化物層與該第二介電層之間之一第二間隙。

11. 如請求項1之方法，其進一步包括：

在該第一矽區域及該第二矽區域中植入一n型摻雜劑。

12. 一種裝置，其根據請求項1之方法而製造。

13. 一種方法，其包括：

提供具有一表面之一基板，該基板包含該基板之該表面之一區域上之一矽層，該矽層使該基板表面之區域保持曝露；

在該矽層上形成一金屬層；

移除該金屬層及該矽層之一部分以曝露該基板表面之一部分；

在該金屬層、該基板表面之該等曝露區域及該基板表面之該曝露部分上形成一介電層；

處理該金屬層及該矽層，其中該金屬層與該矽層反應以形成矽化物層及介於該矽化物層與該介電層之間之一間隙；

在該介電層上形成一非晶矽層，該非晶矽層包含上覆於該基板表面之該等曝露區域之一第一矽區域及一第二

矽區域以及上覆於該間隙之一第三矽區域，該第三矽區域係介於該第一矽區域與該第二矽區域之間；

加熱該非晶矽層；及

冷卻該非晶矽層，其中該第一矽區域及該第二矽區域以快於該第三矽區域之一速率冷卻。

14. 如請求項13之方法，其中該金屬層包含鈦、鎳、鉬、鉭、鎢、鉑及鈷之至少一者。

15. 如請求項13之方法，其中該第三矽區域包含一單個矽晶粒或若干矽晶粒，且其中該第一矽區域及該第二矽區域包含非晶矽或小於該第三矽區域中之該單個矽晶粒或該等矽晶粒之矽晶粒。

16. 如請求項13之方法，其進一步包括：

在該第一矽區域及該第二矽區域中植入一n型摻雜劑。

17. 一種設備，其包括：

一基板，其具有一表面；

一第一矽化物層，其與該基板表面相關聯；

一第一介電層，該第一介電層之至少一部分處於該基板表面上；

一第一真空間隙，其介於該第一矽化物層與該第一介電層之間；及

一矽層，其在該第一介電層上，該矽層包含一第一矽區域、一第二矽區域及一第三矽區域，該第三矽區域上覆於該第一真空間隙，該第三矽區域係介於該第一矽區

域與該第二矽區域之間，該第三矽區域包含一單個矽晶粒或若干矽晶粒，且該第一矽區域及該第二矽區域包含非晶矽或小於該第三矽區域中之該單個矽晶粒或該等矽晶粒之矽晶粒。

18. 如請求項17之設備，其中該第一矽化物層係矽化鈦、矽化鎳、矽化鉬、矽化鉭、矽化鎢、矽化鉑及矽化鈷之至少一者。
19. 如請求項17之設備，其中該第一真空間隙之厚度係約10 nm至50 nm。
20. 如請求項17之設備，其中該第一真空間隙之一厚度經組態以歸因於大氣壓力之一變化而增加或降低。
21. 如請求項17之設備，其中該設備經組態以產生一絕對壓力讀數。
22. 如請求項21之設備，其中藉由施加一固定電位至該第一矽化物層且判定在該第一矽區域與該第二矽區域之間流動之一電流而產生該絕對壓力讀數。
23. 如請求項17之設備，其中該第一矽區域及該第二矽區域經植入具有一n型摻雜劑。
24. 如請求項17之設備，其進一步包括：
 - 一第二介電層，其在該第三矽區域上；
 - 一第二矽化物層；
 - 一第二真空間隙，其介於該第二介電層與該第二矽化物層之間；及
 - 介電支撐件，其在該第二介電層之一部分上，其中該

等介電支撐件使該第二矽化物層與該第二介電層分離。

25. 如請求項17之設備，其進一步包括：

一顯示器；

一處理器，其經組態以與該顯示器通信，該處理器經組態以處理影像資料；及

一記憶體裝置，其經組態以與該處理器通信。

26. 如請求項25之設備，其進一步包括：

一驅動器電路，其經組態以將至少一信號發送至該顯示器；及

一控制器，其經組態以將該影像資料之至少一部分發送至該驅動器電路。

27. 如請求項25之設備，其進一步包括：

一影像源模組，其經組態以將該影像資料發送至該處理器。

28. 如請求項27之設備，其中該影像源模組包含一接收器、收發器及發射器之至少一者。

29. 如請求項25之設備，其進一步包括：

一輸入裝置，其經組態以接收輸入資料並將該輸入資料傳達至該處理器。

八、圖式：

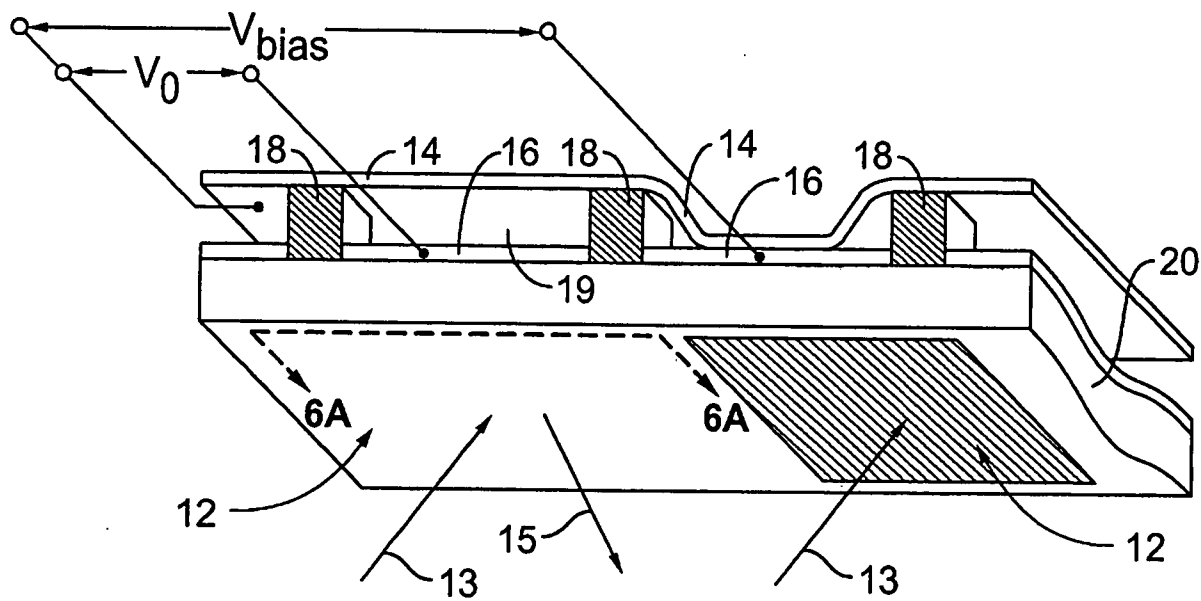


圖 1

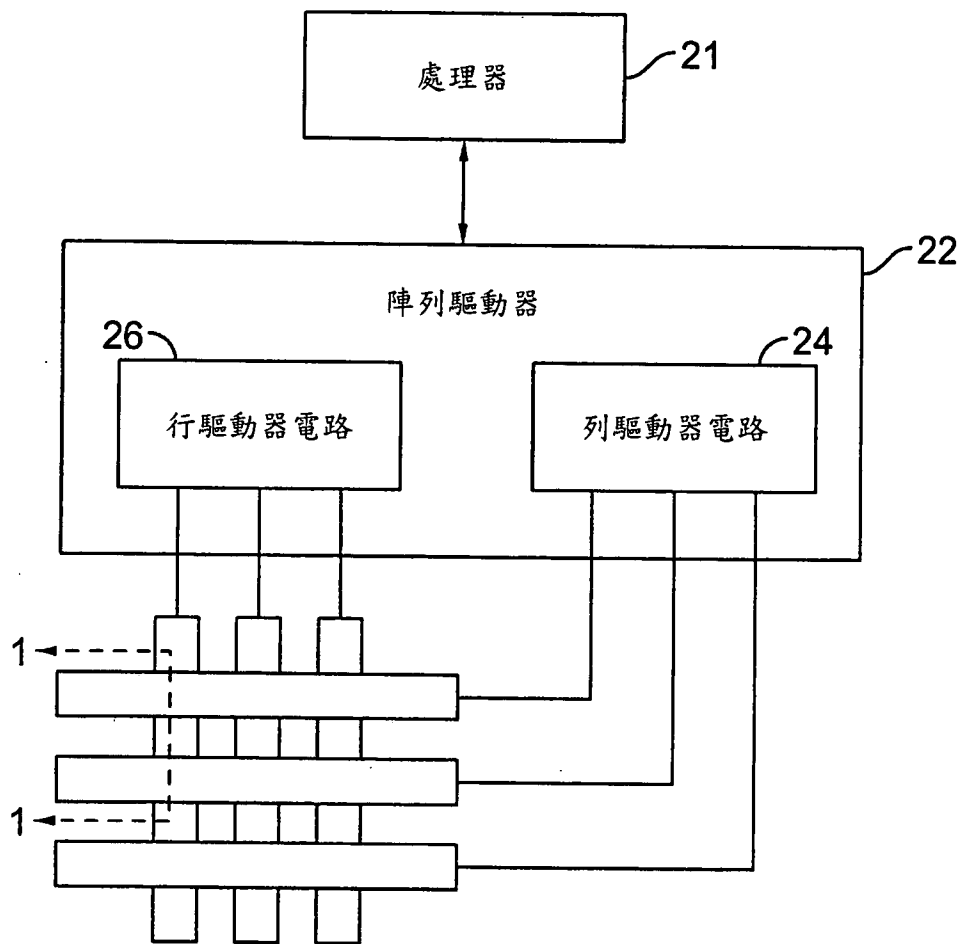


圖 2

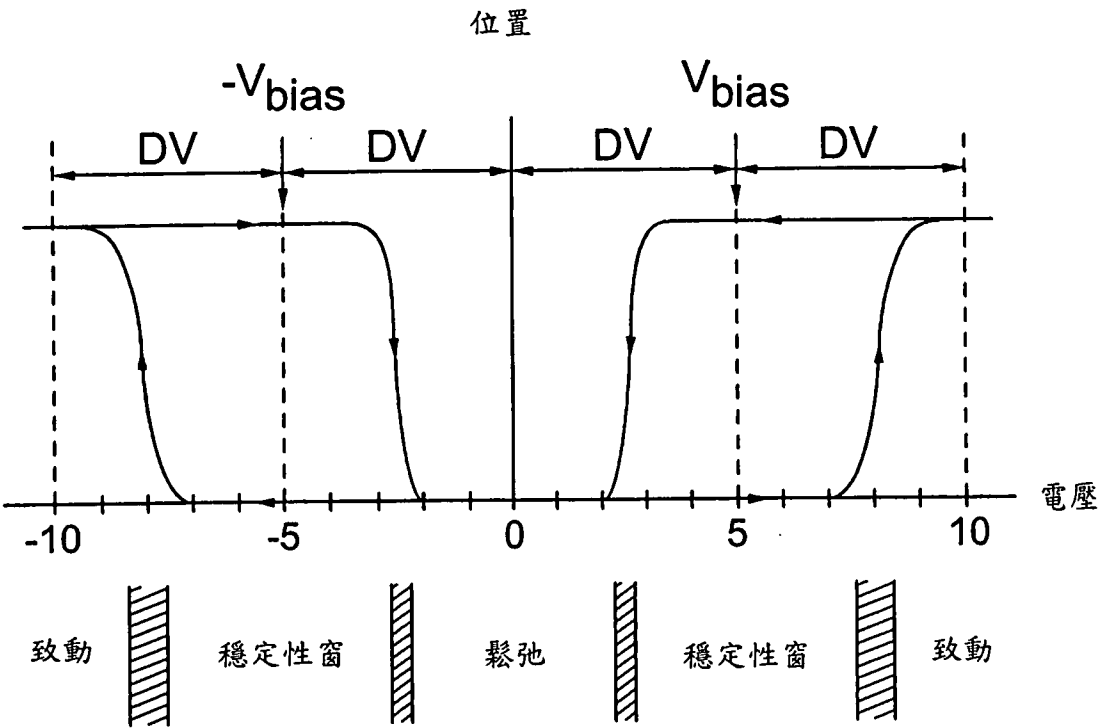


圖 3

共同電壓

分段電壓					
	VCADD_H	VC HOLD_H	VC REL	VC HOLD_L	VCADD_L
VS _H	穩定	穩定	鬆弛	穩定	致動
VS _L	致動	穩定	鬆弛	穩定	穩定

圖 4

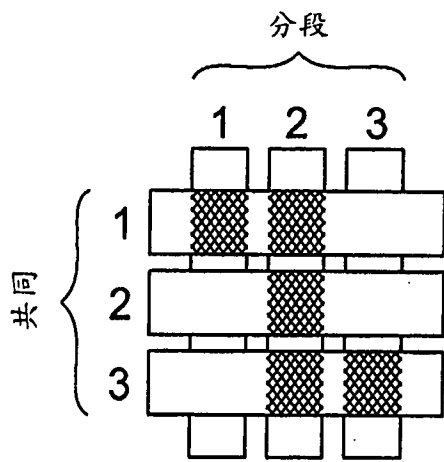


圖 5A

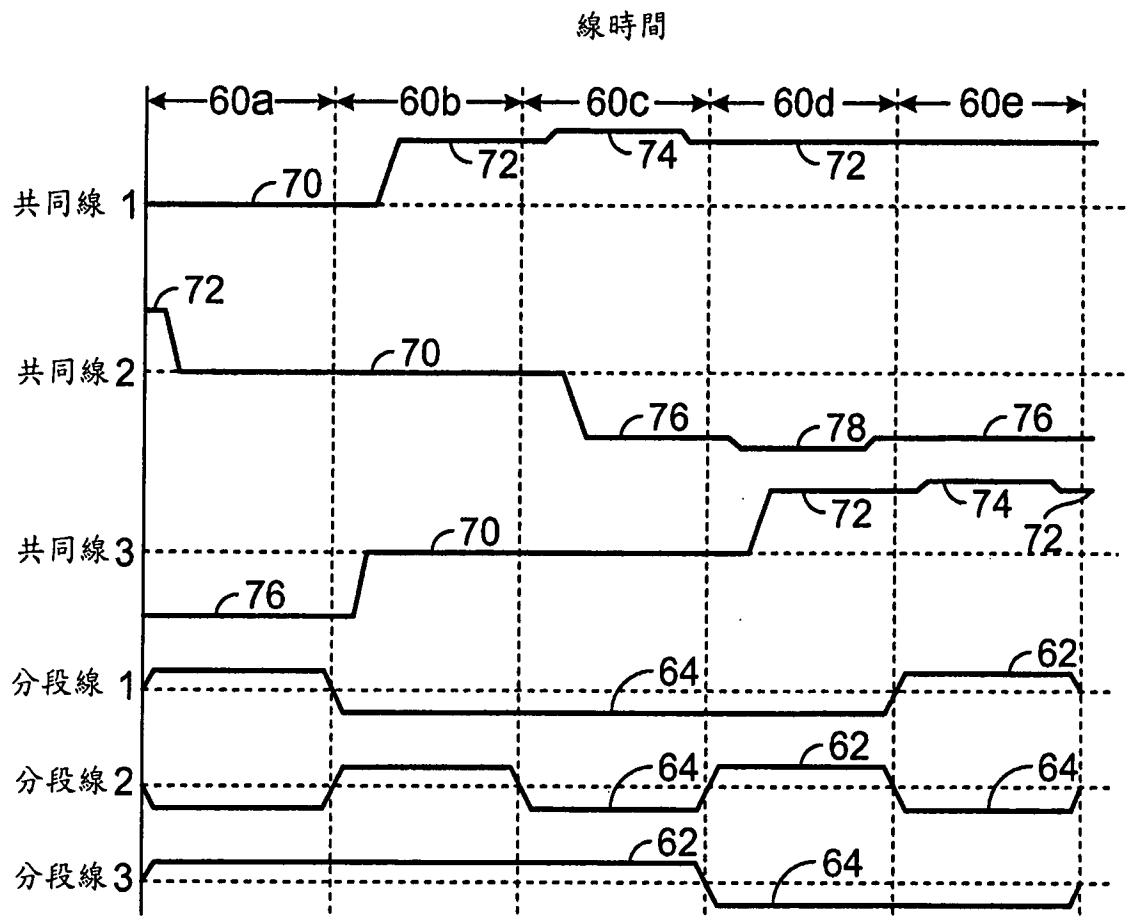


圖 5B

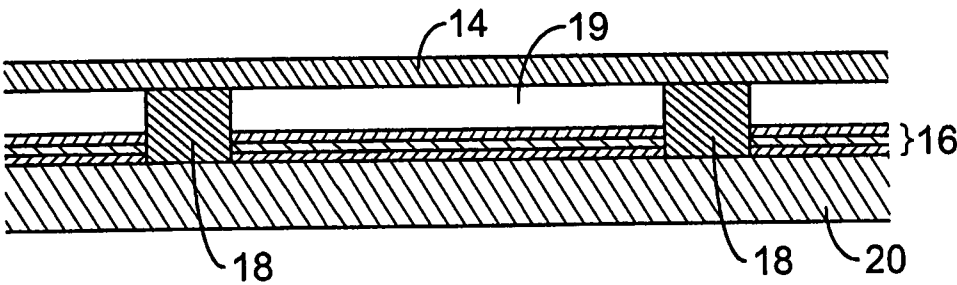


圖 6A

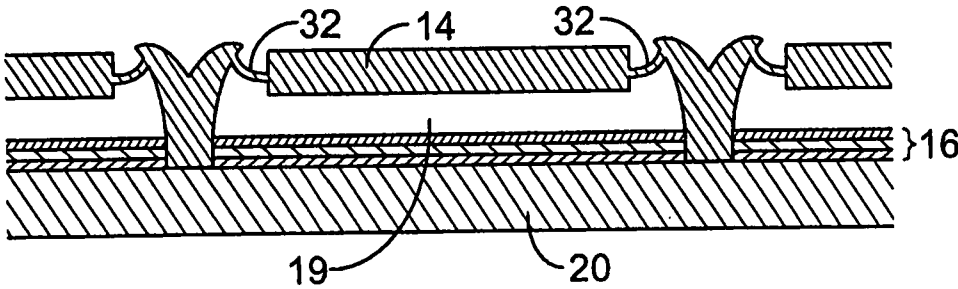


圖 6B

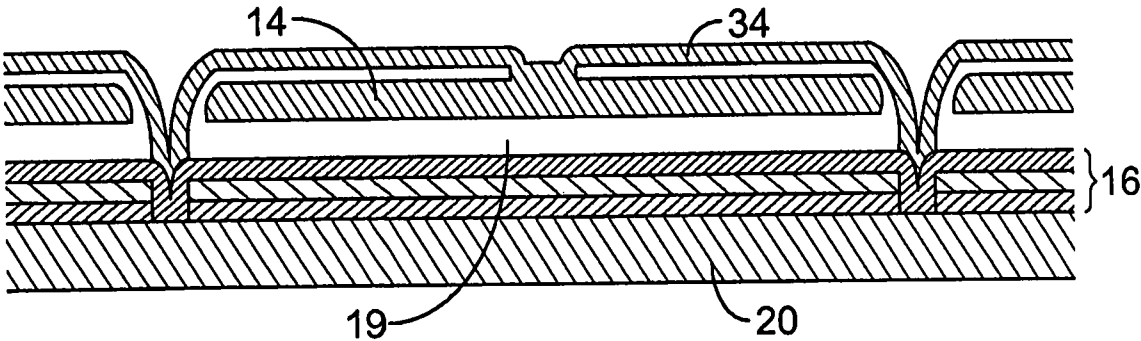


圖 6C

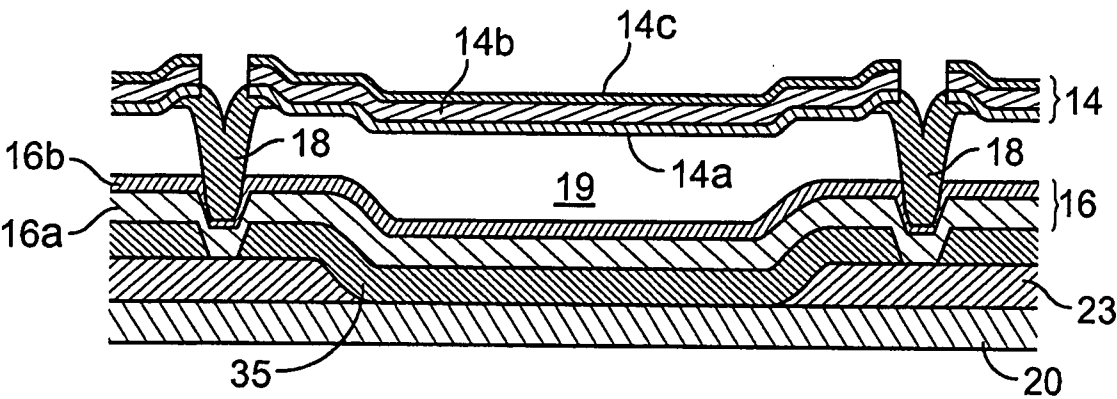


圖 6D

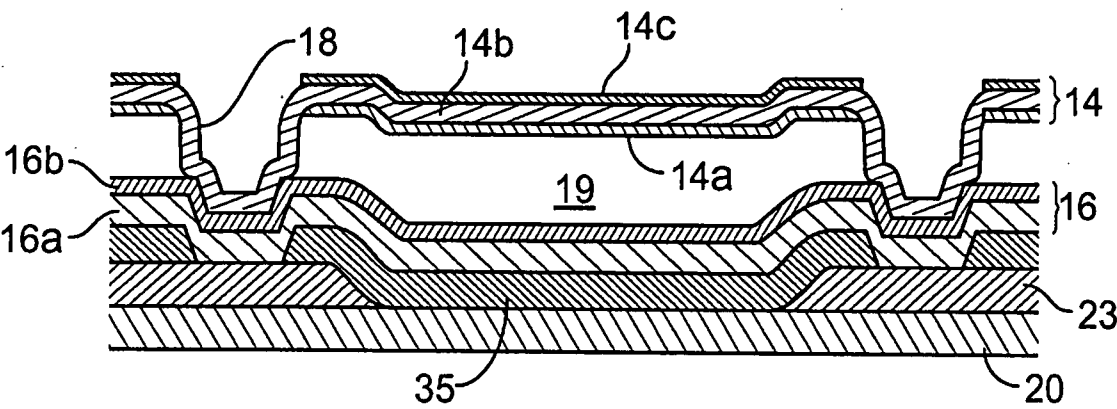


圖 6E

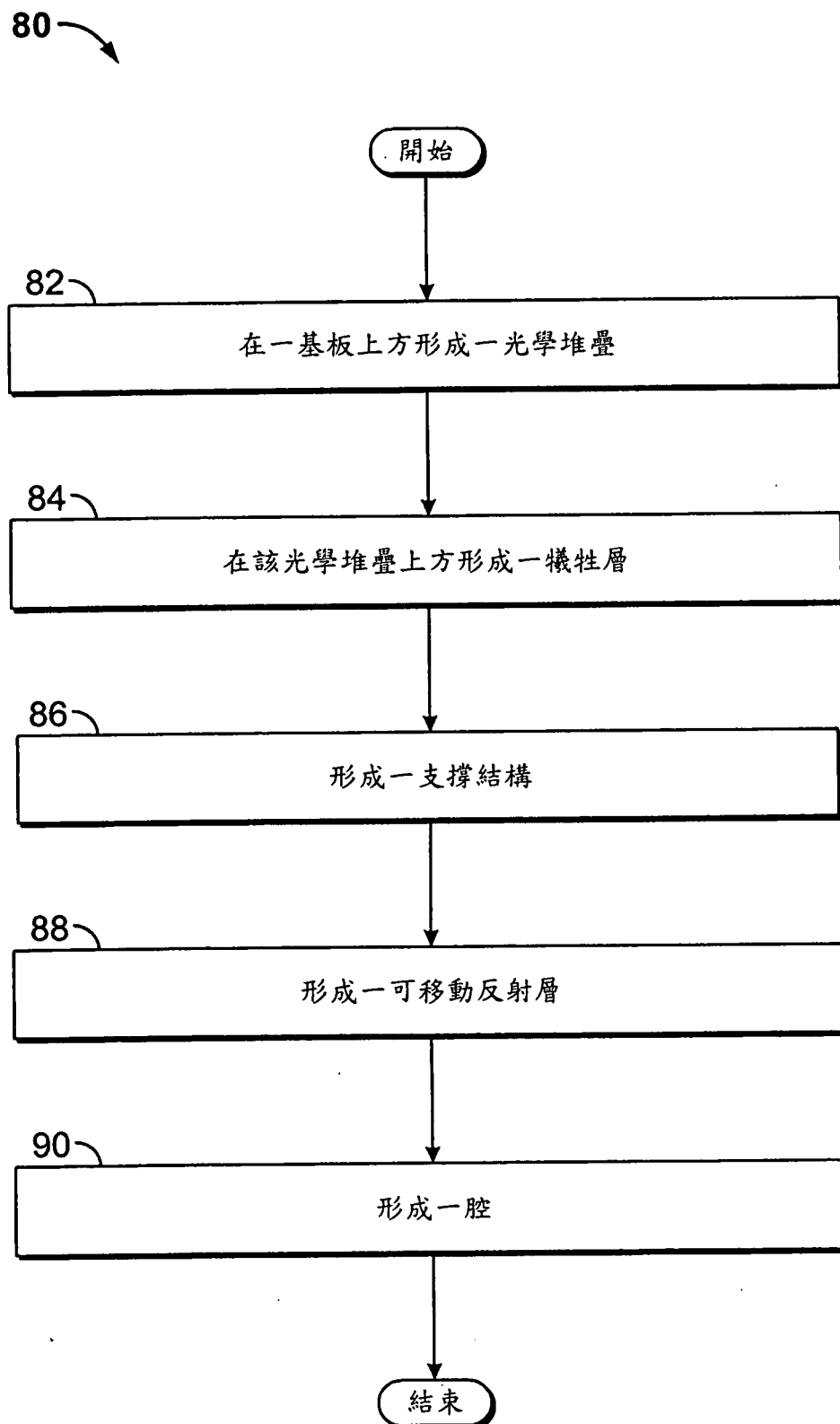


圖 7

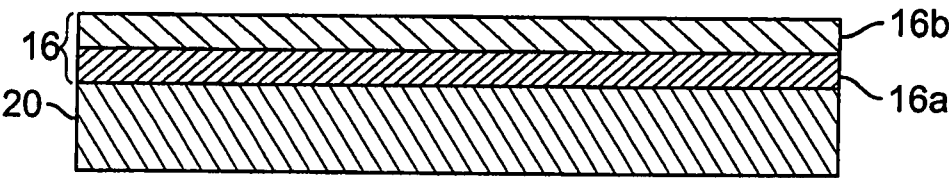


圖 8A

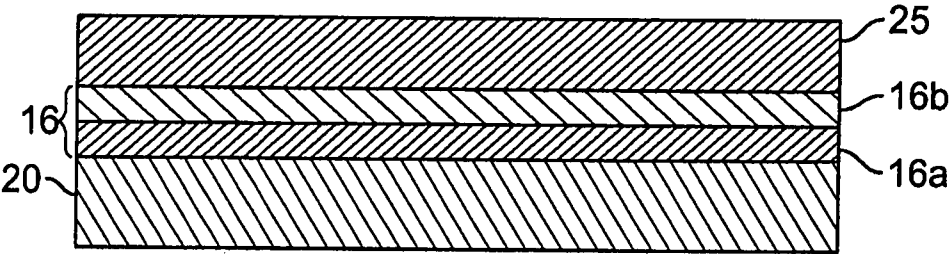


圖 8B

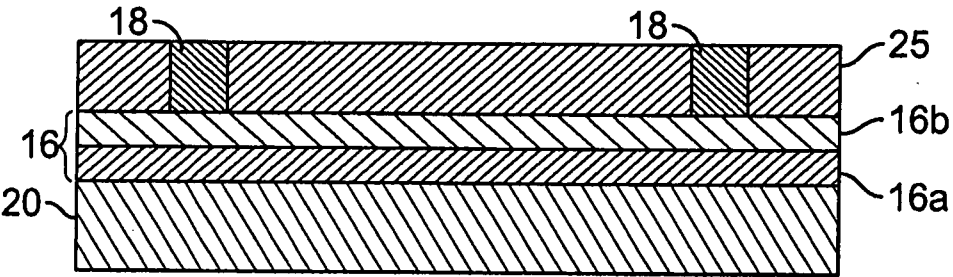


圖 8C

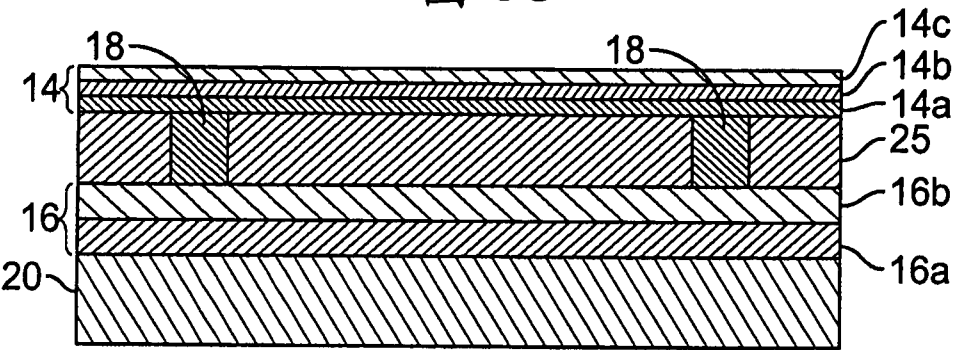


圖 8D

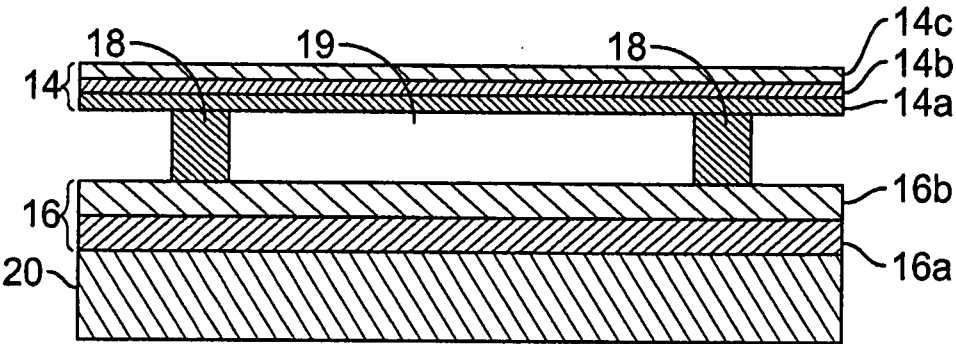


圖 8E

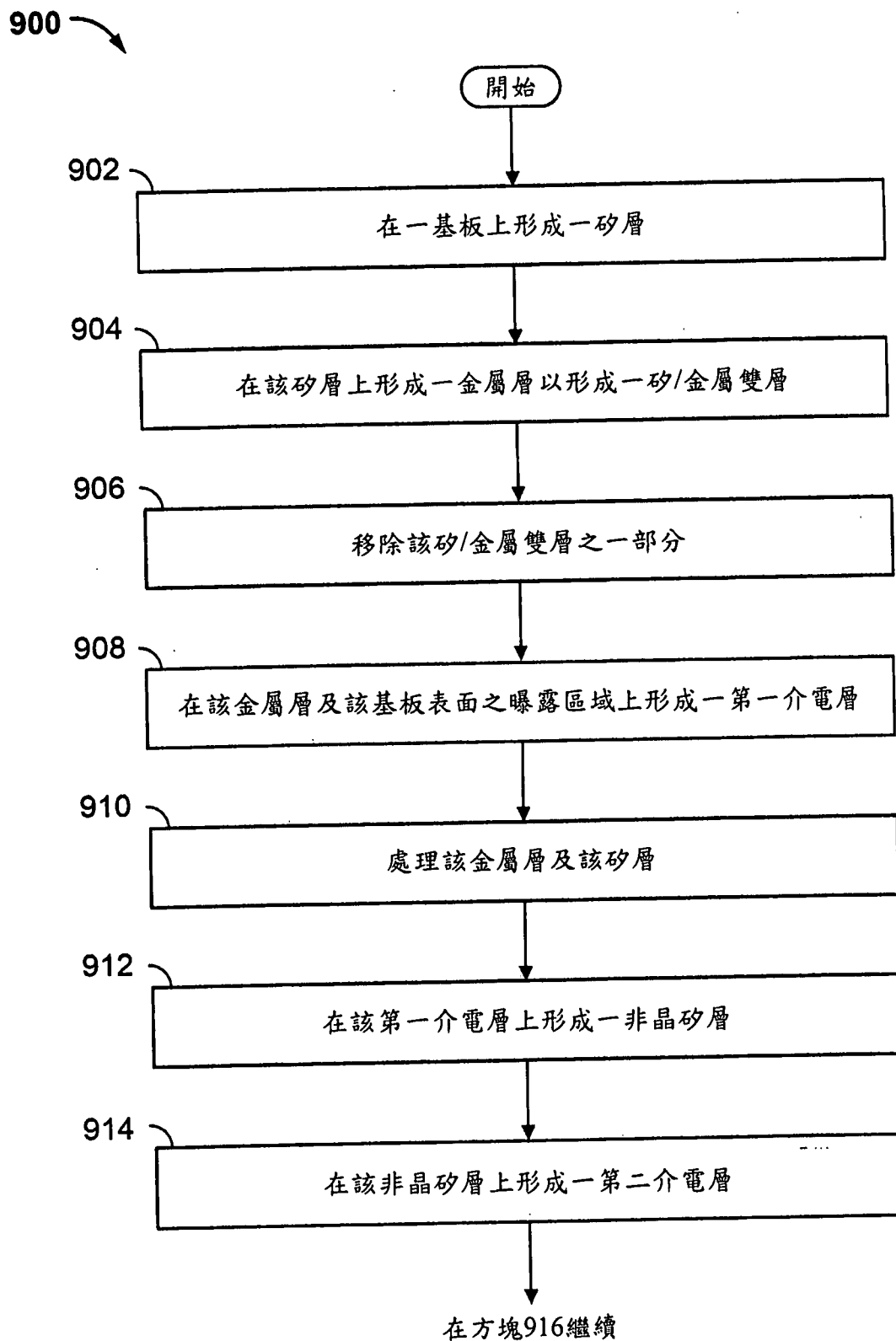


圖 9A

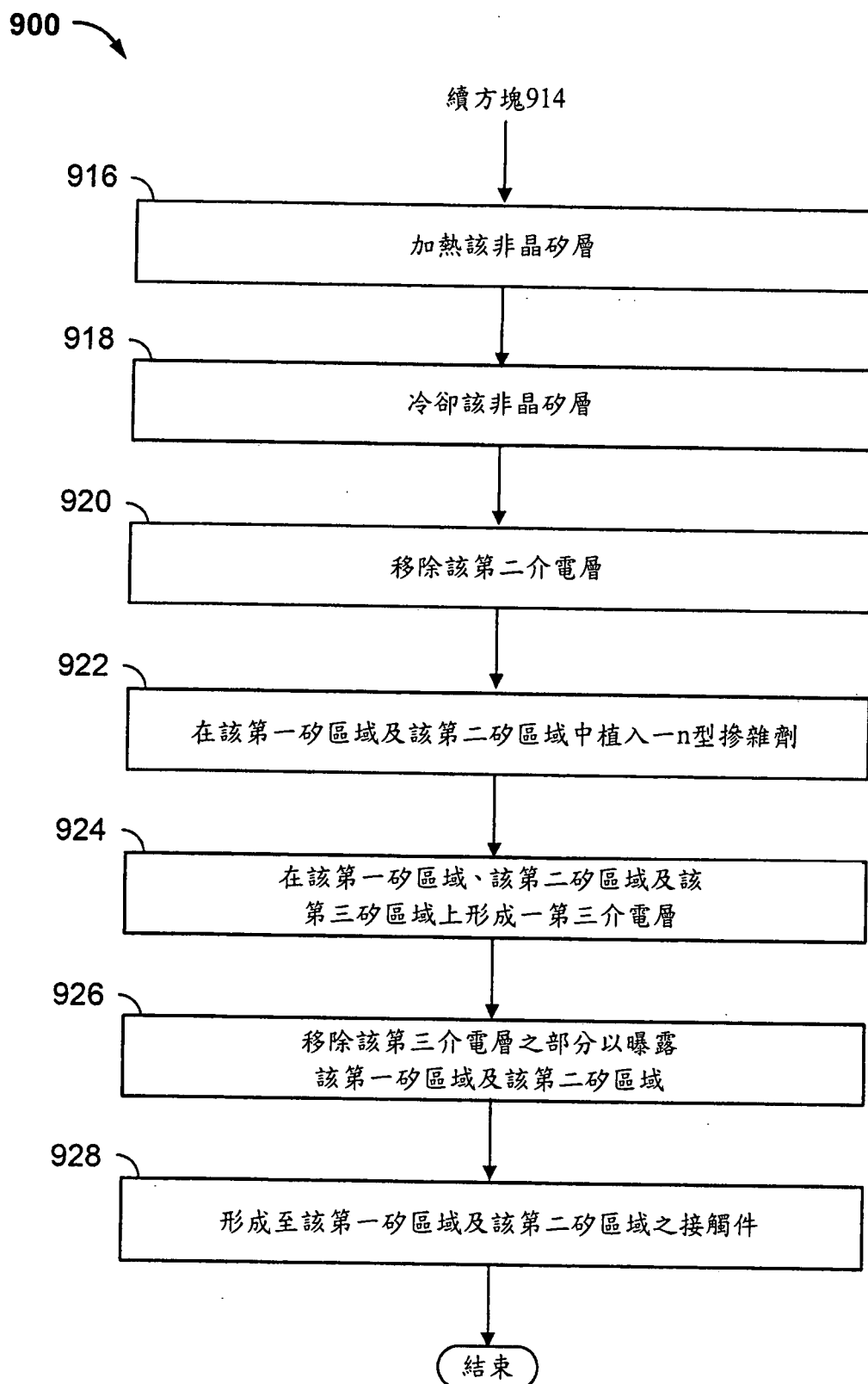


圖 9B

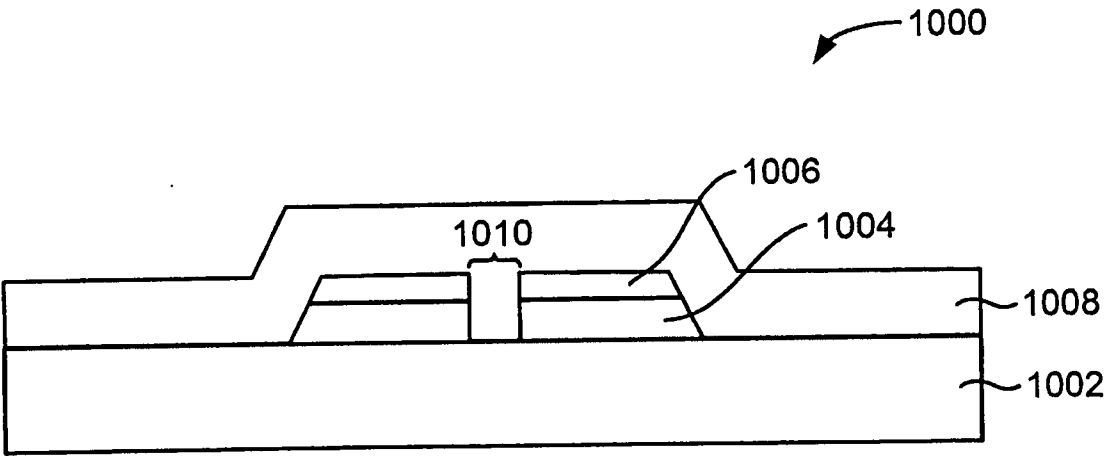


圖 10A

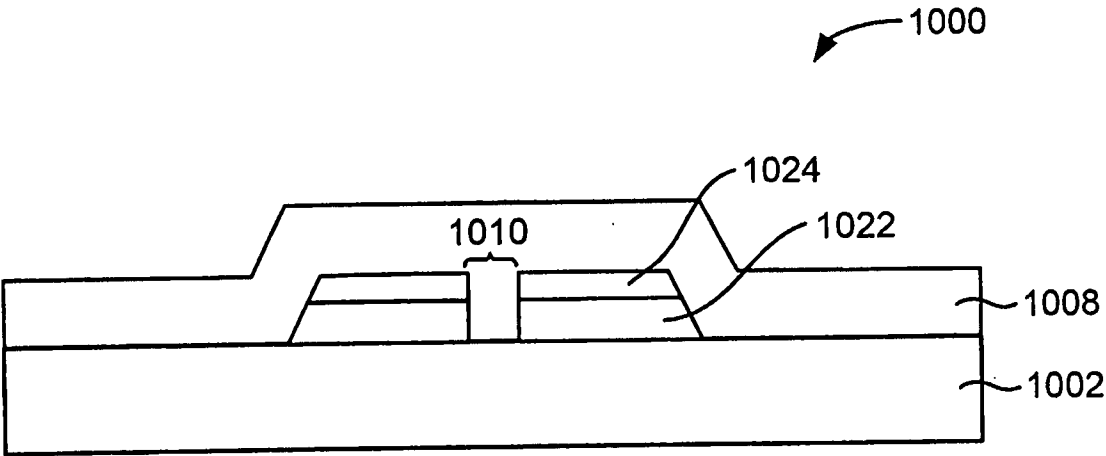


圖 10B

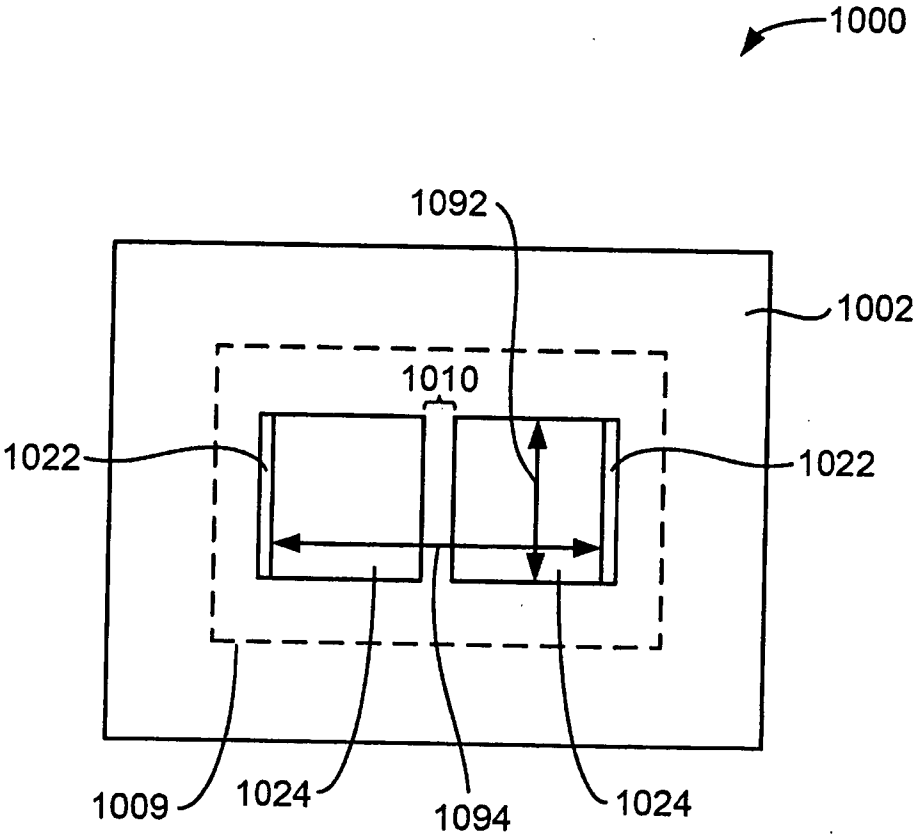


圖 10C

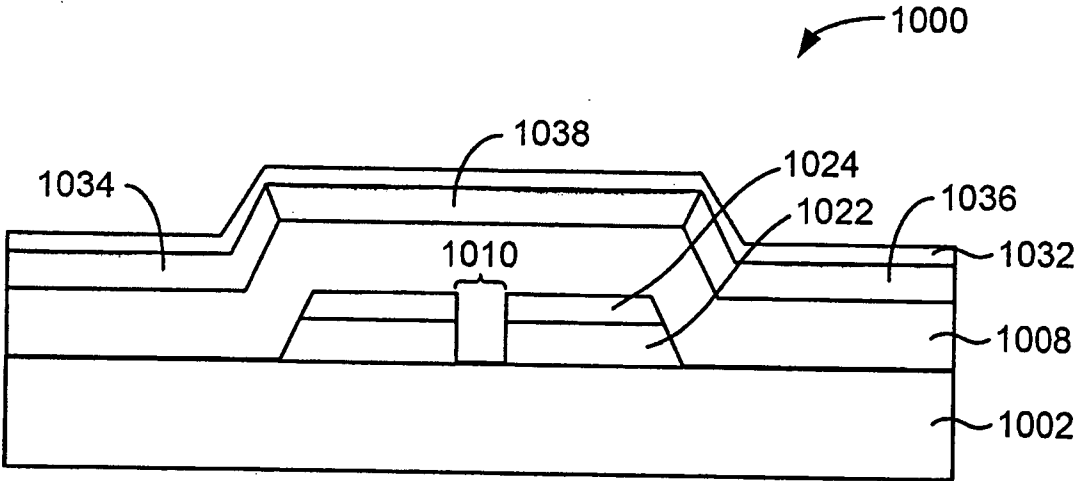


圖 10D

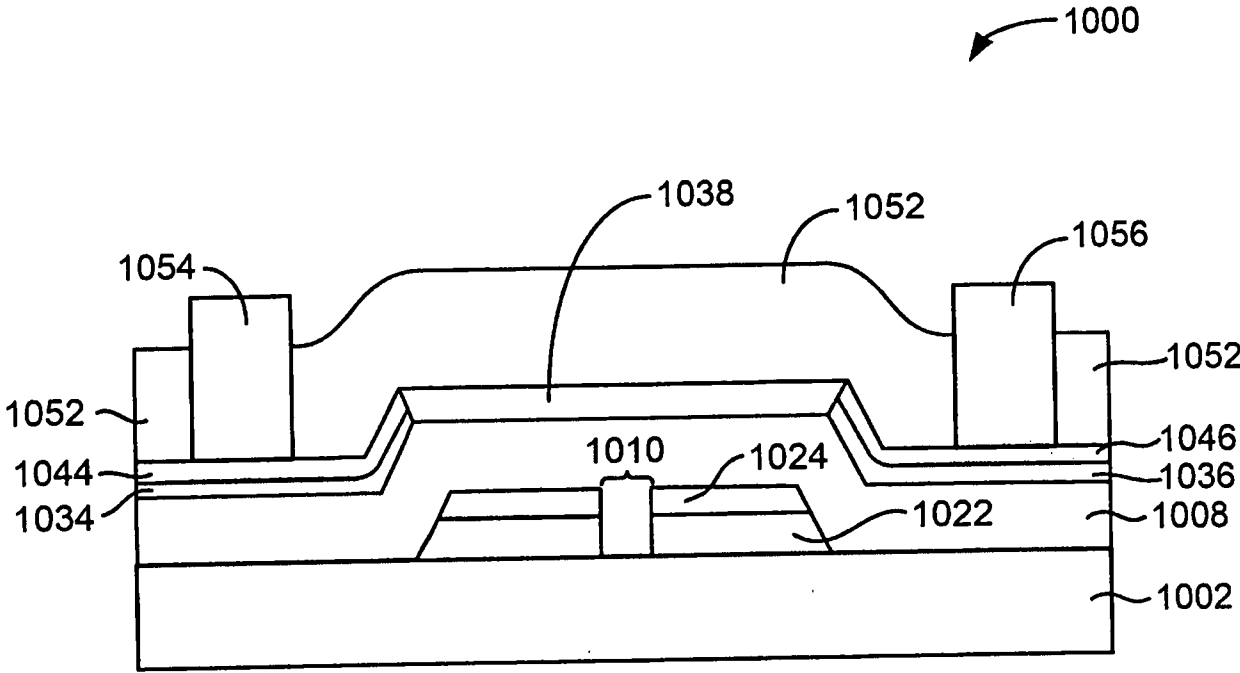


圖 10E

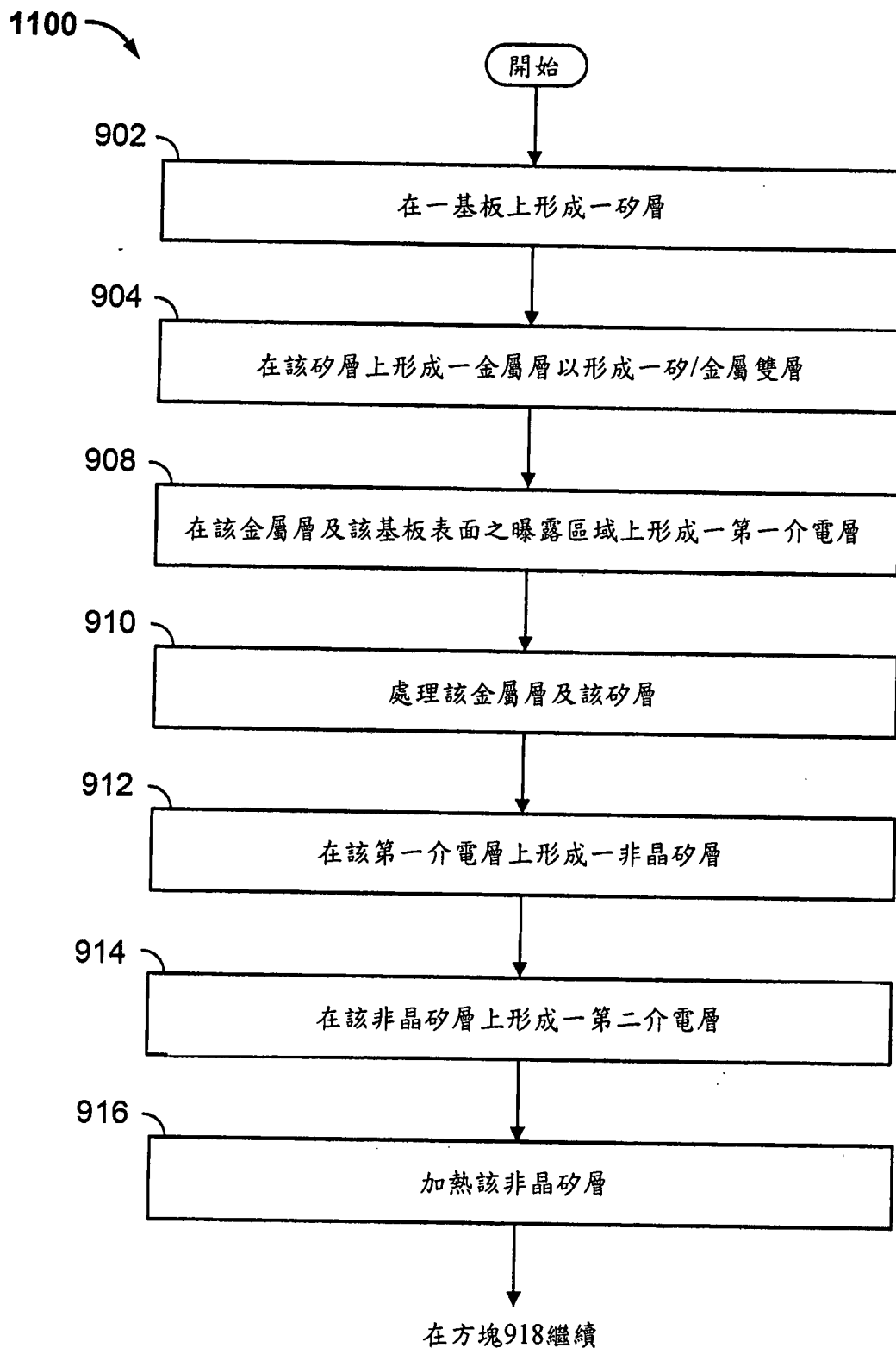


圖 11A

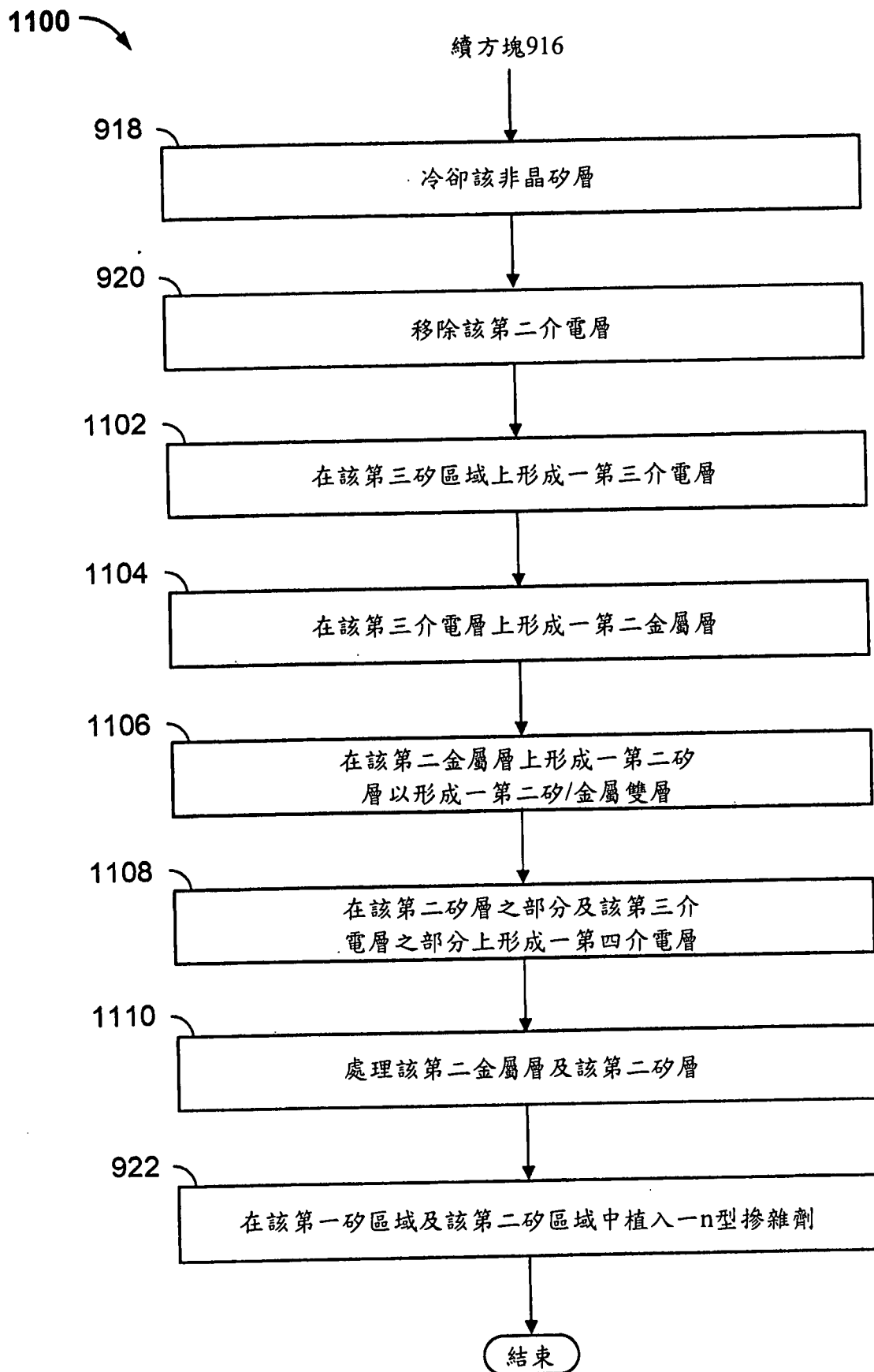


圖 11B

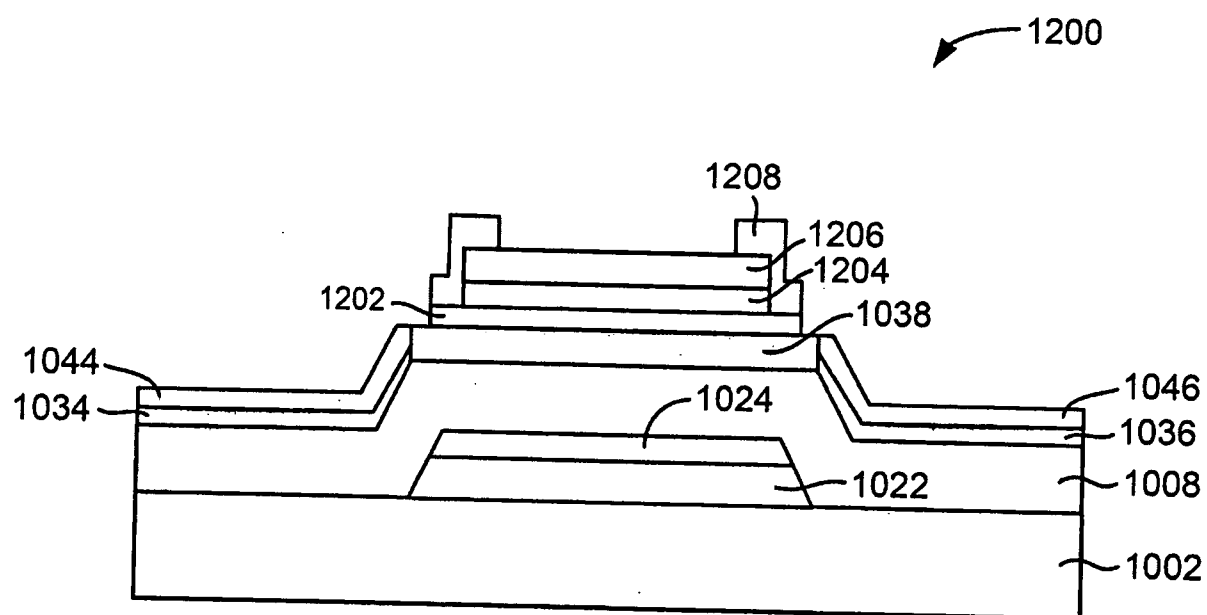


圖 12

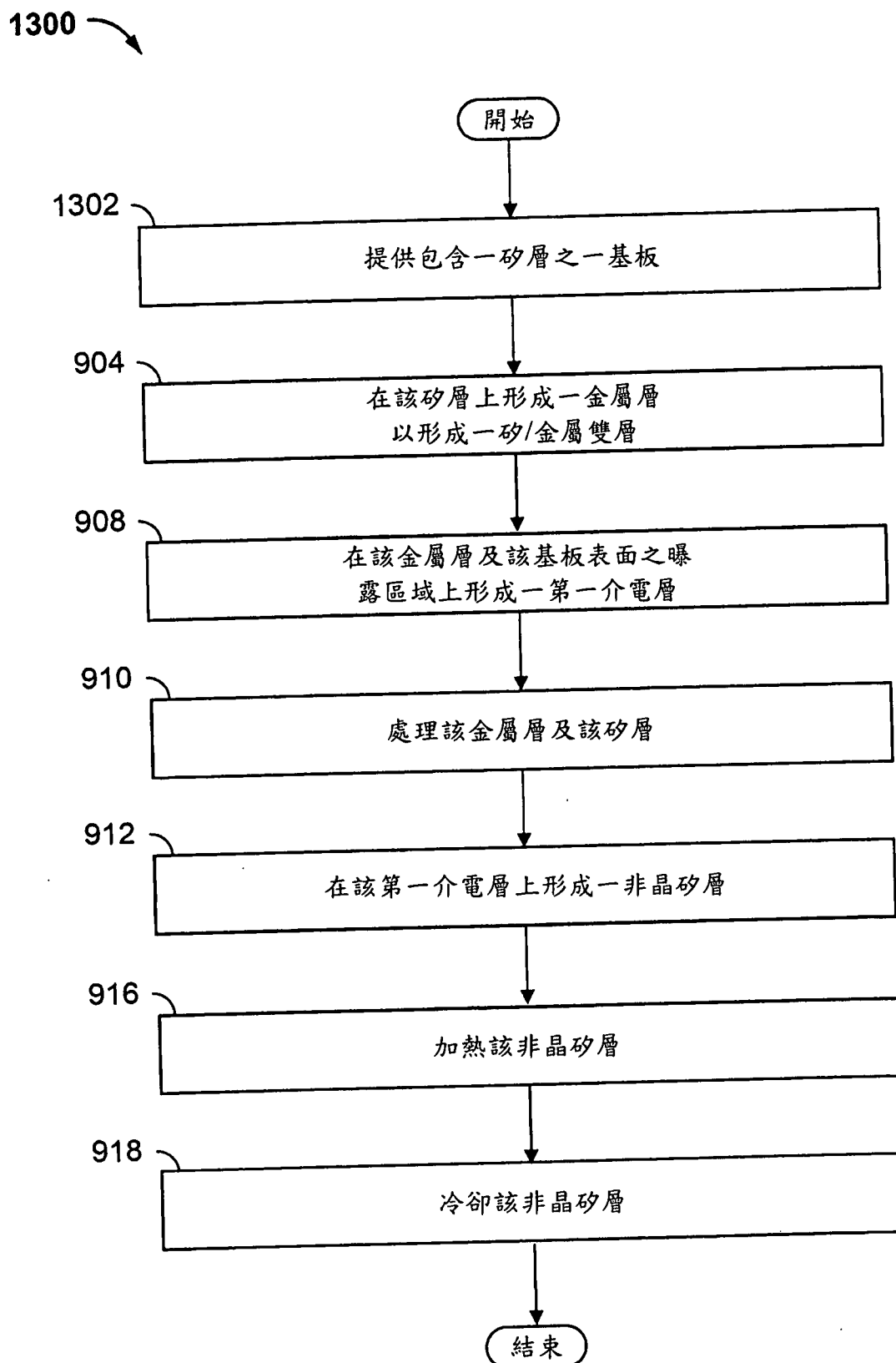


圖 13

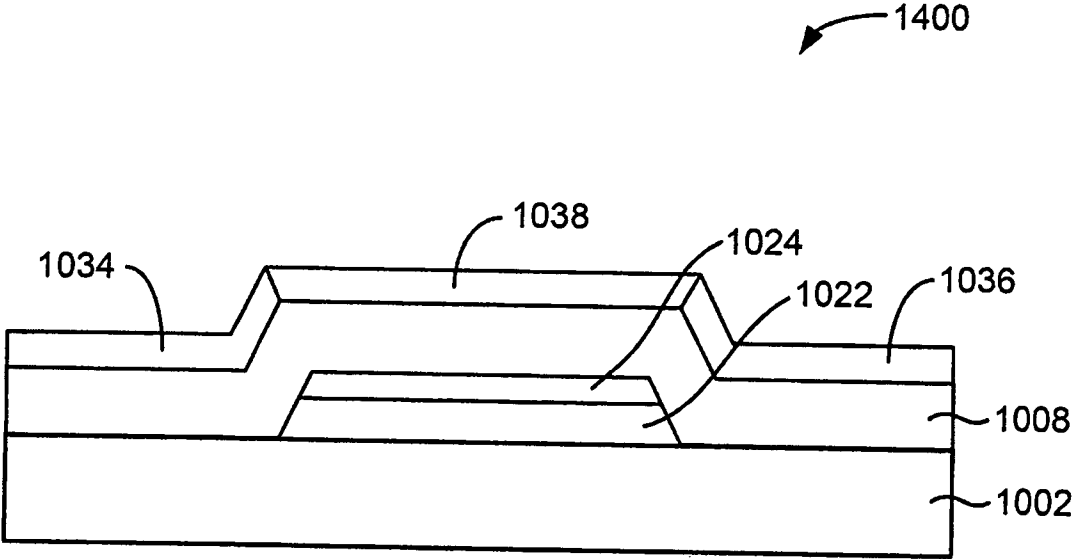


圖 14

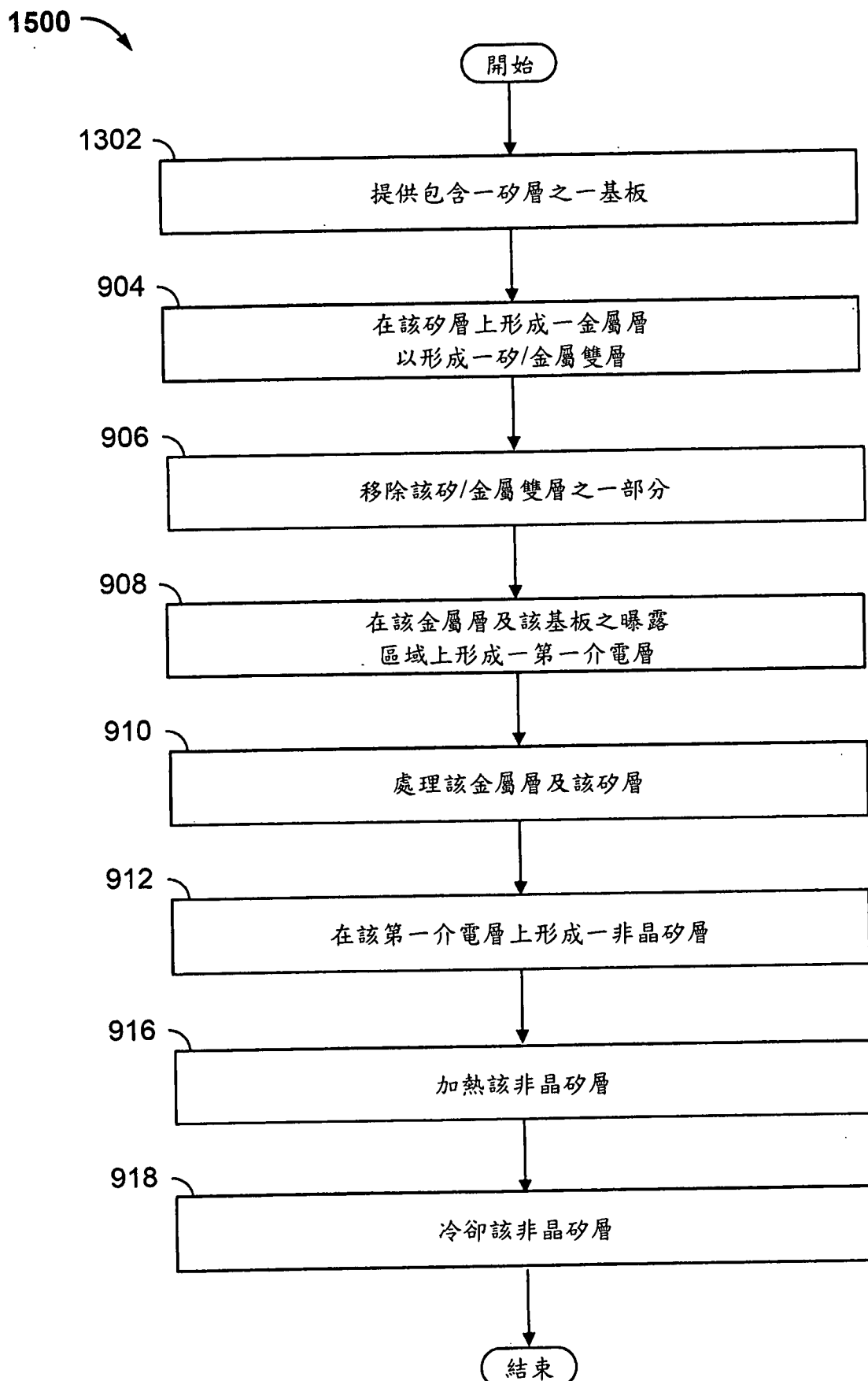


圖 15

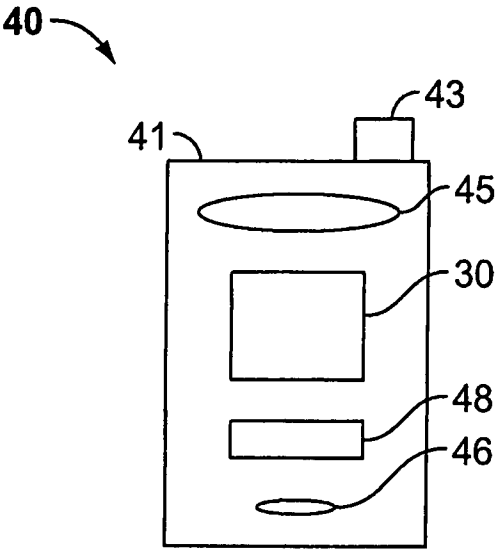


圖 16A

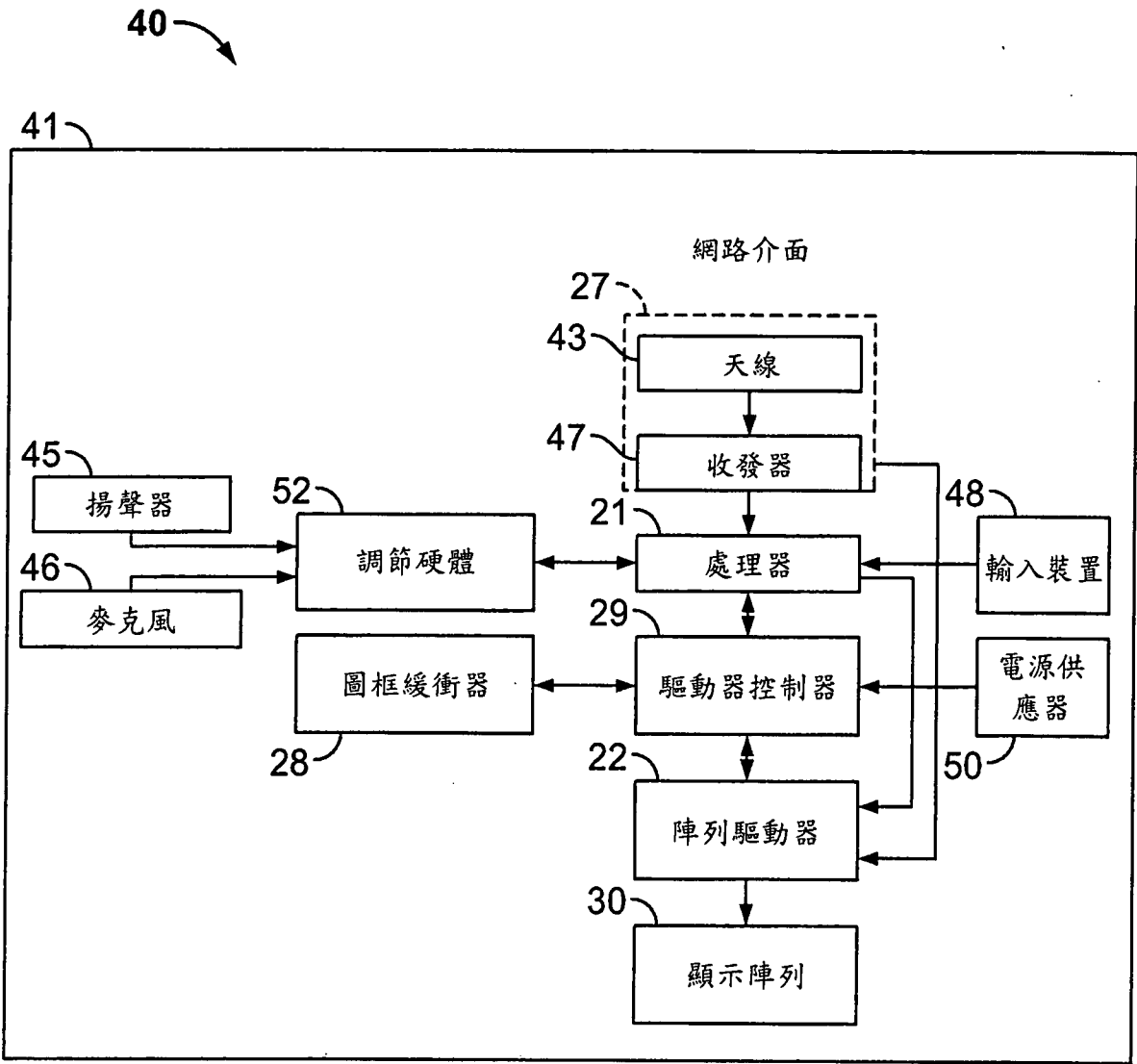


圖 16B